

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月17日(17.08.2023)



(10) 国際公開番号

WO 2023/152961 A1

- (51) 国際特許分類:
H01L 39/22 (2006.01) H01L 39/04 (2006.01)
G06N 10/00 (2022.01)
- (21) 国際出願番号: PCT/JP2022/005649
- (22) 国際出願日: 2022年2月14日(14.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社(FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 竹野内正寿 (TAKENOUCHI, Masatoshi); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). ▲高▼馬 悟覚 (KOUMA, Norinao); 〒2118588 神奈川県川崎

市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 島内 岳明 (SHIMANOUCHI, Takeaki); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 高橋 剛 (TAKAHASHI, Tsuyoshi); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

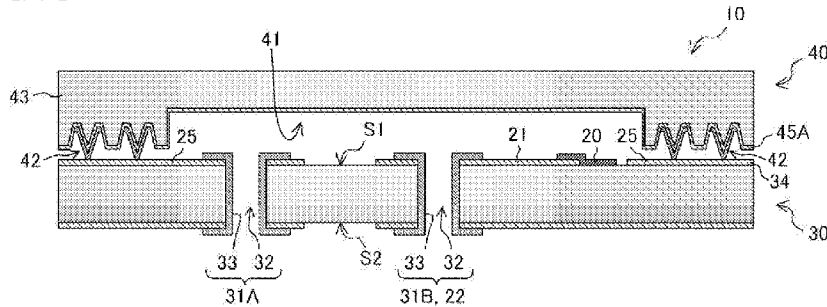
(74) 代理人: 中島 淳, 外 (NAKAJIMA, Jun et al.); 〒1600022 東京都新宿区新宿4丁目3番17号 H K 新宿ビル7階 太陽国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: ELECTRONIC DEVICE AND METHOD FOR MANUFACTURING ELECTRONIC DEVICE

(54) 発明の名称: 電子装置及び電子装置の製造方法

[図5]



(57) Abstract: A quantum computing device (10) includes: a first substrate (30) having a circuit element; and a second substrate (40) that is layered on the first substrate (30) and that covers the circuit element. The second substrate (40) has bumps (42) each including: a tapered protruding section (44) that is formed of a base material (43) of the second substrate (40) and that has a cross section the area of which gradually decreases towards the leading end, said cross section intersecting the direction in which the first substrate (30) and the second substrate (40) are layered; and tapered conductive films (45A, 45B) that cover the surface of the protruding section (44) and that reflect the shape of the protruding section (44). The bumps (42) are bonded to the first substrate (30).

(57) 要約: 量子演算装置(10)は、回路素子を有する第1の基板(30)と、第1の基板(30)に積層され、回路素子を覆う第2の基板(40)と、を含む。第2の基板(40)は、第2の基板(40)の基材(43)によって構成され、第1の基板(30)と第2の基板(40)の積層方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ状の凸部(44)と、凸部(44)の表面を覆い、凸部(44)の形状を反映したテーパ状の導電膜(45A、45B)と、を含むバンプ(42)を有する。バンプ(42)が第1の基板(30)に接合されている。

HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：電子装置及び電子装置の製造方法

技術分野

[0001] 開示の技術は、電子装置及び電子装置の製造方法に関する。

背景技術

[0002] 量子演算装置に関する技術として、以下の技術が知られている。例えば、ジョゼフソン接合を含む基板と、この基板にバンプを介して接合されたインターポーザ基板と、を含む量子コンピューティングデバイスが知られている。

[0003] また、量子ビットチップの表面に設けられた複数の突起と、複数の突起に整合するように配列された複数の窪みを有するヒートシンクと、を含む量子デバイスが知られている。

[0004] また、超伝導体量子デバイスを含む基板と、上記基板との間に密閉された空洞を形成するように上記基板に接合されたキャップ層と、を含む量子デバイスが知られている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許出願公開第2020/0403138号明細書

特許文献2：米国特許出願公開第2020/0152540号明細書

特許文献3：米国特許出願公開第2019/0207075号明細書

発明の概要

発明が解決しようとする課題

[0006] 複数の基板を積層して構成される電子装置において、基板同士の接合は、一方の基板に設けられた複数のバンプを、他方の基板に設けられたパッドに接合することにより行われる。複数のバンプは、一方の基板を他方の基板に押し付ける押圧力が加えられることにより変形し、パッドに圧着される。しかしながら、製造バラツキにより、バンプの高さが不均一となった場合、相

対的に高さが低い一部のバンプに押圧力が加わらず、相対的に高さが低い一部のバンプにおいて接合不良が発生するおそれがある。

[0007] 開示の技術は、バンプを介して互いに接合される複数の基板を備える電子装置において、バンプの接合不良を抑制することを目的とする。

課題を解決するための手段

[0008] 開示の技術に係る電子装置は、回路素子を有する第1の基板と、前記第1の基板に積層され、前記回路素子を覆う第2の基板と、を含む。前記第1の基板及び前記第2の基板のうちの一方は、前記第1の基板及び前記第2の基板のうちの他方に接合されたバンプを有する。前記バンプは、当該基板の基材によって構成され、前記第1の基板と前記第2の基板の積層方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ状の凸部を含む。前記バンプは、前記凸部の表面を覆い、前記凸部の形状を反映したテーパ状の導電膜を含む。

発明の効果

[0009] 開示の技術によれば、バンプを介して互いに接合される複数の基板を備える電子装置において、バンプの接合不良を抑制することが可能となる。

図面の簡単な説明

[0010] [図1]開示の技術の実施形態に係る量子演算装置の部分的な等価回路図である。

[図2]開示の技術の実施形態に係る量子ビット素子の回路構成の一例を示す図である。

[図3]開示の技術の実施形態に係る量子ビット素子間の接続構成の一例を示す図である。

[図4]開示の技術の実施形態に係る共振器の回路構成の一例を示す図である。

[図5]開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

[図6A]開示の技術の実施形態に係る第2の基板の構成の一例を示す平面図である。

[図6B]図6Aにおける6B-6Bに沿った断面図である。

[図7]開示の技術の実施形態に係るバンプの構造の一例を示す斜視図である。

[図8A]開示の技術の実施形態に係るバンプとパッドとの接合方法の一例を示す断面図である。

[図8B]開示の技術の実施形態に係るバンプとパッドとの接合方法の一例を示す断面図である。

[図9]開示の技術の実施形態に係る円錐形状のバンプをモデル化した図である。

[図10]開示の技術の実施形態に係るバンプに加えられる押圧力と、バンプの高さとの関係の一例を示すグラフである。

[図11A]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11B]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11C]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11D]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11E]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11F]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11G]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図11H]開示の技術の実施形態に係る第2の基板の製造方法の一例を示す断面図である。

[図12A]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図12B]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図12C]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図12D]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図12E]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図12F]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図12G]開示の技術の実施形態に係る第1の基板の製造方法の一例を示す断面図である。

[図13A]開示の技術の実施形態に係る第1の基板と第2の基板とを接合する方法の一例を示す断面図である。

[図13B]開示の技術の実施形態に係る第1の基板と第2の基板とを接合する方法の一例を示す断面図である。

[図14A]比較例に係るバンプとパッドとの接合を示す断面図である。

[図14B]比較例に係るバンプとパッドとの接合を示す断面図である。

[図15]比較例に係るバンプの形成方法の一例を示す断面図である。

[図16A]開示の技術の他の実施形態に係る第2の基板の構成の一例を示す平面図である。

[図16B]図16Aにおける16B-16Bに沿った断面図である。

[図17]開示の技術の他の実施形態に係る量子演算装置の構成の一例を示す断面図である。

発明を実施するための形態

[0011] 以下、開示の技術の実施形態の一例を、図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素及び部分には同一の参照符号を付与し、重複する説明は省略する。

[0012] [第1の実施形態]

図1は、開示の技術の実施形態に係る量子演算装置10の構成の一例を示す平面図である。量子演算装置10は、第1の基板30に設けられた量子ビット素子(Qubit)20、共振器21及び読み出し電極22を有する。なお、量子演算装置10は、開示の技術における電子装置の一例である。量子ビット素子20及び共振器21は、開示の技術における回路素子の一例である。

[0013] 量子ビット素子20は、超伝導を用いてコヒーレントな2準位系を形成する素子である。図2は、量子ビット素子20の回路構成の一例を示す図である。量子ビット素子20は、非線形なエネルギーを利用して量子演算を行うものであり、超伝導ジョセフソン素子201とキャパシタ202とを並列に接続したトランズモン量子ビット回路を含んで構成されている。超伝導ジョセフソン素子201は、所定の臨界温度以下の温度で超伝導を発現する一対の超伝導体と、一対の超伝導体の間に挟まれた厚さ数nm程度の極薄の絶縁体とを含んで構成されている。超伝導体は例えばアルミニウムであってもよく、絶縁体は、例えば酸化アルミニウムであってもよい。図3に示すように、量子演算装置10において、複数の量子ビット素子20が、隣接する他の量子ビット素子20にビット間配線24を介して接続されている。ビット間配線24の経路上には、キャパシタ23が設けられている。これにより、量子ビット素子20の各々は隣接する他の量子ビット素子20との間で量子もつれ状態を作り出して量子演算を行う。

[0014] 共振器21は、量子ビット素子20と相互作用することによって量子ビット素子20の状態を示すビット信号を読み出す。共振器21は、量子ビット素子20にキャパシタ(図示せず)を介して接続されている。図4は共振器21の回路構成の一例を示す図である。共振器21は、超伝導インダクタ211とキャパシタ212とを並列に接続した共振回路を含んで構成されている。読み出し電極22は、共振器21に接続され、共振器21によって読み出されたビット信号を外部に引き出すための電極である。

- [0015] 図5は、量子演算装置10の構成の一例を示す模式的な断面図である。なお、図5は、1つの量子ビット素子20の周辺の構成のみを抽出して示したものである。量子演算装置10は、積層された第1の基板30及び第2の基板40を有する。
- [0016] 第1の基板30の第1の面S1には量子ビット素子20及び共振器21が設けられている。第1の基板30には、貫通ビア31A、31Bが設けられている。貫通ビア31A、31Bは、それぞれ第1の基板30を貫通する貫通孔32と、貫通孔32の内壁を覆う導電膜33とを含んで構成されている。導電膜33は、第1の基板30の第1の面S1及び第1の面S1とは反対側の第2の面S2に延在する部分を有する。貫通ビア31Aは、第1の基板30及び第2の基板40にグランド電位を供給するために使用される。貫通ビア31Bは、読み出し電極22として機能する。
- [0017] 第1の基板30の基材として絶縁体又は半導体を用いることができ、例えばシリコンを好適に用いることができる。第1の基板30の表面には、パッド25及びその他の配線を構成する導電膜34が設けられている。共振器21は、この導電膜34を含んで構成されていてもよい。パッド25は、貫通ビア31Aに電氣的に接続されており、外部から貫通ビア31Aを介してグランド電位が供給される。
- [0018] 貫通ビア31A、31Bを構成する導電膜33及びパッド25及びその他の配線を構成する導電膜34は、それぞれ、所定の温度以下の温度で超伝導を発現する金属によって構成されることが好ましい。パッド25及びその他の配線を構成する導電膜34の材料として、例えばTiN（窒化チタン）を好適に用いることができる。貫通ビア31A、31Bを構成する導電膜33の材料として、例えばAl（アルミニウム）を好適に用いることができる。
- [0019] 第2の基板40は、第1の基板30の第1の面S1の側に積層されている。第2の基板40は、量子ビット素子20及び共振器21を覆うカバーとして機能する。第2の基板40は、第1の基板30の第1の面S1と対向する面にキャビティ41を有しており、量子ビット素子20及び共振器21の周

囲に空間が形成されている。第2の基板40は、キャビティ41の外周に設けられた複数のバンプ42を有しており、これら複数のバンプ42が第1の基板30に設けられたパッド25に接合されている。なお、第1の基板30と第2の基板40との間にギャップを形成することができる場合、第2の基板40にキャビティ41が設けられていなくてもよい。

[0020] 図6Aは、第2の基板40の構成の一例を示す平面図である。図6Bは、図6Aにおける6B-6Bに沿った断面図である。複数のバンプ42は、キャビティ41を囲むように複数の列をなして配列されている。複数のバンプ42はそれぞれ、第2の基板40の基材43によって構成された複数の凸部44と、複数の凸部44の各々の表面を覆う導電膜45A及び導電膜45Bと、を含んで構成されている。凸部44は、エッチングにより、基材43を微細加工することによって形成される。凸部44は、第1の基板30と第2の基板40の積層方向（すなわちバンプ42の高さ方向）と交差する断面の面積が、バンプ42の先端に向けて徐々に縮小している。すなわち、凸部44は、テーパ形状を有する。凸部44は、バンプ42のコアとなる部分である。

[0021] 導電膜45Aは、凸部44の表面を含む、第2の基板40の、第1の基板30と対向する面の全体を覆っている。導電膜45Bは、第2の基板40の凸部44の形成領域において、導電膜45Aの表面を覆っている。導電膜45A及び導電膜45Bの凸部44を覆う部分がバンプ42を構成する。導電膜45A及び導電膜45Bは、凸部44を覆う部分において、凸部44の形状を反映したテーパ状となっている。バンプ42の先端は、基材43の表面から突出しており、第2の基板40を第1の基板30に接合する工程において、第2の基板40を第1の基板30に重ねたときに、バンプ42の先端が第1の基板30に当接される。

[0022] 導電膜45A及び導電膜45Bは、それぞれ、所定の温度以下の温度で超伝導を発現する金属によって構成されることが好ましい。導電膜45Aの材料として、例えばTiN（窒化チタン）を好適に用いることができる。導電

膜45Bの材料として、例えばIn（インジウム）を好適に用いることができる。第2の基板40の基材43として絶縁体又は半導体を用いることができ、例えばシリコンを好適に用いることができる。基材43が例えばシリコンによって構成される場合、バンプ42のコアとなる部分を構成する凸部44は、シリコンで構成されることになる。

[0023] 図7は、バンプ42の構造の一例を示す斜視図である。図7に示すように、複数のバンプ42は、円錐状の形状を有していてもよい。すなわち、第2の基板40の基材43に形成される凸部44は、複数の錘状構造部を含み得る。複数のバンプ42は、三角錐、四角錐等の角錐状の形状を有していてもよい。

[0024] 第2の基板40の基材43には、凸部44の各々の周囲に設けられた複数の凹部46を有する。複数の凹部46は、複数の凸部44の各々に対応して設けられている。凹部46の各々は、対応する凸部44の外周を囲んでいる。換言すれば、凸部44の各々は、対応する凹部46の内側に設けられている。後述するように、凹部46は第2の基板40の基材43の凸部44の周囲に対応する領域をエッチングすることによって形成される。凸部44は、凹部46を形成するためのエッチングにおいて、基材43のエッチングされずに残った部分に相当する。

[0025] 図8A及び図8Bは、第2の基板40に設けられたバンプ42と第1の基板30に設けられたパッド25との接合方法の一例を示す断面図である。図8Aに示すように、バンプ42（導電膜45B）の先端が、パッド25に接合される。テーパ形状を有するバンプ42の先端とパッド25とを当接させた状態で、第1の基板30と第2の基板40とを互いに押し付け合う押圧力（荷重）を加えることで、図8Bに示すように、バンプ42の先端、すなわち導電膜45Bが潰れるように変形し、バンプ42とパッド25とが圧着される。バンプ42とパッド25との接合は、常温下において行われることが好ましい。バンプ42がパッド25に接合されることで、第2の基板40の表面を覆う導電膜45Aにグランド電位が供給される。グランド電位に固定

された第2の基板40によって量子ビット素子20及び共振器21を覆うことで、これらの回路素子の動作に影響を及ぼす外来ノイズを抑制するとともに、これらの回路素子から放射される電磁ノイズの拡散を抑制することが可能となる。

[0026] 図9は円錐形状のバンプ42をモデル化した図である。図9に示すように、バンプ42の底面における半径を r とし、バンプ42の高さを h とする。また、バンプ42に押圧力 F を加えたときにバンプ42作用する応力を σ とし、バンプ42の潰れ量を d とし、バンプ42の潰れた先端部の断面積を S とする。この場合において、応力 σ は下記の(1)式によって表すことができ、押圧力 F は下記の(2)式によって表すことができる。

$$\sigma = F / S \quad \cdots (1)$$

$$F = \sigma \pi (d r / h)^2 \quad \cdots (2)$$

[0027] 上記の(1)式及び(2)式は、バンプ42の高さが高い程、また、バンプ42の先端の断面積 S を小さくする程、所定の潰れ量 d となるようにバンプ42を変形させるために必要な押圧力 F を小さくできることを示している。図10は、バンプ42の潰れ量 d が0から $10 \mu\text{m}$ となるようにバンプ42を変形させる場合における、バンプ42に加えられる押圧力 F と、バンプ42の高さ h との関係の一例を示すグラフである。なお、バンプ42の初期の高さを $15 \mu\text{m}$ とし、バンプ42の底面の半径 r を $5 \mu\text{m}$ とし、応力 σ を 2.14 MPa として試算した。図10に示すように、バンプ42の変形の進行に伴って断面積 S が大きくなるにつれて、バンプ42を変形させるために必要な押圧力 F が増加していく。

[0028] バンプ42がテーパ形状を有することで、バンプ42の先端の面積を小さくすることができる。これにより比較的小さい押圧力でも大きな潰れ量にてバンプ42を変形させることができる。バンプ42の潰れ量を大きくすることで、製造バラツキによりバンプ42の高さが不均一となった場合でも、全てのバンプ42に押圧力(荷重)を加えることが可能となる。すなわち、相対的に高さが低い一部のバンプにおいて接合不良が発生するリスクを低減す

ることができる。

[0029] 以下において、量子演算装置 10 の製造方法について説明する。初めに、第 2 の基板 40 の製造方法の一例を、図 11A～図 11H を参照しつつ説明する。

[0030] 第 2 の基板 40 の基材 43 を用意する。基材 43 として厚さ $525\ \mu\text{m}$ 程度のシリコン基板を好適に用いることができる（図 11A）。

[0031] 次に、基材 43 の表面に厚さ $5\ \mu\text{m}$ 程度のレジスト 80 を形成する。次に、レジスト 80 に露光及び現像処理を行うことにより、レジスト 80 にバンプ 42 に対応するパターニングを施す（図 11B）。ここでは、円錐形状のバンプ 42 を形成する場合を例示する。凸部 44 に対応する部分に、直径 $\phi 1$ の円形のマスク 80a を形成し、マスク 80a の周囲を囲むように、凹部 46 に対応する直径 $\phi 2$ の円環状の開口部 200b を形成する。直径 $\phi 1$ は例えば $15\ \mu\text{m}$ 程度であり直径 $\phi 2$ は例えば $30\ \mu\text{m}$ 程度である。互いに隣接する開口部 80b 間の距離 $L1$ は、例えば $25\ \mu\text{m}$ である。基材 43 の表面の内周部は、マスク 80c によって覆われる。

[0032] 次に、ICP（Inductively Coupled Plasma）エッチング装置を用いて基材 43 をエッチングする（図 11C）。ICP パワーを 2000W 以下、RF バイアスパワーを 35W 以下、チャンバー圧力を 60mTorr 以下、ガス比（ $\text{C}_4\text{F}_8 : \text{SF}_6$ ）を $3 : 7$ に設定することが好ましい。これにより、基材 43 の、レジスト 80 の開口部 80b から露出した部分がエッチングされ、複数の円環状の凹部 46 が形成され、凹部 46 の内側に凸部 44 が形成される。凸部 44 は、基材 43 がエッチングされずに残った部分である。上記の条件でエッチングを行うことで、凹部 46 の上端における直径 $\phi 3$ は、下端における直径 $\phi 4$ よりも大きくなる。すなわち、テーパ形状の凹部 46 が形成される。その結果、凸部 44 の形状は円錐形状となる。凹部 46 の上端における直径 $\phi 3$ は $40\ \mu\text{m}$ 程度であり、凹部 46 の下端における直径 $\phi 4$ は $30\ \mu\text{m}$ 程度である。凹部 46 の深さ $D1$ は $15\ \mu\text{m}$ 程度である。凸部 44 の下端における直径 $\phi 5$ は $10\ \mu\text{m}$ 程度である。

- [0033] 次に、基材43の表面にドライフィルム81を形成する。続いてドライフィルム81に露光及び現像処理を行うことにより、ドライフィルム81にキャビティ41に対応する開口部81aを形成する（図11D）。
- [0034] 次に、基材43の、ドライフィルム81の開口部81aから露出した部分をエッチングすることにより、基材43に深さ300 μ m程度のキャビティ41を形成する（図11E）。基材43のエッチングは、RIE（Reactive Ion Etching）によって行うことが可能である。本エッチング工程においては、形成途中のキャビティ41の側面を保護膜で覆うステップと、形成途中のキャビティ41の底面を更にエッチングするステップとが交互に実施される。キャビティ41の側面を保護膜で覆うことで、キャビティ41の底面のエッチングにおいて、キャビティ41の側面のエッチングが抑制される。キャビティ41の側面を保護膜で覆うステップではCFガスが用いられ、キャビティ41の底面をエッチングするステップではSF6ガスが用いられる。キャビティ41の形成が完了した後、ドライフィルム81は除去される。
- [0035] 次に、スパッタ法により基材43の表面全体に厚さ0.2 μ m程度の導電膜45Aを形成する（図11F）。導電膜45Aの材料としてTiN（窒化チタン）を好適に用いることができる。
- [0036] 次に、基材43の表面にドライフィルム82を形成する。続いてドライフィルム82に露光及び現像処理を行うことにより、ドライフィルム82にバンプ42に対応する開口部82aを形成する（図11G）。開口部82aは、直径30 μ m程度の円形であり、バンプ42の形成位置に形成される。
- [0037] 次に、蒸着法により、導電膜45A表面の、ドライフィルム82の開口部82aにおいて露出した部分に厚さ25 μ m程度の導電膜45Bを形成する（図11G）。導電膜45Bは、ドライフィルム82上にも形成される。導電膜45Bの材料としてIn（インジウム）を好適に用いることができる。導電膜45A及び導電膜45Bは、基材43の表面形状に沿って形成され、凸部44を覆う部分において凸部44の形状を反映した円錐形状に形成される。第2の基板40には、凸部44、導電膜45A及び導電膜45Bが積層

された円錐形状のバンプ42が形成される。バンプ42の底面の直径 $\phi 5$ は $10\mu\text{m}$ 程度であり、バンプ42の高さ h は $25\mu\text{m}$ 程度である。すなわち、バンプ42のアスペクト比($h/\phi 5$)は $2.5 (=25/10)$ である。次に、ドライフィルム82を、その表面に堆積した導電膜45Bとともに除去する(図11H)。以上の各工程を経ることにより、第2の基板40が完成する。

[0038] 以下において、第1の基板30の製造方法の一例を、図12A~図12Gを参照しつつ説明する。第1の基板30の基材35を用意する。基材35として厚さ $525\mu\text{m}$ 程度のシリコン基板を好適に用いることができる(図12A)。

[0039] 次に、基材35の第2の面S2に放熱基板90を貼り付ける。続いて、基材35の第1の面S1にレジスト83を形成し、レジスト83に貫通ビア31A、31Bに対応する開口部83aを形成する(図12B)。

[0040] 次に、基材35の、レジスト83の開口部83aから露出した部分をエッチングして、基材35に貫通孔32を形成する(図12C)。エッチングの際に発生する熱は、放熱基板90によって拡散され、基材35の温度が過度に高まることが回避される。

[0041] 次に、スパッタ法により、基材35の第1の面S1及び第2の面S2の全体に導電膜34を形成する(図12D)。導電膜34の材料としてTiN(窒化チタン)を好適に用いることができる。

[0042] 次に、蒸着法により、基材35の第1の面S1及び第2の面S2の全体に導電膜33を形成する。先に形成された導電膜34は、導電膜33によって覆われる。導電膜33は、貫通孔32の内壁にも形成される(図12E)。導電膜33の材料としてAl(アルミニウム)を好適に用いることができる。

[0043] 次に、フォトリソグラフィ及びエッチングにより、導電膜33及び導電膜34をパターニングする。これにより、貫通ビア31A、31B、共振器21、パッド25及びその他の配線が形成される(図12F)。

[0044] 次に、基材35の第1の面S1に量子ビット素子20を形成する（図12G）。量子ビット素子20を構成する超電導ジョセフソン素子は、例えば、蒸着法によって基材35の第1の面S1にAl（アルミニウム）を含む第1電極（図示せず）を形成する工程、O₂ガスを用いて第1電極の表面に厚さ数nm程度の極薄の酸化膜（図示せず）を形成する工程、蒸着法によって酸化膜の表面にAl（アルミニウム）を含む第2電極（図示せず）を形成する工程を経ることによって形成される。第1電極及び第2電極のパターニングは、例えば、パターニングされたレジスト（図示せず）を用いたリフトオフ法によって行ってもよい。この場合、レジストの開口パターンを、第1の方向に沿った第1の直線部と、第1の方向と直交する第2の方向に沿った第2の直線部とを含む十字型とし、第1の方向を回転軸として傾けて蒸着を行うことで、第1の直線部に対応する部分に第1電極を形成してもよい。続いて、第2の方向を回転軸として傾けて蒸着を行うことで、第2の直線部に対応する部分に第2電極を形成してもよい。上記の方法によれば、第1電極及び第2電極のパターニングを単一のレジストによって行うことが可能となる。以上の各工程を経ることにより、第1の基板30が完成する。

[0045] 以下に、第1の基板30と第2の基板40とを接合する工程について、図13A～図13Bを参照しつつ説明する。

[0046] 第1の基板30及び第2の基板40を真空チャンバー（図示せず）に収容し、真空チャンバー内において、第1の基板30及び第2の基板40の接合面にイオンビームを照射する（図13A）。これにより、接合部を形成するパッド25及びバンプ42の表面に存在する酸化膜、水酸基及び水分子等の接合の妨げとなる要素が除去され、パッド25及びバンプ42を構成する導電膜の表面が活性化される。イオンビームには、アルゴン等の不活性ガスが用いられる。

[0047] 次に、真空チャンバー内において、第1の基板30と第2の基板40とを接合する。すなわち、第2の基板40に設けられたバンプ42と、第1の基板30に設けられたパッド25とを当接させた状態で、第2の基板40と第

1の基板30とを互いに押し付ける押圧力（荷重）を加える。これにより、バンプ42（導電膜45B）の先端が潰れるように変形し、バンプ42とパッド25とが接合される。バンプ42とパッド25との接合は、常温下において行われることが好ましい。バンプ42及びパッド25を構成する導電膜の表面は、イオンビーム照射によって活性化されているため、常温下（25℃程度）で強固な接合を得ることが可能となる。この手法は、表面活性化常温接合と呼ばれている。基板間の接合を常温下で行うことで、量子ビット素子20の加熱に伴う特性変動が抑制される。以上の各工程を経ることにより、量子演算装置10が完成する。

[0048] 以上のように、本実施形態に係る量子演算装置10は、量子ビット素子20及び共振器21等の回路素子が設けられた第1の基板30と、第1の基板30に積層され、量子ビット素子20及び共振器21を覆う第2の基板40と、を有する。第2の基板40は、基材43によって構成され、基板の積層方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ状の凸部44と、凸部44の表面を覆い、凸部44の形状を反映したテーパ状の導電膜45A、45Bと、を含むバンプ42を有する。バンプ42は、第1の基板30のパッド25に接合されている。

[0049] ここで、図14A及び図14Bは、比較例に係るバンプ42Xとパッド25Xとの接合を示す断面図である。比較例に係るバンプ42Xの形状は、高さ方向と交差する断面の面積は第1実施例におけるバンプ42よりも大きく、バンプの高さは概ね一定である。すなわち、バンプ42Xの形状は、テーパ形状ではない。また、製造バラツキにより、バンプ42Xの高さが不均一となっている。バンプ42Xとパッド25Xとを接合する工程では、バンプ42Xとパッド25Xとを当接させた状態で押圧力が加えられる。比較例に係るバンプ42Xは、高さ方向と交差する断面の面積が比較的大きいため、所定の押圧力に対するバンプ42Xの潰れ量は小さくなる。バンプ42Xの潰れ量が小さい場合、図14Bに示すように、相対的に高さが低い一部のバンプ42Xに押圧力が加わらず、相対的に高さが低い一部のバンプ42Xに

において接合不良が発生するおそれがある。

[0050] 一方、開示の技術の実施形態に係る量子演算装置 10 が備えるバンプ 42 は、テーパ形状を有するので、バンプ 42 の先端の面積を小さくすることができる。これにより、比較的小さい押圧力でも大きな潰れ量にてバンプ 42 を変形させることができる。バンプ 42 の潰れ量を大きくすることで、製造バラツキによりバンプ 42 の高さが不均一となった場合でも、全てのバンプに押圧力を加えることが可能となる。すなわち、相対的に高さが低い一部のバンプにおいて接合不良が発生するリスクを低減することができる。

[0051] ここで、図 15 は、比較例に係るバンプ 42 Y の形成方法の一例を示す断面図である。比較例に係るバンプ 42 Y は、開示の技術の実施形態に係る凸部 44 を含んでいない。すなわち、バンプ 42 Y は、コアとなる部分が基材 43 によって構成されておらず、導電膜 45 B のみによって構成されている。比較例に係るバンプ 42 Y は、高アスペクト比の開口部 200 a を有するレジスト 200 を用いたリフトオフ法によって形成される。すなわち、レジスト 200 の開口部 200 a において露出した導電膜 45 A 上にバンプ 42 Y を構成する導電膜 45 B を堆積させる。しかしながら、この方法によれば、十分な高さのバンプが形成される前に、微細な開口部 200 a が導電膜 45 B によって塞がれる。その結果、高アスペクト比のバンプを形成することが困難となる。

[0052] 一方、開示の技術の実施形態に係るバンプ 42 は、第 2 の基板 40 の基材 43 によって構成されたテーパ状の凸部 44 と、凸部 44 の表面を覆い、凸部 44 の形状を反映したテーパ状の導電膜 45 A 及び導電膜 45 B と、を含む。すなわち、開示の技術の実施形態に係るバンプ 42 は、コアとなる部分が基材 43 によって構成されている。基材 43 は既存のエッチング技術により、所望の形状に微細加工することが比較的容易である。バンプ 42 のコアとなる部分を第 2 の基板 40 の基材 43 によって構成することで、テーパ形状を有する微細且つ高アスペクト比のバンプ 42 を容易に形成することが可能である。また、バンプ 42 のコアとなる部分を基材 43 の凸部 44 によっ

て構成することで、凸部44を、バンプ42が過度に潰れることを防止するストッパーとして機能させることが可能となる。また、凸部44の周囲には凹部46が設けられているので、バンプ42の強度を確保することが可能となる。

[0053] [第2の実施形態]

図16Aは、開示の技術の第2の実施形態に係る第2の基板40の構成の一例を示す平面図である。図16Bは、図16Aにおける16B-16Bに沿った断面図である。第2の実施形態に係る第2の基板40は、バンプ42の構造が第1の実施形態と異なる。本実施形態に係る第2の基板40の基材43によって構成される凸部44は、キャビティ41の周囲を囲む一体的な環状構造部を有する。すなわち、第2の基板40の基材43には、第1の基板30に設けられた量子ビット素子20及び共振器21等の回路素子の外周を囲む連続した矩形冠状を有する凸部44が設けられている。凸部44は、その高さ方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ形状を有する。凸部44の、冠状構造の1つの辺を構成する部分の形状は四角錐であってもよい。また、第2の基板40は、凸部44の周囲に設けられた凹部46を有する。凹部46は、凸部44の冠状構造に沿って冠状に設けられている。

[0054] 本実施形態に係る量子演算装置によれば、第1の実施形態に係る量子演算装置10と同様、バンプの接合不良を抑制することが可能となる。また、バンプ42が一体的な環状構造を有することで、量子ビット素子20及び共振器21の周囲の空間を密閉することができる。この空間を真空にすることで、量子ビット素子20表面に誘電体損失を引き起こす保護膜を形成することなく量子ビット素子20への物質の吸着を抑制することができる。

[0055] [第3の実施形態]

図17は、開示の技術の第3の実施形態に係る量子演算装置10Aの構成の一例を示す断面図である。第3の実施形態に係る量子演算装置10Aは、第1の基板30と第2の基板40との接合部を構成するバンプ36が第1の

基板 30 に設けられている点が第 1 及び第 2 の実施形態に係る量子演算装置 10 と異なる。バンプ 36 は、第 1 の基板 30 の基材 35 によって構成され、第 1 の基板 30 と第 2 の基板 40 の積層方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ状の凸部 38 を含む。バンプ 36 は、凸部 38 の表面を覆い、凸部 38 の形状を反映したテーパ状の導電膜 34、37 を含む。第 3 の実施形態に係る量子演算装置 10A によれば、第 1 の実施形態に係る量子演算装置 10 と同様、バンプの接合不良を抑制することが可能となる。

[0056] 以上の第 1 及び第 2 の実施形態においては、量子ビット素子 20 を有する量子演算装置 10 に開示の技術を適用する場合を例示したが、開示の技術はこの態様に限定されない。トランジスタ、抵抗素子、キャパシタ等の超電導デバイス以外の回路素子を含む電子装置に、開示の技術を適用することが可能である。

符号の説明

[0057] 10 量子演算装置
20 量子ビット素子
30 第 1 の基板
35 基材
40 第 2 の基板
36、42、42X、42Y バンプ
43 基材
44 凸部
34、37、45A、45B 導電膜

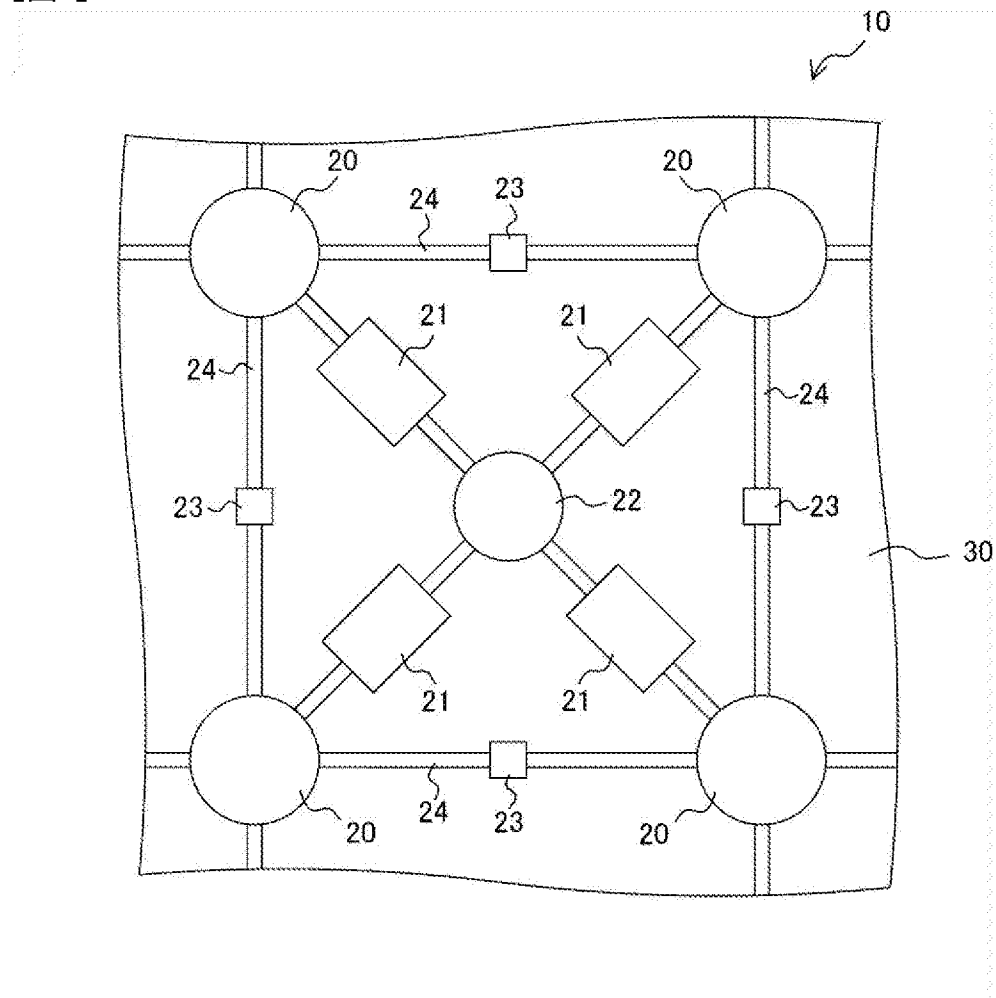
請求の範囲

- [請求項1] 回路素子を有する第1の基板と、
前記第1の基板に積層され、前記回路素子を覆う第2の基板と、を含み、
前記第1の基板及び前記第2の基板のうちの一方は、
当該基板の基材によって構成され、前記第1の基板と前記第2の基板の積層方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ状の凸部と、前記凸部の表面を覆い、前記凸部の形状を反映したテーパ状の導電膜と、を含むバンプを有し、
前記バンプが前記第1の基板及び前記第2の基板のうちの他方に接合されている
電子装置。
- [請求項2] 前記基材は、前記凸部の周囲に設けられた凹部を更に含む
請求項1に記載の電子装置。
- [請求項3] 前記導電膜は、積層された複数の金属膜を含む
請求項1又は請求項2に記載の電子装置。
- [請求項4] 前記回路素子は量子ビット素子を含み、
前記導電膜（は、超伝導を発現する金属を含む
請求項1から請求項3のいずれか1項に記載の電子装置。
- [請求項5] 前記凸部は円錐形状又は角錐形状を有する
請求項1から請求項4のいずれか1項に記載の電子装置。
- [請求項6] 前記凸部は、前記回路素子の周囲を囲むよう環状に形成される
請求項1から請求項4のいずれか1項に記載の電子装置。
- [請求項7] 前記導電膜は、前記第2の基板の前記第1の基板と対向する面の全体を覆っている
請求項1から請求項6のいずれか1項に記載の電子装置。
- [請求項8] 前記バンプの先端が前記第2の基板の基材の表面から突出している
請求項1から請求項7のいずれか1項に記載の電子装置。

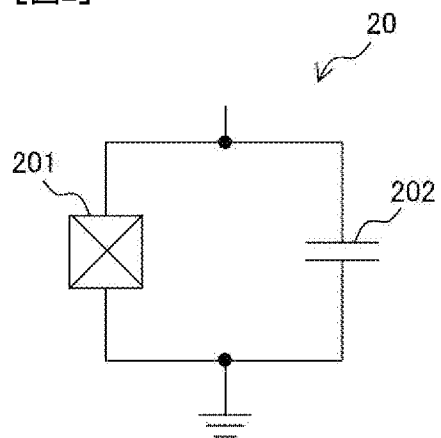
- [請求項9] 前記バンプのアスペクト比は2以上である
請求項1から請求項8のいずれか1項に記載の電子装置。
- [請求項10] 回路素子を有する第1の基板を作製する工程と、
前記回路素子を覆うための第2の基板を作製する工程と、
前記第1の基板と前記第2の基板とを積層する工程と、
を含み、
前記第1の基板を作製する工程及び前記第2の基板を作製する工程
のうちの一方は、当該基板にバンプを形成する工程を含み、
前記バンプを形成する工程は、
当該基板の基材によって構成され、前記第1の基板と前記第2の基
板の積層方向と交差する断面の面積が先端に向けて徐々に縮小してい
るテーパ状の凸部を形成する工程と、
前記凸部の表面を覆い、前記凸部の形状を反映したテーパ状の導電
膜を形成する工程と、
を含み、
前記第1の基板と前記第2の基板とを積層する工程において、前記
バンプを前記第1の基板及び前記第2の基板のうちの他方に接合する
電子装置の製造方法。
- [請求項11] 前記基材の前記凸部の外周に対応する領域をエッチングすることによ
り、前記凸部を形成する
請求項10に記載の製造方法。
- [請求項12] 前記凸部は円錐形状又は角錐形状を有する
請求項10又は請求項11に記載の製造方法。
- [請求項13] 前記凸部は前記回路素子の周囲を囲むよう環状に形成される
請求項10又は請求項11に記載の製造方法。
- [請求項14] 前記バンプを前記第1の基板に接合する工程において、前記バンプ
に押圧力を加えることにより前記導電膜を変形させる
請求項10から請求項13のいずれか1項に記載の製造方法。

- [請求項15] イオンビームの照射によって表面が活性化された導電膜同士の常温接合により、前記バンプを前記第1の基板に接合する
- 請求項10から請求項14のいずれか1項に記載の製造方法。
- [請求項16] 基板の基材によって構成され、前記基板の法線方向と交差する断面の面積が先端に向けて徐々に縮小しているテーパ状の凸部と、
- 前記凸部の表面を覆い、前記凸部の形状を反映したテーパ状の導電膜と、
- を含むバンプを有する電子装置。

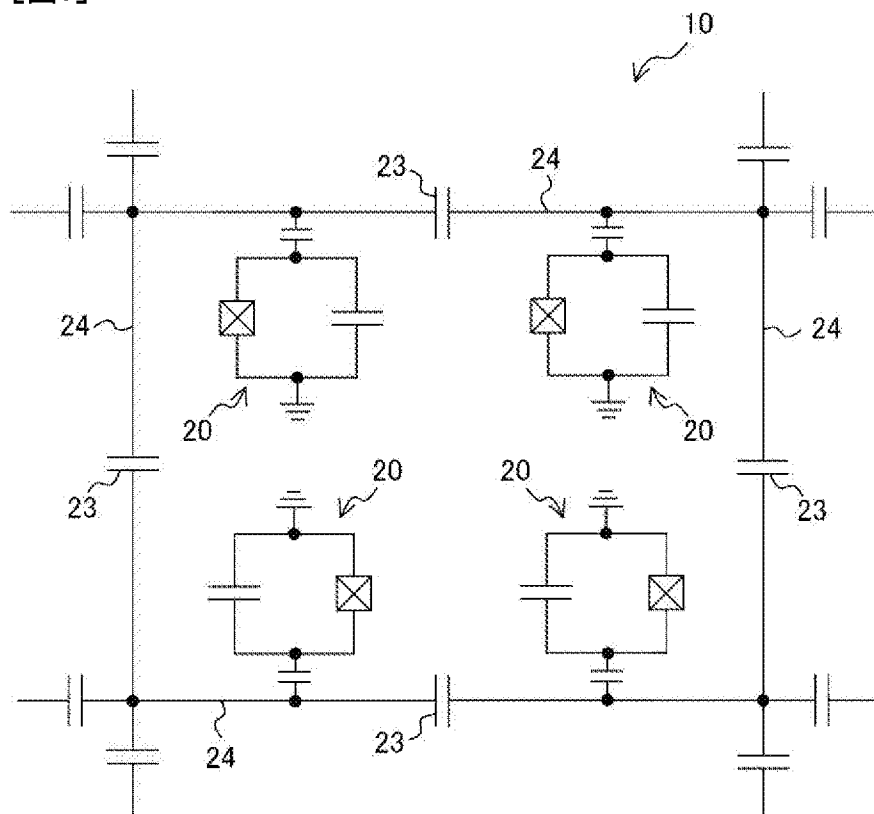
[図1]



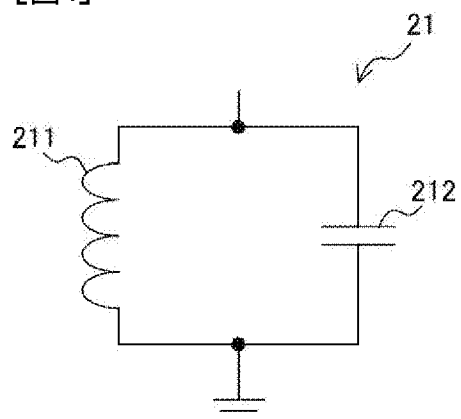
[図2]



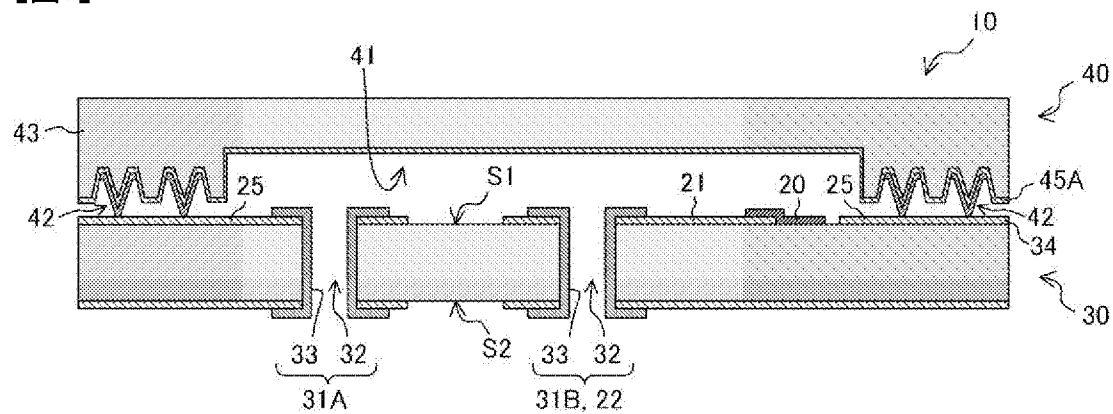
[図3]



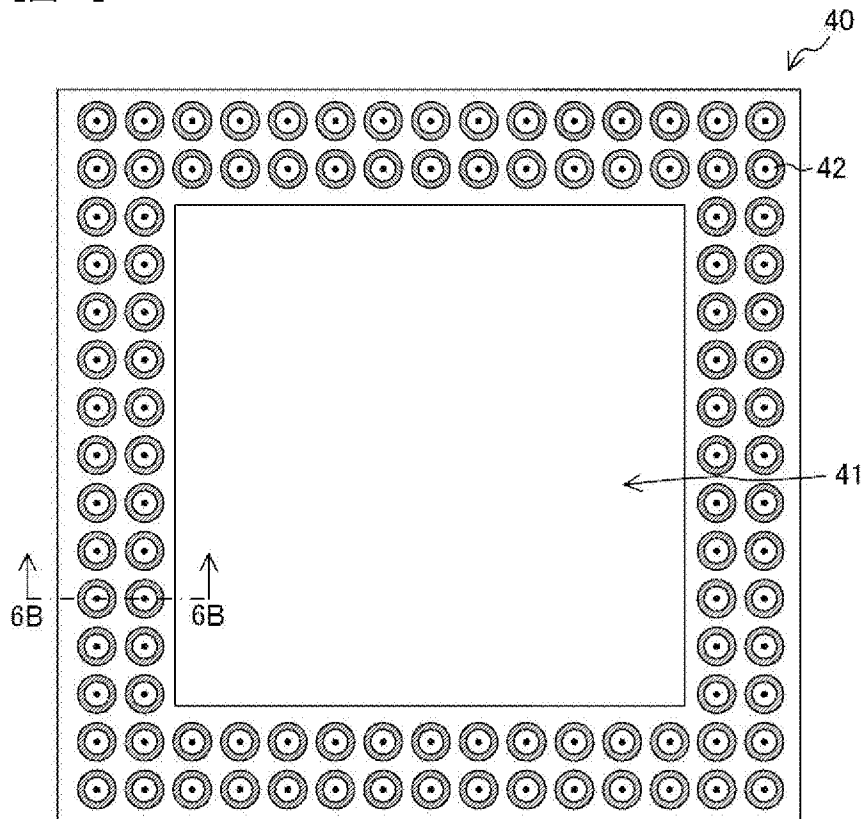
[図4]



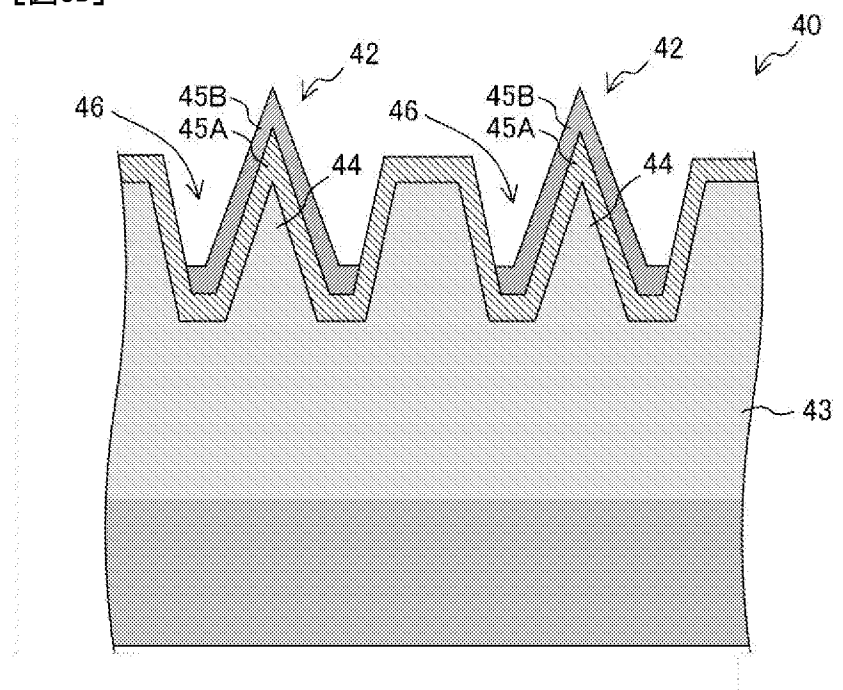
[図5]



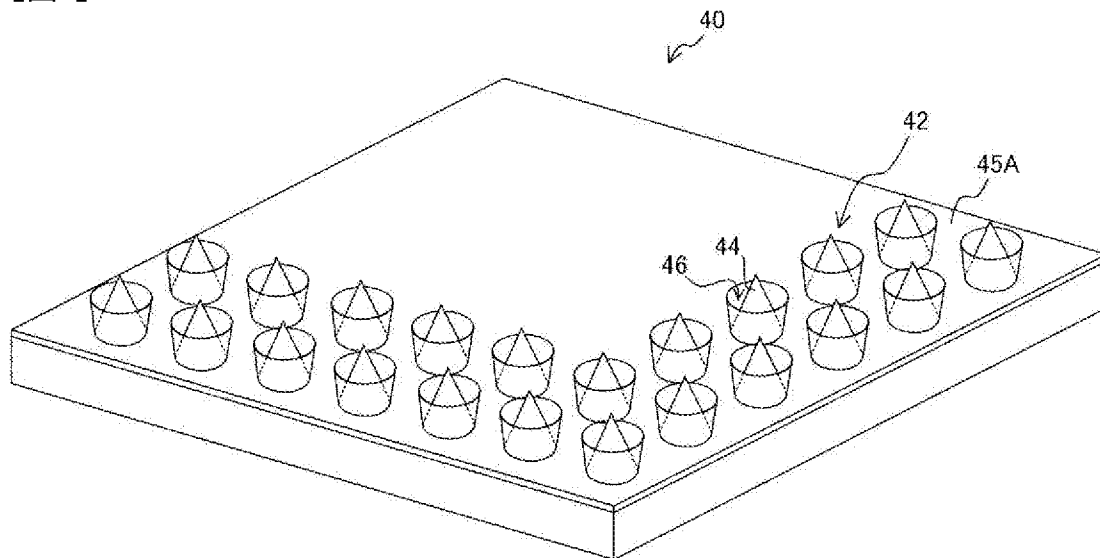
[図6A]



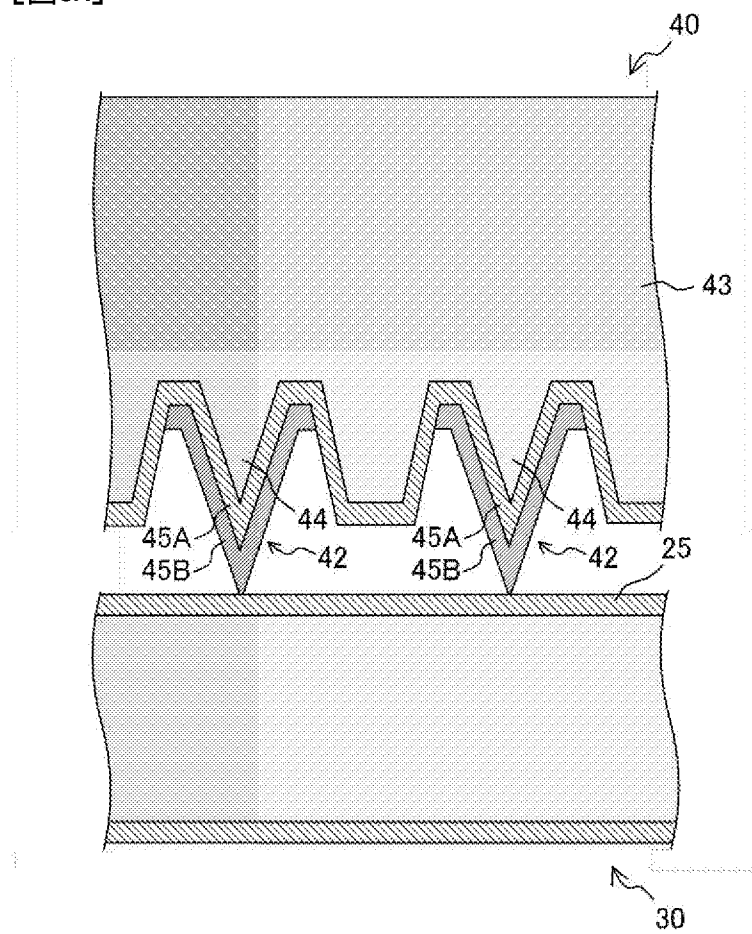
[図6B]



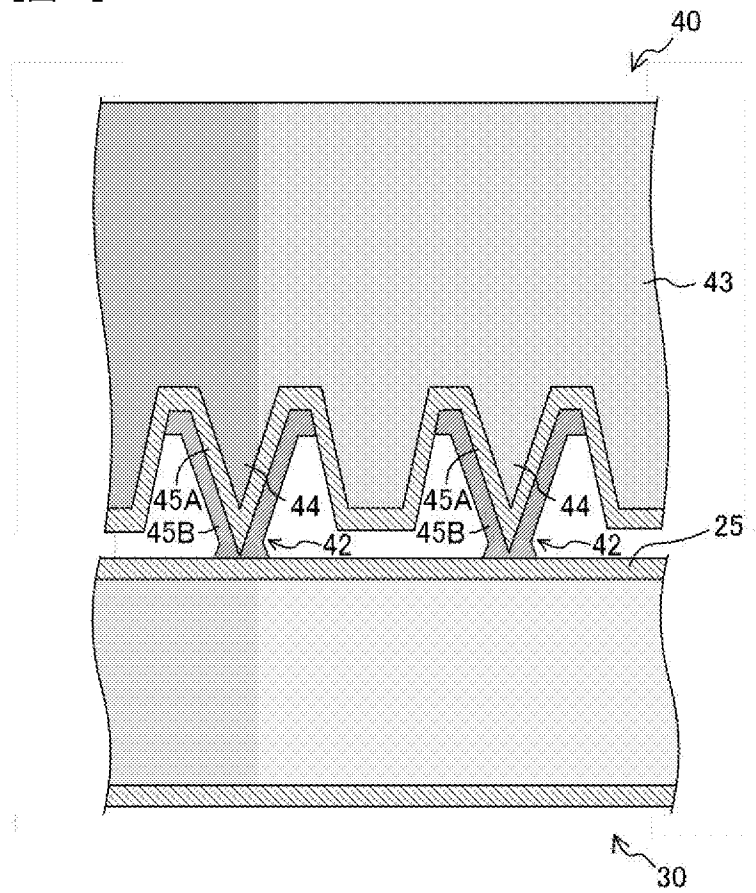
[図7]



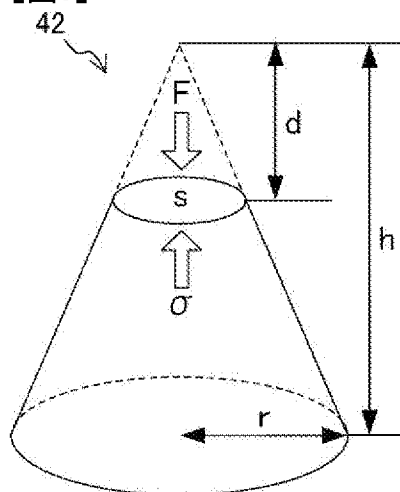
[図8A]



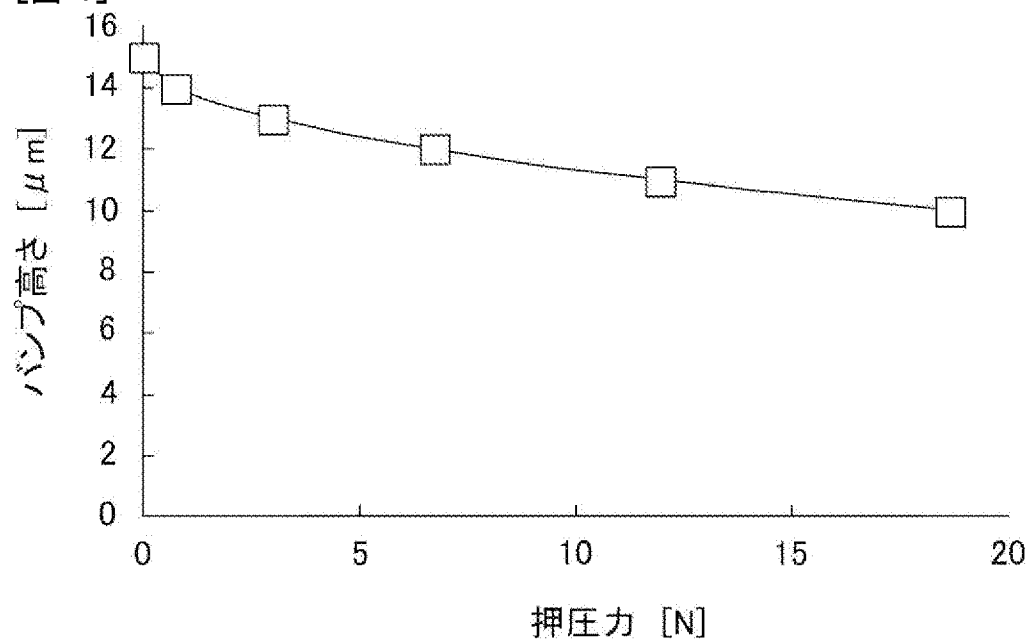
[図8B]



[図9]



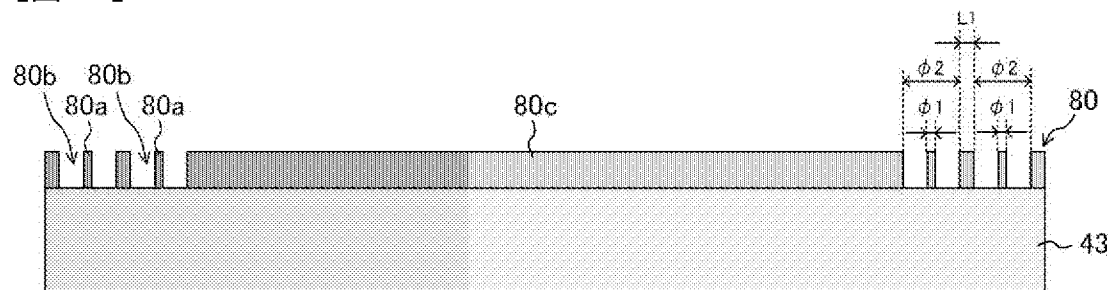
[図10]



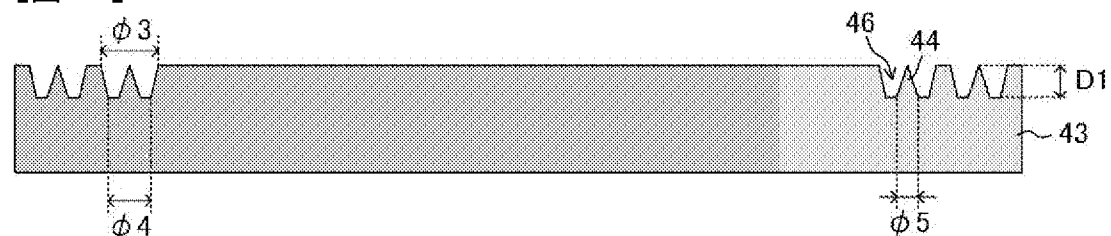
[図11A]



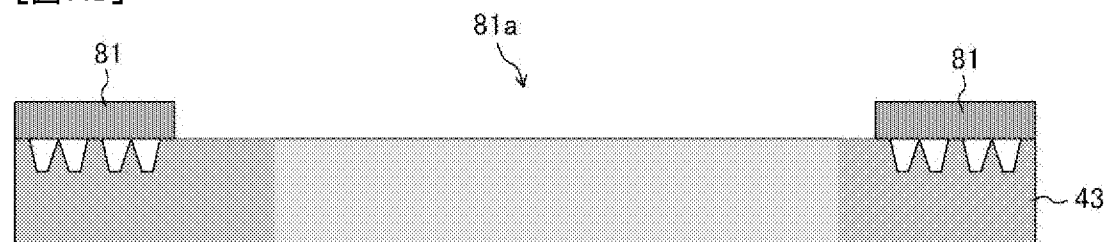
[図11B]



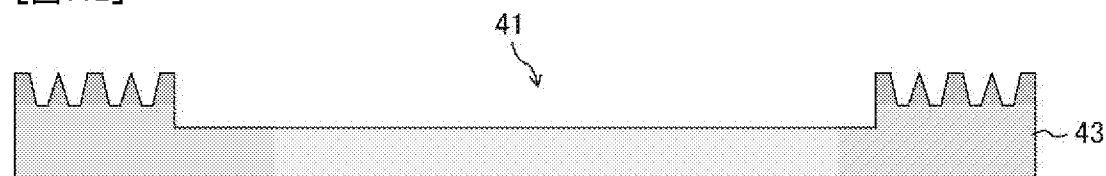
[図11C]



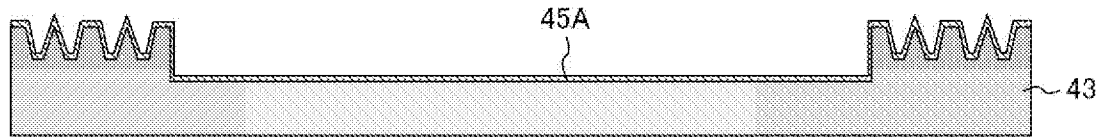
[図11D]



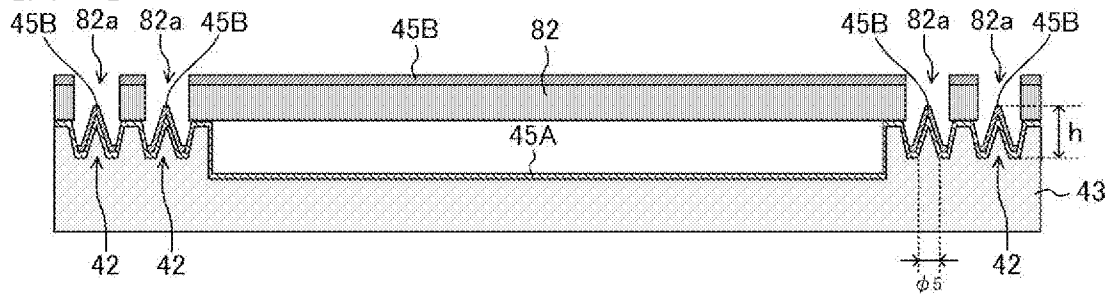
[図11E]



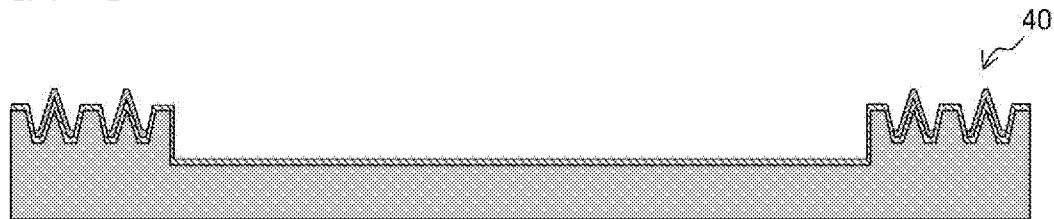
[図11F]



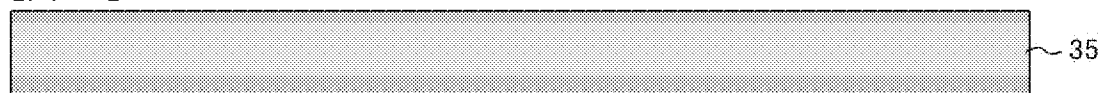
[図11G]



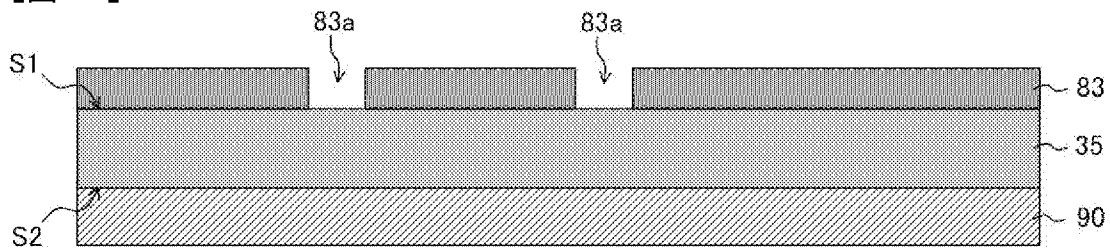
[図11H]



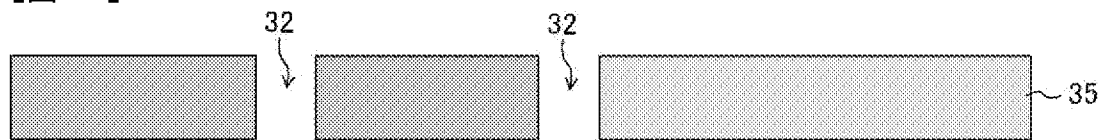
[図12A]



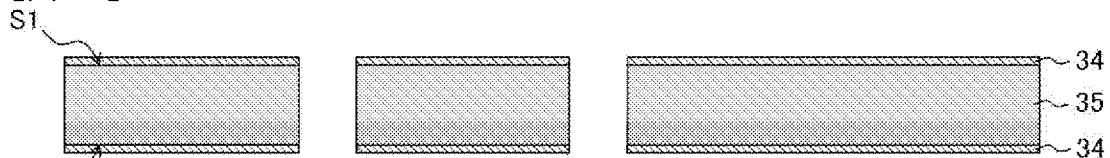
[図12B]



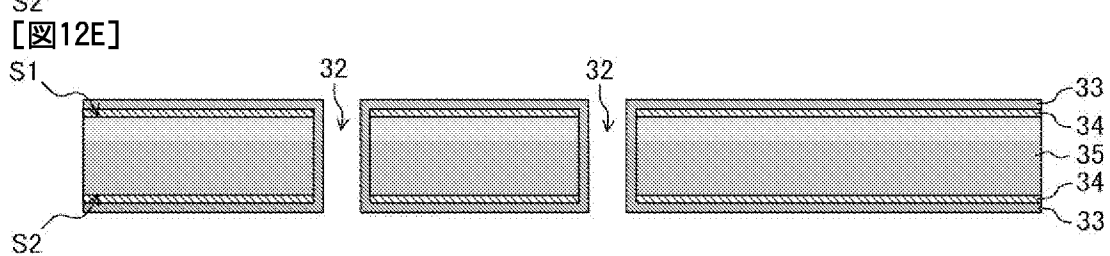
[図12C]



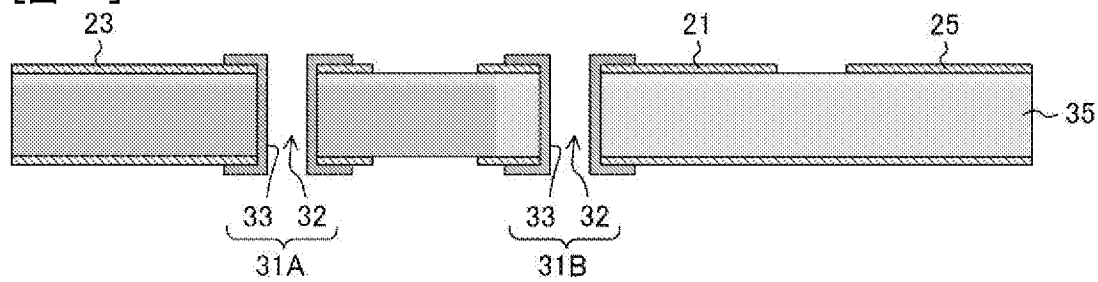
[図12D]



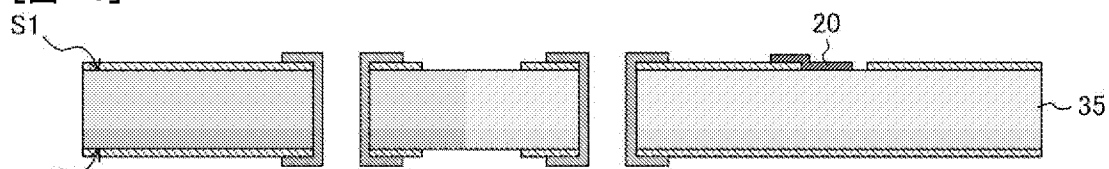
[図12E]



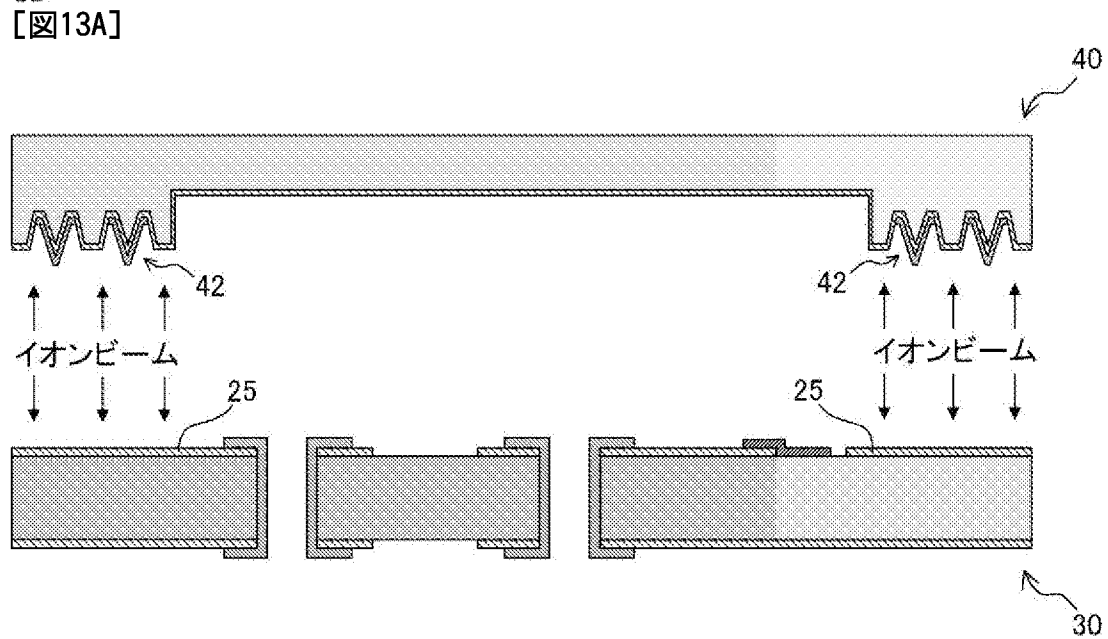
[図12F]



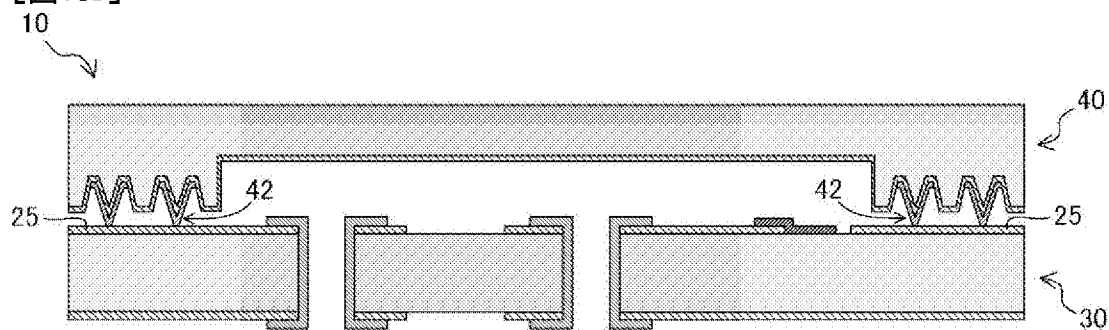
[図12G]



[図13A]

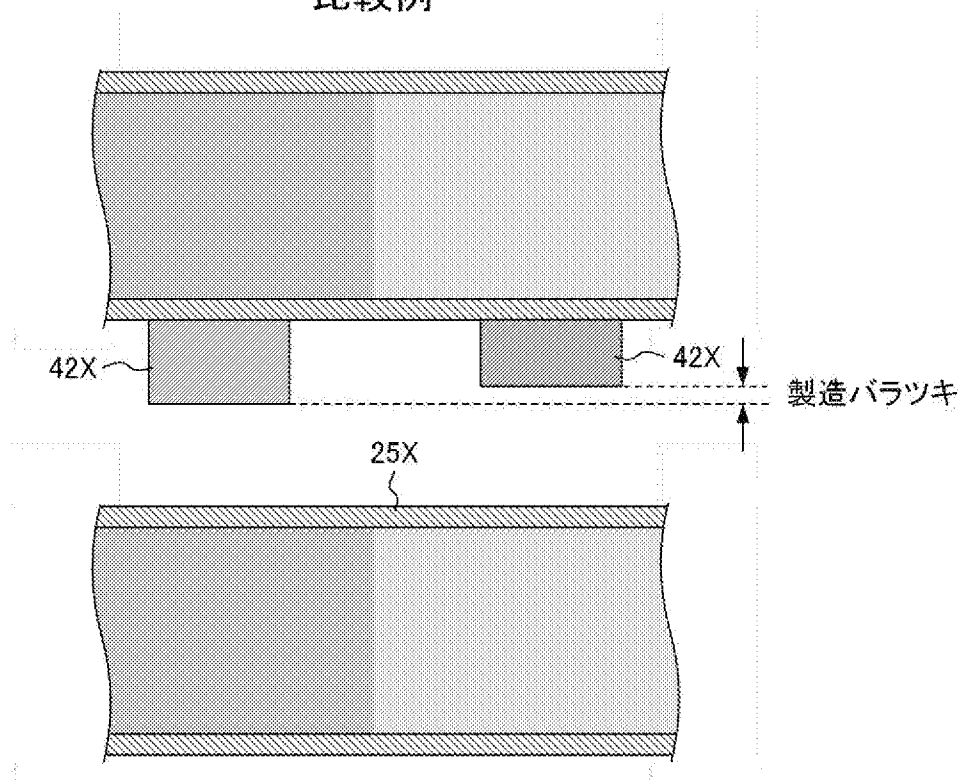


[図13B]



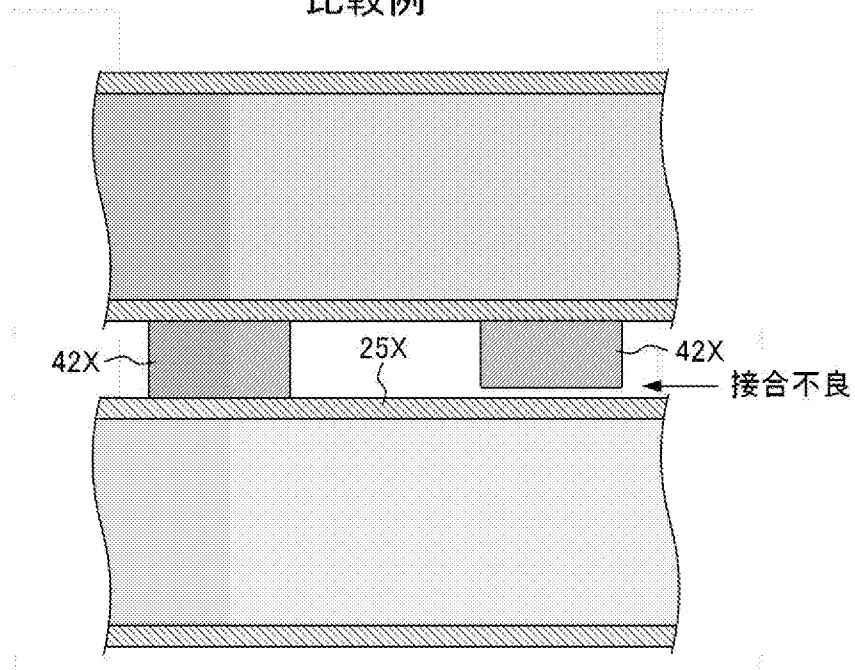
[図14A]

比較例



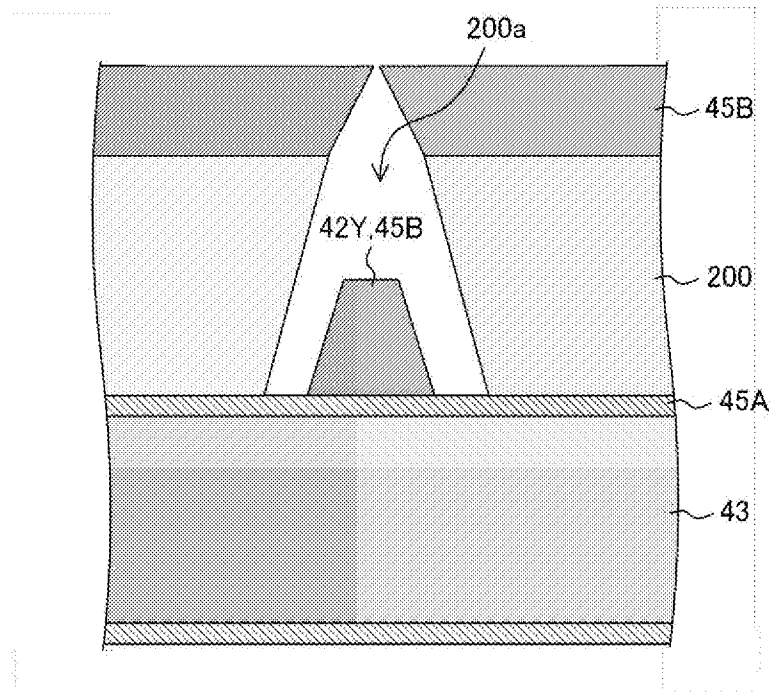
[図14B]

比較例

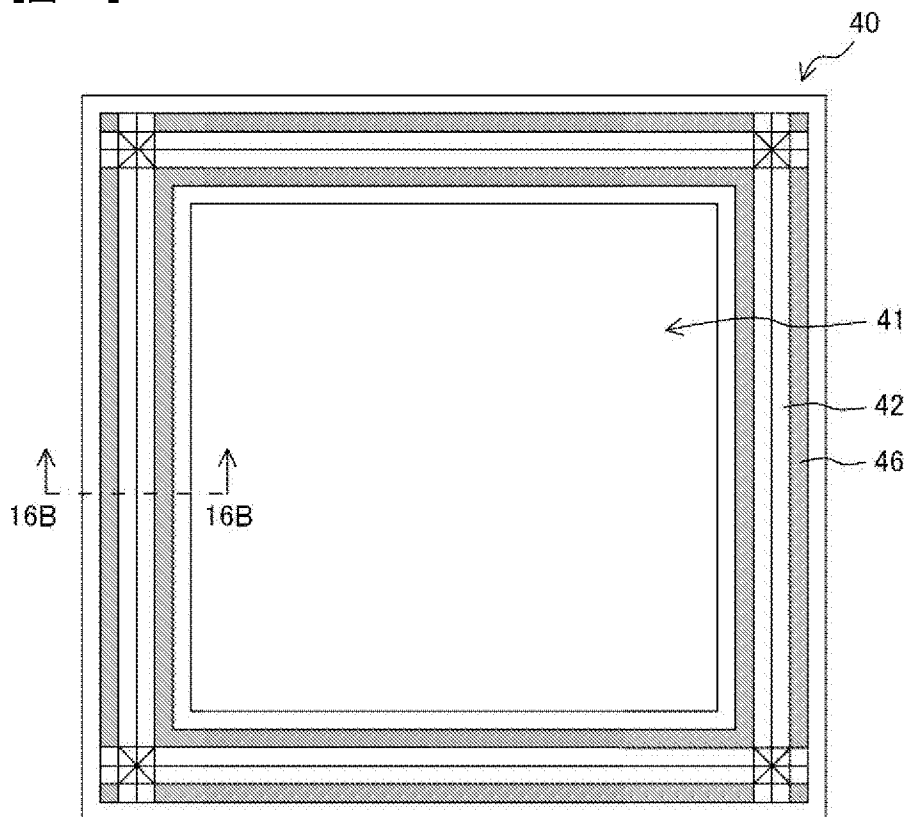


[図15]

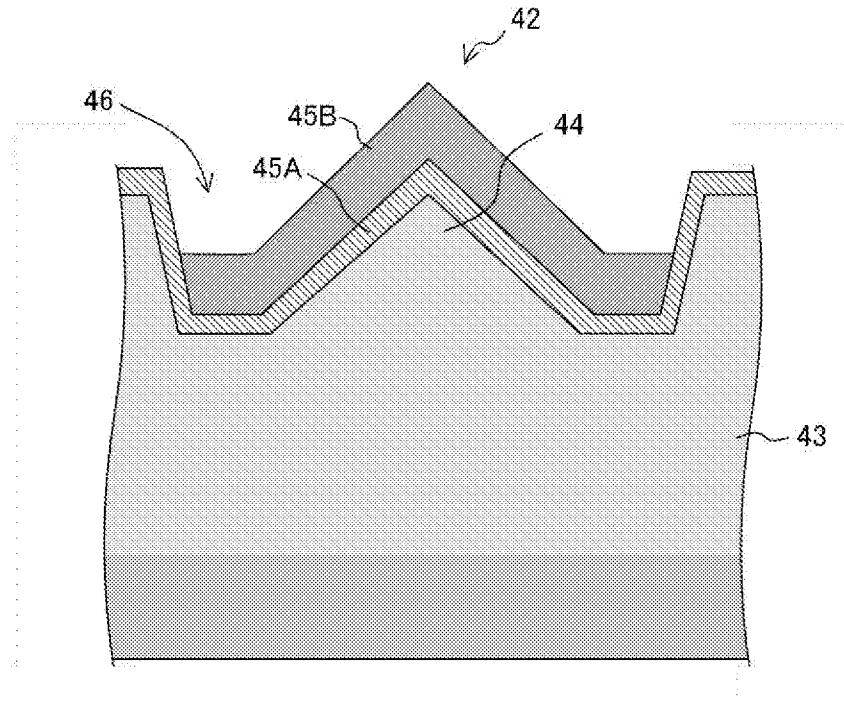
比較例



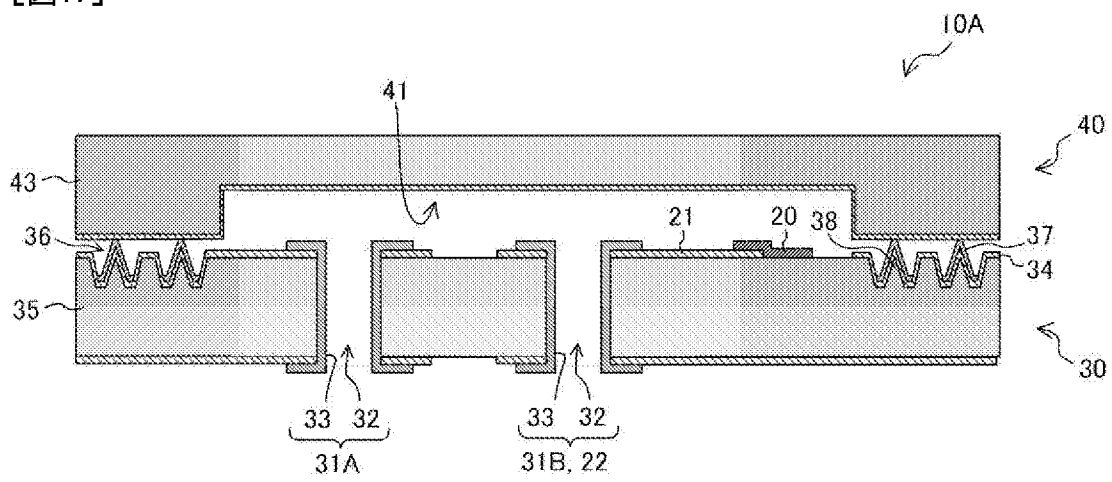
[図16A]



[図16B]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/005649

A. CLASSIFICATION OF SUBJECT MATTER**H01L 39/22**(2006.01)i; **G06N 10/00**(2022.01)i; **H01L 39/04**(2006.01)i

FI: H01L39/22 A; H01L39/04; G06N10/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L39/22; G06N10/00; H01L39/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-231721 A (TOPPAN PRINTING CO., LTD.) 08 October 2009 (2009-10-08) paragraphs [0037]-[0040], [0044]-[0047], [0052]-[0054], fig. 1, 3, 5	1, 2, 5, 6, 8-10, 12-14, 16
Y		3, 11, 15
A		4, 7
Y	JP 2000-306952 A (NITTO DENKO CORP.) 02 November 2000 (2000-11-02) paragraph [0016], fig. 1	3
Y	JP 2003-204162 A (DAINIPPON PRINTING CO., LTD.) 18 July 2003 (2003-07-18) paragraphs [0050]-[0058], fig. 2	11
Y	WO 2005/097396 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 20 October 2005 (2005-10-20) paragraph [0003]	15
A	WO 2020/169418 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 27 August 2020 (2020-08-27)	1-16
A	JP 11-163204 A (FUJITSU LTD.) 18 June 1999 (1999-06-18)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/005649

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2009-231721	A	08 October 2009	(Family: none)	
JP	2000-306952	A	02 November 2000	(Family: none)	
JP	2003-204162	A	18 July 2003	(Family: none)	
WO	2005/097396	A1	20 October 2005	US 2007/0193682 A1 paragraph [0003] CN 1942281 A	
WO	2020/169418	A1	27 August 2020	US 10692831 B1	
JP	11-163204	A	18 June 1999	US 6329711 B1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 39/22(2006.01)i; G06N 10/00(2022.01)i; H01L 39/04(2006.01)i FI: H01L39/22 A; H01L39/04; G06N10/00		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L39/22; G06N10/00; H01L39/04		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1922-1996年 1971-2022年 1996-2022年 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-231721 A（凸版印刷株式会社）08.10.2009（2009-10-08） 段落0037-0040, 0044-0047, 0052-0054、図1, 3, 5	1, 2, 5, 6, 8-10, 12-14, 16 3, 11, 15 4, 7
Y	JP 2000-306952 A（日東電工株式会社）02.11.2000（2000-11-02） 段落0016、図1	3
Y	JP 2003-204162 A（大日本印刷株式会社）18.07.2003（2003-07-18） 段落0050-0058、図2	11
Y	WO 2005/097396 A1（松下電器産業株式会社）20.10.2005（2005-10-20） 段落0003	15
A	WO 2020/169418 A1（INTERNATIONAL BUSINESS MACHINES CORPORATION）27.08.2020 （2020-08-27）	1-16
A	JP 11-163204 A（富士通株式会社）18.06.1999（1999-06-18）	1-16
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 18.04.2022		国際調査報告の発送日 26.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/005649

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-231721	A	08.10.2009	(ファミリーなし)	
JP	2000-306952	A	02.11.2000	(ファミリーなし)	
JP	2003-204162	A	18.07.2003	(ファミリーなし)	
WO	2005/097396	A1	20.10.2005	US 2007/0193682 A1	
				段落0003	
				CN 1942281 A	
WO	2020/169418	A1	27.08.2020	US 10692831 B1	
JP	11-163204	A	18.06.1999	US 6329711 B1	