

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128747
(P2004-128747A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 19/0948	H03K 19/094	5J056
H03F 3/45	H03F 3/45	5J066
		5J500

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号	特願2002-287929 (P2002-287929)	(71) 出願人	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成14年9月30日 (2002.9.30)	(74) 代理人	100102864 弁理士 工藤 実
		(72) 発明者	青木 泰 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	5J056 AA04 BB02 DD13 DD53 EE03 FF07 GG10 5J066 AA01 AA12 CA62 CA65 FA17 FA20 HA10 HA17 HA25 HA33 KA02 KA47 MA13 MA21 PD02 SA13 TA03

最終頁に続く

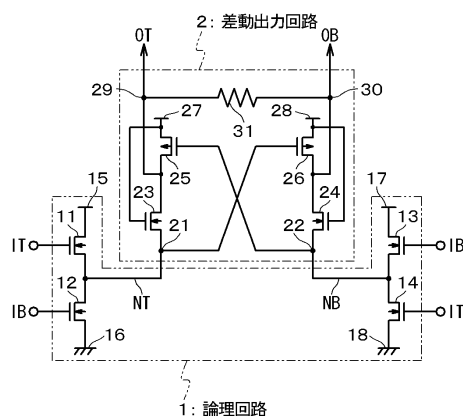
(54) 【発明の名称】 差動出力回路、及びそれを用いた回路

(57) 【要約】 (修正有)

【課題】 周波数帯域幅が広い差動出力回路を提供する。

【解決手段】 差動出力回路(2)は、第1入力信号(NT)が入力される第1入力端子(21)と、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1NチャンネルMISFET(23)と、第2NチャンネルMISFET(24)と、第1PチャンネルMISFET(25)と、第2PチャンネルMISFET(26)と、第1出力端子(29)と、第2出力端子(30)と、第1出力端子(29)と第2出力端子(30)の間に介設された抵抗素子(31)とを備えている。

【選択図】 図1



【特許請求の範囲】

【請求項1】

第1入力信号が入力される第1入力端子と、
 前記第1入力信号の否定論理である第2入力信号が入力される第2入力端子と、
 第1NチャンネルMISFET(Metal Insulator Semiconductor Field Effect Transistor)と、
 第2NチャンネルMISFETと、
 第1PチャンネルMISFETと、
 第2PチャンネルMISFETと、
 第1出力端子と、
 第2出力端子と、
 前記第1出力端子と前記第2出力端子の間に介設された抵抗素子
 とを備え、
 前記第1NチャンネルMISFETのソースは、前記第1入力端子に接続され、
 前記第1NチャンネルMISFETのゲートには、電源電位が供給され、
 前記第1NチャンネルMISFETのドレインは、前記第1出力端子に接続され、
 前記第2NチャンネルMISFETのソースは、前記第2入力端子に接続され、
 前記第2NチャンネルMISFETのゲートには、前記電源電位が供給され、
 前記第2NチャンネルMISFETのドレインは、前記第2出力端子に接続され、
 前記第1PチャンネルMISFETと前記第2PチャンネルMISFETのソースとには、前
 記電源電位が供給され、
 前記第1PチャンネルMISFETのゲートは、前記第2入力端子に接続され、
 前記第1PチャンネルMISFETのドレインは、前記第1出力端子に接続され、
 前記第2PチャンネルMISFETのゲートは、前記第1入力端子に接続され、
 前記第2PチャンネルMISFETのドレインは、前記第2出力端子に接続された
 差動出力回路。

【請求項2】

第1入力信号が入力される第1入力端子と、
 前記第1入力信号の否定論理である第2入力信号が入力される第2入力端子と、
 第1NチャンネルMISFETと、
 第2NチャンネルMISFETと、
 第1PチャンネルMISFETと、
 第2PチャンネルMISFETと、
 第1出力端子と、
 第2出力端子と、
 抵抗素子と、
 誘導素子
 とを備え、
 前記第1NチャンネルMISFETのソースは、前記第1入力端子に接続され、
 前記第1NチャンネルMISFETのゲートには、電源電位が供給され、
 前記第1NチャンネルMISFETのドレインは、前記第1出力端子に接続され、
 前記第2NチャンネルMISFETのソースは、前記第2入力端子に接続され、
 前記第2NチャンネルMISFETのゲートには、前記電源電位が供給され、
 前記第2NチャンネルMISFETのドレインは、前記第2出力端子に接続され、
 前記第1PチャンネルMISFETと前記第2PチャンネルMISFETのソースとには、前
 記電源電位が供給され、
 前記第1PチャンネルMISFETのゲートは、前記第2入力端子に接続され、
 前記第1PチャンネルMISFETのドレインは、前記第1出力端子に接続され、
 前記第2PチャンネルMISFETのゲートは、前記第1入力端子に接続され、

前記第 2 P チャネル M I S F E T のドレインは、前記第 2 出力端子に接続され、
前記抵抗素子と前記誘導素子とは、前記第 1 出力端子と前記第 2 出力端子との間に直列に
介設された

差動出力回路。

【請求項 3】

請求項 2 に記載の差動出力回路において、

前記誘導素子は、

第 1 誘導素子と、

インダクタンスが前記第 1 誘導素子と実質的に等しい第 2 誘導素子

とを含み、

前記第 1 誘導素子は、前記抵抗素子の一の端子と前記第 1 出力端子との間に介設され、

前記第 2 誘導素子は、前記抵抗素子の他の端子と前記第 2 出力端子との間に介設された

差動出力回路。

10

【請求項 4】

請求項 2 に記載の差動出力回路において、

前記抵抗素子は、

第 1 抵抗素子と、

抵抗が前記第 1 抵抗素子と実質的に等しい第 2 抵抗素子

とを含み、

前記第 1 抵抗素子は、前記誘導素子の一の端子と前記第 1 出力端子との間に介設され、

前記第 2 抵抗素子は、前記誘導素子の他の端子と前記第 2 出力端子との間に介設された

差動出力回路。

20

【請求項 5】

第 1 入力信号が入力される第 1 入力端子と、

前記第 1 入力信号の否定論理である第 2 入力信号が入力される第 2 入力端子と、

第 1 出力端子と、

第 2 出力端子と、

前記第 1 入力信号と前記第 2 入力信号とにตอบสนองして、前記第 1 出力端子に第 1 出力信号を

出力し、前記第 2 出力端子に前記第 1 出力信号の否定論理である第 2 出力信号を出力する

出力回路と、

前記第 1 出力端子と前記第 2 出力端子との間に介設された誘導素子

とを備えた

差動出力回路。

30

【請求項 6】

請求項 5 に記載の差動出力回路において、

前記差動出力回路は、

第 1 N チャネル M I S F E T と、

第 2 N チャネル M I S F E T と、

第 1 P チャネル M I S F E T と、

第 2 P チャネル M I S F E T と、

とを備え、

前記第 1 N チャネル M I S F E T のソースは、前記第 1 入力端子に接続され、

前記第 1 N チャネル M I S F E T のゲートには、電源電位が供給され、

前記第 1 N チャネル M I S F E T のドレインは、前記第 1 出力端子に接続され、

前記第 2 N チャネル M I S F E T のソースは、前記第 2 入力端子に接続され、

前記第 2 N チャネル M I S F E T のゲートには、前記電源電位が供給され、

前記第 2 N チャネル M I S F E T のドレインは、前記第 2 出力端子に接続され、

前記第 1 P チャネル M I S F E T と前記第 2 P チャネル M I S F E T のソースとには、前
記電源電位が供給され、

前記第 1 P チャネル M I S F E T のゲートは、前記第 2 入力端子に接続され、

40

50

前記第 1 P チャンネル M I S F E T のドレインは、前記第 1 出力端子に接続され、
前記第 2 P チャンネル M I S F E T のゲートは、前記第 1 入力端子に接続され、
前記第 2 P チャンネル M I S F E T のドレインは、前記第 2 出力端子に接続された
差動出力回路。

【請求項 7】

請求項 5 又は請求項 6 に記載の差動出力回路と、
前記第 1 入力信号として、第 1 クロック信号を供給し、前記第 2 入力信号として、前記第
1 クロック信号と相補である第 2 クロック信号を供給する論理回路
とを備えた
回路。

10

【請求項 8】

請求項 5 又は請求項 6 に記載の差動出力回路と、
前記第 1 入力信号として、第 1 正弦波信号を供給し、前記第 2 入力信号として、前記第 1
正弦波信号と位相が だけずれた第 2 正弦波信号を供給する論理回路とを備えた
回路。

【請求項 9】

請求項 1、請求項 2、請求項 6 に記載の差動出力回路と、
前記第 1 入力信号と前記第 2 入力信号とを供給する論理回路
とを備え、
前記論理回路は、
前記第 1 入力信号のプルアップに使用されるプルアップ N チャンネル M I S F E T と、
前記第 2 入力信号のプルアップに使用されるプルアップ N チャンネル M I S F E T
とを含む
回路。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動出力回路に関する。本発明は、特に、互いに相補である 2 つの入力信号が
入力され、該入力信号に应答して互いに相補である 2 つの出力信号を出力する差動出力回
路に関する。

30

【0002】

【従来の技術】

半導体集積回路には、互いに相補である 2 つの入力信号が入力され、該入力信号に应答し
て互いに相補である 2 つの出力信号を出力する差動出力回路が組み込まれることがある。
差動出力回路は、製造バラツキの影響を受けにくく、更に、ノイズに強い。このような利
点を有する差動出力回路は、携帯電話の送受信回路を初めとして、広い用途で使用される
。

【0003】

差動出力回路は、出力端子と該出力端子に接続される負荷とのインピーダンス整合性が確
保され、出力端子から出力される出力信号の波形歪みが防止されることが望まれる。特許
文献 1 は、差動出力回路のインピーダンス整合性を確保し、出力信号の波形歪みを防止す
るために、差動出力回路を構成する電界効果トランジスタの寄生容量が出力端子に与える
悪影響をインダクタンス素子（誘導素子）を用いて防止することを開示している。

40

【0004】

更に、差動出力回路の動作を高速化するために、差動出力回路にパストランジスタロジッ
クを採用する技術が特許文献 2 に開示されている。論理ゲートの入力としてゲートだけで
なく、ソースあるいはドレインをも用いるパストランジスタロジックは、動作の高速化が
可能である以外にも、消費電力を低減でき、トランジスタ数が少ないという利点をも有し
ている。

【0005】

50

図 8 は、特許文献 2 に開示された差動出力回路を示している。公知のその差動出力回路 102 は、互いに相補である 2 つの信号 P、/P を出力する論理回路 101 とともに使用される。論理回路 101 は、N チャンネル MOS トランジスタ (Metal Oxide Semiconductor Transistor) MN13 ~ MN20 によって構成されている。論理回路 101 には、入力 IA 及び入力 IB と、それらの否定論理である入力 /IA、/IB とが入力される。論理回路 101 は、入力 IA 及び入力 IB の排他的論理和を信号 P として出力し、出力信号 P の否定論理を信号 /P として出力する。

【0006】

差動出力回路 102 は、P チャンネル MOS トランジスタ MP11、12 を使用するにも関わらず、その動作は高速である。一般に、P チャンネル MOS トランジスタは、その動作が N チャンネル MOS トランジスタよりも遅いという特性を有する。従って、P チャンネル MOS トランジスタを使用して信号のプルアップを行うことは、高速動作の実現のためには不利である。しかし、図 8 に開示された出力回路では、出力信号 O、出力信号 /O のプルアップが、P チャンネル MOS トランジスタ MP11、12 に加えて、出力信号 P 及び出力信号 /P をプルアップするトランジスタ (即ち、N チャンネル MOS トランジスタ MN13) によって行われるため、ある程度高速に出力信号 O、出力信号 /O のプルアップを行うことができる。

10

【0007】

【特許文献 1】

特開平 9 - 162653 号公報

20

【特許文献 2】

特公平 7 - 16158 号公報

【0008】

差動出力回路は、その周波数帯域幅が広いことが望まれる。

【0009】

更に、差動出力回路は、一層に高い周波数で動作可能であることが望まれる。

【0010】

【発明が解決しようとする課題】

本発明の目的は、周波数帯域幅が広い差動出力回路を提供することにある。

【0011】

本発明の他の目的は、高い周波数で動作可能な差動出力回路を提供することにある。

30

【0012】

【課題を解決するための手段】

以下に、[発明の実施の形態] で使用される番号・符号を用いて、上記の目的を達成するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明の実施の形態] の記載との対応関係を明らかにするために付加されている。但し、付加された番号・符号は、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明による差動出力回路 (2) は、第 1 入力信号 (NT) が入力される第 1 入力端子 (21) と、第 1 入力信号 (NT) の否定論理である第 2 入力信号 (NB) が入力される第 2 入力端子 (22) と、第 1 N チャンネル MISFET (23) と、第 2 N チャンネル MISFET (24) と、第 1 P チャンネル MISFET (25) と、第 2 P チャンネル MISFET (26) と、第 1 出力端子 (29) と、第 2 出力端子 (30) と、第 1 出力端子 (29) と第 2 出力端子 (30) の間に介設された抵抗素子 (31) とを備えている。第 1 N チャンネル MISFET (23) のソースは、第 1 入力端子 (21) に接続され、第 1 N チャンネル MISFET (23) のゲートには、電源電位 (V_{DD}) が供給され、第 1 N チャンネル MISFET (23) のドレインは、第 1 出力端子 (29) に接続されている。第 2 N チャンネル MISFET (24) のソースは、第 2 入力端子 (22) に接続され、第 2 N チャンネル MISFET (24) のゲートには、電源電位 (V_{DD}) が供給され、第 2 N チ

40

50

ネルMISFET(24)のドレインは、第2出力端子(30)に接続されている。第1PチャンネルMISFET(25)と第2PチャンネルMISFET(26)のソースには、いずれも、電源電位(V_{DD})が供給されている。第1PチャンネルMISFET(25)のゲートは、第2入力端子(22)に接続され、第1PチャンネルMISFET(25)のドレインは、第1出力端子(29)に接続されている。第2PチャンネルMISFET(26)のゲートは、第1入力端子(21)に接続され、第2PチャンネルMISFET(26)のドレインは、第2出力端子(30)に接続されている。このような構成を有する差動出力回路(2)は、第1出力端子(29)と第2出力端子(30)の間に抵抗素子(31)が接続されていることにより、第1出力端子(29)及び第2出力端子(30)から、第1入力端子(21)及び第2入力端子(22)に負帰還がかかる負帰還ループが形成される。負帰還ループの形成は、差動出力回路(2)の周波数帯域を有効に拡大する。

10

【0014】

本発明による差動出力回路(2')は、第1入力信号(NT)が入力される第1入力端子(21)、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1NチャンネルMISFET(23)と、第2NチャンネルMISFET(24)と、第1PチャンネルMISFET(25)と、第2PチャンネルMISFET(26)と、第1出力端子(29)と、第2出力端子(30)と、抵抗素子(31, 34, 36)と、誘導素子(32, 33, 35)とを備えている。第1NチャンネルMISFET(23)のソースは、第1入力端子(21)に接続され、第1NチャンネルMISFET(23)のゲートには、電源電位(V_{DD})が供給され、第1NチャンネルMISFET(23)のドレインは、第1出力端子(29)に接続されている。第2NチャンネルMISFET(24)のソースは、第2入力端子(22)に接続され、第2NチャンネルMISFET(24)のゲートには、電源電位(V_{DD})が供給され、第2NチャンネルMISFET(24)のドレインは、第2出力端子(30)に接続されている。第1PチャンネルMISFET(25)と第2PチャンネルMISFET(26)のソースには、電源電位(V_{DD})が供給されている。第1PチャンネルMISFET(25)のゲートは、第2入力端子(22)に接続され、第1PチャンネルMISFET(25)のドレインは、第1出力端子(29)に接続されている。第2PチャンネルMISFET(26)のゲートは、第1入力端子(21)に接続され、第2PチャンネルMISFET(26)のドレインは、第2出力端子(30)に接続されている。抵抗素子(31, 34, 36)と誘導素子(32, 33, 35)とは、第1出力端子(29)と第2出力端子(30)との間に直列に介設されている。このような差動出力回路(2')は、第1出力端子(29)と第2出力端子(30)の間に、抵抗素子(31, 34, 36)と誘導素子(32, 33, 35)とが直列に接続されていることにより、第1出力端子(29)及び第2出力端子(30)から、第1入力端子(21)及び第2入力端子(22)に負帰還がかかる負帰還ループが形成される。負帰還ループの形成は、差動出力回路(2')の周波数帯域を有効に拡大する。更に、第1出力端子(29)及び第2出力端子(30)に接続される回路の入力容量、及び第1出力端子(29)及び第2出力端子(30)の寄生容量等から構成される容量性インピーダンスが、誘導素子(32, 33, 35)が有する誘導性インピーダンスによって補償される。このため、高周波領域におけるゲインの低下が抑制され、差動出力回路(2')の周波数帯域が一層に拡大される。

20

30

40

【0015】

誘導素子(31, 33)が、第1誘導素子(31)と、第1誘導素子(31)とインダクタンスが実質的に等しい第2誘導素子(33)とを含み、第1誘導素子(31)が、抵抗素子(31)の一の端子と第1出力端子(29)との間に介設され、第2誘導素子(33)が、抵抗素子(31)の他の端子と第2出力端子(30)との間に介設される回路構成は、差動出力回路(2')の回路構成を対称化し、第1出力端子(29)及び第2出力端子(30)から出力される出力信号の対称性を向上できる点で好適である。

【0016】

同様に、抵抗素子(34, 36)が、第1抵抗素子(34)と、抵抗が第1抵抗素子(

50

34)と実質的に等しい第2抵抗素子(36)とを含み、第1抵抗素子(34)が、誘導素子(35)の一の端子と第1出力端子(29)との間に介設され、第2抵抗素子(36)が、誘導素子(35)の他の端子と第2出力端子(30)との間に介設される回路構成は、差動出力回路(2')の回路構成を対称化し、第1出力端子(29)及び第2出力端子(30)から出力される出力信号の対称性を向上できる点で好適である。

【0017】

本発明による差動出力回路(2")は、第1入力信号(NT)が入力される第1入力端子(21)と、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1出力端子(29)と、第2出力端子(30)と、第1入力信号(NT)と第2入力信号(NB)とにตอบสนองして、第1出力端子(29)に第1出力信号を出力し、第2出力端子(30)に第1出力信号の否定論理である第2出力信号を出力する出力回路と、第1出力端子(29)と第2出力端子(30)との間に介設された誘導素子(37)とを備えている。当該差動出力回路(2")は、第1出力端子(29)及び第2出力端子(30)に接続される回路の入力容量、及び第1出力端子(29)及び第2出力端子(30)の寄生容量等から構成される容量性インピーダンスと、誘導素子(32, 33, 35)が有する誘導性インピーダンスとが共振する共振周波数の近傍でゲインが高くなり、該共振周波数の近傍の周波数を有する信号を好適に増幅可能である。当該差動出力回路(2")は、周期信号、例えば、高い周波数を有するクロック信号、正弦波信号の増幅に好適に使用される。

10

【0018】

上述の差動出力回路(2, 2', 2")の使用は、第1入力信号(NT)と第2入力信号(NB)とのプルアップが、NチャンネルMOSFET(11, 13)によって行われる場合に、特に好適である。

20

【0019】

【発明の実施の形態】

以下、添付図面を参照しながら、本発明による差動出力回路の実施の形態を説明する。

【0020】

(実施の第1形態)

図1は、本発明による差動出力回路実施の第1形態では、差動出力回路2が論理回路1とともに設けられている。差動出力回路2は、論理回路1に接続されている。論理回路1と差動出力回路2とは、一の半導体チップ上にモノリシックに集積化され、論理回路1と差動出力回路2とは、一の半導体集積回路を構成する。

30

【0021】

論理回路1は、入力信号ITと、入力信号ITの否定論理である入力信号IBとが供給され、該入力信号ITの正論理である信号NTと、その否定論理である信号NBとを出力するバッファ回路である。論理回路1は、NチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)11~14と、電源電位 V_{DD} を有する電源端子15, 17と、接地電位 V_{SS} を有する接地端子16, 18とを含む。NチャンネルMOSFET11のドレインは、電源端子15に接続され、NチャンネルMOSFET11のソースは、NチャンネルMOSFET12のドレインに接続されている。NチャンネルMOSFET12のソースは、接地端子16に接続されている。NチャンネルMOSFET13のドレインは、電源端子17に接続され、NチャンネルMOSFET13のソースは、NチャンネルMOSFET14のドレインに接続されている。NチャンネルMOSFET14のソースは、接地端子18に接続されている。NチャンネルMOSFET11とNチャンネルMOSFET14のゲートには、入力信号ITが供給され、NチャンネルMOSFET12とNチャンネルMOSFET13のゲートには、入力信号ITの否定論理である入力信号IBとが供給される。信号NTは、NチャンネルMOSFET11のソースから出力され、信号NBは、NチャンネルMOSFET13のソースから出力される。

40

【0022】

50

差動出力回路 2 は、信号 NT、及び信号 NB の正論理を、それぞれ、出力信号 OT、及び出力信号 OB として出力する。より詳細には、差動出力回路 2 は、入力端子 21、22 と、N チャネル MOSFET 23、24 と、P チャネル MOSFET 25、26 と、電源電位 V_{DD} を有する電源端子 27、28 と、出力端子 29、30 と、抵抗素子 31 とを備えている。

【0023】

差動出力回路 2 の入力端子 21 には、論理回路 1 から信号 NT が供給され、入力端子 22 には、論理回路 1 から信号 NB が供給される。入力端子 21 は、N チャネル MOSFET 23 のソースに接続されている。N チャネル MOSFET 23 のゲートは、電源端子 27 に接続され、N チャネル MOSFET 23 のドレインは、出力端子 29 に接続されている。N チャネル MOSFET 23 のドレインは、更に、P チャネル MOSFET 25 のドレインに接続されている。P チャネル MOSFET 25 のソースは、電源端子 27 に接続され、P チャネル MOSFET 25 のゲートは、入力端子 22 に接続されている。

10

【0024】

入力端子 22 は、N チャネル MOSFET 24 のソースに接続されている。N チャネル MOSFET 24 のゲートには、電源端子 28 に接続され、N チャネル MOSFET 24 のドレインは、出力端子 30 に接続されている。N チャネル MOSFET 24 のドレインは、更に、P チャネル MOSFET 26 のドレインに接続されている。P チャネル MOSFET 26 のソースは、電源端子 28 に接続され、P チャネル MOSFET 26 のゲートは、入力端子 21 に接続されている。

20

【0025】

出力信号 OT と出力信号 OB とは、それぞれ、出力端子 29 と出力端子 30 とから出力される。この出力端子 29 と出力端子 30 との間には、抵抗素子 31 が介設されている。後述されるように抵抗素子 31 は、差動出力回路 2 の周波数帯域幅を広げる役割を果たす。

【0026】

差動出力回路 2 は、以下の動作により、信号 NT 及び信号 NB の正論理である出力信号 OT 及び出力信号 OB を出力する。信号 NT が "High" レベル、信号 NB が "Low" レベルである、即ち、信号 NT の電位は $V_{DD} - V_T$ であり、信号 NB の電位は V_{SS} であるとする。入力端子 21 は "High" レベルになり、入力端子 22 は "Low" レベルになる。ゲートに入力端子 22 が接続されている P チャネル MOSFET 25 はオン状態になり、P チャネル MOSFET 25 は、出力端子 29 を電源電位 V_{DD} にプルアップする。出力端子 29 から出力される出力信号 OT は、信号 NT と同じく "High" レベルになる。一方、ゲートに入力端子 21 が接続されている P チャネル MOSFET 26 はオフ状態になる。P チャネル MOSFET 26 のドレインに接続されている出力端子 30 には、入力端子 22 から、常にオン状態である N チャネル MOSFET 27 を介して "Low" レベルの電位が供給される。出力端子 30 が出力する出力信号 OB は、信号 NB と同じく "Low" レベルになる。信号 NT が "Low" レベル、信号 NB が "High" レベルである場合、差動出力回路 2 は、上記の動作と相補である動作を行う。このように、差動出力回路 2 は、信号 NT 及び信号 NB の正論理を、それぞれ、出力信号 OT 及び出力信号 OB として出力する。

30

40

【0027】

出力信号 OT 及び出力信号 OB のプルアップには、P チャネル MOS トランジスタ 25、及び 26 が使用されているが、差動出力回路 2 の動作の高速性は損なわれない。これは、出力信号 OT 及び出力信号 OB のプルアップが、P チャネル MOS トランジスタ 25、及び 26 に加え、信号 NT 及び信号 NB をそれぞれプルアップするトランジスタ（即ち、N チャネルトランジスタ 11、13）によって行われるためである。このような動作は、差動出力回路 2 の動作の高速性を有効に維持する。

【0028】

更に、本実施の形態では、出力端子 29 と出力端子 30 との間に抵抗素子 31 が介設されていることにより、差動出力回路 2 の周波数帯域が広げられている。抵抗素子 31 が出力

50

端子 29 と出力端子 30 との間に接続されることにより，出力端子 29，30 から入力端子 21，22 に負帰還がかかっている。例えば，出力端子 29 の電位が上昇すると，抵抗素子 31 を通じて出力端子 30 の電位が上昇する。出力端子 30 の電位の上昇により，N チャンネル MOS FET 24 を介して出力端子 30 に接続されている入力端子 22 の電位も上昇する。入力端子 22 の電位の上昇により，P チャンネル MOS FET 25 のゲートの電位が上昇し，P チャンネル MOS FET 25 のドレインに接続された出力端子 29 の電位は下がる。逆に，出力端子 30 の電位が上昇すると，抵抗素子 31 を通じて出力端子 29 の電位が上昇し，入力端子 21 の電位が上昇し，入力端子 21 の電位の上昇によって P チャンネル MOS FET 25 のゲートの電位が上昇し，P チャンネル MOS FET 25 のドレインに接続された出力端子 29 の電位は下がる。このように，出力端子 29，30 から入力端子 21，22 に負帰還がかかるため，差動出力回路 2 のゲインは負帰還の帰還率によって支配され，差動出力回路 2 のゲインの信号 NT，NB の周波数への依存性が小さくなる。このため，差動出力回路 2 の周波数帯域は広がる。

10

【0029】

図 7 は，本実施の形態の差動出力回路 2 の周波数特性と，図 8 に示された公知の差動出力回路 102 の周波数特性とを示すグラフである。図 7 のグラフの縦軸は，差動出力回路のゲインを示し，横軸は，周波数を示している。曲線 41 は，差動出力回路 2 の周波数特性を示し，曲線 44 は，公知の差動出力回路 102 の周波数特性を示している。これらの周波数特性は，S P I C E によるシミュレーションによって得られている。本実施の形態の差動出力回路 2 は，負帰還がかかっているためそのゲインは低い。しかし，本実施の形態の差動出力回路 2 は，周波数特性において優れている。回路の遮断周波数は，一般に，ゲインが低周波ゲインよりも 3 dB だけ減少する周波数で定義されるが，図 7 のグラフから明らかであるように，差動出力回路 2 の遮断周波数は，公知の差動出力回路 102 の遮断周波数よりも高い。これは，本実施の形態の差動出力回路 2 は，周波数帯域が広がることを示している。

20

【0030】

以上に説明されているように，本実施の形態の差動出力回路 2 は，出力端子 29 と出力端子 30 との間に介設された抵抗素子 31 の作用により，広い周波数帯域を有している。これにより，本実施の形態の差動出力回路 2 は，一層に高速に動作可能である。

【0031】

本実施の形態において，信号 NT と，その否定論理である信号 NB とを供給する他の論理回路が，バッファ回路である論理回路 1 の代わりに使用され得ることは明らかである。例えば，図 2 に示されているように，N チャンネル MOS FET 45 ~ 60 で構成される論理回路 1' が論理回路 1 の代わりに使用され得る。論理回路 1' は，互いに相補である 1 対の入力信号 I0T，I0B と，互いに相補である 1 対の入力信号 I1T，I1B とが供給され，これら信号対のいずれかを信号 NT，NB として出力するセレクタ回路である。論理回路 1' は，互いに相補であるセレクタ信号 ISLT，ISLB が供給される。論理回路 1' は，セレクタ信号 ISLT が "Low" レベル，セレクタ信号 ISLB が "High" レベルであるとき，入力信号 I0T，I0B を，それぞれ信号 NT，及び信号 NB として出力し，セレクタ信号 ISLT が "High" レベル，セレクタ信号 ISLB が "Low" レベルであるとき，入力信号 I1T，I1B を，それぞれ信号 NT，及び信号 NB として出力する。更に例えば，図 3 に示されているように，N チャンネル MOS FET 61 ~ 72 で構成される論理回路 1" が論理回路 1 の代わりに使用され得る。論理回路 1" は，互いに相補であるクロック信号 ICT，ICB に同期して，互いに相補である入力信号 IT，IB をラッチするラッチ回路である。

30

40

【0032】

(実施の第 2 形態)

図 4 は，本発明による差動出力回路の実施の第 2 形態を示す。実施の第 2 形態では，抵抗素子 31 と出力端子 29 との間に誘導素子 (コイル) 32 が挿入され，抵抗素子 31 と出力端子 30 との間に，誘導素子 33 が挿入される。即ち，出力端子 29 と出力端子 30 と

50

の間には、誘導素子 3 2、抵抗素子 3 1、及び誘導素子 3 3 とが直列に接続されている。誘導素子 3 2 と誘導素子 3 3 とのインダクタンスは、実質的に同一である。誘導素子 3 2 と誘導素子 3 3 とが挿入された実施の第 2 形態の差動出力回路は、以後、差動出力回路 2' と記述される。

【0033】

実施の第 2 形態の差動出力回路 2' は、実施の第 1 形態の差動出力回路 2 と同様に、出力端子 2 9 と出力端子 3 0 との間に抵抗素子 3 1、誘導素子 3 2 及び誘導素子 3 3 が挿入されることによって出力端子 2 9、3 0 から入力端子 2 1、2 2 に負帰還が施され、周波数帯域が拡大されている。

【0034】

更に、実施の第 2 形態では、誘導素子 3 2 及び誘導素子 3 3 が挿入されることにより、差動出力回路 2' の周波数帯域が一層に拡大されている。差動出力回路 2 の高周波領域におけるゲインの減少は、差動出力回路 2 の出力端子 2 9、3 0 に接続される後段回路の入力容量、出力端子 2 9、3 0 と該後段回路とを接続する配線の容量、出力端子 2 9、3 0 の寄生容量等からなる負荷容量に起因する。誘導素子 3 2 及び誘導素子 3 3 は、この負荷容量をキャンセルし、差動出力回路 2 の周波数帯域を一層に広くする。

【0035】

図 7 の曲線 4 2 は、誘導素子 3 2 及び誘導素子 3 3 が挿入された、実施の第 2 形態の差動出力回路 2' の周波数特性を示している。実施の第 2 形態の差動出力回路 2' の周波数特性は、S P I C E によるシミュレーションによって得られている。図 7 のグラフは、誘導素子 3 2 及び誘導素子 3 3 が挿入された、実施の第 2 形態の差動出力回路 2' は、図 8 の公知の差動出力回路 1 0 2 及び実施の第 1 形態の差動出力回路 2 よりも遮断周波数が高く、周波数帯域が広いことを示している。

【0036】

実施の第 2 形態において、出力端子 2 9 と出力端子 3 0 との間には、他の形態によって抵抗素子と誘導素子とが直列に接続され得る。例えば、図 5 に示されているように、出力端子 2 9 と出力端子 3 0 との間に、抵抗素子 3 4 と、誘導素子 3 5 と、抵抗素子 3 4 と同一の抵抗を有する抵抗素子 3 6 が直列に接続されることが可能であり、また、一の抵抗素子と一の誘導素子とが出力端子 2 9 と出力端子 3 0 との間に接続されることが可能である。

【0037】

出力端子 2 9 と出力端子 3 0 との間に介設される抵抗素子と誘導素子とは、対称的に接続されることが好適である。例えば、図 4 の差動出力回路 2' では、抵抗素子 3 1 の一の端子と出力端子 2 9 との間に誘導素子 3 2 が接続され、抵抗素子 3 1 の一の端子と出力端子 3 0 との間に、誘導素子 3 2 と同一のインダクタンスを有する誘導素子 3 3 が接続され、抵抗素子 3 1 と誘導素子 3 2、3 3 は、出力端子 2 9 と出力端子 3 0 とに対して対称的に接続されている。更に、図 5 の差動出力回路 2' では、誘導素子 3 5 の一の端子と出力端子 2 9 との間に抵抗素子 3 4 が接続され、誘導素子 3 5 の一の端子と出力端子 3 0 との間に、抵抗素子 3 4 と同一の抵抗を有する抵抗素子 3 6 が接続され、抵抗素子 3 4、3 6 と誘導素子 3 5 とは、出力端子 2 9 と出力端子 3 0 とに対して対称的に接続されている。このように、出力端子 2 9 と出力端子 3 0 との間に介設される抵抗素子と誘導素子とが対称的に接続されることは、出力端子 2 9 と出力端子 3 0 とからそれぞれ出力される出力信号 O T、O B の対称性を高め、出力端子 2 9 と出力端子 3 0 とに接続される後段回路の動作の信頼性を効果的に向上する。

【0038】

また、実施の第 2 形態においても実施の第 1 形態と同様に、信号 N T と、その否定論理である信号 N B とを供給する他の論理回路が、バッファ回路である論理回路 1 の代わりに使用され得ることは明らかである。

【0039】

(実施の第 3 形態)

図 6 は、本発明による差動出力回路の実施の第 3 形態を示す。実施の第 3 形態では、実施

10

20

30

40

50

の第1形態の差動出力回路2の抵抗素子31が、誘導素子37に置換されている。即ち、実施の第3形態では、出力端子29と出力端子30との間に、誘導素子37が接続されている。誘導素子37は、他の素子を介さずに直接に出力端子29及び出力端子30に接続されている。抵抗素子31の代わりに誘導素子37が使用される実施の第3形態の差動出力回路は、以下、差動出力回路2”と記述される。

【0040】

図7の曲線43は、実施の第3形態の差動出力回路2”の周波数特性を示している。実施の第3形態の差動出力回路2”は、出力端子29、30の負荷容量と誘導素子37とが共振する共振周波数において、ゲインのピークを有する。出力端子29、30の間に抵抗素子が挿入されていないため、ゲインの最大値は、実施の第2形態の差動出力回路2’よりも大きい。差動出力回路2”の低周波ゲインは小さい。

10

【0041】

このような周波数特性を有する差動出力回路2”は、高い周波数を有する周期信号、例えば、高周波クロック信号及び高周波正弦波信号の増幅に好適である。図6に示された論理回路1の入力信号IT、IBとして、互いに相補であるクロック信号を入力することにより、差動出力回路2”に相補であるクロック信号を供給することが可能である。更に、入力信号IT、IBとして、互いに だけ位相が異なる正弦波信号を入力することにより、差動出力回路2”に だけ位相が異なる正弦波信号を供給することが可能である。差動出力回路2”に供給される周期信号の周波数を上述の共振周波数に実質的に一致させることにより、該周期信号を好適に増幅することができる。

20

【0042】

【発明の効果】

本発明により、周波数帯域幅が広い差動出力回路が提供される。

【0043】

また、本発明により、高い周波数で動作可能な差動出力回路が提供される。

【図面の簡単な説明】

【図1】図1は、本発明による差動出力回路の実施の第1形態を示す。

【図2】図2は、実施の第1形態の差動出力回路の変形例を示す。

【図3】図3は、実施の第1形態の差動出力回路の他の変形例を示す。

【図4】図4は、本発明による差動出力回路の実施の第2形態を示す。

30

【図5】図5は、実施の第2形態の差動出力回路の変形例を示す。

【図6】図6は、本発明による差動出力回路の実施の第3形態を示す。

【図7】図7は、実施の第1形態乃至第3形態の差動出力回路、及び従来の差動出力回路の周波数特性を示す。

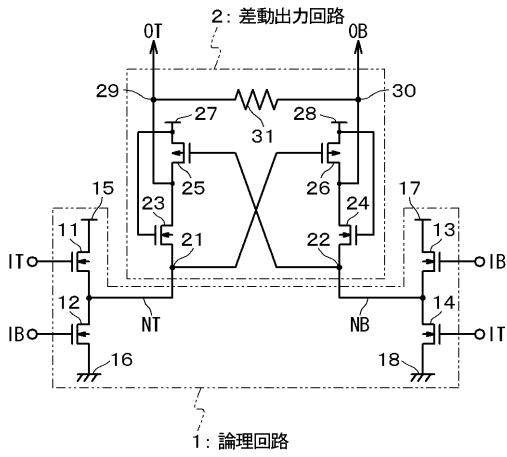
【図8】図8は、従来の差動出力回路を示す。

【符号の説明】

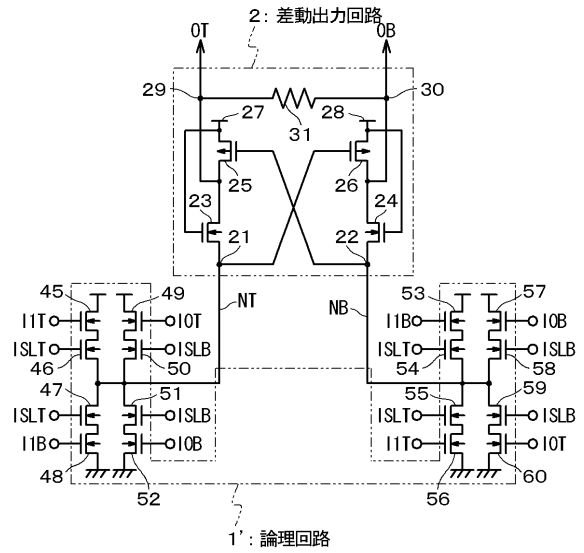
- 1, 1', 1" : 論理回路
- 2, 2', 2" : 差動出力回路
- 11 ~ 14, 45 ~ 72 : NチャネルMOSFET
- 15, 17 : 電源端子
- 16, 18 : 接地端子
- 21, 22 : 入力端子
- 23, 24 : NチャネルMOSFET
- 25, 26 : PチャネルMOSFET
- 27, 28 : 電源端子
- 29, 30 : 出力端子
- 31, 34, 36 : 抵抗素子
- 32, 33, 35 : 誘導素子

40

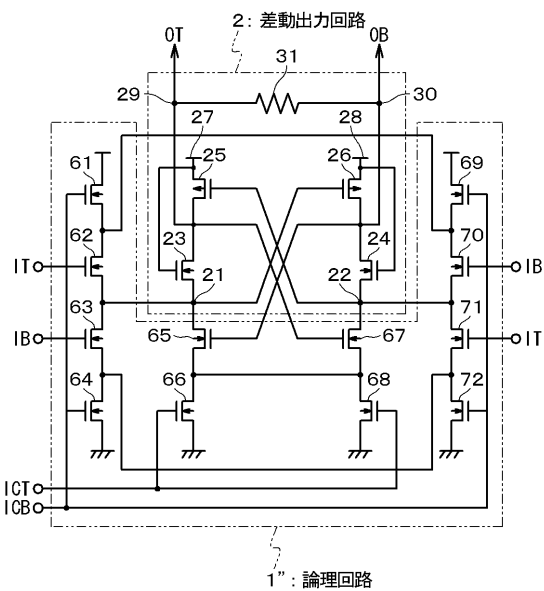
【 図 1 】



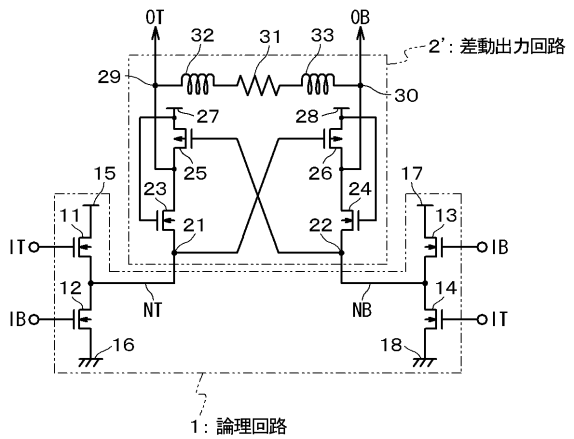
【 図 2 】



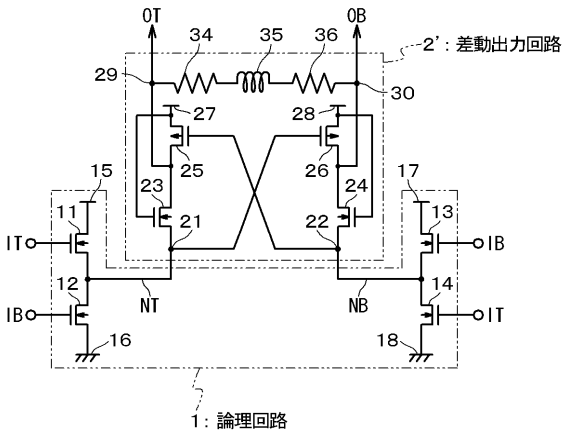
【 図 3 】



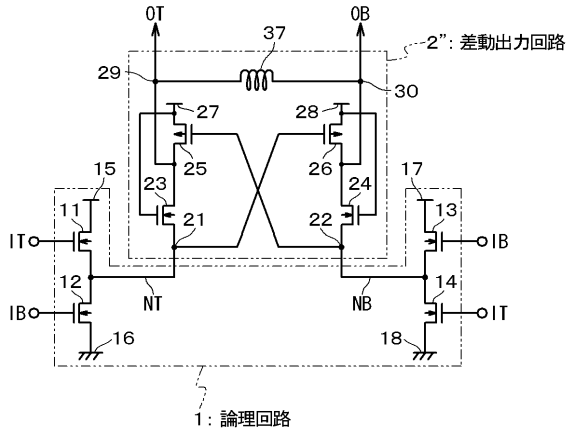
【 図 4 】



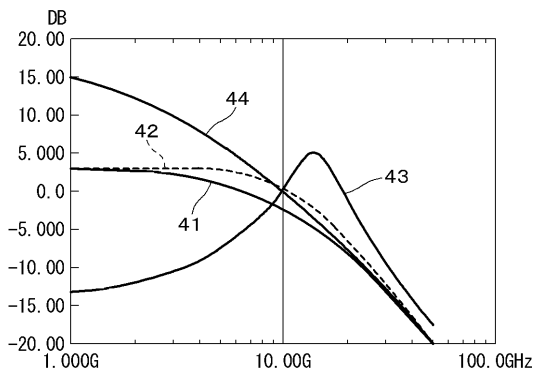
【 図 5 】



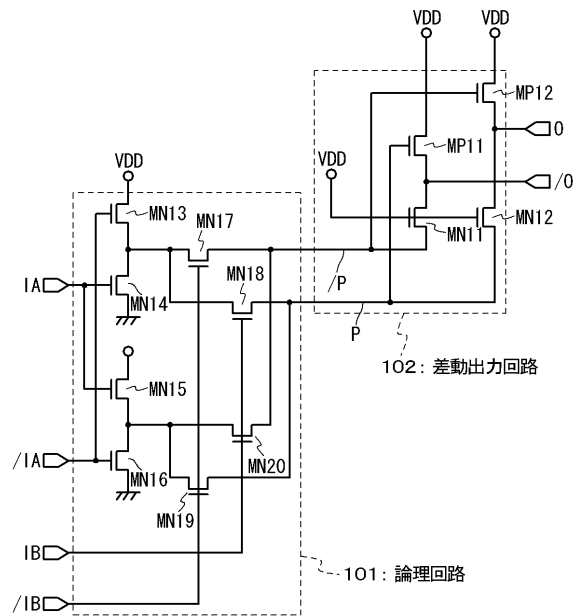
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA12 AC62 AC65 AF17 AF20 AH10 AH17 AH25 AH33
AK02 AK47 AM13 AM21 AS13 AT03 DP02