

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-182232

(P2012-182232A)

(43) 公開日 平成24年9月20日 (2012.9.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/532 (2006.01)	HO 1 L 21/90 K	4 K 0 3 0
HO 1 L 21/768 (2006.01)	HO 1 L 29/80 H	4 M 1 0 4
HO 1 L 21/338 (2006.01)	HO 1 L 21/318 B	5 F 0 3 3
HO 1 L 29/812 (2006.01)	HO 1 L 21/318 M	5 F 0 5 8
HO 1 L 29/778 (2006.01)	C 2 3 C 16/42	5 F 1 0 2

審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2011-42941 (P2011-42941)
 (22) 出願日 平成23年2月28日 (2011.2.28)

(71) 出願人 000154325
 住友電工デバイス・イノベーション株式会社
 神奈川県横浜市栄区金井町1番地
 (74) 代理人 100087480
 弁理士 片山 修平
 (72) 発明者 駒谷 務
 神奈川県横浜市栄区金井町1番地 住友電
 工デバイス・イノベーション株式会社内
 Fターム(参考) 4K030 AA06 AA13 AA16 AA17 BA40
 BB13 CA04 CA17 DA02 DA08
 FA03 JA05 JA06 JA12 JA16
 KA02 LA15
 4M104 AA04 AA07 BB05 BB09 BB14
 EE06 EE12 EE17 GG12 HH09
 最終頁に続く

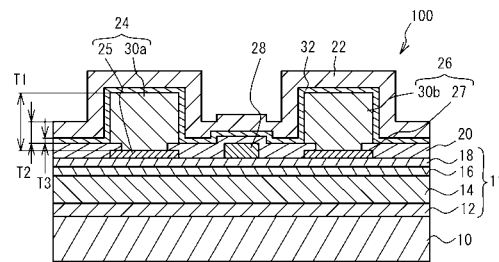
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

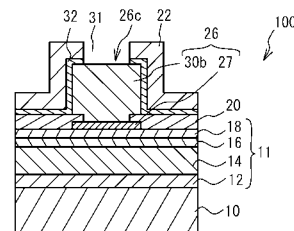
【課題】 製造工程の効率化とパッシベーション膜の剥離の抑制とが可能な半導体装置の製造方法を提供すること。

【解決手段】 本発明は、金を含む配線30a及び配線30bを形成する工程と、配線30a及び配線30bに接して、窒化シリコン膜32をプラズマ気相成長する工程と、窒化シリコン膜32の製膜レートよりも大きな製膜レートのもと、窒化シリコン膜32に接し、窒化シリコン膜22よりもシリコン組成比が小さい窒化シリコン膜22をプラズマ気相成長する工程と、を有する半導体装置の製造方法である。

【選択図】 図5



(a)



(b)

【特許請求の範囲】

【請求項 1】

金を含む金属層を形成する工程と、
前記金属層に接して、第 1 窒化シリコン膜をプラズマ気相成長する工程と、
前記第 1 窒化シリコン膜の製膜レートよりも大きな製膜レートのもと、前記第 1 窒化シリコン膜に接し、前記第 1 窒化シリコン膜よりもシリコン組成比が小さい第 2 窒化シリコン膜をプラズマ気相成長する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 2 窒化シリコン膜の成長は、前記第 1 窒化シリコン膜の成長に使用したシリコン原料流量よりも大きなシリコン原料流量のもと、シリコン原料に対する窒素原料比が、前記第 1 窒化シリコン膜の成長時に比べて大なる条件で実行されることを特徴とする請求項 1 記載の半導体装置の製造方法。

10

【請求項 3】

前記第 1 窒化シリコン膜を成長する工程における CVD 法のパワー密度は、前記第 2 窒化シリコン膜を成長する工程における CVD 法のパワー密度よりも低いことを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】

前記第 1 窒化シリコン膜を成長する工程におけるキャリアガスに対するシランの流量比は 0.002 以上、かつ 0.01 未満であり、

前記第 1 窒化シリコン膜を成長する工程における、前記キャリアガスに対するアンモニアの流量比は 0 以上、かつ 0.001 以下であることを特徴とする請求項 2 又は 3 記載の半導体装置の製造方法。

20

【請求項 5】

前記第 2 窒化シリコン膜を成長する工程における、キャリアガスに対するシランの流量比は 0.01 以上、かつ 0.02 以下であり、

前記第 2 窒化シリコン膜を成長する工程における、前記キャリアガスに対するアンモニアの流量比は 0.002 以上、かつ 0.01 以下であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記第 1 窒化シリコン膜における窒素に対するシリコンの組成比 S_i / N は 0.8 以上であり、

前記第 2 窒化シリコン膜における S_i / N は 0.75 以下であることを特徴とする請求項 1 から 5 いずれか一項記載の半導体装置の製造方法。

30

【請求項 7】

前記第 1 窒化シリコン膜及び前記第 2 窒化シリコン膜に、前記金属層の表面が露出する開口部を設ける工程を有することを特徴とする請求項 1 から 6 いずれか一項記載の半導体装置の製造方法。

【請求項 8】

前記第 2 窒化シリコン膜は、前記第 1 窒化シリコン膜よりも厚いことを特徴とする請求項 1 から 7 いずれか一項記載の半導体装置の製造方法。

40

【請求項 9】

前記第 2 窒化シリコン膜を成長する工程の後に、高圧洗浄を行う工程を有することを特徴とする請求項 1 から 8 いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関する。

【背景技術】

【0002】

例えば FET (Field Effect Transistor : 電界効果型トランジスタ) 等の半導体装置

50

は、高周波用出力増幅用素子として用いられることがある。このような半導体装置では、半導体層の表面にパッシベーション膜を設けることがある。特許文献1及び特許文献2には、半導体層上にシリコンを含む絶縁膜を有する半導体装置が記載されている。有効なパッシベーションのためには、パッシベーション膜を厚くすることが求められる。また、製造工程の効率化のためには、パッシベーション膜の製膜レートを高めることが求められる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-273107号公報

10

【特許文献2】特開2007-273649号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来技術では、厚いパッシベーション膜を迅速に製膜した場合、パッシベーション膜に剥離が生じることがある。本発明は上記課題に鑑み、製造工程の効率化とパッシベーション膜の剥離の抑制とが可能な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、金を含む金属層を形成する工程と、前記金属層に接して、第1窒化シリコン膜をプラズマ気相成長する工程と、前記第1窒化シリコン膜の製膜レートよりも大きな製膜レートのもと、前記第1窒化シリコン膜に接し、前記第1窒化シリコン膜よりもシリコン組成比が小さい第2窒化シリコン膜をプラズマ気相成長する工程と、を有する半導体装置の製造方法である。本発明によれば、パッシベーション膜である第1窒化シリコン膜の剥離の抑制、及び製造工程の効率化が可能となる。

20

【0006】

上記構成において、前記第2窒化シリコン膜の成長は、前記第1窒化シリコン膜の成長に使用したシリコン原料流量よりも大きなシリコン原料流量のもと、シリコン原料に対する窒素原料比が、前記第1窒化シリコン膜の成長時に比べて大なる条件で実行される構成とすることができる。この構成によれば、パッシベーション膜の剥離の抑制、及び製造工程の効率化が可能となる。

30

【0007】

上記構成において、前記第1窒化シリコン膜を成長する工程におけるCVD法のパワー密度は、前記第2窒化シリコン膜を成長する工程におけるCVD法のパワー密度よりも低い構成とすることができる。この構成によれば、パッシベーション膜の剥離の抑制、及び製造工程の効率化が可能となる。

【0008】

上記構成において、前記第1窒化シリコン膜を成長する工程におけるキャリアガスに対するシランの流量比は0.002以上、かつ0.01未満であり、前記第1窒化シリコン膜を成長する工程における、前記キャリアガスに対するアンモニアの流量比は0以上、かつ0.001以下である構成とすることができる。この構成によれば、パッシベーション膜の剥離の抑制、及び製造工程の効率化が可能となる。

40

【0009】

上記構成において、前記第2窒化シリコン膜を成長する工程における、キャリアガスに対するシランの流量比は0.01以上、かつ0.02以下であり、前記第2窒化シリコン膜を成長する工程における、前記キャリアガスに対するアンモニアの流量比は0.002以上、かつ0.01以下である構成とすることができる。この構成によれば、パッシベーション膜の剥離の抑制、及び製造工程の効率化が可能となる。

【0010】

上記構成において、前記第1窒化シリコン膜における窒素に対するシリコンの組成比S

50

i/N は0.8以上であり、前記第2窒化シリコン膜における S_i/N は0.75以下である構成とすることができる。この構成によれば、効果的にパッシベーション膜の剥離を抑制することができる。

【0011】

上記構成において、前記第1窒化シリコン膜及び前記第2窒化シリコン膜に、前記金属層の表面が露出する開口部を設ける工程を有する構成とすることができる。

【0012】

上記構成において、前記第2窒化シリコン膜は、前記第1窒化シリコン膜よりも厚い構成とすることができる。この構成によれば、半導体装置の耐湿性を向上させることができ、また製造工程を効率化することができる。

10

【0013】

上記構成において、前記第2窒化シリコン膜を成長する工程の後に、高圧洗浄を行う工程を有する構成とすることができる。

【発明の効果】

【0014】

本発明によれば、製造工程の効率化とパッシベーション膜の剥離の抑制とが可能な半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【0015】

【図1】図1は半導体装置を例示する平面図である。

20

【図2】図2(a)及び図2(b)は、比較例に係る半導体装置を例示する断面図である。

【図3】図3は、比較例に係る半導体装置を例示する断面図である。

【図4】図4は、実験の結果を示す図である。

【図5】図5(a)及び図5(b)は、実施例1に係る半導体装置を例示する断面図である。

【図6】図6(a)及び図6(b)は、実施例1に係る半導体装置の製造方法を例示する断面図である。

【図7】図7(a)及び図7(b)は、実施例1に係る半導体装置の製造方法を例示する断面図である。

30

【図8】図8(a)から図8(c)は、実施例1に係る半導体装置の製造方法を例示する断面図である。

【図9】図9(a)及び図9(b)は、実施例1に係る半導体装置の製造方法を例示する断面図である。

【発明を実施するための形態】

【0016】

実施例の説明の前に、まず比較例について説明する。図1は比較例に係る半導体装置を例示する平面図である。図2(a)及び図2(b)は、比較例に係る半導体装置を例示する断面図であり、図2(a)は図1のA-A、図2(b)は図1のB-Bに沿った断面を図示する。なお、図1においては窒化シリコン(S_iN)膜20及び窒化シリコン膜22を透視し、ソース電極24、ドレイン電極26及びゲート電極28を図示している。図1における電極の本数は例示したものであり、変更可能である。格子斜線は、ソースパッド24c、ドレインパッド26c及びゲートパッド28cを表す。

40

【0017】

図1、図2(a)及び図2(b)に示すように、半導体装置は、基板10、半導体層11、ソース電極24、ドレイン電極26、ゲート電極28、窒化シリコン膜20及び窒化シリコン膜22を備える。

【0018】

ソース電極24は、ソースフィンガー24aと連結部24bとを含む櫛歯状の電極である。ドレイン電極26は、ドレインフィンガー26aと連結部26bとを含む櫛歯状の電

50

極である。ソース電極 24 とドレイン電極 26 とは、ソースフィンガー 24a とドレインフィンガー 26a とが交互に配置されるように、対向する。ゲート電極 28 は、ゲートフィンガー 28a と連結部 28b とからなる。ゲートフィンガー 28a は、ソースフィンガー 24a とドレインフィンガー 26a との間に配置されている。ソースフィンガー 24a 及び連結部 24b と、ゲート電極 28 の連結部 28b が重なる領域では、ソースフィンガー 24a 及び連結部 24b はエアブリッジとなっており、連結部 28b はソースフィンガー 24a 及び連結部 24b の下に配置されている。窒化シリコン膜 22 の開口した領域からは、ソース電極 24 の一部、ドレイン電極 26 の一部、及びゲート電極 28 の一部が露出する。ソース電極 24 の露出する一部は、ソースパッド 24c として機能する。ドレイン電極 26 の露出する一部は、ドレインパッド 26c として機能する。ゲート電極 28 の露出する一部は、ゲートパッド 28c として機能する。ソースパッド 24c、ドレインパッド 26c、及びゲートパッド 28c は、半導体装置と外部機器との電気的な接続のために使用される。

10

【0019】

図 2 (a) 及び図 2 (b) に示すように、半導体層 11 は、基板 10 の上面に設けられている。半導体層 11 は、バリア層 12、チャネル層 14、電子供給層 16、及びキャップ層 18 を含む。基板 10 に近い方から順に、バリア層 12、チャネル層 14、電子供給層 16、及びキャップ層 18 は積層されている。キャップ層 18 の上面には、窒化シリコン膜 20、ソース電極層 25、ドレイン電極層 27、及びゲート電極 28 が設けられている。ソース電極層 25 及びドレイン電極層 27 は、オーミック電極として機能する。ソース電極層 25 の上面には配線 30a が設けられている。ドレイン電極層 27 の上面には配線 30b が設けられている。配線 30a 及び配線 30b は、それぞれ金 (Au) からなる。ソース電極 24 は、ソース電極層 25 及び配線 30a を含む。ドレイン電極 26 は、ドレイン電極層 27 及び配線 30b を含む。半導体層 11 上には、下から順に窒化シリコン膜 20 及び窒化シリコン膜 22 が設けられている。窒化シリコン膜 22 の膜厚 T0 は例えば 600 nm である。窒化シリコン膜 20 及び窒化シリコン膜 22 は、ゲート電極 28 を覆う。

20

【0020】

図 2 (a) に示すように、窒化シリコン膜 22 は、配線 30a 及び配線 30b に接触し、A-A 断面において配線 30a 及び配線 30b を覆う。その一方で、図 2 (b) に示すように、窒化シリコン膜 22 は、B-B 断面において、ドレイン電極 26 の配線 30b の表面が露出するような開口部 31 を有する。既述したように、露出した配線 30b は、ドレインパッド 26c として機能する。

30

【0021】

窒化シリコン膜 20 は、半導体層 11 に対するパッシベーション膜として機能する。窒化シリコン膜 22 は、ゲート電極 28、配線 30a、及び配線 30b に対するパッシベーション膜として機能する。パッシベーション膜により、ショート抑制、及び耐湿性の向上等が可能となる。しかし、耐湿性向上のためには、窒化シリコン膜 22 が、ある程度の厚さを有することが好ましい。大きな膜厚を有する窒化シリコン膜 22 を形成する場合、製造工程を効率化するために、窒化シリコン膜 22 の製膜レートを高めることが好ましい。しかしながら、Si/N が小さい場合、窒化シリコン膜 22 が配線 30a 又は配線 30b から剥がれやすいという問題があった。図 3 は、窒化シリコン膜に剥離が発生した半導体装置を例示する断面図である。図 3 は、図 1 の B-B に沿った断面を示す。なお、ここで組成比とは原子組成比を意味する。

40

【0022】

図 3 に点線の円で示すように、窒化シリコン膜 22 は、開口部 31 の端部から剥がれやすい。図 3 では窒化シリコン膜 22 が配線 30b から剥がれる場合を図示しているが、同様に窒化シリコン膜 22 が配線 30a から剥がれることもある。また、開口部以外の箇所において、窒化シリコン膜 22 が配線 30a 又は配線 30b から剥がれることもある。例えば、ウェハを洗浄するための高圧洗浄工程 (例えばジェットスクラバー工程) 等では、

50

窒化シリコン膜 2 2 に物理的な力が加わるため、窒化シリコン膜 2 2 が剥がれやすい。また、基板 1 0 及び半導体層 1 1 を切断するダイシング工程においても水を使用することがあるため、水による加わる力により、窒化シリコン膜 2 2 が剥がれることがある。窒化シリコン膜 2 2 の剥離が発生した場合、異物、水分等が配線 3 0 a 又は配線 3 0 b に付着することがある。例えば、水分が窒化シリコン膜 2 2 と配線 3 0 a 又は配線 3 0 b との界面に浸入した場合、配線 3 0 a 又は配線 3 0 b が腐食することがある。また、ダイシング工程において発生する破片等の異物が、半導体層 1 1 に付着することがある。異物の付着により、ショートが発生することがある。また、半導体装置の完成後、例えば半導体装置の電子デバイスへの実装の際に半導体装置に加えられる熱、又は衝撃等により、窒化シリコン膜 2 2 が剥がれることもある。有効なパッシベーションのためには、窒化シリコン膜と配線 3 0 a 及び配線 3 0 b との密着性を高めることが求められる。

10

【 0 0 2 3 】

次に、実験について説明する。この実験は、窒化シリコン膜中の S i の組成比に応じて密着性が変動するか検証したものである。まずサンプルについて説明する。

【 0 0 2 4 】

サンプルの構成は図 1、図 5 (a) 及び図 5 (b) に示した半導体装置とした。寸法は以下の通りである。

チップサイズ： $0.5 \times 2 \text{ mm}^2$

単位ゲート幅 W (図 1 参照)： $300 \mu\text{m}$

窒化シリコン膜 2 2 の成長条件は以下の通りである。

装置：平行平板プラズマ C V D (Chemical Vapor Deposition : 化学気相成長) 装置

パワー密度： 0.07 W/cm^2

気圧： $1 \text{ Torr} (133.3 \text{ Pa})$

炉内温度： 300

窒化シリコン膜 2 2 の窒素 (N) に対するシリコン (S i) の組成比 S i / N を $0.6 \sim 1$ までの間において変動させたサンプルを準備した。また、各組成比ごとに、窒化シリコン膜 3 2 の膜厚 T 3 は、 5 nm 、及び 50 nm の 2 種類とした。サンプルの個数は、各組成比及び各膜厚ごと 200 個とした。実験では、サンプルに熱衝撃試験を行った後、さらにピーリング試験を行い、 200 個のサンプルのうち、配線 3 0 a 又は配線 3 0 b など表面が金 (A u) である部分から窒化シリコン膜 2 2 の剥離が発生した個数を調べた。熱衝撃試験では、 2 分間で 350 まで加熱し室温まで戻すサイクルを 3 回繰り返した。ピーリング試験では、サンプルにテープを貼り付けた後、テープを剥がし、窒化シリコン膜 2 2 に剥離が発生したか検証した。

20

30

【 0 0 2 5 】

図 4 は、実験の結果を示す図である。横軸は、組成比 S i / N を表す。縦軸は、 200 個のサンプル中において剥離が発生した個数を表す。図中の印のうち、丸は膜厚 T 3 が 5 nm のサンプルの結果、四角は膜厚 T 3 が 50 nm のサンプルの結果を表す。

【 0 0 2 6 】

図 4 に示すように、 S i / N が高くなるほど、剥離した個数は少なくなった。特に、 S i / N が 0.8 以上の場合、剥離した個数は 0 個だった。また、例えば S i / N = 0.6 の結果に顕著なように、同じ S i / N で比較した場合、膜厚の大きいサンプルの方が剥離した個数は少なかった。以上のように、窒化シリコン膜の S i の組成比を高めることにより、配線 3 0 a 及び配線 3 0 b との密着性は向上した。さらに膜厚が大きい方が密着性は向上した。

40

【 0 0 2 7 】

以上の知見から、金からなる金属層と接する窒化シリコン膜は S i 組成比を高めることにより密着性を向上し、その上に S i 組成比を低くして窒化シリコン膜を高レートで製膜すれば、金属層との密着性が高く、またその厚みにより耐湿性に優れた窒化シリコン膜を得ることができることがわかる。なお、 S i 組成比の高い窒化シリコン膜を得るためには、製膜レートを小さくしなければならない。その理由は、高い製膜レートで S i 組成比が

50

大きい窒化シリコン膜の製膜を行うと、窒化シリコン以外の材料（たとえばアモルファスシリコン）が析出するなどの課題があるためである。窒化シリコン膜の製膜レートを低減するためには、原料流量を小さくする方法が考えられる。また加えて、CVD法において印加する電力と、電力を印加するための電極の面積との比であるパワー密度を低下させることも効果的である。

【実施例 1】

【0028】

図5(a)及び図5(b)は、実施例1に係る半導体装置を例示する断面図である。図1に示した平面図は実施例1にも共通である。図5(a)は図1のA-Aに沿った断面、図5(b)は図1のB-Bに沿った断面を図示する。図1から図2(b)において既述した構成については、説明を省略する。

10

【0029】

図5(a)及び図5(b)に示すように、実施例1に係る半導体装置100は、窒化シリコン膜32を備える。具体的には、窒化シリコン膜20の上に窒化シリコン膜32（第1窒化シリコン膜）が設けられ、窒化シリコン膜32の上に窒化シリコン膜22（第2窒化シリコン膜）が設けられている。窒化シリコン膜32は、窒化シリコン膜22と重なるように設けられている。すなわち、窒化シリコン膜32は、配線30a及び配線30bの側面及び上面に接触し、窒化シリコン膜22は窒化シリコン膜32に接触するが、配線30a及び配線30bには接触しない。図5(b)に示すように、図1のB-B断面において、窒化シリコン膜22及び窒化シリコン膜32は、配線30bの表面が露出するような開口部31を有する。

20

【0030】

基板10は例えばSiC（炭化シリコン）、Si又はサファイア等からなる。バリア層12は、例えば厚さ300nmの窒化アルミニウム（AlN）からなる。チャネル層14は例えば厚さ1000nmの窒化ガリウム（i-GaN）からなる。電子供給層16は、例えば厚さ300nmの窒化アルミニウムガリウム（AlGaN）からなる。キャップ層18は、例えば厚さ5nmの、ノンドープの窒化ガリウムからなる。半導体装置100は、窒化物半導体を用いたFETである。また配線30a及び配線30bの各々は、FETのソース電極層25およびドレイン電極層27の各々に接続された配線である。

30

【0031】

ソース電極層25及びドレイン電極層27は、キャップ層18に近い方から順に、例えばチタン（Ti）及びアルミニウム（Al）等の金属を積層してなる。配線30a及び配線30bは、例えば厚さ3μmのAuからなる。ゲート電極28は、キャップ層18に近い方から順に、例えばニッケル（Ni）及びAu等の金属を積層してなる。窒化シリコン膜20の厚さは例えば50～80nmである。

【0032】

窒化シリコン膜32は、窒化シリコン膜22よりもSiの組成比が高い。例えば、窒化シリコン膜22におけるNに対するSiの組成比Si/Nは0.75以下である。窒化シリコン膜32におけるSi/Nは0.8以上である。窒化シリコン膜22と窒化シリコン膜32とを合わせた膜厚T1は、例えば600nmで、比較例の膜厚T0と同じである。窒化シリコン膜22の膜厚T2は例えば550nmである。窒化シリコン膜32の膜厚T3は例えば50nmである。窒化シリコン膜22の膜厚T2と窒化シリコン膜32の膜厚T3は変更可能であるが、窒化シリコン膜22の膜厚T2は窒化シリコン膜32の膜厚T3よりも大きい。

40

【0033】

次に、実施例1に係る半導体装置の製造方法について説明する。図6(a)から図7(b)は、実施例1に係る半導体装置の製造方法を例示する断面図であり、図1のA-A断面に対応する。図8(a)から図9(b)は、実施例1に係る半導体装置の製造方法を例示する断面図であり、図1のB-B断面に対応する。

【0034】

50

まず、例えばMOCVD法(Metal Organic Chemical Vapor Deposition:有機金属気相成長法)を用い、基板10に近い方から順に、バリア層12、チャンネル層14、電子供給層16、及びキャップ層18をエピタキシャル成長させる。さらに、例えば蒸着法及びリフトオフ法により、キャップ層18の上にソース電極層25、ドレイン電極層27、及びゲート電極28を設ける。

【0035】

図6(a)及び図8(a)に示すように、キャップ層18の上に、ソース電極層25、ドレイン電極層27、及びゲート電極28を覆うように、窒化シリコン膜20を設ける。図6(b)及び図8(b)に示すように、窒化シリコン膜20上にレジスト23を設け、例えばエッチング法により、窒化シリコン膜20に開口部21a及び開口部21bを形成する。開口部21aからはソース電極層25が露出し、開口部21bからはドレイン電極層27が露出する。

10

【0036】

図7(a)及び図8(c)に示すように、例えば電解メッキ法又は無電解メッキ法により、ソース電極層25上面に配線30aを、ドレイン電極層27の上面に配線30bをそれぞれ設ける。

【0037】

図7(b)及び図9(a)に示すように、CVD法により、窒化シリコン膜20、配線30a及び配線30bを覆うように、窒化シリコン膜32を設ける。さらに、窒化シリコン膜32上に窒化シリコン膜22を設ける。

20

【0038】

窒化シリコン膜32を形成するための製膜条件の例を以下に示す。Si/Nの高い窒化シリコン膜を形成するためには、製膜レートを低下させる必要があり、製膜条件の一例としては以下の範囲が考えられる。

原料流量: SiH_4 : NH_3 : キャリアガス = 2 ~ 10 未満 : 0 ~ 1 : 1000 sccm
(3.38×10^{-3} ~ 1.69×10^{-2} 未満 : 0 ~ 1.69×10^{-3} : $1.69 \text{ Pa} \cdot \text{m}^3 / \text{s}$)

また具体的には、下記の2通りの方法が挙げられる。

方法1:

シリコン原料として SiH_4 、窒素原料及びキャリアガスとして窒素(N_2)、キャリアガスとしてヘリウム(He)を使用する。また流量比は、例えば SiH_4 : キャリアガス = 5 : 1000 sccm (8.45×10^{-3} : $1.69 \text{ Pa} \cdot \text{m}^3 / \text{s}$)とする。なお、窒素(N_2)とヘリウム(He)との流量比は例えば1 : 4である。

30

方法2:

シリコン原料として SiH_4 、窒素原料として NH_3 、キャリアガスとして窒素(N_2)及びヘリウム(He)とを使用する。また流量比は、例えば SiH_4 : NH_3 : キャリアガス = 5 : 0.5 : 1000 sccm (8.45×10^{-3} : 8.45×10^{-4} : $1.69 \text{ Pa} \cdot \text{m}^3 / \text{s}$)とする。なお、窒素(N_2)とヘリウム(He)との流量比は例えば1 : 4である。

40

なお、方法1及びのいずれにおいても以下は共通とする。

装置: 平行平板プラズマCVD装置

パワー密度: $0.07 \text{ W} / \text{cm}^2$

周波数: 13.56 MHz

気圧: 1 Torr (133.3 Pa)

炉内温度: 300

製膜レート: 10 nm/min 以下

【0039】

窒化シリコン膜22は、効率的に所定の厚みをもった窒化シリコン膜を得るための条件が与えられる。前記したように、Si組成比の高い窒化シリコン膜を高い成長レートで製膜することは困難である。そこで、窒化シリコン膜22は、窒化シリコン膜32よりもS

50

i 組成比の低い条件を採用する。窒化シリコン膜 2 2 を形成するための製膜条件の例を以下に示す。窒化シリコン膜 3 2 の製膜条件と共通する部分は省略する。一例としては以下の範囲が考えられる。

流量：

$\text{SiH}_4 : \text{NH}_3 : \text{キャリアガス} = 10 \sim 20 : 2 \sim 10 : 1000 \text{ sccm}$
 $(1.69 \times 10^{-2} \sim 3.38 \times 10^{-2} : 3.38 \times 10^{-3} \sim 1.69 \times 10^{-2} : 1.69 \text{ Pa} \cdot \text{m}^3 / \text{s})$

具体的には下記の条件が挙げられる。

$\text{SiH}_4 : \text{NH}_3 : \text{キャリアガス} = 15 : 10 : 1000 \text{ sccm}$ ($2.535 \times 10^{-2} : 1.69 \times 10^{-2} : 1.69 \text{ Pa} \cdot \text{m}^3 / \text{s}$)

パワー密度： $0.21 \text{ W} / \text{cm}^2$

製膜レート： $40 \text{ nm} / \text{min}$ 以上

【0040】

図 9 (b) に示すように、配線 3 0 b 上の窒化シリコン膜 2 2 及び窒化シリコン膜 3 2 を除去することにより、開口部 3 1 を形成する。開口部 3 1 からは、ドレインパッド 2 6 c として機能する配線 3 0 b の表面が露出する。開口部 3 1 からは、配線 3 0 b の表面の少なくとも一部が露出していけばよい。その後、例えばジェットスクラバー工程等の高圧洗浄工程を行う。高圧洗浄工程の後に、ウェハを個片化するダイシング工程を行う。以上の工程により、実施例 1 に係る半導体装置 1 0 0 が形成される。

【0041】

実施例 1 によれば、Au からなる配線 3 0 a 及び配線 3 0 b と接触する窒化シリコン膜 3 2 は、窒化シリコン膜 2 2 よりも Si の組成比が高い。このため、図 4 に示したように、窒化シリコン膜 3 2 と配線 3 0 a 及び配線 3 0 b との密着性が高まる。

【0042】

上記のような窒化シリコン膜 2 2 及び窒化シリコン膜 3 2 を得るため、窒化シリコン膜 3 2 を成長する工程及び窒化シリコン膜 2 2 を成長する工程は、 SiH_4 及び NH_3 を原料とし、CVD 法を用いる。また、窒化シリコン膜 3 2 を成長する工程における SiH_4 の流量及び NH_3 の流量の各々は、窒化シリコン膜 2 2 を成長する工程における SiH_4 の流量及び NH_3 の流量の各々よりも小さい。つまり、窒化シリコン膜 2 2 を成長する工程は、窒化シリコン膜 3 2 を成長する工程よりも、大きなシリコン原料 (SiH_4) 流量のもと、シリコン原料に対する窒素原料 (NH_3) 比が大なる条件で実行される。具体的には、既述したように、窒化シリコン膜 3 2 を形成する工程において、キャリアガス (He 及び N_2) に対する SiH_4 の流量比 R 1 は、0.002 以上、かつ 0.01 以下とする。キャリアガスに対する NH_3 の流量比 R 2 は、0 以上、かつ 0.001 以下とする。窒化シリコン膜 2 2 を形成する工程において、キャリアガス (He 及び N_2) に対する SiH_4 の流量比 R 3 は、0.01 以上、かつ 0.02 以下とする。キャリアガスに対する NH_3 の流量比 R 4 は、0.002 以上、かつ 0.01 以下とする。流量比 R 1 は、例えば 0.003 以上、かつ 0.009 以下としてもよい。流量比 R 2 は、例えば 0.0001 以上、かつ 0.0009 以下としてもよい。流量比 R 3 は、例えば 0.012 以上、かつ 0.018 以下としてもよい。流量比 R 4 は、例えば 0.003 以上、かつ 0.009 以下としてもよい。このように、窒化シリコン膜 3 2 の組成比 Si/N は高くなる。また、窒化シリコン膜 2 2 の原料 (SiH_4 及び NH_3) の流量は、窒化シリコン膜 3 2 の原料の流量より大きいいため、製造工程を効率化することができる。従って、実施例 1 によれば、パッシベーション膜である窒化シリコン膜 3 2 の剥離が抑制され、かつ製造工程を効率化することが可能である。キャリアガスは、例えば He 、アルゴン (Ar) 等の希ガスと N_2 との混合ガス、又は希ガスとすることができる。

【0043】

図 4 に示したように、窒化シリコン膜の膜厚が 5 nm 又は 50 nm、組成比 Si/N が 0.8 以上である場合、窒化シリコン膜の剥離は効果的に抑制される。このため、窒化シリコン膜 3 2 の膜厚 T 3 は 5 nm 以上、組成比 Si/N は 0.8 以上とすることが好まし

10

20

30

40

50

い。窒化シリコン膜 22 の組成比 S_i / N は例えば 0.85 以上、又は 0.9 以上としてもよい。

【0044】

S_i の組成比を高めるために、 SiH_4 及び NH_3 の流量を減少させ、CVD法におけるパワー密度を低下させる。この場合、窒化シリコン膜の製膜レートが低下する。例えば、窒化シリコン膜 32 の製膜レートは、10nm/min以下である。その一方、窒化シリコン膜 22 の製膜レートは、例えば 40nm/min以上である。このように、窒化シリコン膜 22 は、窒化シリコン膜 32 より大きな製膜レートのもと成長する。剥離を抑制し、かつ製造工程を効率化するために、配線 30a 及び配線 30b に接触する側に S_i の組成比が高い窒化シリコン膜 32 を設け、窒化シリコン膜 32 の上には S_i の組成比が低い窒化シリコン膜 22 を設ける。窒化シリコン膜 22 の製膜レートを高め、製造工程の効率化するためには、窒化シリコン膜 22 の組成比 S_i / N を 0.75 以下とすることが好ましい。窒化シリコン膜 22 の組成比 S_i / N は、例えば 0.7 以下、0.6 以下、又は 0.5 以下としてもよい。

10

【0045】

製造工程の効率化のためには、製膜レートの高い窒化シリコン膜 22 を、窒化シリコン膜 32 より厚くすることが好ましい。また、窒化シリコン膜 32 の膜厚 T_3 は剥離抑制の効果が十分得られる程度の大きさとすることが好ましい。例えば、窒化シリコン膜 22 の膜厚 T_2 を 100nm以上、窒化シリコン膜 32 の膜厚 T_3 を 5nm以上かつ 100nm以下とすることができる。また、窒化シリコン膜 22 の膜厚 T_2 は、例えば窒化シリコン膜 32 の膜厚 T_3 の 2 倍以上、5 倍以上、又は 10 倍以上等とすることができる。耐湿性向上のためには、窒化シリコン膜 22 と窒化シリコン膜 32 とを合わせた膜厚 T_1 を大きくすることが好ましい。これにより、製造工程の効率を高め、かつ耐湿性を高めることができる。

20

【0046】

配線 30a は FET のソース電極 24 に接続される。配線 30b は FET のドレイン電極 26 に接続される。従って、実施例 1 によれば、FET の信頼性を高めることができる。特に、開口部 31 においても、窒化シリコン膜 32 は剥がれにくい。従って、より効果的に半導体装置の信頼性を高めることができる。また、例えばジェットスクラバー工程のような、半導体装置に機械的な力が加わり、かつ水を使用する工程を行った場合でも、窒化シリコン膜 32 の剥離を抑制することができる。さらに、図 4 に示したように、 S_i / N の高い窒化シリコン膜は熱衝撃試験においても剥がれにくい。従って、完成した半導体装置を使用する場合でも、窒化シリコン膜 32 の剥離を抑制することができる。

30

【0047】

CVD法として、平行平板プラズマ CVD法以外に、例えば ECR (Electronic Cyclotron Resonance: 電子サイクロトロン共鳴) プラズマ CVD法、又は ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) CVD法を用いることができる。

【0048】

本発明は、表面が金 (Au) からなる金属層上における窒化シリコン膜の剥離を効果的に防止できる効果がある。すなわち、実施例で説明した配線 30a 及び配線 30b のほか、電極パッド、その他の電極においても、その表面が金 (Au) である場合には、同様の効果を得ることができる。半導体層には、GaN、AlN 及び AlGaN 以外の窒化物半導体を用いてもよい。窒化物半導体は、窒素を含む半導体であり、例えば窒化インジウム (InN)、窒化インジウムガリウム (InGaN)、窒化インジウムアルミニウム (InAlN)、及び窒化アルミニウムインジウムガリウム (AlInGaN) 等である。また、その他半導体としては、例えば砒素 (As) を含む半導体を用いてもよい。例として、ガリウム砒素 (GaAs)、アルミニウム砒素 (AlAs)、インジウム砒素 (InAs)、インジウムガリウム砒素 (InGaAs)、アルミニウムガリウム砒素 (AlGaAs)、アルミニウムインジウムガリウム砒素 (AlInGaAs) 等がある。

40

【0049】

50

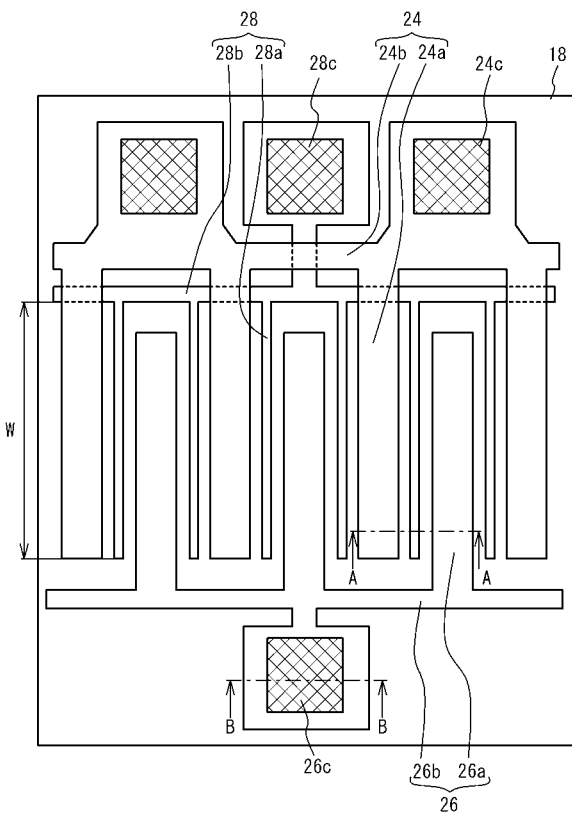
以上、本発明の実施例について詳述したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

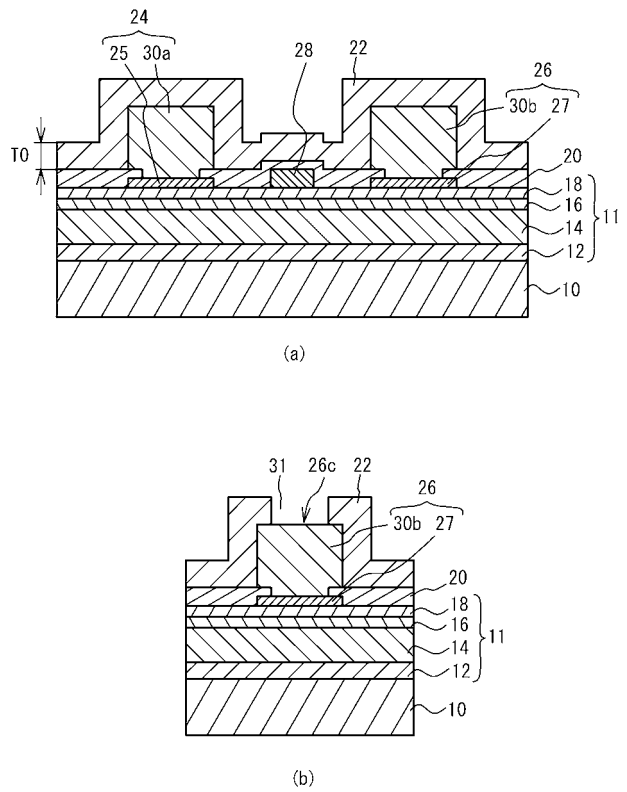
【0050】

基板	10
半導体層	11
窒化シリコン膜	20、22、32
ソース電極	24
ドレイン電極	26
ゲート電極	28
配線	30a、30b
開口部	31

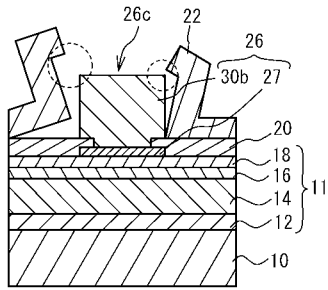
【図1】



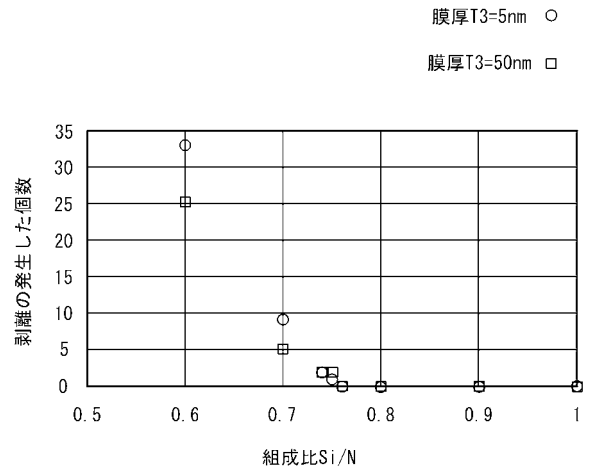
【図2】



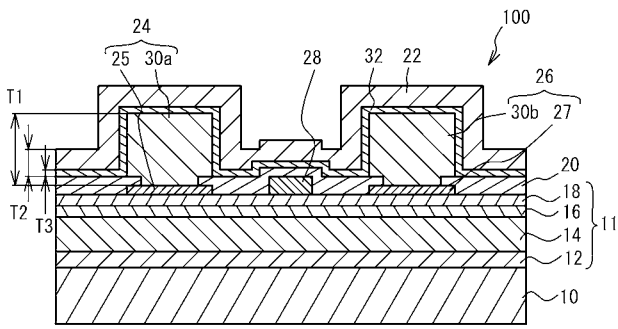
【 図 3 】



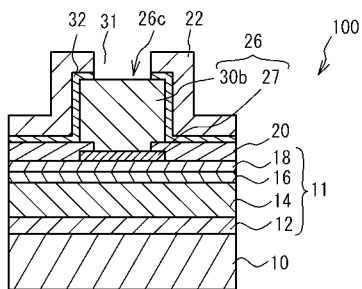
【 図 4 】



【 図 5 】

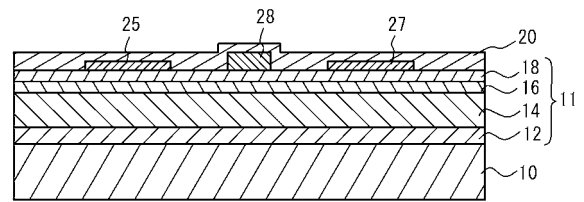


(a)

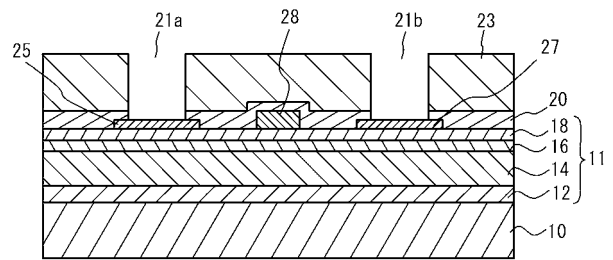


(b)

【 図 6 】

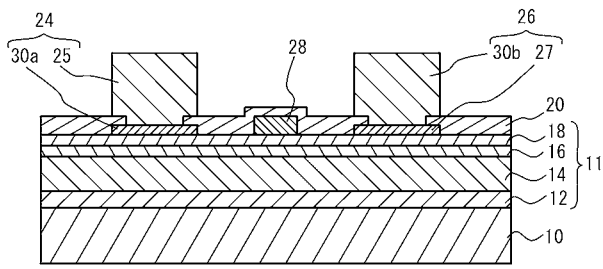


(a)

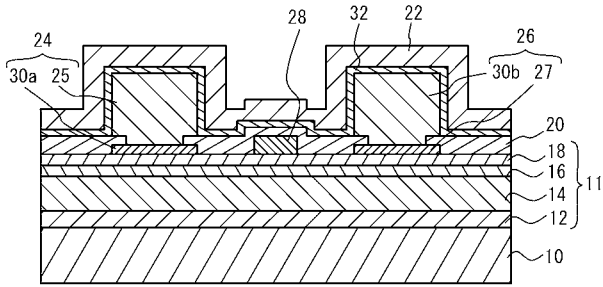


(b)

【 図 7 】

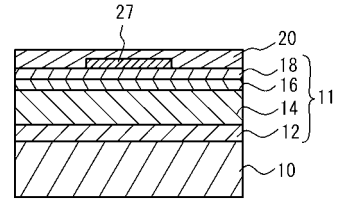


(a)

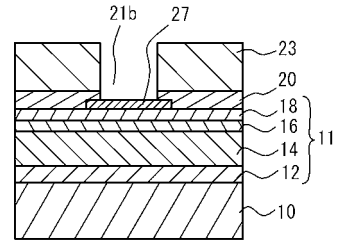


(b)

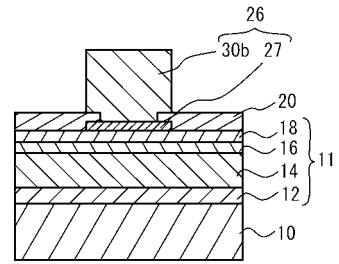
【 図 8 】



(a)

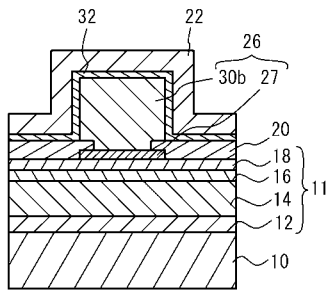


(b)

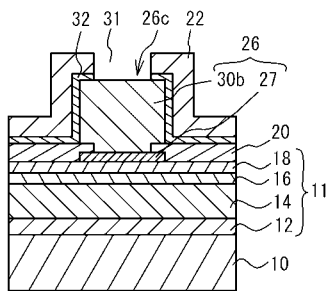


(c)

【 図 9 】



(a)



(b)

 フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/318 (2006.01)	H 0 1 L 21/283	B
C 2 3 C 16/42 (2006.01)	H 0 1 L 29/80	L
H 0 1 L 21/283 (2006.01)		

F ターム(参考) 5F033 GG02 HH13 JJ13 KK08 KK18 MM05 PP27 PP28 QQ09 QQ37
 QQ91 RR06 RR20 SS11 TT02 VV07 XX14
 5F058 BA10 BB01 BB05 BD01 BD10 BF07 BF23 BF30 BJ03
 5F102 GB01 GC01 GD01 GJ02 GJ03 GJ04 GJ10 GK04 GL04 GM04
 GQ01 GS01 GS09 GT03 GV03 GV06 GV08 HC01