

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年2月24日(24.02.2022)



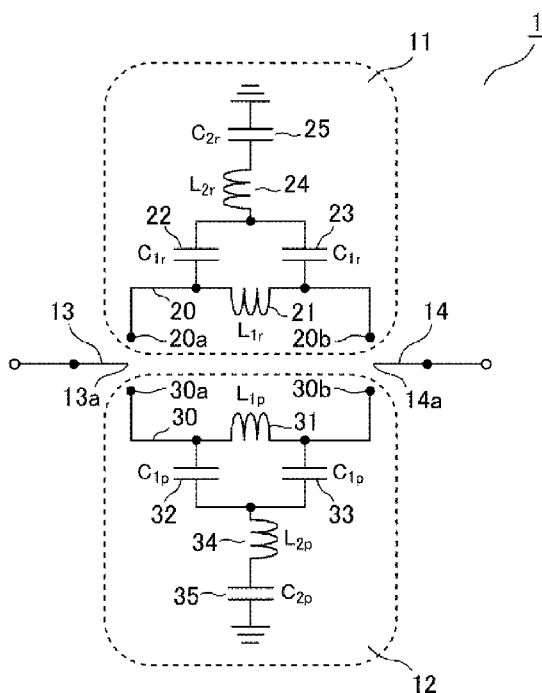
(10) 国際公開番号

WO 2022/038646 A1

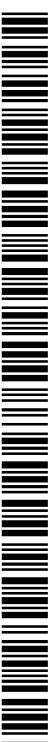
- (51) 国際特許分類:
H01P 1/18 (2006.01) *H01Q 3/36* (2006.01)
- (21) 国際出願番号: PCT/JP2020/030932
- (22) 国際出願日: 2020年8月17日(17.08.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:福永 啓(FUKUNAGA, Kei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 半谷 政毅 (HANGAI, Masatake); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 幸丸 竜太(KOMARU, Ryota); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 河村 由文(KAWAMURA, Yoshifumi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 新庄 真太郎(SHINJO, Shintaro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人山王内外特許事務所 (SANNO PATENT ATTORNEYS OFFICE); 〒1000014 東京都千代田区永田町二丁目1番4号 赤坂山王センタービル5階 Tokyo (JP).

(54) Title: PHASE SHIFTER AND PHASED ARRAY ANTENNA DEVICE

(54) 発明の名称: 移相器及びフェーズドアレーアンテナ装置



(57) Abstract: This phase shifter (1) comprises: a first all-pass filter (11) including a plurality of elements; a second all-pass filter (12) including a plurality of elements; a first changeover switch (13) that applies a signal to either the first all-pass filter (11) or the second all-pass filter (12); and a second changeover switch (14) that selects a signal that has passed through the first all-pass filter (11) or a signal that has passed through the second all-pass filter (12). The phase shifter (1) is configured so that: the first all-pass filter (11) includes two inductors and three capacitors as the plurality



WO 2022/038646 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

of elements, and the second all-pass filter (12) includes two inductors and three capacitors as the plurality of elements, or the first all-pass filter (11) includes three inductors and two capacitors as the plurality of elements, and the second all-pass filter (12) includes three inductors and two capacitors as the plurality of elements; and the element values of the plurality of elements included in the first all-pass filter (11) and the element values of the plurality of elements included in the second all-pass filter (12) are determined by the impedances for achieving impedance matching and the frequencies and variables of the signals.

(57) 要約 : 複数の素子を含んでいる第1の全域通過フィルタ(11)と、複数の素子を含んでいる第2の全域通過フィルタ(12)と、第1の全域通過フィルタ(11)、又は、第2の全域通過フィルタ(12)のいずれか一方に信号を与える第1の切替スイッチ(13)と、第1の全域通過フィルタ(11)を通過してきた信号、又は、第2の全域通過フィルタ(12)を通過してきた信号を選択する第2の切替スイッチ(14)とを備え、第1の全域通過フィルタ(11)が、複数の素子として、2つのインダクタ及び3つのキャパシタを含み、かつ、第2の全域通過フィルタ(12)が、複数の素子として、2つのインダクタ及び3つのキャパシタを含んでおり、又は、第1の全域通過フィルタ(11)が、複数の素子として、3つのインダクタ及び2つのキャパシタを含み、かつ、第2の全域通過フィルタ(12)が、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでおり、第1の全域通過フィルタ(11)に含まれている複数の素子の素子値及び第2の全域通過フィルタ(12)に含まれている複数の素子の素子値が、インピーダンス整合を実現するインピーダンス、信号の周波数及び変数によって決定されるように、移相器(1)を構成した。

明 細 書

発明の名称：移相器及びフェーズドアレーアンテナ装置

技術分野

[0001] 本開示は、移相器と、移相器を備えるフェーズドアレーアンテナ装置とに関するものである。

背景技術

[0002] フェーズドアレーアンテナ装置には、一般的に、信号の位相を変化させることが可能な移相器が実装される。当該移相器は、フェーズドアレーアンテナ装置に含まれているアンテナ素子と接続される。

以下の非特許文献1には、第1の経路の通過位相と、第2の経路の通過位相との位相差が、移相量となる移相器が開示されている。第1の経路には、複数の第1の全域通過フィルタが直列に接続されている回路が挿入され、第2の経路には、複数の第2の全域通過フィルタが直列に接続されている回路が挿入されている。第1の全域通過フィルタは、集中定数素子として、2つのインダクタ及び2つのキャパシタを含んでいる。また、第2の全域通過フィルタは、集中定数素子として、2つのインダクタ及び2つのキャパシタを含んでいる。

先行技術文献

非特許文献

[0003] 非特許文献1：Xinyi Tang, et al, “Large Bandwidth Digital Phase Shifters with All-pass, High-pass, and Low-pass Networks”, IEEE Transactions on MTTs, Vol61, pp. 2325-2331 June 2013.

発明の概要

発明が解決しようとする課題

[0004] 非特許文献1に開示されている移相器では、移相量と整合条件とを実現する集中定数素子の組み合わせが一意に決定され、移相量の周波数特性も一意に決定される。このため、所望の周波数帯域において、移相誤差が一意に決

定され、所望の移相量が得られないことがあるという課題があった。

[0005] 本開示は、上記のような課題を解決するためになされたもので、所望の周波数帯域において、所望の移相量の周波数特性を実現することができる移相器を得ることを目的とする。

課題を解決するための手段

[0006] 本開示に係る移相器は、複数の素子を含んでいる第1の全域通過フィルタと、複数の素子を含んでいる第2の全域通過フィルタと、第1の全域通過フィルタ、又は、第2の全域通過フィルタのいずれか一方に信号を与える第1の切替スイッチと、第1の全域通過フィルタを通過してきた信号、又は、第2の全域通過フィルタを通過してきた信号を選択する第2の切替スイッチとを備え、第1の全域通過フィルタが、複数の素子として、2つのインダクタ及び3つのキャパシタを含み、かつ、第2の全域通過フィルタが、複数の素子として、2つのインダクタ及び3つのキャパシタを含んでおり、又は、第1の全域通過フィルタが、複数の素子として、3つのインダクタ及び2つのキャパシタを含み、かつ、第2の全域通過フィルタが、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでおり、第1の全域通過フィルタに含まれている複数の素子の素子値及び第2の全域通過フィルタに含まれている複数の素子の素子値が、インピーダンス整合を実現するインピーダンス、信号の周波数及び変数によって決定されているものである。

発明の効果

[0007] 本開示によれば、所望の周波数帯域において、所望の移相量の周波数特性を実現することができる。

図面の簡単な説明

[0008] [図1]実施の形態1に係る移相器1を示す構成図である。

[図2]図1に示す移相器1の移相量中のシミュレーション結果を示す説明図である。

[図3]実施の形態2に係る移相器1を示す構成図である。

[図4]実施の形態3に係る移相器1を示す構成図である。

[図5]位相基準回路61が、1つの第1の全域通過フィルタ11のみを備え、位相遅延回路62が、1つの第2の全域通過フィルタ12のみを備えているときの移相量中のシミュレーション結果を示す説明図である。

[図6]図4に示す移相器1の移相量中のシミュレーション結果を示す説明図である。

[図7]実施の形態4に係る移相器1を示す構成図である。

[図8]実施の形態5に係るフェーズドアレーアンテナ装置を示す構成図である。

発明を実施するための形態

[0009] 以下、本開示をより詳細に説明するために、本開示を実施するための形態について、添付の図面に従って説明する。

[0010] 実施の形態1.

図1は、実施の形態1に係る移相器1を示す構成図である。

移相器1は、第1の全域通過フィルタ11、第2の全域通過フィルタ12、第1の切替スイッチ13及び第2の切替スイッチ14を備えている。

第1の全域通過フィルタ11は、複数の素子として、2つのインダクタ及び3つのキャパシタを含んでいる。

即ち、第1の全域通過フィルタ11は、複数の素子として、第1のインダクタ21、第2のインダクタ24、第1のキャパシタ22、第2のキャパシタ23及び第3のキャパシタ25を含んでいる。

第1の全域通過フィルタ11の通過位相 ϕ_1 は、第1のインダクタ21、第2のインダクタ24、第1のキャパシタ22、第2のキャパシタ23及び第3のキャパシタ25におけるそれぞれの素子値によって決まる。

[0011] 第2の全域通過フィルタ12は、複数の素子として、2つのインダクタ及び3つのキャパシタを含んでいる。

即ち、第2の全域通過フィルタ12は、複数の素子として、第3のインダクタ31、第4のインダクタ34、第4のキャパシタ32、第5のキャパシタ33及び第6のキャパシタ35を含んでいる。

第2の全域通過フィルタ12の通過位相 Φ_2 は、第3のインダクタ31、第4のインダクタ34、第4のキャパシタ32、第5のキャパシタ33及び第6のキャパシタ35におけるそれぞれの素子値によって決まる。

[0012] 第1の切替スイッチ13の接続端子13aは、第1の経路20の一端20a、又は、第2の経路30の一端30aのうちのいずれかに接続される。

第1の切替スイッチ13は、第1の全域通過フィルタ11、又は、第2の全域通過フィルタ12のいずれか一方に信号を与える。

即ち、第1の切替スイッチ13は、接続端子13aが第1の経路20の一端20aに接続されたとき、第1の全域通過フィルタ11に信号を与える。

第1の切替スイッチ13は、接続端子13aが第2の経路30の一端30aに接続されたとき、第2の全域通過フィルタ12に信号を与える。

[0013] 第2の切替スイッチ14の接続端子14aは、第1の経路20の他端20b、又は、第2の経路30の他端30bのうちのいずれかに接続される。

第2の切替スイッチ14は、第1の全域通過フィルタ11を通過してきた信号、又は、第2の全域通過フィルタ12を通過してきた信号を選択する。

即ち、第2の切替スイッチ14は、第1の切替スイッチ13の接続端子13aが第1の経路20の一端20aと接続されて、接続端子14aが第1の経路20の他端20bに接続されたとき、第1の全域通過フィルタ11を通過してきた信号を選択する。

第2の切替スイッチ14は、第1の切替スイッチ13の接続端子13aが第1の経路20の一端20aに接続されて、接続端子14aが第2の経路30の他端30bに接続されたとき、第2の全域通過フィルタ12を通過してきた信号を選択する。

[0014] 第1の経路20は、第1の切替スイッチ13と第2の切替スイッチ14とを結ぶ経路である。第1の経路20には、第1のインダクタ21が挿入されている。

第2の経路30は、第1の切替スイッチ13と第2の切替スイッチ14とを結ぶ経路である。第2の経路30には、第3のインダクタ31が挿入され

ている。

第1の経路20の一端20a、又は、第2の経路30の一端30aが、第1の切替スイッチ13の接続端子13aと接続される。

第1の経路20の他端20b、又は、第2の経路30の他端30bが、第2の切替スイッチ14の接続端子14aと接続される。

[0015] 第1のインダクタ21は、第1の経路20に挿入されている。

第1のインダクタ21の素子値は、 L_{1r} である。

第1のキャパシタ22の一端は、第1のインダクタ21の一端と接続されている。

第1のキャパシタ22の他端は、第2のキャパシタ23の他端及び第2のインダクタ24の一端のそれぞれと接続されている。

第1のキャパシタ22の素子値は、 C_{1r} である。

第2のキャパシタ23の一端は、第1のインダクタ21の他端と接続されている。

第2のキャパシタ23の他端は、第1のキャパシタ22の他端及び第2のインダクタ24の一端のそれぞれと接続されている。

第2のキャパシタ23の素子値は、 C_{1r} である。

[0016] 第2のインダクタ24の一端は、第1のキャパシタ22及び第2のキャパシタ23におけるそれぞれの他端と接続されている。

第2のインダクタ24の他端は、第3のキャパシタ25の一端と接続されている。

第2のインダクタ24の素子値は、 L_{2r} である。

第3のキャパシタ25の一端は、第2のインダクタ24の他端と接続されている。

第3のキャパシタ25の他端は、接地されている。

第3のキャパシタ25の素子値は、 C_{2r} である。

[0017] 第3のインダクタ31は、第2の経路30に挿入されている。

第3のインダクタ31の素子値は、 L_{1p} である。

第4のキャパシタ32の一端は、第3のインダクタ31の一端と接続されている。

第4のキャパシタ32の他端は、第5のキャパシタ33の他端及び第4のインダクタ34の一端のそれぞれと接続されている。

第4のキャパシタ32の素子値は、 C_{1p} である。

第5のキャパシタ33の一端は、第3のインダクタ31の他端と接続されている。

第5のキャパシタ33の他端は、第4のキャパシタ32の他端及び第4のインダクタ34の一端のそれぞれと接続されている。

第5のキャパシタ33の素子値は、 C_{1p} である。

[0018] 第4のインダクタ34の一端は、第4のキャパシタ32及び第5のキャパシタ33におけるそれぞれ他端と接続されている。

第4のインダクタ34の他端は、第6のキャパシタ35の一端と接続されている。

第4のインダクタ34の素子値は、 L_{2p} である。

第6のキャパシタ35の一端は、第4のインダクタ34の他端と接続されている。

第6のキャパシタ35の他端は、接地されている。

第6のキャパシタ35の素子値は、 C_{2p} である。

[0019] 次に、図1に示す移相器1の動作について説明する。

第1の全域通過フィルタ11は、位相基準回路を構成しており、第2の全域通過フィルタ12は、位相遅延回路を構成している。

図1に示す移相器1の移相量 ϕ は、第1の全域通過フィルタ11の通過位相 ϕ_1 と、第2の全域通過フィルタ12の通過位相 ϕ_2 との位相差によって決まる。

[0020] 第1の切替スイッチ13の接続端子13aが、第1の経路20の一端20aに接続されたとき、例えば、図示せぬ送信器から、第1の切替スイッチ13を介して、第1の全域通過フィルタ11に信号が与えられる。

第2の切替スイッチ14の接続端子14aが、第1の経路20の他端20bに接続されたとき、第1の全域通過フィルタ11を通過してきた信号が、第2の切替スイッチ14を介して、例えば図示せぬアンテナ素子に出力される。

[0021] 第1の切替スイッチ13の接続端子13aが、第2の経路30の一端30aに接続されたとき、例えば、図示せぬ送信器から、第1の切替スイッチ13を介して、第2の全域通過フィルタ12に信号が与えられる。

第2の切替スイッチ14の接続端子14aが、第2の経路30の他端30bに接続されたとき、第2の全域通過フィルタ12を通過してきた信号が、第2の切替スイッチ14を介して、例えば図示せぬアンテナ素子に出力される。

[0022] アンテナ素子及び送信器におけるそれぞれのインピーダンスが Z_0 であり、移相器1が、アンテナ素子とのインピーダンス整合及び送信器とのインピーダンス整合の双方を実現するものとする。

移相器1は、第1の全域通過フィルタ11に含まれている複数の素子の素子値及び第2の全域通過フィルタ12に含まれている複数の素子の素子値が、以下の式(1)を満足していれば、全周波数において、インピーダンス整合を実現することができる。

[0023]

$$\begin{aligned}
L_{1r} &= \frac{2 Z_0}{\sqrt{G} \omega_t} \\
L_{2r} &= \frac{\sqrt{G} Z_0}{2 \omega_t} \\
L_{1p} &= \frac{2 \omega_t Z_0}{\sqrt{G} \omega_0^2} \\
L_{2p} &= \frac{\sqrt{G} \omega_t Z_0}{2 \omega_0^2} \\
C_{1r} &= \frac{\sqrt{G}}{\omega_t Z_0} \\
C_{2r} &= \frac{2\sqrt{G}}{G-1} \frac{1}{\omega_t Z_0} \\
C_{1p} &= \sqrt{G} \frac{\omega_t}{\omega_0^2 Z_0} \\
C_{2p} &= \frac{2\sqrt{G}}{G-1} \frac{\omega_t}{\omega_0^2 Z_0}
\end{aligned} \tag{1}$$

式（１）において、 ω_0 は、第１の全域通過フィルタ１１及び第２の全域通過フィルタ１２におけるそれぞれの周波数帯域の中心角周波数であり、 ω_t 及び G は、それぞれの素子値に係る共通の変数である。

[0024] 図１に示す移相器１の移相量 Φ は、第１の全域通過フィルタ１１の通過位相 Φ_1 と、第２の全域通過フィルタ１２の通過位相 Φ_2 との位相差によって決まり、中心角周波数 ω_0 での移相量 Φ_0 は、以下の式（２）によって表される。

$$\Phi_0 = -4 \tan^{-1} \left\{ \sqrt{G} \left(\frac{\omega_0}{\omega_t} - \frac{\omega_t}{\omega_0} \right) \right\} \tag{2}$$

[0025] ω_t 及び G のそれぞれは、式（２）に示すように、中心角周波数 ω_0 での移相量 Φ_0 を変えるための自由変数となる。

したがって、 ω_t 、又は、 G を変えることによって、インピーダンス Z_0 で

の整合を実現しつつ、中心角周波数 ω_0 での移相量 Φ_0 を変えることができる。

なお、非特許文献1に記載されている移相器のように、第1の全域通過フィルタ及び第2の全域通過フィルタのそれぞれが、複数の素子として、2つのインダクタ及び2つのキャパシタを含んでいる場合、中心角周波数 ω_0 での移相量 Φ_0 は、以下の式(3)のように表される。

$$\Phi_0 = -4 \tan^{-1} \left\{ \left(\frac{\omega_0}{\omega_t} - \frac{\omega_t}{\omega_0} \right) \right\} \quad (3)$$

非特許文献1に記載されている移相器では、中心角周波数 ω_0 での移相量 Φ_0 を変えるための自由変数が ω_t の1つである。 ω_t を決めれば、素子の組み合わせが一意に決定され、中心角周波数 ω_0 以外の移相量も一意に決定されるため、移相量の周波数特性が一意に決定される。したがって、周波数帯域を広帯域化するための設計自由度が少ない。このため、所望の周波数帯域において、移相誤差が一意に決定されるため、所望の移相量が得られないことがある。

図1に示す移相器1では、移相量 Φ を変えるための自由変数が、 ω_t 及びGの2つであり、非特許文献1に記載されている移相器よりも、周波数帯域を広帯域化するための設計自由度が多い。

[0026] 図2は、図1に示す移相器1の移相量 Φ のシミュレーション結果を示す説明図である。

図2のシミュレーションでは、中心周波数 f_0 を5.0 [GHz]、中心周波数 f_0 での移相量 Φ_0 を90 [度]として、移相器1を設計したものについて示している。ここで、中心周波数 f_0 と中心角周波数 ω_0 の関係は、 $\omega_0 = 2\pi f_0$ のように表される。移相器1の移相量 Φ の周波数特性を変えるための自由変数として、変数Gを変化させている。即ち、 $G = 1.010$ 、 $G = 2.010$ 、 $G = 3.010$ 、 $G = 4.010$ 、 $G = 5.010$ 、 $G = 6.010$ のときの移相量 Φ をシミュレーションしている。

図2に示すように、変数Gを変化させることによって、移相量 Φ の周波数

特性が変化することが分かる。

[0027] 以上の実施の形態1では、複数の素子を含んでいる第1の全域通過フィルタ11と、複数の素子を含んでいる第2の全域通過フィルタ12と、第1の全域通過フィルタ11、又は、第2の全域通過フィルタ12のいずれか一方に信号を与える第1の切替スイッチ13と、第1の全域通過フィルタ11を通過してきた信号、又は、第2の全域通過フィルタ12を通過してきた信号を選択する第2の切替スイッチ14とを備え、第1の全域通過フィルタ11が、複数の素子として、2つのインダクタ及び3つのキャパシタを含み、かつ、第2の全域通過フィルタ12が、複数の素子として、2つのインダクタ及び3つのキャパシタを含んでおり、第1の全域通過フィルタ11に含まれている複数の素子の素子値及び第2の全域通過フィルタ12に含まれている複数の素子の素子値が、インピーダンス整合を実現するインピーダンス、信号の周波数及び変数によって決定されるように、移相器1を構成した。したがって、移相器1は、所望の周波数帯域において、所望の移相量の周波数特性を実現することができる。

[0028] 実施の形態2.

実施の形態2では、第1の全域通過フィルタ15が、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでおり、第2の全域通過フィルタ16が、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでいる移相器1について説明する。

[0029] 図3は、実施の形態2に係る移相器1を示す構成図である。図3において、図1と同一符号は同一又は相当部分を示すので説明を省略する。

移相器1は、第1の全域通過フィルタ15、第2の全域通過フィルタ16、第1の切替スイッチ13及び第2の切替スイッチ14を備えている。

第1の全域通過フィルタ15は、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでいる。

即ち、第1の全域通過フィルタ15は、複数の素子として、第1のインダクタ42、第2のインダクタ43、第3のインダクタ45、第1のキャパシ

タ41及び第2のキャパシタ44を含んでいる。

第1の全域通過フィルタ15の通過位相 Φ_1 は、第1のインダクタ42、第2のインダクタ43、第3のインダクタ45、第1のキャパシタ41及び第2のキャパシタ44におけるそれぞれの素子値によって決まる。

[0030] 第2の全域通過フィルタ16は、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでいる。

即ち、第2の全域通過フィルタ16は、複数の素子として、第4のインダクタ52、第5のインダクタ53、第6のインダクタ55、第3のキャパシタ51及び第4のキャパシタ54を含んでいる。

第2の全域通過フィルタ16の通過位相 Φ_2 は、第4のインダクタ52、第5のインダクタ53、第6のインダクタ55、第3のキャパシタ51及び第4のキャパシタ54におけるそれぞれの素子値によって決まる。

[0031] 第1のキャパシタ41は、第1の経路20に挿入されている。

第1のキャパシタ41の素子値は、 C_{1r}' である。

第1のインダクタ42の一端は、第1のキャパシタ41の一端と接続されている。

第1のインダクタ42の他端は、第2のインダクタ43の他端及び第2のキャパシタ44の一端のそれぞれと接続されている。

第1のインダクタ42の素子値は、 L_{1r}' である。

第2のインダクタ43の一端は、第1のキャパシタ41の他端と接続されている。

第2のインダクタ43の他端は、第1のインダクタ42の他端及び第2のキャパシタ44の一端のそれぞれと接続されている。

第2のインダクタ43の素子値は、 L_{1r}' である。

[0032] 第2のキャパシタ44の一端は、第1のインダクタ42及び第2のインダクタ43におけるそれぞれの他端と接続されている。

第2のキャパシタ44の他端は、第3のインダクタ45の一端と接続されている。

第2のキャパシタ44の素子値は、 C_{2r}' である。

第3のインダクタ45の一端は、第2のキャパシタ44の他端と接続されている。

第3のインダクタ45の他端は、接地されている。

第3のインダクタ45の素子値は、 L_{2r}' である。

[0033] 第3のキャパシタ51は、第2の経路30に挿入されている。

第3のキャパシタ51の素子値は、 C_{1p}' である。

第4のインダクタ52の一端は、第3のキャパシタ51の一端と接続されている。

第4のインダクタ52の他端は、第5のインダクタ53の他端及び第4のキャパシタ54の一端のそれぞれと接続されている。

第4のインダクタ52の素子値は、 L_{1p}' である。

第5のインダクタ53の一端は、第3のキャパシタ51の他端と接続されている。

第5のインダクタ53の他端は、第4のインダクタ52の他端及び第4のキャパシタ54の一端のそれぞれと接続されている。

第5のインダクタ53の素子値は、 L_{1p}' である。

[0034] 第4のキャパシタ54の一端は、第4のインダクタ52及び第5のインダクタ53におけるそれぞれの他端と接続されている。

第4のキャパシタ54の他端は、第6のインダクタ55の一端と接続されている。

第4のキャパシタ54の素子値は、 C_{2p}' である。

第6のインダクタ55の一端は、第4のキャパシタ54の他端と接続されている。

第6のインダクタ55の他端は、接地されている。

第6のインダクタ55の素子値は、 L_{2p}' である。

[0035] 次に、図3に示す移相器1の動作について説明する。

第1の全域通過フィルタ15は、位相基準回路を構成しており、第2の全

域通過フィルタ 16 は、位相遅延回路を構成している。

図 3 に示す移相器 1 の移相量 Φ は、第 1 の全域通過フィルタ 15 の通過位相 Φ_1 と、第 2 の全域通過フィルタ 16 の通過位相 Φ_2 との位相差によって決まる。

[0036] 第 1 の切替スイッチ 13 の接続端子 13 a が、第 1 の経路 20 の一端 20 a に接続されたとき、例えば、図示せぬ送信器から、第 1 の切替スイッチ 13 を介して、第 1 の全域通過フィルタ 15 に信号が与えられる。

第 2 の切替スイッチ 14 の接続端子 14 a が、第 1 の経路 20 の他端 20 b に接続されたとき、第 1 の全域通過フィルタ 15 を通過してきた信号が、第 2 の切替スイッチ 14 を介して、例えば図示せぬアンテナ素子に出力される。

[0037] 第 1 の切替スイッチ 13 の接続端子 13 a が、第 2 の経路 30 の一端 30 a に接続されたとき、例えば、図示せぬ送信器から、第 1 の切替スイッチ 13 を介して、第 2 の全域通過フィルタ 16 に信号が与えられる。

第 2 の切替スイッチ 14 の接続端子 14 a が、第 2 の経路 30 の他端 30 b に接続されたとき、第 2 の全域通過フィルタ 16 を通過してきた信号が、第 2 の切替スイッチ 14 を介して、例えば図示せぬアンテナ素子に出力される。

[0038] アンテナ素子及び送信器におけるそれぞれのインピーダンスが Z_0 であり、移相器 1 が、アンテナ素子とのインピーダンス整合及び送信器とのインピーダンス整合の双方を実現するものとする。

移相器 1 は、第 1 の全域通過フィルタ 15 に含まれている複数の素子の素子値及び第 2 の全域通過フィルタ 16 に含まれている複数の素子の素子値が、以下の式 (4) を満足していれば、全周波数において、インピーダンス整合を実現することができる。

[0039]

$$\begin{aligned}
L_{1r}' &= \frac{1}{\sqrt{G}} \frac{Z_0}{\omega_t} \\
L_{2r}' &= \frac{G-1}{2\sqrt{G}} \frac{Z_0}{\omega_t} \\
L_{1p}' &= \frac{1}{\sqrt{G}} \frac{\omega_t Z_0}{\omega_0^2} \\
L_{2p}' &= \frac{G-1}{2\sqrt{G}} \frac{\omega_t Z_0}{\omega_0^2} \\
C_{1r}' &= \frac{\sqrt{G}}{2} \frac{1}{\omega_t Z_0} \\
C_{2r}' &= \frac{2}{\sqrt{G}} \frac{1}{\omega_t Z_0} \\
C_{1p}' &= \frac{\sqrt{G}}{2} \frac{\omega_t}{\omega_0^2 Z_0} \\
C_{2p}' &= \frac{2}{\sqrt{G}} \frac{\omega_t}{\omega_0^2 Z_0}
\end{aligned} \tag{4}$$

式(4)において、 ω_0 は、第1の全域通過フィルタ15及び第2の全域通過フィルタ16におけるそれぞれの周波数帯域の中心角周波数であり、 ω_t 及び G は、それぞれの素子値に係る共通の変数である。

[0040] 図3に示す移相器1の移相量 Φ は、第1の全域通過フィルタ15の通過位相 Φ_1 と、第2の全域通過フィルタ16の通過位相 Φ_2 との位相差によって決まり、中心角周波数 ω_0 での移相量 Φ_0 は、以下の式(5)によって表される。

$$\Phi_0 = -4 \tan^{-1} \left\{ \sqrt{G} \left(\frac{\omega_0}{\omega_t} - \frac{\omega_t}{\omega_0} \right) \right\} \tag{5}$$

[0041] ω_t 及び G のそれぞれは、式(5)に示すように、中心角周波数 ω_0 での移相量 Φ_0 を変えるための自由変数となる。

したがって、 ω_t 、又は、 G を変えることによって、インピーダンス Z_0 で

の整合を実現しつつ、中心角周波数 ω_0 での移相量 Φ_0 を変えることができる。

[0042] 以上の実施の形態2では、複数の素子を含んでいる第1の全域通過フィルタ15と、複数の素子を含んでいる第2の全域通過フィルタ16と、第1の全域通過フィルタ15、又は、第2の全域通過フィルタ16のいずれか一方に信号を与える第1の切替スイッチ13と、第1の全域通過フィルタ15を通過してきた信号、又は、第2の全域通過フィルタ16を通過してきた信号を選択する第2の切替スイッチ14とを備え、第1の全域通過フィルタ15が、複数の素子として、3つのインダクタ及び2つのキャパシタを含み、かつ、第2の全域通過フィルタ16が、複数の素子として、3つのインダクタ及び2つのキャパシタを含んでおり、第1の全域通過フィルタ15に含まれている複数の素子の素子値及び第2の全域通過フィルタ16に含まれている複数の素子の素子値が、インピーダンス整合を実現するインピーダンス、信号の周波数及び変数によって決定されるように、移相器1を構成した。したがって、移相器1は、所望の周波数帯域において、所望の移相量の周波数特性を実現することができる。

[0043] 実施の形態3.

実施の形態3では、第1の経路20に挿入されている第1の全域通過フィルタ11が複数直列に接続されており、第2の経路30に挿入されている第2の全域通過フィルタ12が複数直列に接続されている移相器1について説明する。

[0044] 図4は、実施の形態3に係る移相器1を示す構成図である。図4において、図1及び図3と同一符号は同一又は相当部分を示すので説明を省略する。

位相基準回路61は、第1の切替スイッチ13と第2の切替スイッチ14との間に設けられており、図1に示す第1の全域通過フィルタ11を複数備えている。複数の第1の全域通過フィルタ11は、互いに直列に接続されている。

図4に示す移相器1では、位相基準回路61が、複数の第1の全域通過フ

フィルタ 11 を備えている。しかし、これは一例に過ぎず、位相基準回路 61 は、図 1 に示す第 1 の全域通過フィルタ 11 の代わりに、図 3 に示す第 1 の全域通過フィルタ 15 を複数備えていてもよい。

[0045] 位相遅延回路 62 は、第 1 の切替スイッチ 13 と第 2 の切替スイッチ 14 との間に設けられており、図 1 に示す第 2 の全域通過フィルタ 12 を複数備えている。複数の第 2 の全域通過フィルタ 12 は、互いに直列に接続されている。

図 4 に示す移相器 1 では、位相遅延回路 62 が、複数の第 2 の全域通過フィルタ 12 を備えている。しかし、これは一例に過ぎず、位相遅延回路 62 は、図 1 に示す第 2 の全域通過フィルタ 12 の代わりに、図 3 に示す第 2 の全域通過フィルタ 16 を複数備えていてもよい。

[0046] 位相基準回路 61 の通過位相は、複数の第 1 の全域通過フィルタ 11 の通過位相 Φ_1 の総和であり、位相遅延回路 62 の通過位相は、複数の第 2 の全域通過フィルタ 12 の通過位相 Φ_2 の総和である。

図 4 に示す移相器 1 の移相量 Φ は、位相基準回路 61 の通過位相と、位相遅延回路 62 の通過位相との位相差によって決まる。

[0047] 図 5 及び図 2 は、位相基準回路 61 が、1 つの第 1 の全域通過フィルタ 11 (以下、「1 段目の第 1 の全域通過フィルタ 11」と称する) のみを備え、位相遅延回路 62 が、1 つの第 2 の全域通過フィルタ 12 (以下、「1 段目の第 2 の全域通過フィルタ 12」と称する) のみを備えているときの移相量 Φ のシミュレーション結果を示す説明図である。

図 5 に示す移相量 Φ のシミュレーションでは、中心周波数 f_0 が 5.0 [GHz] のとき、中心周波数 f_0 での移相量 Φ_0 が 90 度になり、移相器 1 の移相量 Φ が中心周波数 f_0 で極大値となるように、それぞれの素子値が設計されている。

図 2 に示す移相量 Φ のシミュレーションでは、中心周波数 f_0 が 5.0 [GHz] のとき、中心周波数 f_0 での移相量 Φ_0 が 90 度になり、移相器 1 の移相量 Φ が中心周波数 f_0 で極小値となるように、それぞれの素子値が設計され

ている。

[0048] 位相基準回路61が、2つの第1の全域通過フィルタ11を備え、位相遅延回路62が、2つの第2の全域通過フィルタ12を備えているものとする。

このとき、第1の切替スイッチ13から1番目の第1の全域通過フィルタ11は、1段目の第1の全域通過フィルタ11であり、第1の切替スイッチ13から2番目の第1の全域通過フィルタ11は、2段目の第1の全域通過フィルタ11である。

また、第1の切替スイッチ13から1番目の第2の全域通過フィルタ12は、1段目の第2の全域通過フィルタ12であり、第1の切替スイッチ13から2番目の第2の全域通過フィルタ12は、2段目の第2の全域通過フィルタ12である。

[0049] 1段目の第1の全域通過フィルタ11と、1段目の第2の全域通過フィルタ12とによる移相量 ϕ が、図5に示すように、中心周波数 f_0 での移相量 ϕ_0 が90度になり、移相器1の移相量 ϕ が中心周波数 f_0 で極大値となるように、それぞれの素子値が設計されているものとする。

一方、2段目の第1の全域通過フィルタ11と、2段目の第2の全域通過フィルタ12とによる移相量 ϕ が、図2に示すように、中心周波数 f_0 での移相量 ϕ_0 が90度になり、移相器1の移相量 ϕ が中心周波数 f_0 で極小値となるように、それぞれの素子値が設計されているものとする。

上記のように設計された場合、図6に示すように、1段目の第1の全域通過フィルタ11と1段目の第2の全域通過フィルタ12とによる移相量 ϕ の周波数依存性と、2段目の第1の全域通過フィルタ11と2段目の第2の全域通過フィルタ12とによる移相量 ϕ の周波数依存性とが互いに補償される。周波数依存性が補償されることによって、移相器1の移相誤差が低減される。

[0050] 図6は、図4に示す移相器1の移相量 ϕ のシミュレーション結果を示す説明図である。

移相量 Φ のシミュレーションでは、中心周波数 f_0 が5.0 [GHz]であり、2段目の第1の全域通過フィルタ11と2段目の第2の全域通過フィルタ12とを構成する素子値の変数 G を変化させている。即ち、 $G=1.010$ 、 $G=2.010$ 、 $G=3.010$ 、 $G=4.010$ 、 $G=5.010$ 、 $G=6.010$ のときの移相量 Φ をシミュレーションしている。

図2に示すように、2段目の第1の全域通過フィルタ11と2段目の第2の全域通過フィルタ12とを構成する素子値の変数 G を変化させることによって、1段目の第1の全域通過フィルタ11と1段目の第2の全域通過フィルタ12とにおけるそれぞれの移相量の周波数依存性が補償され、移相器1の移相誤差が低減されていることが分かる。

[0051] ここでは、位相基準回路61が、2つの第1の全域通過フィルタ11を備え、位相遅延回路62が、2つの第2の全域通過フィルタ12を備えており、1段目と2段目の移相量が共に中心周波数 f_0 で移相量 Φ_0 であるとしている。

[0052] 一般に位相基準回路61が、 N 個の第1の全域通過フィルタ11を備え、位相遅延回路62が、 N 個の第2の全域通過フィルタ12を備え、各段での中心周波数 f_0 及び中心周波数 f_0 での移相量 Φ_0 が、それぞれ各段で互いに異なってもよい。また、各段の移相量 Φ の周波数特性が極大値を持つもののみで構成されていてもよいし、各段の移相量 Φ の周波数特性が極小値を持つもののみで構成されていてもよい。また、各段の移相量 Φ の周波数特性が、極大値を持つものと極小値を持つものとの組み合わせによって構成されていてもよい。 N 個の第1の全域通過フィルタ11の縦列接続の順番は、任意でよく、また、 N 個の第2の全域通過フィルタ12の縦列接続の順番は、任意でよい。

[0053] 実施の形態4.

実施の形態4では、位相基準回路61が、第1の全域通過フィルタ11の他に、第3の全域通過フィルタ17を備え、位相遅延回路62が、第2の全域通過フィルタ12の他に、第4の全域通過フィルタ18を備えている移相

器 1 について説明する。

[0054] 図 7 は、実施の形態 4 に係る移相器 1 を示す構成図である。図 7 において、図 1、図 3 及び図 4 と同一符号は同一又は相当部分を示すので説明を省略する。

第 3 の全域通過フィルタ 17 は、第 1 の全域通過フィルタ 11 と直列に接続されている。

第 3 の全域通過フィルタ 17 は、複数の素子として、2 つのインダクタ及び 2 つのキャパシタを含んでいる。

即ち、第 3 の全域通過フィルタ 17 は、複数の素子として、インダクタ 72、73 及びキャパシタ 71、74 を備えている。

[0055] キャパシタ 71 は、第 1 の経路 20 に挿入されている。

インダクタ 72 の一端は、キャパシタ 71 の一端と接続されている。

インダクタ 72 の他端は、インダクタ 73 の他端及びキャパシタ 74 の一端のそれぞれと接続されている。

インダクタ 73 の一端は、キャパシタ 71 の他端と接続されている。

インダクタ 73 の他端は、インダクタ 72 の他端及びキャパシタ 74 の一端のそれぞれと接続されている。

キャパシタ 74 の一端は、インダクタ 72 の他端及びインダクタ 73 の他端のそれぞれと接続されている。

キャパシタ 74 の他端は、接地されている。

[0056] 第 4 の全域通過フィルタ 18 は、第 2 の全域通過フィルタ 12 と直列に接続されている。

第 4 の全域通過フィルタ 18 は、複数の素子として、2 つのインダクタ及び 2 つのキャパシタを含んでいる。

即ち、第 4 の全域通過フィルタ 18 は、複数の素子として、インダクタ 82、83 及びキャパシタ 81、84 を備えている。

[0057] キャパシタ 81 は、第 2 の経路 30 に挿入されている。

インダクタ 82 の一端は、キャパシタ 81 の一端と接続されている。

インダクタ 82 の他端は、インダクタ 83 の他端及びキャパシタ 84 の一端のそれぞれと接続されている。

インダクタ 83 の一端は、キャパシタ 81 の他端と接続されている。

インダクタ 83 の他端は、インダクタ 82 の他端及びキャパシタ 84 の一端のそれぞれと接続されている。

キャパシタ 84 の一端は、インダクタ 82 の他端及びインダクタ 83 の他端のそれぞれと接続されている。

キャパシタ 84 の他端は、接地されている。

[0058] 図 7 に示す移相器 1 では、位相基準回路 61 が、第 1 の全域通過フィルタ 11 の他に、第 3 の全域通過フィルタ 17 を備え、位相遅延回路 62 が、第 2 の全域通過フィルタ 12 の他に、第 4 の全域通過フィルタ 18 を備えている。

しかし、これは一例に過ぎず、位相基準回路 61 が、第 1 の全域通過フィルタ 15 の他に、第 3 の全域通過フィルタ 17 を備え、位相遅延回路 62 が、第 2 の全域通過フィルタ 16 の他に、第 4 の全域通過フィルタ 18 を備えていてもよい。

また、位相基準回路 61 が、第 1 の全域通過フィルタ 11 及び第 1 の全域通過フィルタ 15 の他に、第 3 の全域通過フィルタ 17 を備え、位相遅延回路 62 が、第 2 の全域通過フィルタ 12 及び第 2 の全域通過フィルタ 16 の他に、第 4 の全域通過フィルタ 18 を備えていてもよい。

[0059] 第 3 の全域通過フィルタ 17 は、非特許文献 1 に記載の第 1 の全域通過フィルタに相当する。

また、第 4 の全域通過フィルタ 18 は、非特許文献 1 に記載の第 2 の全域通過フィルタに相当する。

したがって、位相基準回路 61 の第 3 の全域通過フィルタ 17 及び位相遅延回路 62 の第 4 の全域通過フィルタ 18 のみで構成される移相器では、インピーダンス整合を実現しつつ、移相量の周波数特性を変えることができない。

しかし、図7に示す移相器1では、位相基準回路61が、第1の全域通過フィルタ11を備え、位相遅延回路62が、第2の全域通過フィルタ12を備えているため、インピーダンス整合を実現しつつ、移相量を変えることができる。

[0060] 第3の全域通過フィルタ17に含まれている素子は、2つのインダクタ72、73及び2つのキャパシタ71、74であり、第3の全域通過フィルタ17に含まれている素子の数が、第1の全域通過フィルタ11に含まれている素子の数よりも少ない。

また、第4の全域通過フィルタ18に含まれている素子は、2つのインダクタ82、83及び2つのキャパシタ81、84であり、第4の全域通過フィルタ18に含まれている素子の数が、第2の全域通過フィルタ12に含まれている素子の数よりも少ない。

したがって、位相基準回路61に含まれている全域通過フィルタの段数が同じであり、位相遅延回路62に含まれている全域通過フィルタの段数が同じである条件下では、図7に示す移相器1は、図4に示す移相器1よりも小型化を実現することができる。

[0061] 図7に示す移相器1では、第3の全域通過フィルタ17が、2つのインダクタ72、73及び2つのキャパシタ71、74を備えていればよく、2つのインダクタ72、73及び2つのキャパシタ71、74におけるそれぞれの配置は、図7に示す配置に限るものではない。

図7において、例えば、キャパシタ71が配置されている位置にインダクタ72が配置され、キャパシタ74が配置されている位置にインダクタ73が配置され、インダクタ72が配置されている位置にキャパシタ71が配置され、インダクタ73が配置されている位置にキャパシタ74が配置されていてもよい。

図7に示す移相器1では、第4の全域通過フィルタ18が、2つのインダクタ82、83及び2つのキャパシタ81、84を備えていればよく、2つのインダクタ82、83及び2つのキャパシタ81、84におけるそれぞれ

の配置は、図 7 に示す配置に限るものではない。

図 7 において、例えば、キャパシタ 8 1 が配置されている位置にインダクタ 8 2 が配置され、キャパシタ 8 4 が配置されている位置にインダクタ 8 3 が配置され、インダクタ 8 2 が配置されている位置にキャパシタ 8 1 が配置され、インダクタ 8 3 が配置されている位置にキャパシタ 8 4 が配置されていてもよい。

[0062] 実施の形態 5.

実施の形態 1 ~ 4 のうちのいずれかの実施の形態に係る移相器 1 を備えるフェーズドアレーアンテナ装置について説明する。

[0063] 図 8 は、実施の形態 5 に係るフェーズドアレーアンテナ装置を示す構成図である。

図 8 において、送信器 9 1 - m ($m = 1, \dots, M$) は、送信信号を移相器 9 2 - m に出力する。M は、2 以上の整数である。

移相器 9 2 - m は、実施の形態 1 ~ 4 のうちのいずれかの実施の形態に係る移相器 1 である。

移相器 9 2 - m は、送信器 9 1 - m から出力された送信信号を移相し、移相後の送信信号をアンテナ素子 9 3 - m に出力する。

アンテナ素子 9 3 - m は、移相器 9 2 - m による移相後の送信信号に係る電波を空間に放射する。

[0064] 図 8 に示すフェーズドアレーアンテナ装置では、送信信号に係る電波を空間に放射している。しかし、これは一例に過ぎず、フェーズドアレーアンテナ装置は、電波を受信するものであってもよい。フェーズドアレーアンテナ装置のアンテナ素子 9 3 - m が、電波を受信する場合、アンテナ素子 9 3 - m が、電波の受信信号を移相器 9 2 - m に出力する。

移相器 9 2 - m は、アンテナ素子 9 3 - m から出力された受信信号を移相し、移相後の受信信号を図示せぬ受信器に出力する。

[0065] なお、本開示は、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素

の省略が可能である。

産業上の利用可能性

[0066] 本開示は、移相器に適している。

本開示は、移相器を備えるフェーズドアレーアンテナ装置に適している。

符号の説明

[0067] 1 移相器、11 第1の全域通過フィルタ、12 第2の全域通過フィルタ、13 第1の切替スイッチ、13a 接続端子、14 第2の切替スイッチ、14a 接続端子、15 第1の全域通過フィルタ、16 第2の全域通過フィルタ、17 第3の全域通過フィルタ、18 第4の全域通過フィルタ、20 第1の経路、20a 一端、20b 他端、21 第1のインダクタ、22 第1のキャパシタ、23 第2のキャパシタ、24 第2のインダクタ、25 第3のキャパシタ、30 第2の経路、30a 一端、30b 他端、31 第3のインダクタ、32 第4のキャパシタ、33 第5のキャパシタ、34 第4のインダクタ、35 第6のキャパシタ、41 第1のキャパシタ、42 第1のインダクタ、43 第2のインダクタ、44 第2のキャパシタ、45 第3のインダクタ、51 第3のキャパシタ、52 第4のインダクタ、53 第5のインダクタ、54 第4のキャパシタ、55 第6のインダクタ、61 位相基準回路、62 位相遅延回路、71, 74 キャパシタ、72, 73 インダクタ、81, 84 キャパシタ、82, 83 インダクタ、91-1~91-M 送信器、92-1~92-M 移相器、93-1~93-M アンテナ素子。

請求の範囲

[請求項1]

複数の素子を含んでいる第1の全域通過フィルタと、
複数の素子を含んでいる第2の全域通過フィルタと、
前記第1の全域通過フィルタ、又は、前記第2の全域通過フィルタ
のいずれか一方に信号を与える第1の切替スイッチと、
前記第1の全域通過フィルタを通過してきた信号、又は、前記第2
の全域通過フィルタを通過してきた信号を選択する第2の切替スイッ
チとを備え、
前記第1の全域通過フィルタが、複数の素子として、2つのインダ
クタ及び3つのキャパシタを含み、かつ、前記第2の全域通過フィル
タが、複数の素子として、2つのインダクタ及び3つのキャパシタを
含んでおり、
又は、前記第1の全域通過フィルタが、複数の素子として、3つの
インダクタ及び2つのキャパシタを含み、かつ、前記第2の全域通過
フィルタが、複数の素子として、3つのインダクタ及び2つのキャパ
シタを含んでおり、
前記第1の全域通過フィルタに含まれている複数の素子の素子値及
び前記第2の全域通過フィルタに含まれている複数の素子の素子値が
、インピーダンス整合を実現するインピーダンス、前記信号の周波数
及び変数によって決定されていることを特徴とする移相器。

[請求項2]

前記第1の全域通過フィルタは、複数の素子として、第1のインダ
クタ、第2のインダクタ、第1のキャパシタ、第2のキャパシタ及び
第3のキャパシタを含んでおり、
前記第2の全域通過フィルタは、複数の素子として、第3のインダ
クタ、第4のインダクタ、第4のキャパシタ、第5のキャパシタ及び
第6のキャパシタを含んでおり、
前記第1のインダクタは、前記第1の切替スイッチと前記第2の切
替スイッチとを結ぶ第1の経路に挿入されており、

前記第1のキャパシタの一端は、前記第1のインダクタの一端と接続されており、

前記第2のキャパシタの一端は、前記第1のインダクタの他端と接続されており、

前記第2のインダクタの一端は、前記第1のキャパシタ及び前記第2のキャパシタにおけるそれぞれの他端と接続されており、

前記第3のキャパシタの一端は、前記第2のインダクタの他端と接続され、前記第3のキャパシタの他端は、接地されており、

前記第3のインダクタは、前記第1の切替スイッチと前記第2の切替スイッチとを結ぶ第2の経路に挿入されており、

前記第4のキャパシタの一端は、前記第3のインダクタの一端と接続されており、

前記第5のキャパシタの一端は、前記第3のインダクタの他端と接続されており、

前記第4のインダクタの一端は、前記第4のキャパシタ及び前記第5のキャパシタにおけるそれぞれの他端と接続されており、

前記第6のキャパシタの一端は、前記第4のインダクタの他端と接続され、前記第6のキャパシタの他端は、接地されていることを特徴とする請求項1記載の移相器。

[請求項3]

前記第1の全域通過フィルタは、複数の素子として、第1のインダクタ、第2のインダクタ、第3のインダクタ、第1のキャパシタ及び第2のキャパシタを含んでおり、

前記第2の全域通過フィルタは、複数の素子として、第4のインダクタ、第5のインダクタ、第6のインダクタ、第3のキャパシタ及び第4のキャパシタを含んでおり、

前記第1のキャパシタは、前記第1の切替スイッチと前記第2の切替スイッチとを結ぶ第1の経路に挿入されており、

前記第1のインダクタの一端は、前記第1のキャパシタの一端と接

続されており、

前記第2のインダクタの一端は、前記第1のキャパシタの他端と接続されており、

前記第2のキャパシタの一端は、前記第1のインダクタ及び前記第2のインダクタにおけるそれぞれの他端と接続されており、

前記第3のインダクタの一端は、前記第2のキャパシタの他端と接続され、前記第3のインダクタの他端は、接地されており、

前記第3のキャパシタは、前記第1の切替スイッチと前記第2の切替スイッチとを結ぶ第2の経路に挿入されており、

前記第4のインダクタの一端は、前記第3のキャパシタの一端と接続されており、

前記第5のインダクタの一端は、前記第3のキャパシタの他端と接続されており、

前記第4のキャパシタの一端は、前記第4のインダクタ及び前記第5のインダクタにおけるそれぞれの他端と接続されており、

前記第6のインダクタの一端は、前記第4のキャパシタの他端と接続され、前記第6のインダクタの他端は、接地されていることを特徴とする請求項1記載の移相器。

[請求項4] 前記第1の経路に挿入されている前記第1の全域通過フィルタが複数直列に接続されており、

前記第2の経路に挿入されている前記第2の全域通過フィルタが複数直列に接続されていることを特徴とする請求項1記載の移相器。

[請求項5] 前記複数の第1の全域通過フィルタにおけるそれぞれの通過位相が互いに異なり、

前記複数の第2の全域通過フィルタにおけるそれぞれの通過位相が互いに異なることを特徴とする請求項4記載の移相器。

[請求項6] 2つのインダクタ及び2つのキャパシタを含んでいる第3の全域通過フィルタと、

2つのインダクタ及び2つのキャパシタを含んでいる第4の全域通過フィルタとを備え、

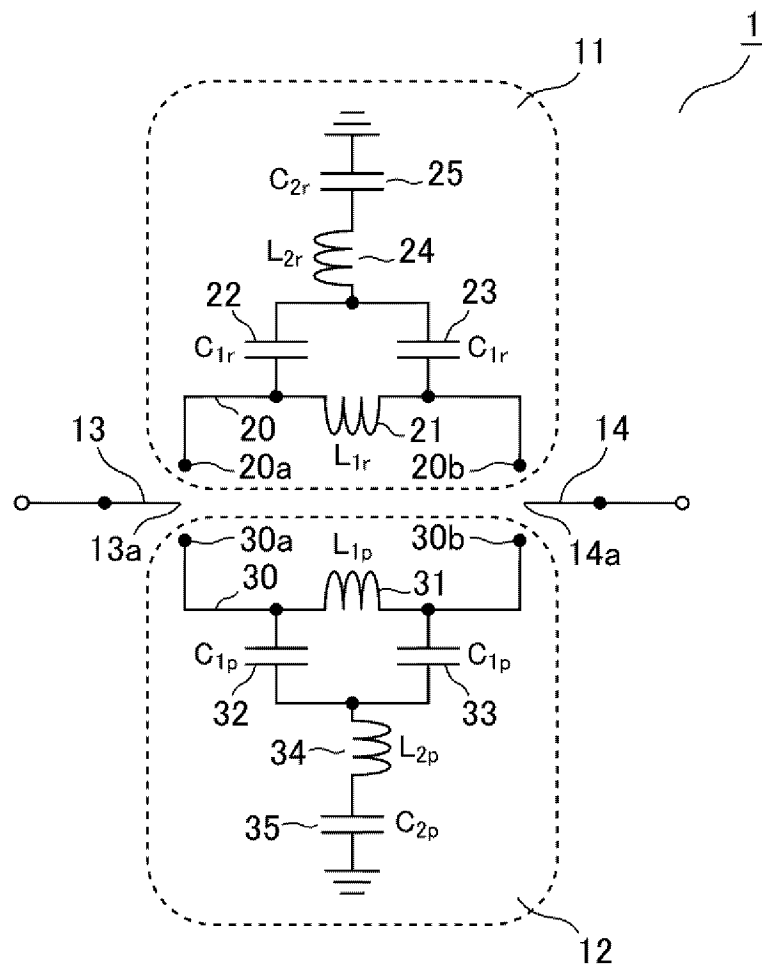
前記第3の全域通過フィルタが前記第1の全域通過フィルタと直列に接続されており、

前記第4の全域通過フィルタが前記第2の全域通過フィルタと直列に接続されていることを特徴とする請求項1記載の移相器。

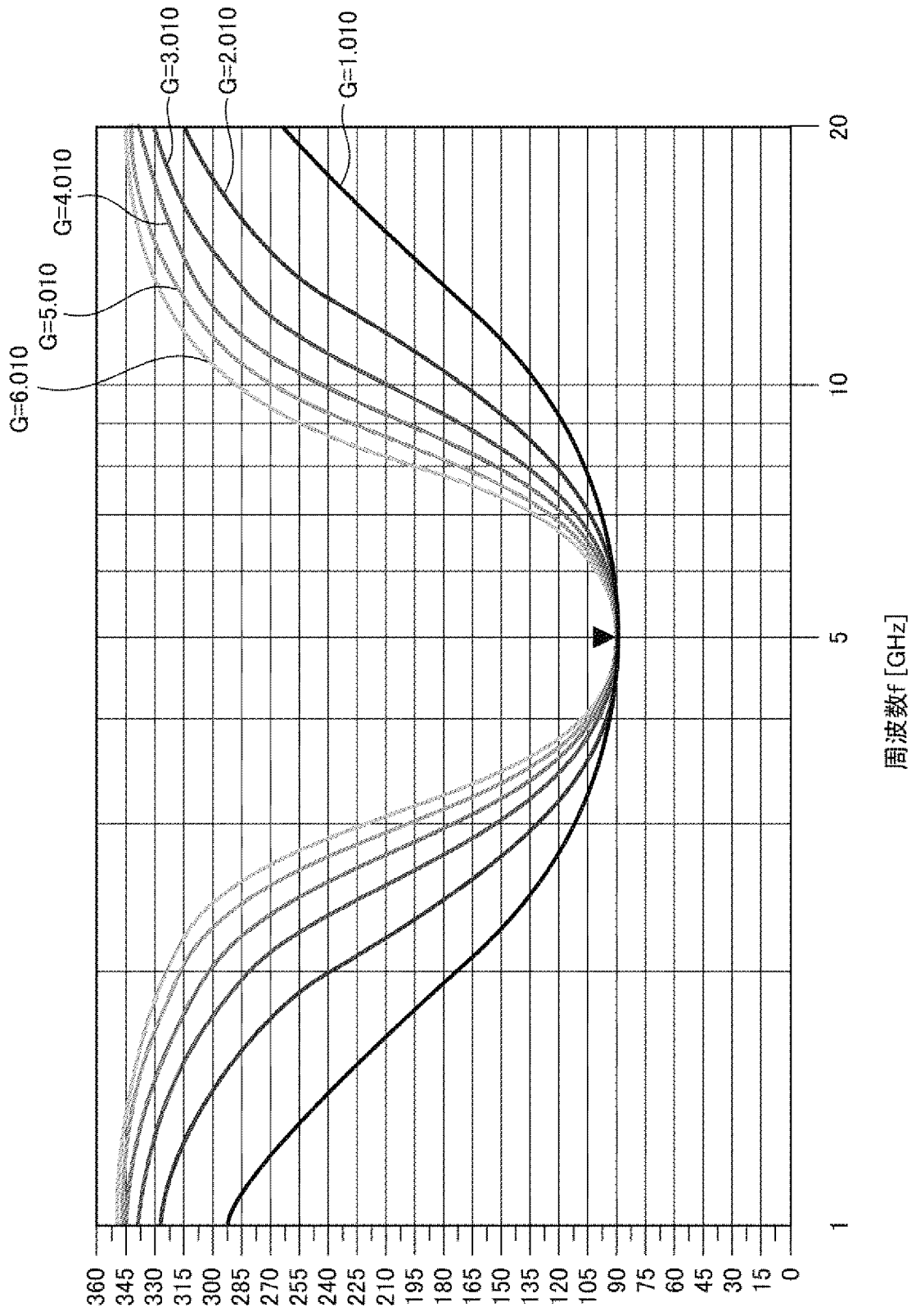
[請求項7]

請求項1から請求項6のうちのいずれか1項記載の移相器を備えたことを特徴とするフェーズドアレーアンテナ装置。

[図1]

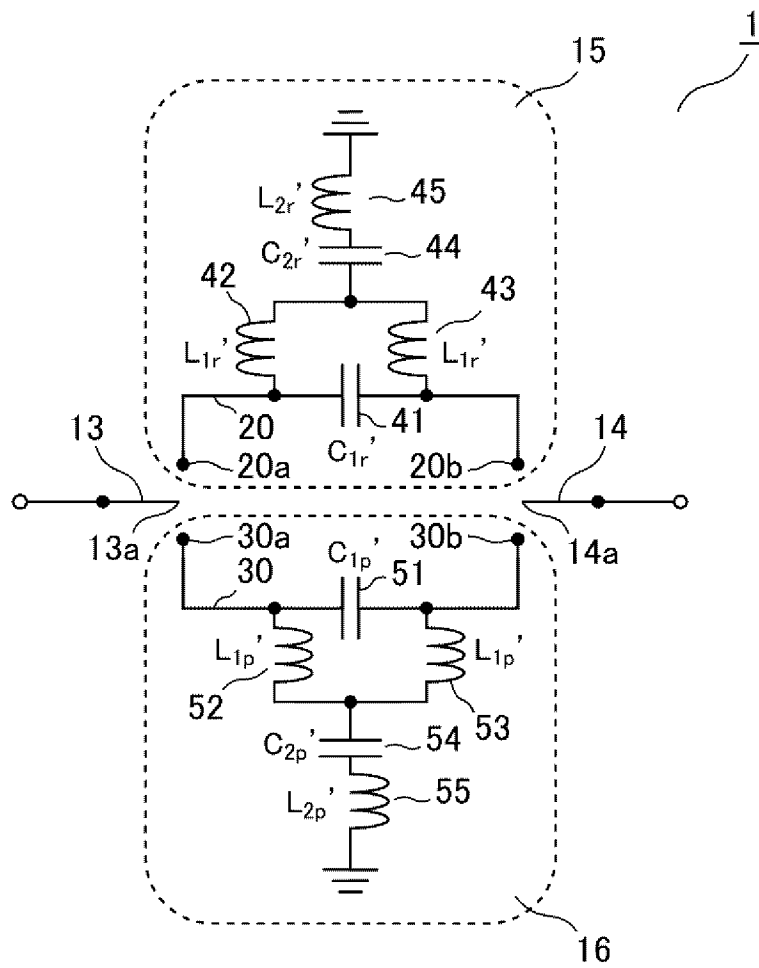


[図2]

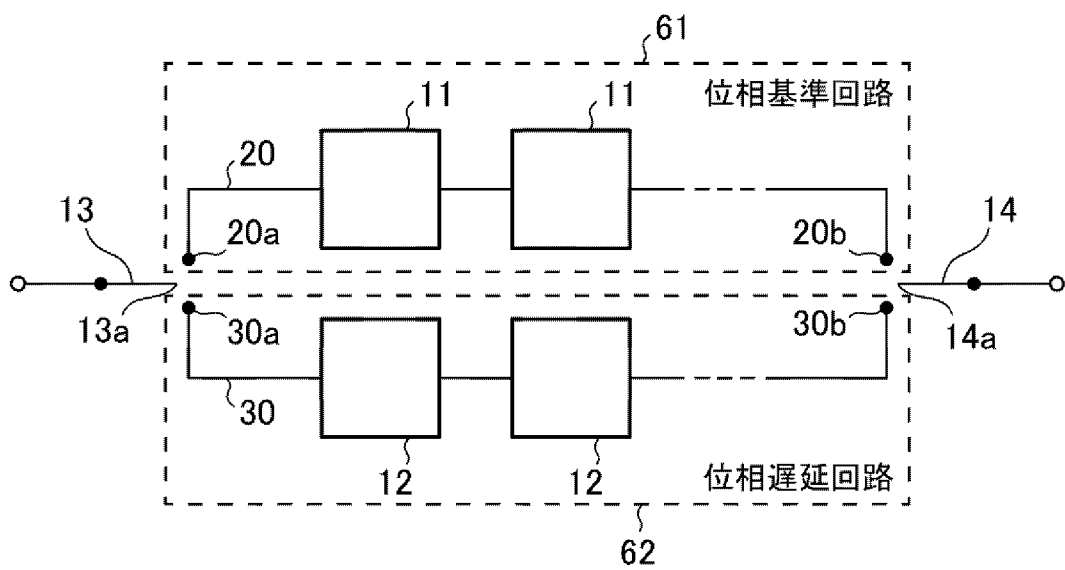


[軸] ϕ 位相

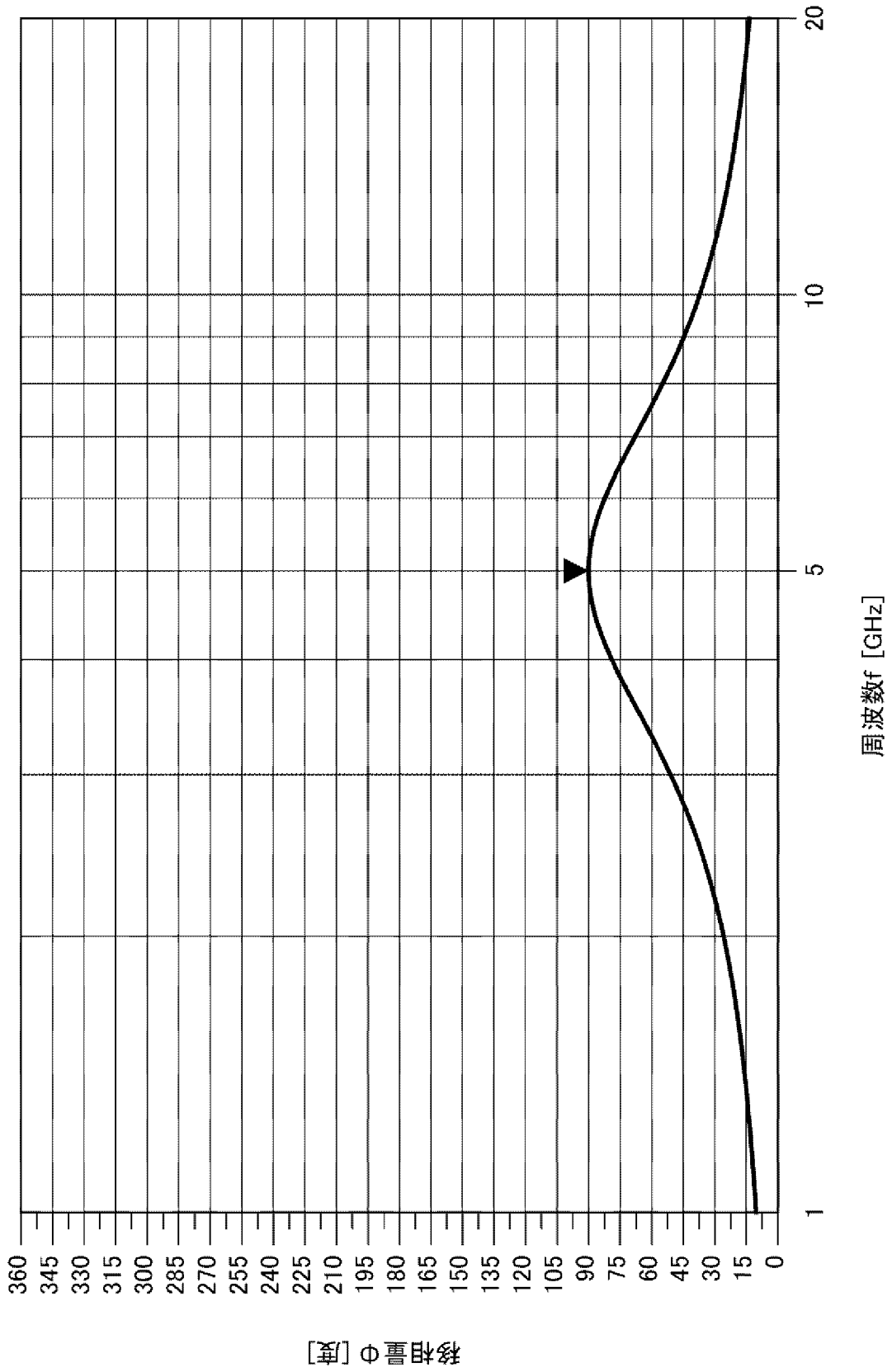
[図3]



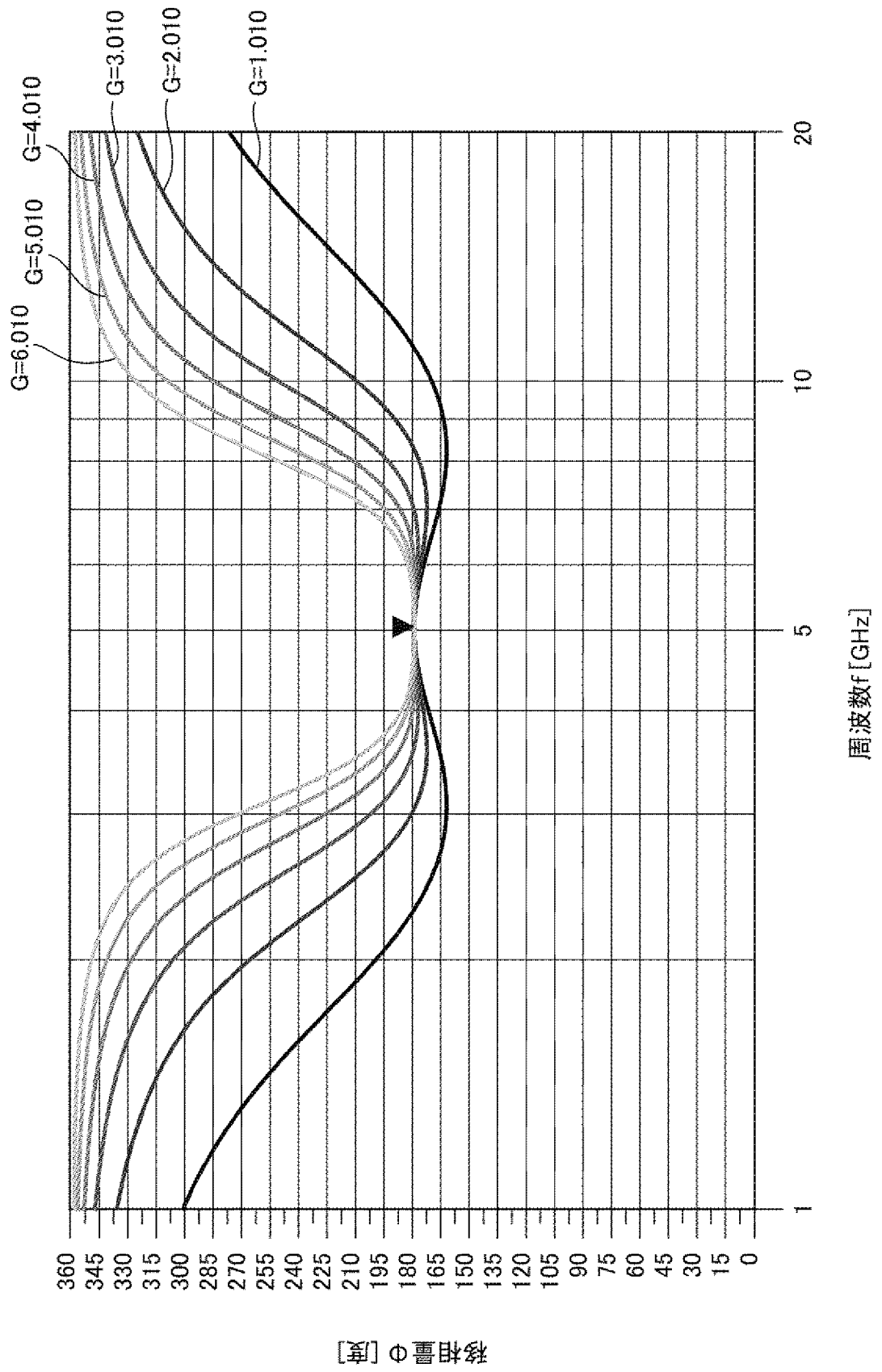
[図4]



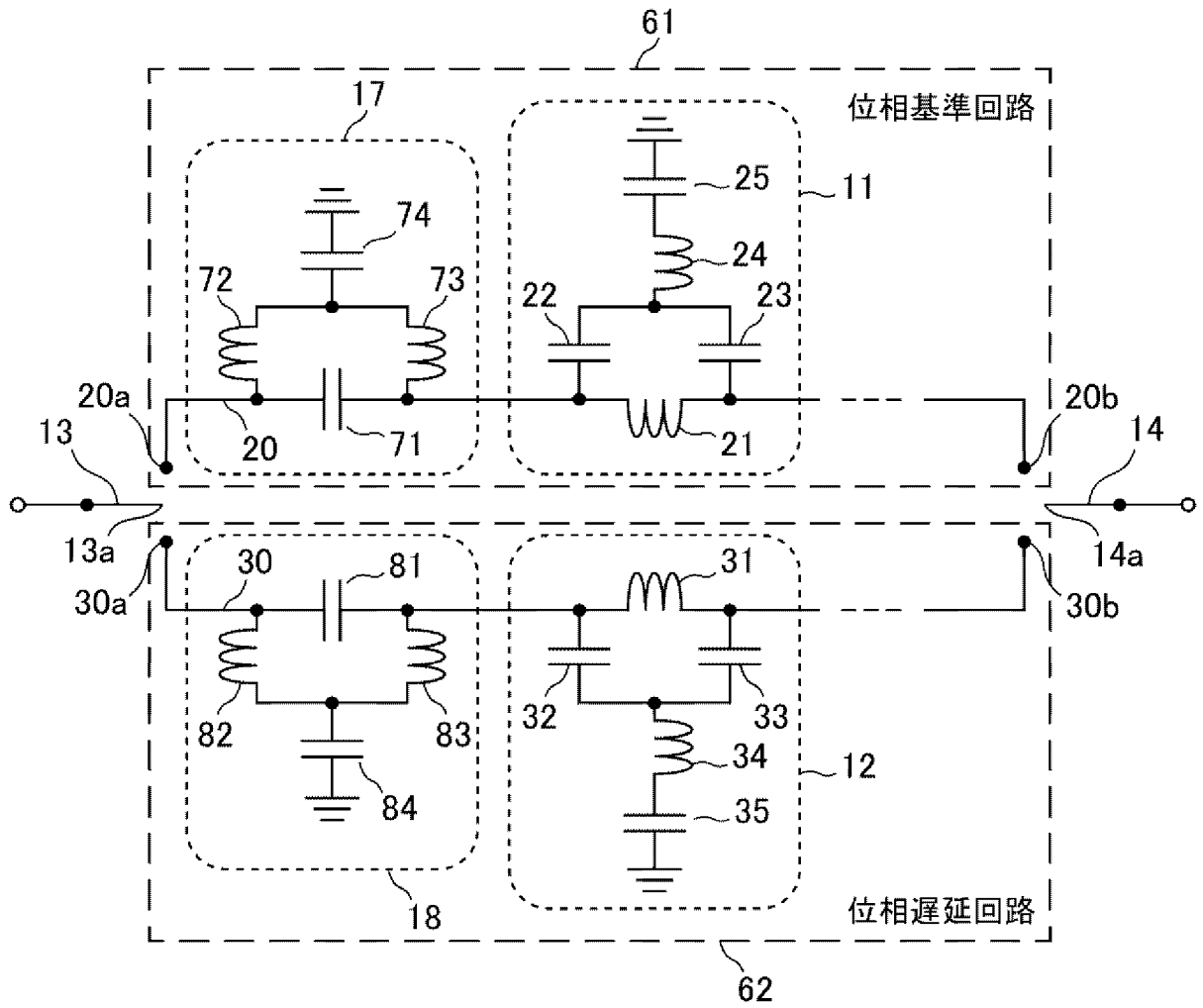
[図5]



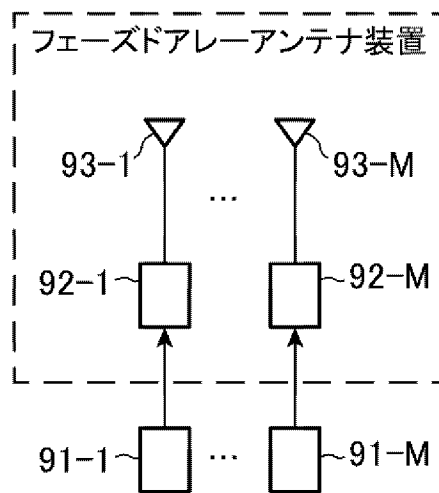
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/030932

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01P1/18 (2006.01) i, H01Q3/36 (2006.01) i
 FI: H01P1/18, H01Q3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01P1/18, H01Q3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2020
 Registered utility model specifications of Japan 1996-2020
 Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Xinyi Tang, Koen Mouthaan, Large Bandwidth Digital Phase Shifters with All-Pass, High-Pass, and Low-Pass Networks, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, 2013, vol. 61, no. 6, pp. 2325-2331, ISSN 0018-9480, in particular, pp. 2325, 2326, fig. 1, 2	1, 3-7 2
Y A	CN 107332538 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 07 November 2017, claim 2, paragraph [0040], fig. 1	1, 3-7 2
Y A	JP 2013-98744 A (SUMITOMO ELECTRIC DEVICE INNOVATIONS INC.) 20 May 2013, paragraphs [0036], [0046], fig. 1	1, 3-7 2

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
20.10.2020

Date of mailing of the international search report
27.10.2020

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2020/030932

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-76810 A (MITSUBISHI ELECTRIC CORP.) 15 March 2002, paragraphs [0015], [0024], fig. 4	1, 3-7 2

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/030932

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
CN 107332538 A	07.11.2017	(Family: none)	
JP 2013-98744 A	20.05.2013	(Family: none)	
JP 2002-76810 A	15.03.2002	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01P 1/18(2006.01)i; H01Q 3/36(2006.01)i FI: H01P1/18; H01Q3/36		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01P1/18; H01Q3/36 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	Xinyi Tang, Koen Mouthaan, Large Bandwidth Digital Phase Shifters With All-Pass, High-Pass, and Low-Pass Networks, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, 2013, Vol.61, No.6, p.2325-2331, ISSN 0018-9480 特に第2325-2326ページ, 図1-2	1,3-7
A		2
Y	CN 107332538 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 07.11.2017 (2017-11-07) 請求項2, 段落[0040], 図1	1,3-7
A		2
Y	JP 2013-98744 A (住友電工デバイス・イノベーション株式会社) 20.05.2013 (2013-05-20) 段落[0036], [0046], 図1	1,3-7
A		2
Y	JP 2002-76810 A (三菱電機株式会社) 15.03.2002 (2002-03-15) 段落[0015], [0024], 図4	1,3-7
A		2
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 20.10.2020	国際調査報告の発送日 27.10.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 肇 5K 9847 電話番号 03-3581-1101 内線 3556	

国際調査報告
特許ファミリーに関する情報

国際出願番号

PCT/JP2020/030932

引用文献	公表日	特許ファミリー文献	公表日
CN 107332538 A	07.11.2017	(ファミリーなし)	
JP 2013-98744 A	20.05.2013	(ファミリーなし)	
JP 2002-76810 A	15.03.2002	(ファミリーなし)	