

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
25. Oktober 2001 (25.10.2001)

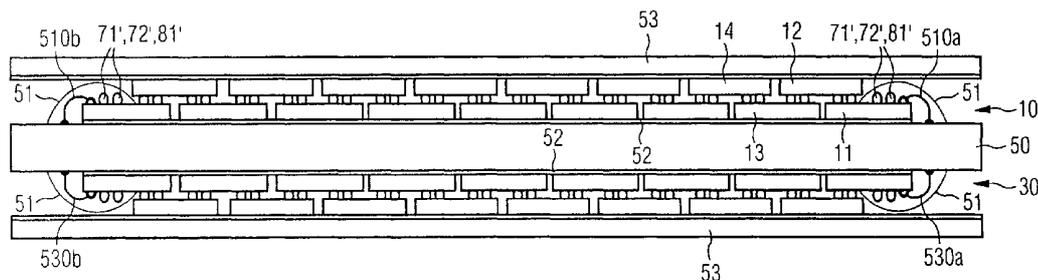
(10) Internationale Veröffentlichungsnummer  
**WO 01/80317 A1**

PCT

- (51) Internationale Patentklassifikation<sup>7</sup>: **H01L 25/065**
- (21) Internationales Aktenzeichen: PCT/DE01/01254
- (22) Internationales Anmeldedatum:  
3. April 2001 (03.04.2001)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
100 19 483.4 19. April 2000 (19.04.2000) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **HEDLER, Harry** [DE/DE]; Dr.-Leo-Ritter-Str. 27, 93049 Regensburg (DE).
- (74) Anwalt: **EPPING HERMANN & FISCHER**; Postfach 12 10 26, 80034 München (DE).
- (81) Bestimmungsstaaten (*national*): JP, KR, US.
- (84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- Veröffentlicht:**  
— mit internationalem Recherchenbericht  
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen
- Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: SEMICONDUCTOR COMPONENT COMPRISING SEVERAL SEMICONDUCTOR CHIPS

(54) Bezeichnung: HALBLEITERBAUELEMENT MIT MEHREREN HALBLEITERCHIPS



(57) **Abstract:** The invention relates to a semiconductor component which in a first embodiment has at least one stack of chips on a carrier substrate, each stack consisting of at least two overlapping semiconductor chips, in particular memory chips. The semiconductor chips of the chip stack are arranged in an offset manner in relation to one another. Each semiconductor chip of a chip stack is connected to the series of conductors of the carrier substrate by electric connections. Alternatively, the invention relates to another semiconductor component, in which at least one chip cluster consisting of at least three semiconductor chips is located on the carrier substrate. In said component, the semiconductor chips are arranged on two overlapping planes in such a way that the semiconductor chips of the first plane overlap those of the other plane. In this embodiment, each semiconductor chip of the chip cluster is also connected electrically to the series of conductors of the carrier substrate.

(57) **Zusammenfassung:** Es wird ein Halbleiterbauelement vorgeschlagen, das in einer ersten Variante auf einem Trägersubstrat zumindest einen Chipstapel aus jeweils zumindest zwei übereinanderliegenden Halbleiterchips, insbesondere Speicherchips aufweist. Die Halbleiterchips des Chipstapels sind hierbei versetzt aufeinander angeordnet. Jeder Halbleiterchip eines Chipstapels ist über elektrische Verbindungen mit den Leiterzügen des Trägersubstrates verbunden. Alternativ ist ein anderes Halbleiterbauelement vorgesehen, bei dem auf dem Trägersubstrat zumindest ein Chipverbund aus wenigstens drei Halbleiterchips angeordnet ist, bei dem die Halbleiterchips in zwei übereinanderliegenden Ebenen derart angeordnet sind, dass die Halbleiterchips der einen Ebene mit den Halbleiterchips der anderen Ebene überlappen. Auch hierbei ist jeder Halbleiterchip des Chipverbundes elektrisch mit den Leiterzügen des Trägersubstrates verbunden.

WO 01/80317 A1

## Beschreibung

Halbleiterbauelement mit mehreren Halbleiterchips

- 5 Die Erfindung betrifft ein Halbleiterbauelement mit mehreren Halbleiterchips, insbesondere mit Speicherchips.

Speicherbauelemente, die beispielsweise für den Einsatz in einem PC vorgesehen sind, werden üblicherweise in Form von  
10 sogenannten Modulen hergestellt. Derartige Module sind bezüglich ihrer elektrischen Anschlüsse, bezüglich der räumlichen Anordnung der elektrischen Anschlüsse sowie bezüglich ihrer Abmaße standardisiert. Das Speichervolumen eines derartigen  
15 Modules mit einer vorgegebenen geometrischen Größe ist somit abhängig von dem Speicherinhalt eines jeden einzelnen Halbleiterchips und der Anzahl der auf dem Modul angeordneten Halbleiterchips. Bei aus dem Stand der Technik bekannten Modulen ist eine Vielzahl an identisch ausgebildeten Halbleiterchips nebeneinander auf einem Substrat angeordnet. Das  
20 Substrat kann beispielsweise aus einer Keramik bestehen und weist eine Leiterzugstruktur auf, die einerseits mit den äußeren Anschlüssen des Modules verbunden ist und andererseits eine elektrische Verbindung zu jedem einzelnen der auf dem Substrat angeordneten Halbleiterchips herstellt.

25 Es besteht nun das Bedürfnis, das Speichervolumen eines derartigen, bekannten Modules weiter zu erhöhen. Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, ein Halbleiterbauelement mit mehreren Halbleiterchips bereitzustellen, bei  
30 dem bei gleichen geometrischen Abmessungen gegenüber einem konventionellen Modul ein wesentlich höheres Speichervolumen erzielbar ist.

Diese Aufgabe wird mit den Merkmalen des Patentanspruches 1  
35 sowie mit den Merkmalen des Patentanspruches 8 gelöst.

Zur Lösung dieser Aufgabe schlägt die Erfindung ein Halbleiterbauelement mit einem mit Leiterzügen versehenen Trägersubstrat und mit zumindest einem Chipstapel aus jeweils zumindest zwei übereinanderliegenden Halbleiterchips, insbesondere Speicherchips, vor, wobei die Halbleiterchips eines Chipstapels versetzt aufeinander angeordnet sind und wobei jeder Halbleiterchip eines Chipstapels über elektrische Verbindungen mit den Leiterzügen des Trägersubstrates verbunden ist.

10 Die Erfindung ermöglicht somit ein Halbleiterbauelement, also ein Speichermodul, bei welchem aufgrund eines preiswerten "Chipstapels" bei nur geringer Erhöhung der Herstellkosten die Speicherinhalte wesentlich vergrößert werden können. Die Vergrößerung des Speichervolumens geht hierbei nicht mit einer Vergrößerung des Trägersubstrates umher. Durch das Stapeln mehrerer Halbleiterchips übereinander erhöht sich das Volumen eines Modules lediglich um die Volumina der übereinander angeordneten Halbleiterchips.

20 Weiterhin entschärft die Erfindung ein Grundproblem beim Assemblieren von (relativ großen) Speicherchips auf einem Trägersubstrat aufgrund eines großen Unterschiedes der thermischen Längenausdehnungskoeffizienten der innerhalb eines Halbleiterbauelementes verwendeten Komponenten. Während Silizium einen Ausdehnungskoeffizienten von 3 ppm/K aufweist, beträgt der thermische Längenausdehnungskoeffizienten eines aus Keramik bestehenden Trägersubstrates oder eines Printed Circuit Boards zwischen 15 bis 18 ppm/K. Insbesondere dann, wenn Halbleiterchips, die jeweils bereits in ein Gehäuse eingebracht sind, übereinander gestapelt werden, können Probleme aufgrund der unterschiedlichen thermischen Längenausdehnungskoeffizienten auftreten, die die Zuverlässigkeit des Halbleiterbauelementes stark beeinträchtigen können. Um die Anforderungen hinsichtlich thermischer Wechselbeanspruchungen zu erfüllen, müssten deshalb verschiedene Pufferelemente oder Schichten in dem Halbleiterbauelement vorgesehen werden. Hierdurch würde die Herstellung des Halbleiterbauelementes

aufwendiger und teurer. Abgesehen davon würde sich das Volumen des Halbleiterbauelementes stark vergrößern. Die Erfindung umgeht dieses Problem, indem eine Mehrzahl an Halbleiterchips direkt übereinander gestapelt wird. Somit sind keine  
5 Elemente und Vorkehrungen zur thermischen Anpassung nötig.

Das Versetzen jeweils übereinanderliegender Halbleiterchips findet hierbei nur in eine Richtung statt. Es entsteht quasi ein "schräger Chipstapel". Sind mehrere Chipstapel nebeneinander angeordnet, so sind die jeweiligen Halbleiterchips der  
10 nächsten Lage des Chipstapels um den gleichen Abstand und in der gleichen Richtung versetzt. Es entstehen somit "parallel verlaufende, schräge Chipstapel".

15 Vorteilhafte Ausgestaltungen dieser Variante ergeben sich aus den untergeordneten Patentansprüchen 2 bis 7, die nachfolgend weiter erläutert werden.

Vorteilhafterweise weisen die Halbleiterchips auf der von dem Substrat abgewandten Seite eine Busstruktur bildende Leiterzugstruktur auf. Diese wird vorzugsweise in Dünnschicht-  
20 technik realisiert und wird im wesentlichen dazu genutzt, eine logische Entflechtung der Leiterführung zu erzielen. Hierdurch kann darauf verzichtet werden, jeden Halbleiterchip eines Chipstapels mittels einer aufwendigen Verbindungstechnologie direkt mit den Leiterzügen des Trägersubstrates zu verbinden.  
25

Vorteilhafterweise sind jeweilige Leiterzugstrukturen zweier übereinanderliegender Halbleiterchips über zumindest eine Drahtverbindung elektrisch miteinander verbunden. Die Leiterzugstruktur dient vor allem dem "Durchschleifen" eines Signales für nicht direkt mit dem Trägersubstrat in Kontakt stehenden Halbleiterchips. Die Wahl, zu welchem Halbleiterchip  
30 Signale übertragen werden sollen, erfolgt über einen sogenannten "Chip-Select". Hierbei werden Steuerleitungen mit einem Signal beaufschlagt, wodurch gezielt jeder einzelne Halb-  
35

leiterchip angesprochen werden kann. Besteht die Busstruktur beispielsweise aus vier Steuerleitungen und zwölf Datenleitungen, werden insgesamt 16 Drahtverbindungen zwischen zwei übereinanderliegenden Halbleiterchips benötigt. Es ist zusätzlich eine direkte elektrische Verbindung zwischen den Halbleiterchips denkbar, aber nicht zwingend notwendig, da diese auch über die Busstruktur hergestellt werden könnte. Unter der elektrischen Verbindung wird hierbei verstanden, daß die aktiven Bauelemente der jeweiligen Halbleiterchips Signale miteinander austauschen.

Vorteilhafterweise ist die Leiterzugstruktur des mit dem Trägersubstrat in Kontakt stehenden Halbleiterchips mit den Leiterzügen des Substrates über zumindest eine Drahtverbindung elektrisch miteinander verbunden. Normalerweise entspricht die Anzahl dieser Drahtverbindungen der Anzahl der Drahtverbindungen zwischen zwei Halbleiterchips.

Als Drahtverbindung wird vorteilhafterweise ein einfacher Bonddraht verwendet. Aufgrund der stufenförmigen Struktur eines Chipstapels können jeweils übereinanderliegende Halbleiterchips über Bonddrähte miteinander verbunden werden. Es sind somit bekannte Herstellungsverfahren anwendbar.

Vorteilhafterweise ist auf dem obersten Halbleiterchip eines Chipstapels ein Wärmeverteiler angeordnet. Sind mehrere Chipstapel nebeneinander auf dem Trägersubstrat angeordnet, so kann für jeden Chipstapel ein eigener Wärmeverteiler vorgesehen sein. Weisen die Chipstapel jedoch die gleiche Anzahl an Halbleiterchips auf, so kann aufgrund der gleichen Höhe der Chipstapel ein einziger Wärmeverteiler verwendet werden. An den Stellen der Drahtverbindungen des obersten Halbleiterchips muß der Wärmeverteiler eine Aussparung aufweisen, in der die Drahtverbindung verlaufen kann.

Zur Erhöhung des Speichervolumens ist auf beiden Hauptseiten des Substrates jeweils zumindest ein Chipstapel vorgesehen.

Vorteilhafterweise liegen die Chipstapel symmetrisch bezüglich des Trägersubstrates. Es versteht sich von selbst, daß das Trägersubstrat im Falle eines beidseitigen Anbringens von Chipstapeln auf seinen Hauptseiten jeweils Leiterzüge aufweist. Diese können über Durchkontaktierungen elektrisch miteinander verbunden sein.

In einer alternativen Variante schlägt die Erfindung ein Halbleiterbauelement vor mit einem mit Leiterzügen versehenen Trägersubstrat und mit zumindest einem auf dem Trägersubstrat angeordneten Chipverbund aus wenigstens drei Halbleiterchips, bei dem die Halbleiterchips in zwei übereinanderliegenden Ebenen angeordnet sind, wobei die Halbleiterchips der einen Ebene mit den Halbleiterchips der anderen Ebene überlappen und wobei jeder Halbleiterchip des Chipverbundes elektrisch mit den Leiterzügen des Trägersubstrates verbunden ist.

Das Halbleiterbauelement gemäß der zweiten Variante schlägt also vor, einen Chipverbund, welcher lediglich aus zwei Ebenen besteht, auf ein Trägersubstrat zu montieren. Die Halbleiterchips der beiden Ebenen sind dabei derart gegeneinander versetzt, daß jeder Halbleiterchip der einen Ebene mit zwei Halbleiterchips der anderen Ebene überlappt. Hierdurch ist es möglich, alle Halbleiterchips eines Chipverbundes elektrisch miteinander zu verbinden. Die elektrische Verbindung aller Halbleiterchips zu einem Chipverbund kann dabei noch vor dem Aufbringen auf das Trägersubstrat auf Silizium-Ebene, das heißt auf Wafer-Ebene, erfolgen. Anschließend kann der zumindest eine Chipverbund auf das Trägersubstrat montiert und mit diesem elektrisch verbunden werden. Über das Trägersubstrat wird dann ein elektrischer Kontakt, zum Beispiel zu einer Leiterplatine, erzeugt.

Vorteilhafte Ausgestaltungen der zweiten Variante ergeben sich aus den untergeordneten Ansprüchen 9 bis 17.

Demgemäß weisen die Halbleiterchips in einer vorteilhaften Ausgestaltung zumindest auf einer ihrer Hauptseiten eine Busstruktur bildende Leiterzugstruktur auf. Somit muß nicht jeder einzelne Halbleiterchip direkt elektrisch mit den Leiterzügen des Trägersubstrates verbunden werden. Es ist ausreichend, zum Beispiel lediglich zwei Halbleiterchips eines Chipverbundes elektrisch mit den Leiterzügen direkt zu verbinden. Aufgrund der Busstruktur der Leiterzugstruktur kann selektiv jeder gewünschte Chip angesteuert werden und mit diesem Daten ausgetauscht werden.

Vorzugsweise sind die Leiterzugstrukturen der Halbleiterchips beider Ebenen des Chipverbundes einander zugewandt. Weiterhin ist es vorteilhaft, die Leiterzugstrukturen jeweils zweier überlappender Halbleiterchips mittels elektrisch leitender Verbindungselemente miteinander zu verbinden. Als Verbindungselemente können beispielsweise Lotkugeln (zum Beispiel Lotbumps, Polymerbumps) vorgesehen werden. Es ist somit möglich, die Halbleiterchips der beiden Ebenen eines Chipverbundes im Flip-Chip-Verfahren miteinander zu verbinden. Bei den Lotkugeln handelt es sich um ein unelastisches Verbindungselement, welches auf einfache Weise billig herzustellen ist. Mit einem einzigen Verfahrensschritt können alle Verbindungen des Halbleiterchips bzw. des Chipverbundes hergestellt werden. Im Sinne der oben genannten Busstruktur sind "verschlungene" Leiterbahnen abwechselnd durch die eine, dann durch die andere Ebene hindurch geführt. Hierbei wird über die Leiterzugstruktur eines jeden Halbleiterchips lediglich ein Signal "durchgeschleift". Der Zustand der aktiven Bauelemente eines Halbleiterchips muß sich bei einem Durchschleifen eines Signales nicht zwangsläufig ändern. Jeweils zwei sich überlappende Halbleiterchips können auch direkt elektrisch miteinander verbunden sein. Es wird hierbei darunter verstanden, daß die aktiven Strukturen der beiden Halbleiterchips Informationen miteinander austauschen können.

In einer weiteren vorteilhaften Ausgestaltung ist wenigstens ein Halbleiterchip des Chipverbundes mit Leiterzügen des Trägersubstrates über elastische Drahtverbindungen elektrisch verbunden. In der Regel werden zwei Halbleiterchips mit dem  
5 Trägersubstrat elektrisch verbunden sein. Der eine Halbleiterchip stellt dann den Eingang des Bussystems dar, während der andere Halbleiterchip den Ausgang darstellt.

Es ist weiterhin zweckmäßig, als Abschluß derjenigen Ebene  
10 des Chipverbundes, die von dem äußersten Chip der anderen Ebene überragt wird, einen in der Größe an der äußersten Chip der anderen Ebene angepaßten Halbleiterchip vorzusehen. Dieser Halbleiterchip übernimmt in erster Linie die Aufgabe für mechanische Stabilität des äußersten Halbleiterchips des  
15 Chipverbundes zu sorgen. Dieser sogenannte "Dummy"-Halbleiterchip braucht somit keine elektrische Funktion zu haben, das heißt er braucht keine aktiven Bauelemente aufzuweisen. Andererseits ist es natürlich denkbar, auch den Dummy-Halbleiterchip als funktionsfähigen Speicherchip vorzusehen, welcher dann gegenüber den übrigen Halbleiterchips lediglich in  
20 etwa die halbe Größe aufweisen würde. Der Dummy-Halbleiterchip kann hierbei an beiden Enden des Chipverbundes vorgesehen sein oder auch nur auf einer einzigen Seite.

25 Zur weiteren Erhöhung des Speichervolumens wird vorteilhafterweise auf beiden Hauptseiten des Trägersubstrates jeweils zumindest ein Chipverbund vorgesehen. Es versteht sich von selbst, daß das Trägersubstrat in diesem Fall auf beiden Hauptseiten eine Leiterzugstruktur aufweisen muß. Es ist  
30 selbstverständlich denkbar, daß die Leiterzugstrukturen mittels Durchkontaktierungen elektrisch in Verbindung stehen.

Eine weitere Erhöhung des Speichervolumens wird dadurch ermöglicht, daß zumindest zwei Chipverbunde aufeinander ange-  
35 ordnet sind. Die Halbleiterchips der aneinanderliegenden Ebenen unterschiedlicher Chipverbunde können dabei deckungsgleich oder versetzt angeordnet sein. Um eine hohe mechani-

sche Stabilität des gesamten Halbleitermodules zu erzielen, bietet es sich vorteilhafterweise an, die Chipverbunde versetzt aufeinander anzuordnen, so daß eine Art regelmäßiges Raster entsteht.

5

In einer weiteren Ausgestaltung der zweiten Variante der Erfindung ist auf dem zumindest einen Chipverbund ein Wärmeverteiler vorgesehen. Die elastischen Drahtverbindungen sind zudem vorteilhafterweise von einer Vergußmasse umgeben, so daß diese vor einer mechanischen Beschädigung geschützt sind.

10

Die bei beiden Varianten prinzipiell notwendige Umverdrahtung, das heißt Leiterzugstruktur auf den Halbleiterchips wird vorteilhafterweise in Dünnschichttechnik realisiert. Die Leiterzugstrukturen dienen in erster Linie dazu, eine logische Entflechtung der Leiterführung zu erzielen.

15

Anhand der nachfolgenden Figuren werden weitere Vorteile und Ausgestaltungsvarianten der Erfindung näher erläutert. Es zeigen:

20

Figur 1 ein Beispiel gemäß der ersten Ausführungsvariante der Erfindung,

25

Figur 2 einen Chipverbund, der in der zweiten Variante der Erfindung zum Einsatz kommt,

30

Figur 3 ein erstes Ausführungsbeispiel gemäß der zweiten Variante der Erfindung,

Figur 4 ein zweites Ausführungsbeispiel gemäß der zweiten Variante der Erfindung,

35

Figur 5 ein drittes Ausführungsbeispiel gemäß der zweiten Variante der Erfindung,

Figur 6 bis 8 ein Ausführungsbeispiel einer Leiterzugstruktur gemäß der zweiten Variante der Erfindung,

5 Figur 9a, 9b die Anordnung von Verbindungselementen auf der erfindungsgemäßen Leiterzugstruktur gemäß den Figuren 6 bis 8 und

Figur 10a, 10b die Anordnung der Verbindungselemente in einem erfindungsgemäßen Chipverbund.

10

Die Figur 1 zeigt ein Ausführungsbeispiel der Erfindung gemäß der ersten vorgeschlagenen Variante. Auf einem Trägersubstrat 100 sind auf einer ersten Hauptseite 102 acht Chipstapel 101 angeordnet. Selbstverständlich können auch mehr oder weniger  
15 als die acht gezeigten Chipstapel auf dem Trägersubstrat 100 angeordnet sein. Im vorliegenden Ausführungsbeispiel besteht ein Chipstapel 101 aus vier Halbleiterchips 110, 120, 130, 140. Die Halbleiterchips 110, 120, 130, 140 sind jeweils um den gleichen Abstand gegeneinander versetzt angeordnet. Somit  
20 bleibt auf den jeweiligen Hauptseiten 112, 122, 132, 142 der Halbleiterchips ein Bereich frei, welcher jeweils eine im Querschnitt nicht sichtbare Leiterzugstruktur 113, 123, 133, 143 aufweist. Die Halbleiterchips beziehungsweise die Leiterzugstrukturen sind über Drahtverbindungen 111, 121, 131, 141  
25 miteinander verbunden. Der unterste Halbleiterchip 110 ist hierbei über die Drahtverbindung 111 mit einer im Querschnitt nicht ersichtlichen Leiterzugstruktur auf dem Trägersubstrat 100 verbunden.

30 Die Leiterzugstrukturen auf den Hauptseiten der Halbleiterchips übernehmen die Funktion einer Umverdrahtung. Hierbei ist die Umverdrahtung derart gestaltet, daß eine Busstruktur gebildet ist. Dies bedeutet, mehrere durchgehende Leiterzüge erstrecken sich von den Leiterzügen auf dem Trägersubstrat  
35 100 bis zu dem obersten Halbleiterchip 140. Diese Leiterzugstruktur führt somit über alle Halbleiterchips eines jeweiligen Chipstapels. Durch das Ansteuern bestimmter Steuer-

leitungen der Busstruktur wird gezielt ausgewählt, welcher der Halbleiterchips Daten empfangen oder senden soll. Mit anderen Worten bedeutet dies, daß die Halbleiterchips 120, 130, 140 keine direkte Verbindung mit den Leiterzügen des Träger-  
5 substrates 100 aufweisen. Das Prinzip der als Busstruktur ausgeführten Leiterzugstruktur wird aus den nachfolgenden Ausführungsbeispielen noch weiter ersichtlich werden.

Jeder der auf dem Trägersubstrat 100 angeordneten Chipstapel  
10 ist identisch ausgebildet. Jeder Chipstapel besitzt eine gleiche Anzahl an Halbleiterchips. Somit ist es möglich, einen Wärmeverteiler auf der obersten Lage der Halbleiterchips aufzubringen. Um die Drahtverbindung 141 hierbei nicht zu beschädigen, weist der Wärmeverteiler 104 an der entsprechenden  
15 Stelle eine Aussparung 105 auf. Alternativ wäre auch denkbar, jeden der Chipstapel mit einem separaten Wärmeverteiler auszuführen. Ein durchgehender Wärmeverteiler weist jedoch den Vorteil auf, daß dieser einen mechanischen Schutz der darunterliegenden Halbleiterchips ermöglicht und weiterhin die  
20 Stabilität des Halbleiterbauelementes erhöht.

Zur weiteren Erhöhung des Speichervolumens ist auch auf der zweiten Hauptseite 103 des Trägersubstrates die gleiche Anordnung, bestehend aus acht Chipstapeln 101 aufgebracht. Je  
25 nachdem, welches Speichervolumen gefordert ist, können die Chipstapel auch aus weniger als den gezeigten vier Halbleiterchips bestehen. Selbstverständlich können auch wesentlich mehr Halbleiterchips übereinander angeordnet werden. Die einzelnen Halbleiterchips sind über eine Lotschicht 114, 124,  
30 134, 144 untereinander beziehungsweise mit dem Trägersubstrat 100 verbunden. Prinzipiell kann jede erdenkliche Verbindungstechnologie verwendet werden.

Die Erfindung gemäß der ersten Variante ermöglicht ein sehr  
35 dünnes Halbleiterbauelement, das gleichzeitig ein äußerst hohes Speichervolumen aufweist. Das Volumen kann dadurch noch verringert werden, daß rückseitengeschliffene Halbleiter-

chips, das heißt gedünnte Halbleiterchips verwendet werden. Das Halbleiterbauelement läßt dies mit bekannten Herstellungsverfahren und Technologien herstellen.

5 Eine Herstellung könnte schichtweise erfolgen. Dies bedeutet, zuerst würden die Halbleiterchips 110 der ersten Ebene auf das Trägersubstrat aufgebracht, zum Beispiel aufgelötet. Anschließend wird die elektrische Verbindung (Drahtverbindung 111) zwischen der Leiterzugstruktur 113 und der (nicht er-  
10 sichtlichen) Leiterzugstruktur des Trägersubstrates 100 hergestellt. Anschließend könnten die Halbleiterchips 110 auf ihre Funktionsfähigkeit überprüft werden. Ist diese gegeben, so wird die zweite Ebene mit den Halbleiterchips 120 aufgebracht. Diese werden, wie in Figur 1 dargestellt, versetzt  
15 aufgebracht, so daß die Leiterzugstruktur 113 ausgespart bleibt. Das Aufbringen kann gleichfalls durch Löten, Kleben oder dergleichen erfolgen. Anschließend erfolgt die Herstellung der Drahtverbindung 121. Da die Leiterzugstruktur eine Busstruktur aufweist, ist es bereits jetzt möglich, die Halb-  
20 leiterchips der zweiten Ebene auf ihre Funktionsfähigkeit zu überprüfen. Ist diese bei allen Halbleiterchips gegeben, so kann die dritte und vierte Ebene aufgebracht werden. Abschließend wird der Wärmeverteiler 104 auf die oberste Ebene des Chipstapels 101 aufgebracht. Das Herstellungsverfahren  
25 ist durch einen seriellen Bondprozeß auf einfache Weise ausführbar.

Die Figur 2 zeigt einen Chipverbund, wie er gemäß der zweiten Variante der Erfindung in einem Speicher-Modul mit einem ho-  
30 hen Speichervolumen zum Einsatz kommt. Der Chipverbund 10 besteht dabei aus einer Mehrzahl an Halbleiterchips 11 bis 17 usw., die in zwei übereinanderliegenden Ebenen angeordnet sind. Die Halbleiterchips 11, 13, 15, 17... der ersten Ebene überlappen dabei jeweils mit Halbleiterchips 12, 14, 16,...  
35 der anderen Ebene. Die Halbleiterchips der einen und der anderen Ebene überlappen dabei derart, daß jeder Halbleiterchip - außer denjenigen, die die äußeren Enden bilden - mit zwei

Halbleiterchips der jeweils anderen Ebene überlappt. Hierbei überdecken sich die Halbleiterchips der anderen Ebene jeweils mit der gleichen Fläche mit dem Halbleiterchip der einen Ebene. Die Anordnung ist quasi symmetrisch. Die einander zugewandten Hauptseiten der Halbleiterchips 11 bis 17 weisen  
5 hierbei erfindungsgemäß eine als Busstruktur ausgeführte Leiterzugstruktur auf. Die Leiterzugstrukturen der jeweils benachbart in unterschiedlichen Ebenen liegenden Halbleiterchips sind hierbei über Verbindungselemente 71, 72, 81 mit-  
10 einander verbunden. Die genaue Anordnung der Verbindungselemente 71, 72, 81 wird in den nachfolgenden Figurenbeschreibungen näher erläutert werden.

Die Figur 3 zeigt ein erstes Ausführungsbeispiel eines erfindungsgemäßen Halbleitermoduls gemäß der zweiten Variante. Auf  
15 einem Trägersubstrat 50 sind vier Chipverbunde 10, 20, 30, 40 angeordnet. Da jeder der vier Chipverbunde identisch aufgebaut ist, beschränkt sich die nachfolgende Beschreibung auf den Chipverbund 10.

20

Der Chipverbund 10 weist acht Halbleiterchips 12 bis 19, auf. Diese sind, wie in Figur 2 dargestellt, in zwei Ebenen angeordnet. Wie bereits weiter oben ausgeführt überlappen die Halbleiterchips der beiden Ebenen sich in symmetrischer Weise.  
25 Dies ist aufgrund der nachfolgend beschriebenen Leiterzugstruktur, welche sich auf wenigstens einer der Hauptseiten der Halbleiterchips befindet, die bevorzugte Ausgestaltung. Selbstverständlich könnten sich die Halbleiterchips der beiden Ebenen auch in einem anderen Flächenverhältnis überlap-  
30 pen.

Die Halbleiterchips 13, 15, 17, 19 der ersten Ebene sind mit ihrer Rückseite, das heißt der Seite, die keine aktiven Bauelemente beziehungsweise elektrischen Anschlüsse enthält, mit  
35 dem Trägersubstrat 50 über eine Lotschicht 52 verbunden. Die Halbleiterchips 13, 15, 17, 19 können auf das Trägersubstrat

50 gelötet, geklebt oder nach einem beliebigen anderen Verfahren aufgebracht und befestigt sein.

Lediglich der Halbleiterchip 19 weist eine direkte elektrische Verbindung mit den (nicht ersichtlichen) Leiterzügen des Trägersubstrates 50 auf. Die elektrische Verbindung ist über eine elastische Drahtverbindung 510 zwischen einem Leiterzug des Trägersubstrat 50 und einem Kontaktpad beziehungsweise einer Leiterbahn der Leiterzugstruktur des Halbleiterchips 19 hergestellt. Die sich jeweils überlappenden Halbleiterchips der beiden Ebenen des Chipverbundes sind über Verbindungselemente 71, 72, 81 miteinander verbunden. Die Leiterzugstruktur, die nachfolgend näher erläutert werden wird, weist hierbei eine Busstruktur auf, das heißt die Verbindungselemente 71, 72, 81 stellen nicht zwangsläufig eine elektrische Verbindung zwischen den aktiven Bauelementen zweier sich überlappender Halbleiterchips her. Vielmehr werden sich abwechselnd durch die sich überlappenden Halbleiterchips verlaufende Leiterzüge, beginnend mit elastischen Drahtverbindung 510 über den Halbleiterchip 19, Halbleiterchip 18, Halbleiterchip 17, Halbleiterchip 16, Halbleiterchip 15, Halbleiterchip 14, Halbleiterchip 13 bis zu dem Halbleiterchip 12 erzeugt. Auf diese Weise erstrecken sich eine Vielzahl an Leiterzügen von dem Trägersubstrat durch die Halbleiterchips eines Chipverbundes. Die Anzahl der Leiterzüge entspricht hierbei der Anzahl der Kontaktpads, die bei allen Halbleiterchips identisch ist. Als Verbindungselemente 71, 72, 81 können Lotbumps oder Polymerbumps vorgesehen sein, die auf einfache und preiswerte Weise herstellbar sind.

30

Der Chipverbund, der aus rückseitengeschliffenen Halbleiterchips bestehen kann, weist somit eine äußerst geringe Höhe auf. Das Volumen dieses erfindungsgemäßen Halbleiterbauelementes vergrößert sich somit nur unwesentlich gegenüber den aus dem Stand der Technik bekannten Halbleiterbauelementen. An den Stellen der elastischen Drahtverbindungen 510, 520, die im vorliegenden Ausführungsbeispiel in der Mitte des Trä-

35

gersubstrates angeordnet sind, ist eine Vergußmasse 51 vorgesehen, die die Drahtverbindungen mechanisch schützt. Selbstverständlich wäre denkbar, die zwischen den Halbleiterchips eines Chipverbundes bestehenden Zwischenräume mit einem nicht leitenden Material aufzufüllen, um auch die Halbleiterchips vor mechanischen Beschädigungen zu schützen.

Weiterhin weist der Chipverbund 10 an seinem zum Rand des Trägermoduls 50 gerichteten Ende einen weiteren Halbleiterchip 57 auf, der mit dem Halbleiterchip 12 bündig abschließt. Der Halbleiterchip 57 übernimmt in erster Linie eine mechanische Stabilisierung des Halbleiterchips 12. Er muß deshalb nicht zwangsläufig eine elektrische Funktionalität aufweisen. Zwar ist eine Verbindung zu dem Halbleiterchip 12 ebenfalls über Verbindungselemente 71, 72, 81 hergestellt, jedoch wird über diese kein elektrisches Signal geführt. Denkbar wäre natürlich auch, den Halbleiterchip 57 als Speicherchip auszuführen, welcher in etwa die halbe Größe eines regulären Halbleiterchips aufweisen würde.

Im vorliegenden Ausführungsbeispiel sind beidseitig der Hauptseiten des Trägersubstrates 50 jeweils zwei Chipverbunde 10, 20 beziehungsweise 30, 40 aufgebracht. Dies bedeutet, das Trägersubstrat 50 weist auf beiden Hauptseiten eine (aus der Figur nicht ersichtliche) Leiterzugstruktur auf. Diese Leiterzugstrukturen könnten auch mittels Durchkontaktierungen miteinander elektrisch verbunden sein. Das Trägersubstrat 50 weist ferner in der Figur nicht dargestellte elektrische Kontakte auf, mit denen das Halbleiterbauelement zum Beispiel mit einem Printed Circuit Board elektrisch verbunden werden könnte.

In der Figur 4 ist ein zweites Ausführungsbeispiel gemäß der zweiten Variante der Erfindung dargestellt. Dieses Ausführungsbeispiel unterscheidet sich von der Figur 3 dadurch, daß auf jeder Hauptseite des Trägersubstrates 50 lediglich ein Chipverbund 10 beziehungsweise 30 aufgebracht ist, die jedoch

eine größere Anzahl an Halbleiterchips aufweisen. Die Beschreibung beschränkt sich im nachfolgenden wiederum auf den Chipverbund 10, da der Chipverbund 30 identisch aufgebaut ist. Der Chipverbund 10 weist an beiden Enden elastische Verbindungen 510a und 510b auf, die jeweils die äußersten Halbleiterchips der unteren Ebene elektrisch mit den Leiterbahnen des Trägersubstrates 50 verbinden. Da die Leiterzugstrukturen auf den Hauptseiten der Halbleiterchips in Form einer Busstruktur realisiert sind, entspricht die elastische Drahtverbindung 510a dem Eingang des Bussystemes, während die Drahtverbindung 510b dem Ausgang der Busstruktur entspricht.

Die elastischen Drahtverbindungen 510a, 510b sind wiederum von einer Vergußmasse 51 umgeben und hierdurch mechanisch geschützt.

In der vorliegenden Figur 4 ist auch darauf verzichtet worden, als Abschluß den in Figur 3 gezeigten mechanischen stabilisierenden Halbleiterchip 57 vorzusehen. Dies ist im vorliegenden Ausführungsbeispiel auch nicht notwendig, da die untere Ebene des Chipverbundes, welche auf dem Trägersubstrat 50 aufgebracht ist, einen Halbleiterchip mehr aufweist als die obere Ebene des Chipverbundes 10.

Mit der oberen Ebene des Chipverbundes 10, bestehend aus den Halbleiterchips 12, 14, 16, ... ist ein Wärmeverteiler 53 verbunden, der mit den Rückseiten der genannten Halbleiterchips, zum Beispiel über eine Lotschicht verbunden ist. Der Wärmeverteiler 53 kann auch auf die Rückseiten der Halbleiterchips aufgeklebt sein.

Die Verbindungselemente, 71', 72', 81', welche auf den beiden äußersten Halbleiterchips 11 der unteren Chipebene gelegen sind, wären prinzipiell nicht mehr notwendig. Die Herstellung vereinfacht sich jedoch, wenn die Verbindungselemente bei allen Halbleiterchips identisch aufgebracht werden können, unabhängig von ihrer Lage in einem Chipverbund.

Ein drittes Ausführungsbeispiel ist in der Figur 5 gezeigt. Dieses unterscheidet sich von Figur 4 lediglich dadurch, daß beidseitig des Trägersubstrates 50 jeweils zwei übereinander-  
5 liegende Chipverbunde 10, 20 beziehungsweise 30, 40 aufgebracht sind. Die jeweils äußersten Halbleiterchips 11, 21 beziehungsweise 31, 41 sind wiederum über elastische Drahtverbindungen 510a, 510b, 520a, 520b beziehungsweise 530a, 530b, 540a, 540b mit den Leiterzügen des Substrates 50 elektrisch  
10 verbunden. Die Drahtverbindungen sind elastisch ausgelegt, um unterschiedliche thermische Ausdehnungskoeffizienten zwischen dem beispielsweise aus Keramik bestehenden Trägersubstrat und den Halbleiterchips ausgleichen zu können. Die Vergußmasse 51 umschließt jeweils zwei elastische Drahtverbindungen 510a,  
15 520a und so weiter.

Zur mechanischen Stabilisierung der Chipverbunde könnten im vorliegenden Ausführungsbeispiel jeweils wieder die mechanisch stabilisierenden Halbleiterchips 57 vorgesehen sein.

20

Die übereinanderliegenden Chipverbunde 10, 20 sind mittels einer Lotschicht 55 oder einer Kleberschicht verbunden. Hierbei stehen sich die Rückseiten der Halbleiterchips 12, 14, 16 des Chipverbundes 10 mit den Rückseiten der Halbleiterchips  
25 21, 23, 25, ... des Chipverbundes 20 gegenüber. Es besteht somit keine elektrische Verbindung zwischen den Halbleiterchips des Chipverbundes 10 und den Halbleiterchips des Chipverbundes 20. Denkbar wäre jedoch natürlich auch, die einanderliegenden Halbleiterchips unterschiedlicher Chipverbunde mit  
30 elektrisch leitenden Rückseitenkontakten auszustatten, um somit eine elektrische Verbindung herzustellen.

Das erfindungsgemäße Halbleiterbauelement gemäß der Figur 5 weist bei unveränderten Abmaßen gegenüber einem konventionellen Speichermodul eine wesentlich höhere Speicherdichte auf,  
35 die in etwa um den Faktor 4 erhöht ist. Dabei ist die Höhe beziehungsweise das Volumen des erfindungsgemäßen Halbleiter-

bauelementes nur unwesentlich größer als bei einem konventionellen Speicher-Modul. Die Höhe des vorliegenden Halbleiterbauelementes beträgt 8\* Chipdicke + 6\* Lotschicht + 4\* Höhe des Verbindungselementes 71, 72, 81 + 2\* Wärmeverteiler +  
5 Dicke des Trägersubstrates.

Da bei jedem Chipverbund lediglich zwei Halbleiterchips über eine direkte elektrische Verbindung mit den Leiterbahnen des Trägersubstrates verbunden sind, muß die Leiterzugstruktur  
10 der Halbleiterchips derart beschaffen sein, daß trotzdem jeder im Inneren des Chipverbundes gelegene Halbleiterchip gezielt angesprochen werden kann. Dies wird durch eine Busstruktur der auf den jeweiligen Hauptseiten gelegenen Leiterzugstrukturen der Halbleiterchips eines Chipverbundes erzielt.  
15 Diese Bus-struktur wird in den nachfolgenden Figuren 6 bis 10 näher erläutert.

Die Figur 6 zeigt die Draufsicht auf den Halbleiterchip 13, welcher mit seiner Rückseite mit dem Trägersubstrat verlötet  
20 ist (siehe Figur 4). Er weist auf seiner Oberseite eine Vielzahl an Leiterzügen 80 auf, die sich, jeweils parallel verlaufend, von einer Seitenkante zu der gegenüberliegenden Seitenkante des Halbleiterchips erstrecken. Kontaktpads 56 befinden sich, wie bei Speicherchips üblich, auf einer Mittellachse des Halbleiterchips. Die Anordnung der Kontaktpads 56  
25 bildet eine Symmetrieachse bezüglich der Leiterzüge 80. Die Leiterzüge 80 stellen hierbei eine Verbindung zu denjenigen Kontaktpads 56 her, über die Speicherdaten übertragen werden.

30 Lediglich ein Kontaktpad, ist mit einer Leiterbahn 69 verbunden, der nachfolgend als sogenannter Chip-Select bezeichnet wird. Wird an diesem Kontaktpad ein Signal angelegt, so kann der Halbleiterchip 13 Daten empfangen oder Daten senden. Liegt an dem Kontaktpad der Leiterbahn 69 jedoch kein Signal  
35 an, so kann der Zustand der aktiven Bauelemente des Speicherchips 13 nicht verändert werden.

An den äußeren Enden der Leiterzüge 80 sind in einem Raster Verbindungselemente 81a beziehungsweise 81b aufgebracht. Die Verbindungselemente 81a, 81b können Lotbumps oder klebende Polymerbumps sein. Die Bezeichnung a bei den Bezugszeichen wird nachfolgend für einen Eingang eines Leiterzuges verwendet, während die Bezeichnung b einen Ausgang eines Leiterzuges darstellt. Die in Klammern hinter den Bezugszeichen gesetzten Ziffern bezeichnen den jeweiligen Halbleiterchip, auf welchem Verbindungselemente aufgebracht sind. So sind in der Figur 6 weitere Bereiche mit 81a(14) und 81b(12) gekennzeichnet, die die Verbindungselemente der Halbleiterchips 12 und 14, die mit dem Halbleiterchip 13 überlappen, darstellen. Der Ausgang des Halbleiterchips 12 ist hierbei mit dem Eingang des Halbleiterchips 13 verbunden. Der Ausgang des Halbleiterchips 13 übergibt sein Signal an den Eingang des Halbleiterchips 14.

Die in der Figur 6 dargestellten Leiterzüge 80 werden lediglich für den reinen Datentransport verwendet. Jedoch muß weiterhin sichergestellt sein, daß jeder Halbleiterchip des Chipverbundes gezielt angewählt werden kann. Hierzu dienen die Leiterzüge 61 bis 68 aus der Figur 7, die zu den Leiterzügen 80 parallel verlaufend benachbart den Seitenkanten des Halbleiterchips 13 angeordnet sind. Im vorliegenden Ausführungsbeispiel sind acht Leiterbahnen für den Chip-Select dargestellt, wovon sich vier in dem einen Seitenbereich und vier in dem anderen Seitenbereich des Halbleiterchips 13 befinden. Diese Leiterzüge weisen ebenfalls Verbindungselemente 71a und 71b auf, mit welchen die jeweiligen Leiterbahnen des Halbleiterchips 13 mit den entsprechend angeordneten Leiterbahnen der Halbleiterchips 12 und 14 verbunden werden.

Über die Leiterbahnen 61 bis 68 sowie die Leiterbahnen 80 werden somit die Leiterzüge erstellt, die sich abwechselnd durch die eine und dann durch die andere Ebene durch den Chipverbund erstrecken.

Im Gegensatz zu den Leiterbahnen 80 weisen die Leiterbahnen 61 bis 68 Unterbrechungen 70 auf, die jeweils an den äußersten Enden der genannten Leiterbahnen gelegen sind. Mit den linken Enden der Leiterbahnen 61 bis 68 ist eine quer verlaufende Leiterbahn 60 elektrisch verbunden, die mit der Leiterbahn 69 (aus der Figur 6) verbunden ist. Die Leiterbahn 69 weist eine gegenüber den Leiterbahnen 80 größere Länge auf. Lediglich eine der Unterbrechungen 70b ist mittels eines Verbindungselementes 72 (einer sogenannten Solder Bridge) verbunden. Die Solder Bridge schließt die Unterbrechung 70b, so daß an den Kontaktpad 56 der Leiterbahn 69 über die Leiterbahn 60 ein elektrisches Signal angelegt werden kann. Die Leiterzüge, die zur Auswahl des Chips dienen, weisen über den gesamten Chipverbund betrachtet jeweils nur ein Verbindungselement 72 auf. Somit kann durch das Anlegen eines Signales an eine der Leiterbahnen 61 bis 68 an dem äußersten Halbleiterchip eines Chipverbundes gezielt derjenige Halbleiterchip angesprochen werden, dessen Unterbrechung 70 ein Verbindungselement 72 aufweist. Es muß beim Anlegen eines Datensignals an eine der Leiterbahnen 61 bis 68 deshalb sichergestellt sein, daß immer nur eine einzige dieser Leiterbahnen mit einem Signal beaufschlagt wird. Dann ist der jeweilige Halbleiterchip in der Lage, über die Leiterzüge 80 seine Daten auszutauschen.

25

In der Figur 7 sind ebenfalls diejenigen Bereiche 71a(14), 70a(14) sowie 70b(12), 71b(12) dargestellt, an denen die entsprechenden Verbindungselemente der Halbleiterchips 12 beziehungsweise 14 der anderen Ebene gelegen sind.

30

Die Figur 8 zeigt den Aufbau der Leiterzugstruktur des Halbleiterchips 13 in einer Gesamtansicht. Die äußeren Leiterbahnen 61 bis 64 sowie 65 bis 68 stellen die Leiterbahnen zur Auswahl des anzusprechenden Halbleiterchips (Chip Select Region) dar, während die mittig gelegenen Leiterbahnen zur Übertragung der Daten (Memory Bus Region) dienen. Die Leiterbahn 69, welche mit dem Kontaktpad zum Chip-Select verbunden

35

ist, kann prinzipiell an jeder beliebigen Stelle angeordnet sein. In der vorliegenden Figur 8 ist keine der Unterbrechungen 70 mit einem Verbindungselement verbunden, so daß dieser Halbleiterchip nicht angesprochen werden könnte.

5

Die Figuren 9a und 9b zeigen einmal in der Draufsicht und im Querschnitt drei nebeneinanderliegende Halbleiterchips 13, 15, 17 und die auf diesen befindliche Leiterzugstruktur. Die dunkel eingefärbten Verbindungselemente sind dabei auf den Halbleiterchips 13, 15, 17 angeordnet, während die hellen Verbindungsstellen diejenigen Bereiche darstellen, an denen die Verbindungselemente der Halbleiterchips 14, 16 (nicht dargestellt) der anderen Ebene gelegen sind. Die Verbindung der Leiterzüge zwischen den übereinander angeordneten Halbleiterbauelementen der einen und der anderen Ebene ist somit doppelt vorhanden. Dies ist zwar nicht notwendig, vereinfacht jedoch erheblich die Herstellung, da alle Halbleiterchips an den gleichen Stellen mit den gleichen Verbindungselementen beaufschlagt werden können.

20

Die Figuren 10a und 10b zeigen in der Draufsicht und im Querschnitt den Verlauf der Leiterzugstrukturen und die Verbindungselemente in einem fertig hergestellten Chipverbund.

25 Die Erfindung ermöglicht somit auf einfache Weise Halbleiterbauelemente, die eine äußerst hohe Speicherdichte aufweisen. Die Halbleiterbauelemente sind auf einfache und kostengünstige Weise herstellbar, indem mittels einer starren und preiswerten Lotverbindung übereinander versetzt liegende Halbleiterchips verbunden werden. Die auf den Halbleiterchips prinzipiell nötige Umverdrahtung wird vorzugsweise in Dünnschichttechnik realisiert und dazu genutzt, eine logische Entflechtung der Leiterzugführung zu erreichen. Die elektrische Verbindung eines Chipverbundes zu dem Trägersubstrat wird über ein elastisches Verbindungselement erzeugt, um unterschiedliche thermische Längenausdehnungskoeffizienten der Halbleiterchips und des Trägersubstrates auszugleichen. Die elastische

Drahtverbindung kann mittels eines zur Feder geformten Bonddrahtes erzeugt werden. Derartige Herstellungsverfahren sind aus dem Stand der Technik bekannt.

## Bezugszeichenliste

	10, 20, 30, 40	Chipverbund
	11 bis 19	Halbleiterchips
5	21 bis 29	Halbleiterchips
	31 bis 39	Halbleiterchips
	41 bis 49	Halbleiterchips
	50	Trägersubstrat
	510, 520, 530, 540	(elastische) Drahtverbindung
10	510a, b	Drahtverbindung
	530a, b	Drahtverbindung
	51	Vergußmasse
	52	Lotschicht
	53	Wärmeverteiler
15	54	Lotschicht
	55	Lotschicht o. Folie (klebend) o. Substrat
	56	Kontaktpads
	57	Halbleiterchips
	60	Leiterzug
20	61 bis 68	Leiterzug (CS1 bis CS8)
	69	Leiterzug
	70a, 70b	Unterbrechungen (Fuses)
	71a, 71b	Verbindungselemente
	72	Verbindungselemente (Solder Bridge)
25	80	Leiterzug (Memory Bus)
	81a, b	Verbindungselement
	100	Trägersubstrat
	101	Chipstapel
	102, 103	Hauptseite
30	104	Wärmeverteiler
	105	Aussparung
	106	Lotschicht
	110, 120, 130, 140	Halbleiterchip

111, 121, 131, 141 Drahtverbindung  
112, 122, 132, 142 Hauptseite  
113, 123, 133, 143 Leiterzugstruktur  
114, 124, 134, 144 Lotschicht

## Patentansprüche

1. Halbleiterbauelement mit einem mit Leiterzügen versehenen Trägersubstrat (100) und mit zumindest einem Chipstapel (101)  
5 aus jeweils zumindest zwei übereinanderliegenden Halbleiterchips (110, 120, 130, 140), insbesondere Speicherchips, wobei die Halbleiterchips (110, 120, 130, 140) eines Chipstapels (101) versetzt aufeinander angeordnet sind und wobei jeder Halbleiterchip (110, 120, 130, 140) eines Chipstapels (101)  
10 über elektrische Verbindungen (111, 121, 131, 141) mit den Leiterzügen des Trägersubstrates (100) verbunden ist.

2. Halbleiterbauelement nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t, daß  
15 die in einer Ebene liegenden Halbleiterchips zweier benachbart angeordneter Chipstapel in der gleichen Richtung und mit dem gleichen Abstand gegenüber den in der nächsten unteren Ebene liegenden Halbleiterchips versetzt sind.

20 3. Halbleiterbauelement nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Halbleiterchips (110, 120, 130, 140) auf der von dem Substrat (100) abgewandten Seite eine Busstruktur bildende Leiterzugstruktur (113, 123, 133, 143) aufweisen.

25 4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3,  
d a d u r c h g e k e n n z e i c h n e t, daß  
jeweilige Leiterzugstrukturen (113, 123, 133, 143) übereinanderliegender Halbleiterchips über zumindest eine Drahtverbindung (111, 121, 131, 141) elektrisch miteinander verbunden  
30 sind.

5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4,  
d a d u r c h g e k e n n z e i c h n e t, daß  
35 die Leiterzugstruktur (113, 123, 133, 143) des mit dem Trägersubstrat (100) in Kontakt stehenden Halbleiterchips (110) mit den Leiterzügen des Trägersubstrates (100) über zumindest

eine Drahtverbindung (111) elektrisch miteinander verbunden ist.

6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5,  
5 d a d u r c h g e k e n n z e i c h n e t, daß  
auf dem obersten Halbleiterchip (140) eines Chipstapels (101)  
ein Wärmeverteiler (104) angeordnet ist.

7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6,  
10 d a d u r c h g e k e n n z e i c h n e t, daß  
auf beiden Hauptseiten des Substrates (100) jeweils zumindest  
ein Chipstapel (101) vorgesehen ist.

8. Halbleiterbauelement mit einem mit Leiterzügen versehenen  
15 Trägersubstrat (50) und mit zumindest einem auf dem Träger-  
substrat (50) angeordneten Chipverbund (10, 20, 30, 40) aus  
wenigstens drei Halbleiterchips (11... 19, 21... 29, 31...  
39, 41... 49), bei dem die Halbleiterchips in zwei übereinan-  
derliegenden Ebenen angeordnet sind, wobei die Halbleiter-  
20 chips (11, 13, 15,...; 21, 23, 25,...; 31, 33, 35,...; 41,  
43, 45,...) mit den Halbleiterchips (12, 14,...; 22, 24,...;  
32, 34,...; 42, 44,...) der anderen Ebene überlappen und wo-  
bei jeder Halbleiterchip des Chipverbundes (10, 20, 30, 40)  
elektrisch mit den Leiterzügen des Trägersubstrates (50) ver-  
25 bunden ist.

9. Halbleiterbauelement nach Anspruch 8,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Halbleiterchips zumindest auf einer ihrer Hauptseiten ei-  
30 ne eine Busstruktur bildende Leiterzugstruktur aufweisen.

10. Halbleiterbauelement nach Anspruch 9,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Leiterzugstrukturen der Halbleiterchips beider Ebenen des  
35 Chipverbundes (10, 20, 30, 40) einander zugewandt sind.

11. Halbleiterbauelement nach einem der Ansprüche 8 bis 10,

d a d u r c h g e k e n n z e i c h n e t, daß  
die Leiterzugstrukturen jeweils zweier überlappender Halbleiterchips mittels elektrisch leitenden Verbindungselementen (71, 72, 81) miteinander verbunden sind.

5

12. Halbleiterbauelement nach einem der Ansprüche 8 bis 11, d a d u r c h g e k e n n z e i c h n e t, daß  
wenigstens ein Halbleiterchip des Chipverbundes (10, 20, 30, 40) mit Leiterzügen des Trägersubstrates (50) über elastische Drahtverbindungen (510, 520, 530, 540) elektrisch verbunden ist.

10

13. Halbleiterbauelement nach einem der Ansprüche 8 bis 12, d a d u r c h g e k e n n z e i c h n e t, daß  
als Abschluß derjenigen Ebene des Chipverbundes (10, 20, 30, 40) die von dem äußersten Halbleiterchip (11, 19; 21, 29, 31, 39; 41, 49) der anderen Ebene überragt wird, ein in der Größe an den äußersten Chip der anderen Ebene angepaßter Halbleiterchip vorgesehen ist.

20

14. Halbleiterbauelement nach einem der Ansprüche 8 bis 13, d a d u r c h g e k e n n z e i c h n e t, daß  
auf beiden Hauptseiten des Trägersubstrates (50) jeweils zumindest ein Chipverbund (10, 20, 30, 40) vorgesehen ist.

25

15. Halbleiterbauelement nach einem der Ansprüche 8 bis 14, d a d u r c h g e k e n n z e i c h n e t, daß  
zumindest zwei Chipverbunde (10, 20, 30, 40) aufeinander angeordnet sind.

30

16. Halbleiterbauelement nach einem der Ansprüche 8 bis 15, d a d u r c h g e k e n n z e i c h n e t, daß  
auf dem zumindest einen Chipverbund (10, 20, 30, 40) ein Wärmeverteiler (53) vorgesehen ist.

35

17. Halbleiterbauelement nach einem der Ansprüche 12 bis 16, d a d u r c h g e k e n n z e i c h n e t, daß

die elastischen Drahtverbindungen (510, 520, 530, 540) von einer Vergußmasse (51) umgeben sind.

FIG 1

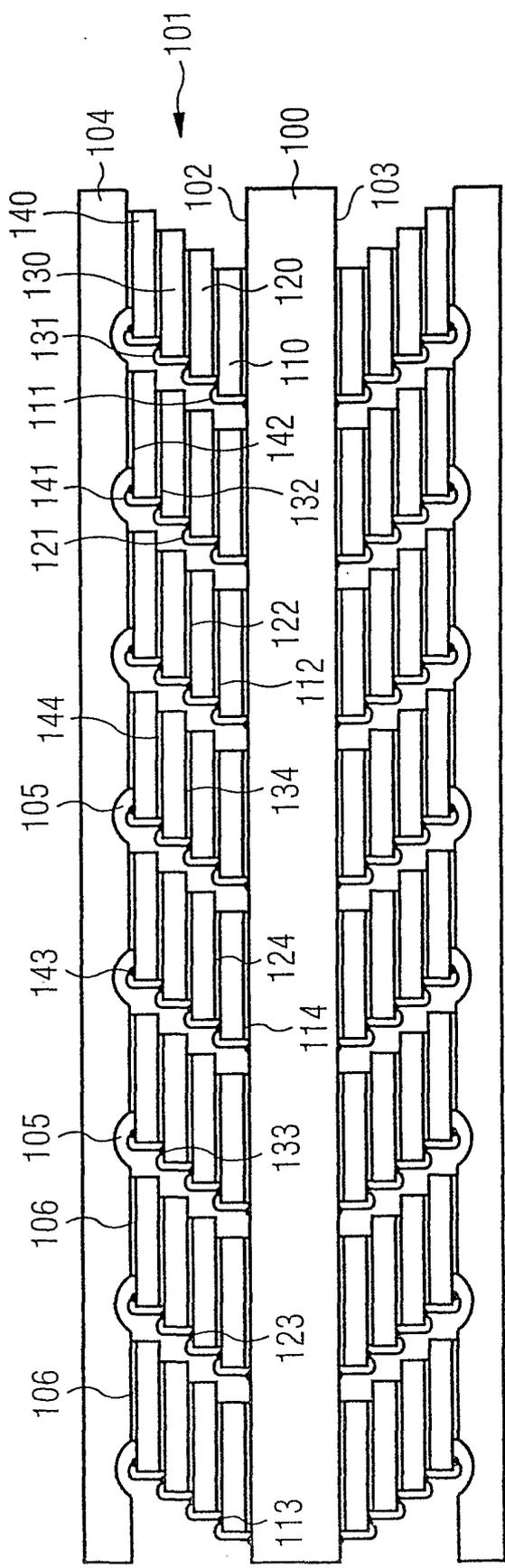


FIG 2

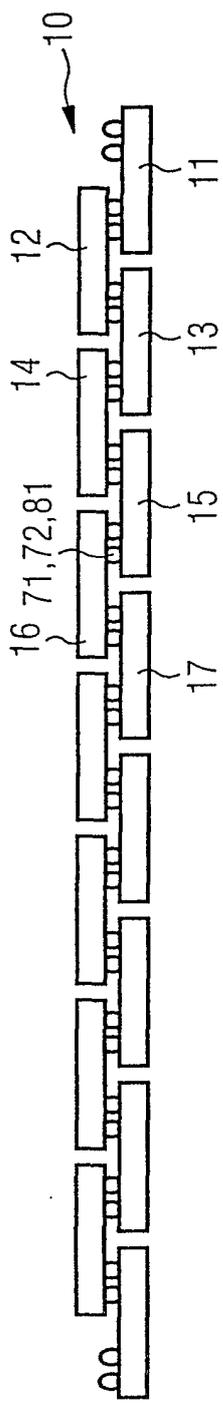


FIG 3

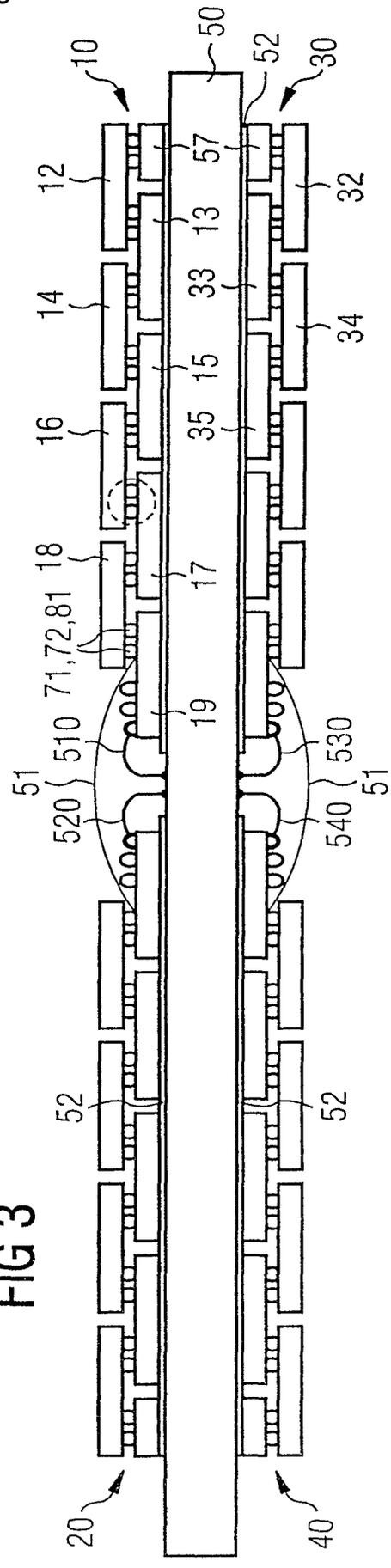


FIG 4

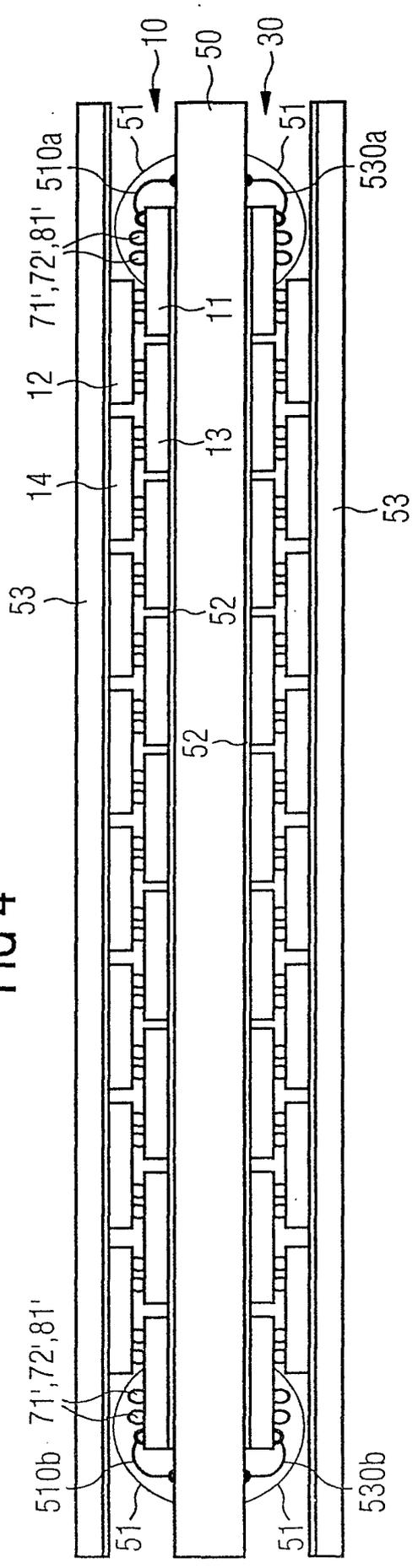


FIG 5

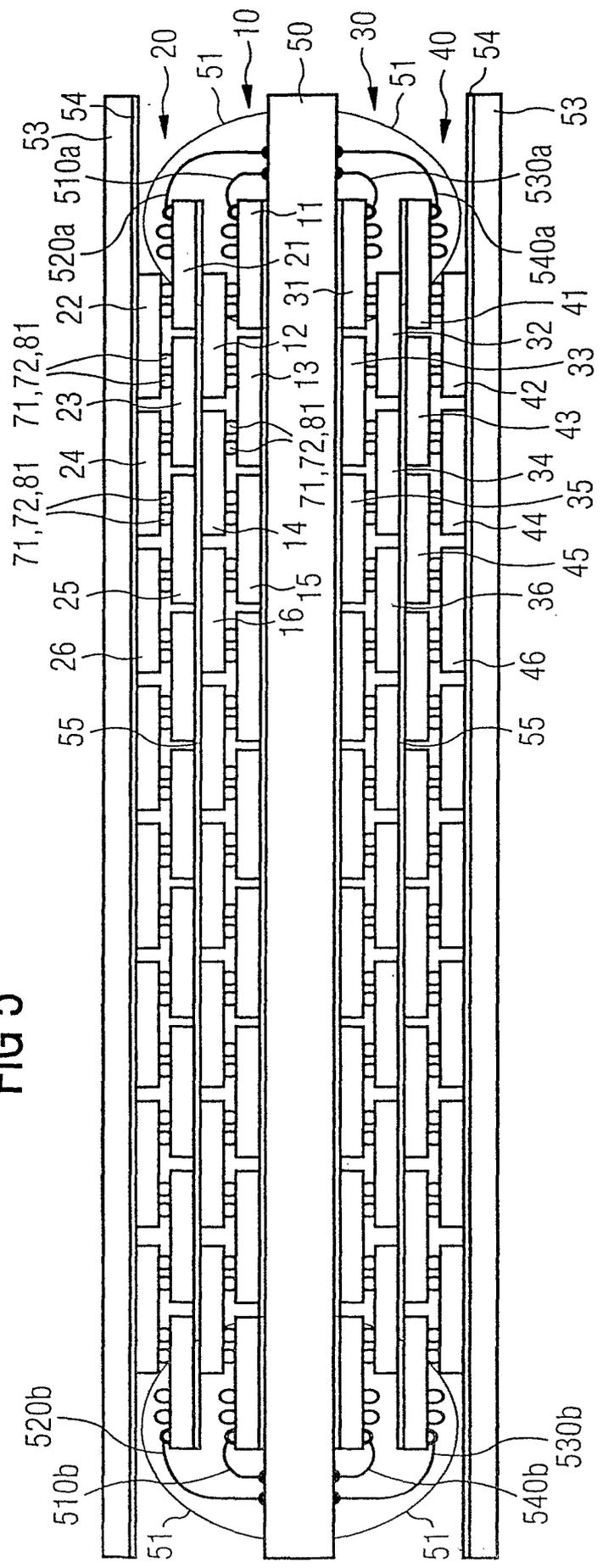


FIG 6

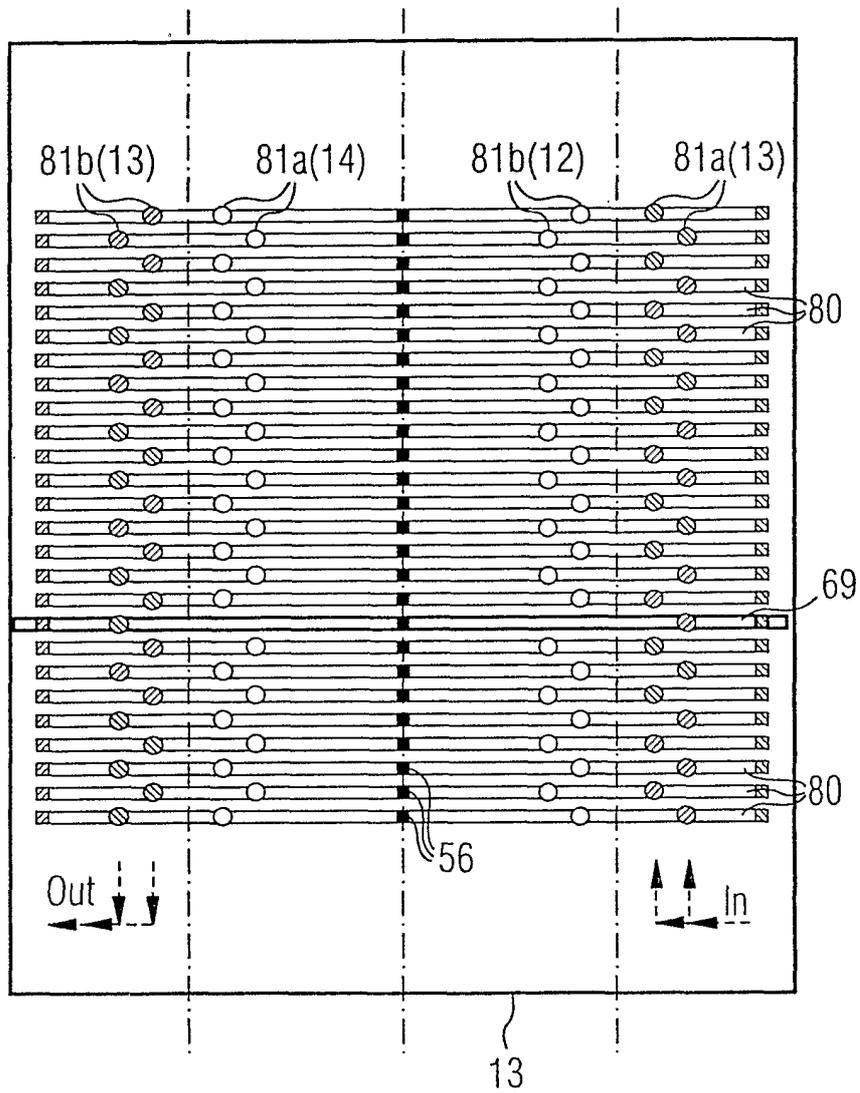


FIG 7

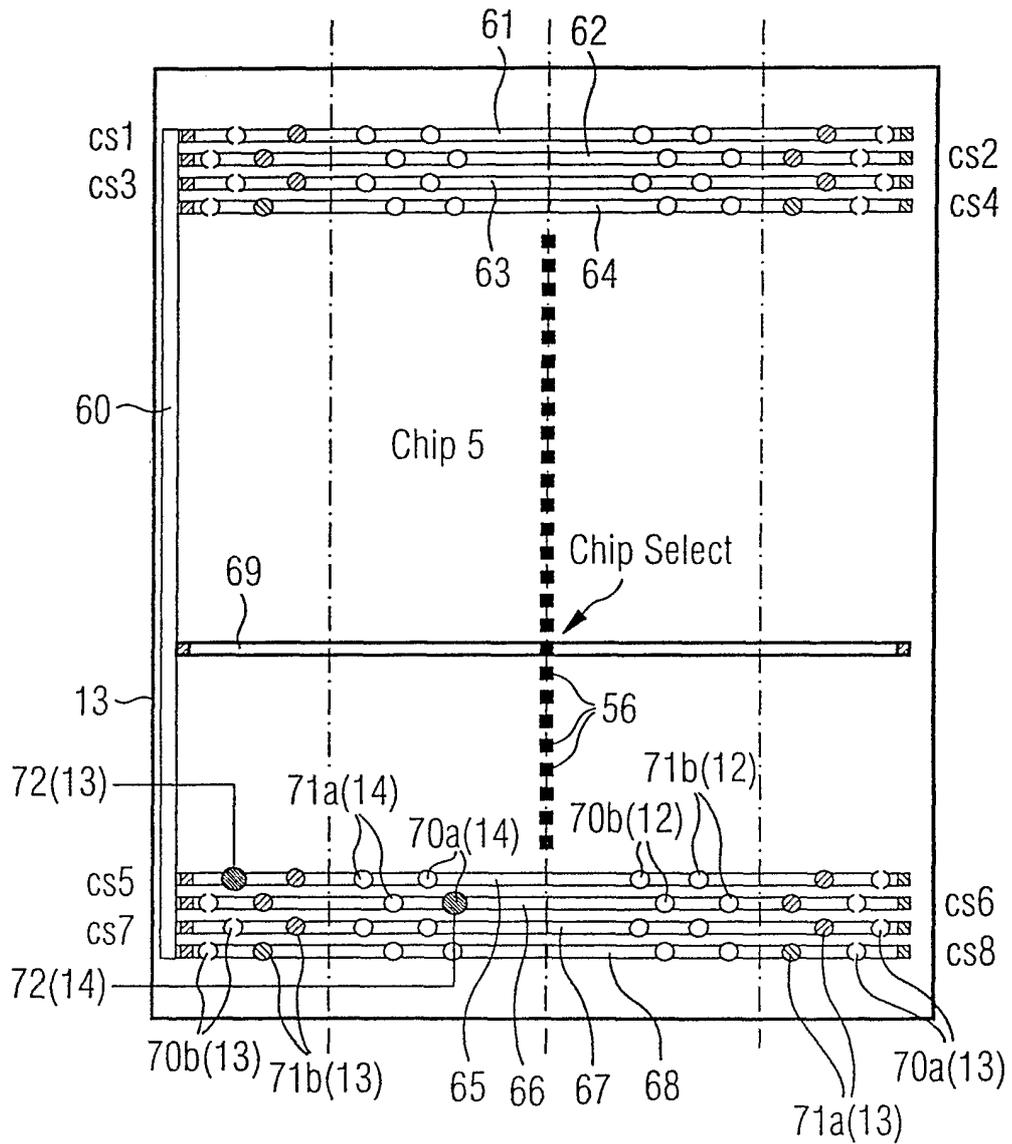




FIG 9b

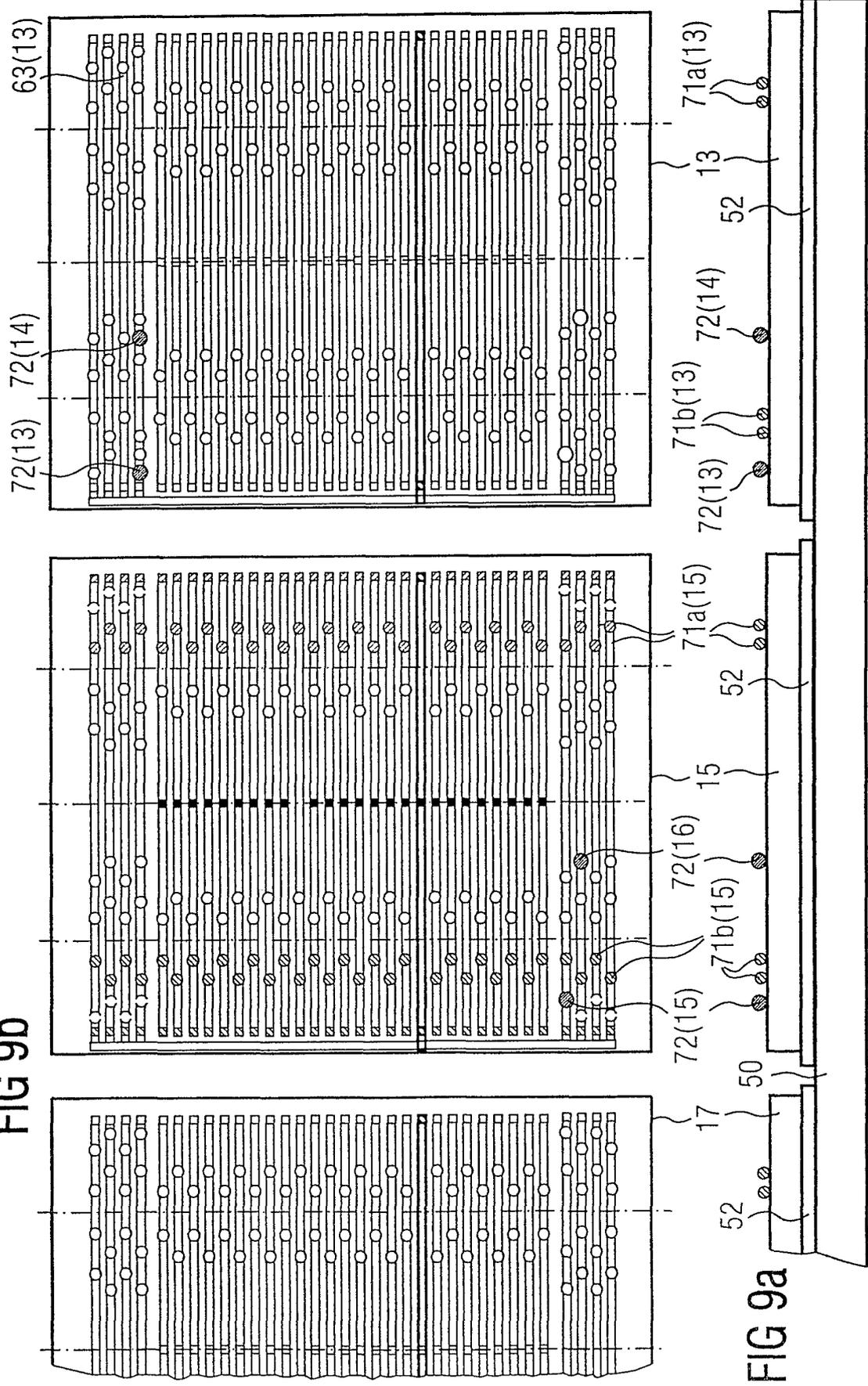


FIG 10b

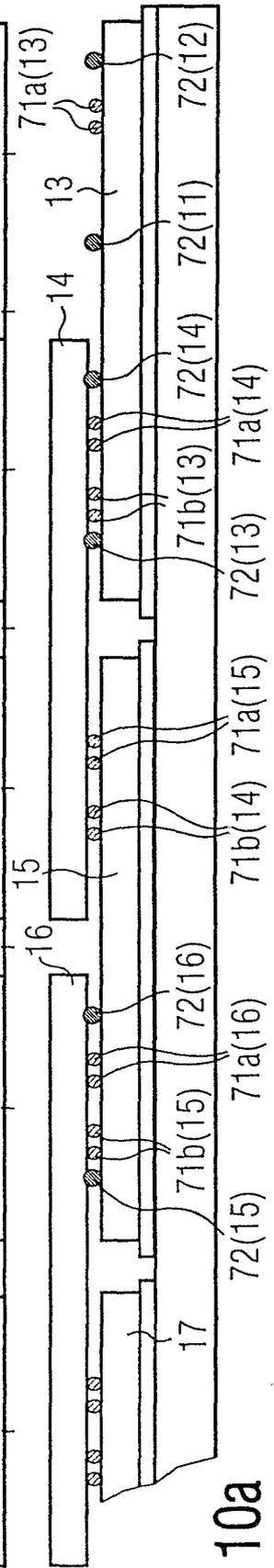
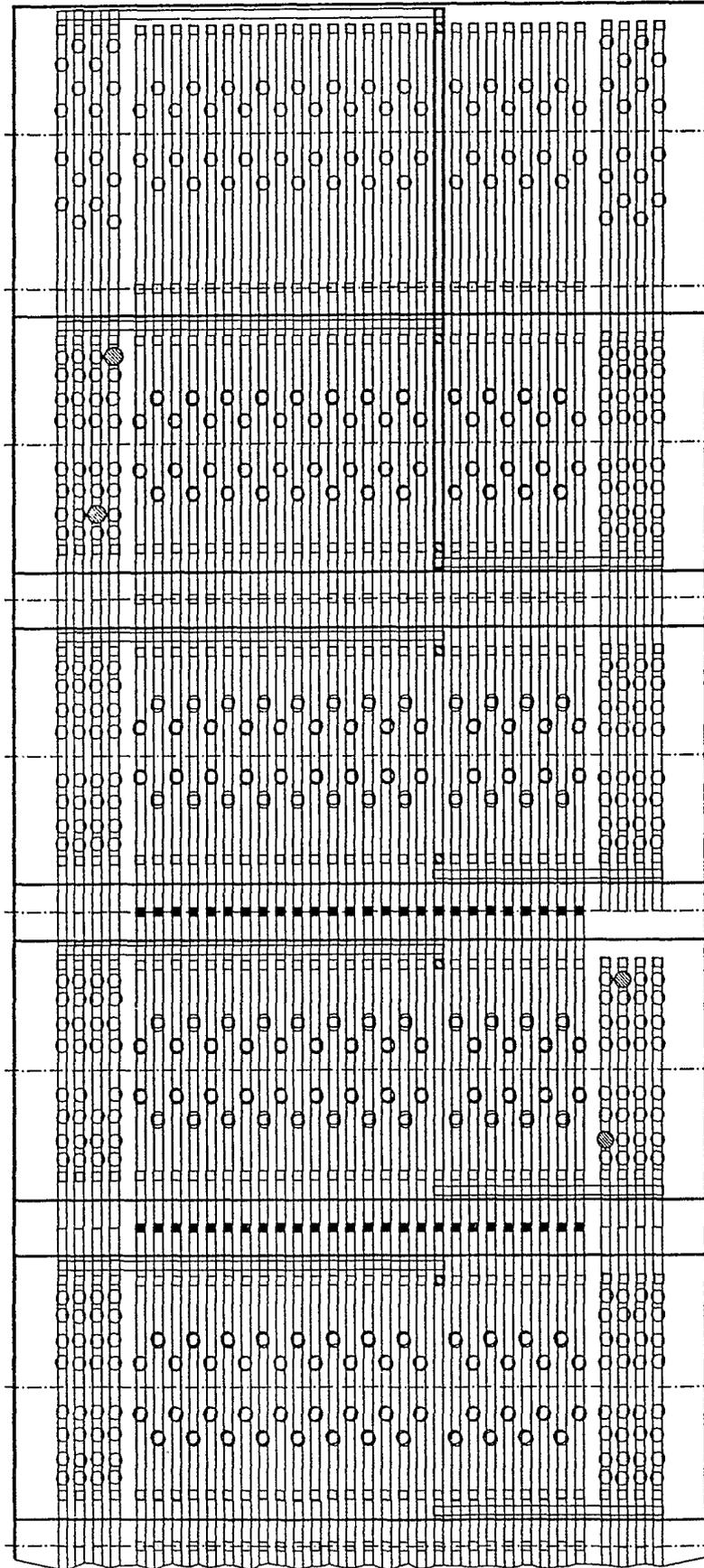


FIG 10a

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/01254

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L25/065

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, IBM-TDB, PAJ, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 98 50954 A (FORMFACTOR INC) 12 November 1998 (1998-11-12) the whole document	1, 2, 4, 5, 7
X	US 5 473 196 A (DE GIVRY JACQUES) 5 December 1995 (1995-12-05) the whole document	1, 3-5
Y		2
X	US 5 987 357 A (PRUTCHI DAVID ET AL) 16 November 1999 (1999-11-16)	1, 3-5
Y	column 5, line 29 - column 8, line 28; figures 3-5	2
X	EP 0 531 724 A (IBM) 17 March 1993 (1993-03-17) column 9, line 27 - line 44; claim 10; figure 9	1, 4-6
	-/--	

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

° Special categories of cited documents :

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&amp;\* document member of the same patent family

Date of the actual completion of the international search

26 September 2001

Date of mailing of the international search report

10/10/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Ploner, G

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/01254

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 373 189 A (MASSIT CLAUDE ET AL) 13 December 1994 (1994-12-13) figure 2 -----	2
X	US 5 399 898 A (ROSTOKER MICHAEL D) 21 March 1995 (1995-03-21) column 4, line 25-32; figures 1,4 column 14, line 40 -column 17, line 18 -----	8-12,14
A	ANONYMOUS: "Mated Array Chip Configuration" IBM TECHNICAL DISCLOSURE BULLETIN, vol. 28, no. 2, 1 July 1985 (1985-07-01), pages 811-812, XP002177909 New York, US the whole document -----	16,17
X		8,10-15

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International Application No  
PCT/DE 01/01254

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9850954	A	12-11-1998	US 5998864 A	07-12-1999
			AU 7476098 A	27-11-1998
			WO 9850954 A1	12-11-1998
US 5473196	A	05-12-1995	FR 2701153 A1	05-08-1994
			DE 69418511 D1	24-06-1999
			DE 69418511 T2	16-03-2000
			EP 0614190 A1	07-09-1994
US 5987357	A	16-11-1999	EP 0999873 A1	17-05-2000
			WO 9906107 A1	11-02-1999
			US 6208579 B1	27-03-2001
EP 0531724	A	17-03-1993	US 5239447 A	24-08-1993
			DE 69218078 D1	17-04-1997
			EP 0531724 A1	17-03-1993
			JP 2019569 C	19-02-1996
			JP 5211281 A	20-08-1993
			JP 7054845 B	07-06-1995
US 5373189	A	13-12-1994	FR 2694840 A1	18-02-1994
			EP 0583201 A1	16-02-1994
US 5399898	A	21-03-1995	US 5340772 A	23-08-1994
			US 5300815 A	05-04-1994
			US 5504035 A	02-04-1996
			US 5569963 A	29-10-1996
			EP 0583625 A2	23-02-1994
			JP 6097279 A	08-04-1994
			US 5441917 A	15-08-1995
			US 5565385 A	15-10-1996
			US 5532934 A	02-07-1996
			US 5635424 A	03-06-1997
			US 5744856 A	28-04-1998
			US 5744858 A	28-04-1998
			US 5329157 A	12-07-1994
			US 5341024 A	23-08-1994
			US 5404047 A	04-04-1995

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/01254

<b>A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES</b> IPK 7 H01L25/065		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
<b>B. RECHERCHIERTE GEBIETE</b>		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole ) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, IBM-TDB, PAJ, WPI Data		
<b>C. ALS WESENTLICH ANGESEHENE UNTERLAGEN</b>		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 98 50954 A (FORMFACTOR INC) 12. November 1998 (1998-11-12) das ganze Dokument ---	1, 2, 4, 5, 7
X	US 5 473 196 A (DE GIVRY JACQUES) 5. Dezember 1995 (1995-12-05) das ganze Dokument ---	1, 3-5
Y		2
X	US 5 987 357 A (PRUTCHI DAVID ET AL) 16. November 1999 (1999-11-16) Spalte 5, Zeile 29 - Spalte 8, Zeile 28; Abbildungen 3-5 ---	1, 3-5
Y		2
X	EP 0 531 724 A (IBM) 17. März 1993 (1993-03-17) Spalte 9, Zeile 27 - Zeile 44; Anspruch 10; Abbildung 9 ---	1, 4-6
	-/--	
<input checked="" type="checkbox"/>	Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/>
	Siehe Anhang Patentfamilie	
° Besondere Kategorien von angegebenen Veröffentlichungen :		
*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist		*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist		*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)		*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahellegend ist
*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht		*G* Veröffentlichung, die Mitglied derselben Patentfamilie ist
*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist		
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts
26. September 2001		10/10/2001
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter  Ploner, G

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 373 189 A (MASSIT CLAUDE ET AL) 13. Dezember 1994 (1994-12-13) Abbildung 2 ---	2
X	US 5 399 898 A (ROSTOKER MICHAEL D) 21. März 1995 (1995-03-21) Spalte 4, Zeile 25-32; Abbildungen 1,4 Spalte 14, Zeile 40 -Spalte 17, Zeile 18 ---	8-12,14
A	ANONYMOUS: "Mated Array Chip Configuration" IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 28, Nr. 2, 1. Juli 1985 (1985-07-01), Seiten 811-812, XP002177909 New York, US das ganze Dokument -----	16,17
X		8,10-15

**INTERNATIONALER RECHERCHENBERICHT**  
Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 01/01254

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 9850954	A	12-11-1998	US 5998864 A	07-12-1999
			AU 7476098 A	27-11-1998
			WO 9850954 A1	12-11-1998
US 5473196	A	05-12-1995	FR 2701153 A1	05-08-1994
			DE 69418511 D1	24-06-1999
			DE 69418511 T2	16-03-2000
			EP 0614190 A1	07-09-1994
US 5987357	A	16-11-1999	EP 0999873 A1	17-05-2000
			WO 9906107 A1	11-02-1999
			US 6208579 B1	27-03-2001
EP 0531724	A	17-03-1993	US 5239447 A	24-08-1993
			DE 69218078 D1	17-04-1997
			EP 0531724 A1	17-03-1993
			JP 2019569 C	19-02-1996
			JP 5211281 A	20-08-1993
			JP 7054845 B	07-06-1995
US 5373189	A	13-12-1994	FR 2694840 A1	18-02-1994
			EP 0583201 A1	16-02-1994
US 5399898	A	21-03-1995	US 5340772 A	23-08-1994
			US 5300815 A	05-04-1994
			US 5504035 A	02-04-1996
			US 5569963 A	29-10-1996
			EP 0583625 A2	23-02-1994
			JP 6097279 A	08-04-1994
			US 5441917 A	15-08-1995
			US 5565385 A	15-10-1996
			US 5532934 A	02-07-1996
			US 5635424 A	03-06-1997
			US 5744856 A	28-04-1998
			US 5744858 A	28-04-1998
			US 5329157 A	12-07-1994
			US 5341024 A	23-08-1994
US 5404047 A	04-04-1995			