



(12)发明专利申请

(10)申请公布号 CN 107976626 A

(43)申请公布日 2018.05.01

(21)申请号 201711133937.6

(22)申请日 2017.11.16

(71)申请人 湖南工业大学

地址 412007 湖南省株洲市泰山西路88号
湖南工业大学科技处

(72)发明人 凌云 文定都 王兵 罗学明

(51)Int.Cl.

G01R 31/327(2006.01)

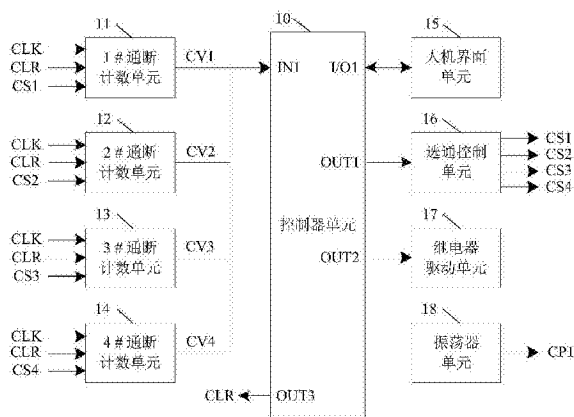
权利要求书2页 说明书12页 附图5页

(54)发明名称

继电器寿命检测装置

(57)摘要

一种继电器寿命检测装置,包括控制器单元、L个通断计数单元、人机界面单元、继电器驱动单元、振荡器单元,能够同时对多个继电器开关的通断次数分别进行计数得到通断计数值,并依据通断计数值来判断继电器及其开关是否失效;通断计数单元中的抗脉冲干扰电路能够滤除计数脉冲中的边沿抖动干扰和窄脉冲干扰,保证了继电器寿命检测的精确性;采用在控制器单元外部设置多个计数器分别对继电器开关的通断次数进行计数的方式,同时检测继电器寿命的继电器开关数量不受控制器单元内部计数器数量的限制。



1. 一种继电器寿命检测装置,其特征在于:包括控制器单元、L个通断计数单元、人机界面单元、继电器驱动单元、振荡器单元;

人机界面单元电性连接至控制器单元,用于发出检测命令,显示L个继电器开关的寿命;控制器单元电性连接至继电器驱动单元,向继电器驱动单元发出继电器驱动信号,控制L个继电器开关的通断;振荡器单元输出采样时钟脉冲至L个通断计数单元;L个通断计数单元分别对L个继电器开关的通断进行计数得到L个通断计数值;通断计数单元电性连接至控制器单元,用于控制器单元分别读入L个通断计数单元的通断计数值和控制L个通断计数单元通断计数值的清0。

2. 根据权利要求1所述的继电器寿命检测装置,其特征在于:通断计数单元电性连接至控制器单元,用于控制器单元分别读入L个通断计数单元的通断计数值的方法是,L个通断计数单元的通断计数值均采用三态缓冲方式输出;所有通断计数单元的三态缓冲输出端口全部并联至控制器单元的计数数据输入端口;控制器单元发出选通控制信号逐个使能各通断计数单元的三态缓冲输出端口,从计数数据输入端口读入相应的通断计数值。

3. 根据权利要求2所述的继电器寿命检测装置,其特征在于:还包括选通控制单元;控制器单元向选通控制单元发出通断计数单元地址编码信号,由选通控制单元对通断计数单元地址编码信号进行译码,得到选通控制信号。

4. 根据权利要求1-3中任一项所述的继电器寿命检测装置,其特征在于:L个通断计数单元均包括结构与组成相同的脉冲产生电路、抗脉冲干扰电路和三态输出计数电路;

脉冲产生电路输出由继电器开关通断所产生的初始脉冲至抗脉冲干扰电路;抗脉冲干扰电路对初始脉冲进行脉冲滤波,输出计数脉冲;三态输出计数电路对计数脉冲进行计数,输出通断计数值。

5. 根据权利要求4所述的继电器寿命检测装置,其特征在于:所述抗脉冲干扰电路包括可逆限幅计数器、比较阈值设定器、上限值比较器、下限值比较器、RS触发器;

可逆限幅计数器的输入为初始脉冲和采样时钟脉冲,输出为对采样时钟脉冲进行计数的限幅累积计数值;比较阈值设定器的输出为上限比较阈值和下限比较阈值;上限值比较器的输入为限幅累积计数值和上限比较阈值,输出为第一置位信号;下限值比较器的输入为限幅累积计数值下限比较阈值,输出为第二置位信号;RS触发器的输入为第一置位信号和第二置位信号,输出为计数脉冲;所述限幅累积计数值的下限幅值为0,上限幅值为N;所述N为大于等于2的整数;所述上限比较阈值为大于N/2且小于等于N的整数,下限比较阈值为大于等于0且小于N/2的整数。

6. 根据权利要求5所述的继电器寿命检测装置,其特征在于:所述可逆限幅计数器的功能是,由初始脉冲的电平状态控制可逆限幅计数器处于加计数状态还是减计数状态;可逆限幅计数器处于加计数状态且限幅累积计数值大于等于上限幅值N时,不对采样时钟脉冲进行加计数;可逆限幅计数器处于减计数状态且限幅累积计数值等于下限幅值0时,不对采样时钟脉冲进行减计数。

7. 根据权利要求6所述的继电器寿命检测装置,其特征在于:上限值比较器的功能是,当输入的限幅累积计数值大于等于上限比较阈值时,令第一置位信号有效,否则第一置位信号无效;下限值比较器的功能是,当输入的限幅累积计数值小于等于下限比较阈值时,令第二置位信号有效,否则第二置位信号无效。

8. 根据权利要求7所述的继电器寿命检测装置,其特征在于:所述第一置位信号为RS触发器的置位信号,第二置位信号为RS触发器的复位信号;所述计数脉冲从RS触发器的同相输出端输出,或者从RS触发器的反相输出端输出。

9. 根据权利要求6所述的继电器寿命检测装置,其特征在于:可逆限幅计数器由具有单时钟输入的可逆计数器和限幅及加减控制电路组成;所述可逆计数器具有加减控制输入端和使能输入端。

10. 根据权利要求4所述的继电器寿命检测装置,其特征在于:进行寿命检测的步骤包括:

步骤1,初始化,包括将L个继电器开关的检测标志均置为在检状态,寿命计数器清0,发出清0信号使L个通断计数值全部清0;

步骤2,控制L个继电器开关通断一次,同时对L个继电器开关的通断次数分别进行计数得到L个通断计数值;寿命计数器进行加1计数;

步骤3,读取当次L个通断计数值;

步骤4,逐个对检测标志为在检状态的继电器开关是否失效进行判断;将本次被判断为失效继电器开关的检测标志置为停检状态,同时将当前寿命计数器的计数值作为该次被判断为失效继电器开关的寿命值;

步骤5,L个继电器开关的检测标志中仍有在检状态者,返回步骤2,否则停止检测。

继电器寿命检测装置

技术领域

[0001] 本发明涉及测试方法与装置领域,尤其是一种继电器寿命检测装置。

背景技术

[0002] 继电器寿命一般在几次至数十万次。模拟继电器的使用条件,通过控制继电器动作使其开关通断产生电脉冲,然后对电脉冲进行计数,可以测试继电器寿命。继电器动作所产生的电脉冲含有边沿抖动,直接对未处理的脉冲进行计数,会产生极大的误差。使用MCU软件延时方式去除抖动脉冲的影响,当MCU需要同时对多个继电器开关进行寿命测试时,MCU的软件延时方式会使MCU力不从心。

发明内容

[0003] 为了解决上述问题,本发明提供了一种继电器寿命检测装置,包括控制器单元、L个通断计数单元、人机界面单元、继电器驱动单元、振荡器单元。

[0004] 人机界面单元电性连接至控制器单元,用于发出检测命令,显示L个继电器开关的寿命;控制器单元电性连接至继电器驱动单元,向继电器驱动单元发出继电器驱动信号,控制L个继电器开关的通断;振荡器单元输出采样时钟脉冲至L个通断计数单元;L个通断计数单元分别对L个继电器开关的通断进行计数得到L个通断计数值;通断计数单元电性连接至控制器单元,用于控制器单元分别读入L个通断计数单元的通断计数值和控制L个通断计数单元通断计数值的清0。

[0005] 通断计数单元电性连接至控制器单元,用于控制器单元分别读入L个通断计数单元的通断计数值的方法是,L个通断计数单元的通断计数值均采用三态缓冲方式输出;所有通断计数单元的三态缓冲输出端口全部并联至控制器单元的计数数据输入端口;控制器单元发出选通控制信号逐个使能各通断计数单元的三态缓冲输出端口,从计数数据输入端口读入相应的通断计数值。

[0006] 所述继电器开关寿命检测装置还包括选通控制单元;控制器单元向选通控制单元发出通断计数单元地址编码信号,由选通控制单元对通断计数单元地址编码信号进行译码,得到选通控制信号。

[0007] L个通断计数单元均包括结构与组成相同的脉冲产生电路、抗脉冲干扰电路和三态输出计数电路;脉冲产生电路输出由继电器开关通断所产生的初始脉冲至抗脉冲干扰电路;抗脉冲干扰电路对初始脉冲进行脉冲滤波,输出计数脉冲;三态输出计数电路对计数脉冲进行计数,输出通断计数值。

[0008] 所述抗脉冲干扰电路包括可逆限幅计数器、比较阈值设定器、上限值比较器、下限值比较器、RS触发器;可逆限幅计数器的输入为初始脉冲和采样时钟脉冲,输出为对采样时钟脉冲进行计数的限幅累积计数值;比较阈值设定器的输出为上限比较阈值和下限比较阈值;上限值比较器的输入为限幅累积计数值和上限比较阈值,输出为第一置位信号;下限值比较器的输入为限幅累积计数值下限比较阈值,输出为第二置位信号;RS触发器的输入为

第一置位信号和第二置位信号,输出为计数脉冲;所述限幅累积计数值的下限幅值为0,上限幅值为N;所述N为大于等于2的整数;所述上限比较阈值为大于N/2且小于等于N的整数,下限比较阈值为大于等于0且小于N/2的整数。

[0009] 所述可逆限幅计数器的功能是,由初始脉冲的电平状态控制可逆限幅计数器处于加计数状态还是减计数状态;可逆限幅计数器处于加计数状态且限幅累积计数值大于等于上限幅值N时,不对采样时钟脉冲进行加计数;可逆限幅计数器处于减计数状态且限幅累积计数值等于下限幅值0时,不对采样时钟脉冲进行减计数。

[0010] 上限值比较器的功能是,当输入的限幅累积计数值大于等于上限比较阈值时,令第一置位信号有效,否则第一置位信号无效;下限值比较器的功能是,当输入的限幅累积计数值小于等于下限比较阈值时,令第二置位信号有效,否则第二置位信号无效。

[0011] 所述第一置位信号为RS触发器的置位信号,第二置位信号为RS触发器的复位信号。所述计数脉冲从RS触发器的同相输出端输出,或者从RS触发器的反相输出端输出。

[0012] 可逆限幅计数器由具有单时钟输入的可逆计数器和限幅及加减控制电路组成;所述可逆计数器具有加减控制输入端和使能输入端。

[0013] 所述继电器寿命检测装置进行寿命检测的步骤包括:

[0014] 步骤1,初始化,包括将L个继电器开关的检测标志均置为在检状态,寿命计数器清0,发出清0信号使L个通断计数值全部清0;

[0015] 步骤2,控制L个继电器开关通断一次,同时对L个继电器开关的通断次数分别进行计数得到L个通断计数值;寿命计数器进行加1计数;

[0016] 步骤3,读取当次L个通断计数值;

[0017] 步骤4,逐个对检测标志为在检状态的继电器开关是否失效进行判断;将本次被判断为失效继电器开关的检测标志置为停检状态,同时将当前寿命计数器的计数值作为该次被判断为失效继电器开关的寿命值;

[0018] 步骤5,L个继电器开关的检测标志中仍有在检状态者,返回步骤2,否则停止检测。

[0019] 本发明的有益效果是:能够同时对多个继电器开关的寿命进行检测;采用抗脉冲干扰电路自动滤除继电器开关通断所产生的电脉冲中的边沿抖动干扰和窄脉冲干扰,滤除脉冲干扰的效果能够通过改变限幅累积计数值上限幅值的大小或者是改变上限比较阈值、下限比较阈值的大小进行调节;保证了继电器及开关寿命检测的精确性;采用在控制器单元外部设置多个计数器分别对继电器开关的通断次数进行计数的方式,同时检测继电器寿命的继电器开关数量不受控制器单元内部计数器数量的限制。

附图说明

[0020] 图1为图1为L=4时继电器寿命检测装置实施例框图;

[0021] 图2为通断计数单元实施例;

[0022] 图3为N=6时可逆限幅计数器实施例;

[0023] 图4为N=6时比较阈值设定器实施例;

[0024] 图5为N=6时上限值比较器的实施例;

[0025] 图6为N=6时下限值比较器的实施例;

[0026] 图7为RS触发器实施例;

- [0027] 图8为1#脉冲产生电路实施例；
- [0028] 图9为 $N=6$ 时抗脉冲干扰电路抗干扰效果示意图；
- [0029] 图10为三态输出计数电路实施例；
- [0030] 图11为继电器驱动单元实施例。

具体实施方式

[0031] 以下结合附图对本发明作进一步说明。

[0032] 图1为 $L=4$ 时继电器寿命检测装置实施例框图,包括控制器单元10、1#通断计数单元11、2#通断计数单元12、3#通断计数单元13、4#通断计数单元14、人机界面单元15、选通控制单元16、继电器驱动单元17、振荡器单元18。

[0033] 人机界面单元15通过控制器单元10的接口I/O1与控制器单元10通信,用于检测命令的发出、参数修改和各继电器开关寿命的显示等;控制器单元10通过输出端口OUT2向继电器驱动单元17发出继电器驱动信号,控制1#至4#继电器开关的通断;振荡器单元18输出采样时钟脉冲CP1至1#通断计数单元11、2#通断计数单元12、3#通断计数单元13和4#通断计数单元14;1#通断计数单元11、2#通断计数单元12、3#通断计数单元13、4#通断计数单元14分别对4个继电器开关的通断进行脉冲产生、脉冲滤波和通断次数计数;控制器单元10通过输出端口OUT1向选通控制单元16发出待选通的通断计数单元地址编码信号,

[0034] 选通控制单元16对通断计数单元地址编码信号进行译码,得到选通控制信号CS1、CS2、CS3、CS4,分别控制1#通断计数单元11、2#通断计数单元12、3#通断计数单元13、4#通断计数单元的通断计数值CV1、CV2、CV3、CV4通过输入端口IN1送至控制器单元10,IN1为控制器单元的计数数据输入端口;控制器单元10通过输出端口OUT3向1#通断计数单元11、2#通断计数单元12、3#通断计数单元13、4#通断计数单元14发出清0信号CLR;清0信号CLR有效时,4个通断计数单元的通断计数值均被清0。

[0035] 如图2所示为1#通断计数单元实施例框图。图2中,1#脉冲产生电路100输出由1#继电器开关通断所产生的初始脉冲P1;可逆限幅计数器101、比较阈值设定器102、上限值比较器103、下限值比较器104、RS触发器105组成干扰脉冲过滤电路,对初始脉冲P1进行脉冲滤波,输出计数脉冲P2;三态输出计数电路106对计数脉冲P2进行计数,受选通控制信号CS1的控制,输出1#继电器开关的通断计数值CV1;三态输出计数电路106同时受清0信号CLR的控制,清0信号CLR有效时,三态输出计数电路106中的通断计数值被清0。

[0036] 图2的抗脉冲干扰电路中,可逆限幅计数器101的输入为初始脉冲P1和采样时钟脉冲CP1,输出为限幅累积计数值X1,限幅累积计数值X1的上限幅值为 N 、下限幅值为0;比较阈值设定器102的输出为上限比较阈值Y1和下限比较阈值Y2;上限值比较器103的输入为限幅累积计数值X1和上限比较阈值Y1,输出为第一置位信号SE1;下限值比较器104的输入为限幅累积计数值X1和下限比较阈值Y2,输出为第二置位信号RE1;RS触发器105的输入为第一置位信号SE1和第二置位信号RE1,输出为计数脉冲P2。

[0037] 下面的抗脉冲干扰电路实施例中, $N=6$ 。

[0038] 图3为 $N=6$ 时可逆限幅计数器的实施例。图3中,FC1为4位二进制可逆计数器74HC191,FC1的置位控制输入端LD输入1,FC1工作在可控的可逆计数状态,为具有单时钟输入的可逆计数器;FC1的M输入端为加减控制输入端,CE输入端为使能控制输入端。与非门

FA1、FA2、FA3、FA4组成限幅及加减控制电路。初始脉冲的电平状态包括高电平和低电平，图3实施例中，P1通过与非门FA4接至加减控制输入端M，初始脉冲P1的高电平、低电平状态分别控制可逆限幅计数器处于加计数状态、减计数状态。也可以将P1直接连接至加减控制输入端M，令初始脉冲P1的高电平、低电平分别控制可逆限幅计数器处于减计数状态、加计数状态。

[0039] 当P1为1，x13、x12同时为1时，与非门FA1输出低电平，与非门FA3输出高电平，FC1的使能控制端CE输入高电平，74HC191工作在保持状态，即可逆限幅计数器在采样时钟脉冲CP1的上升沿维持输出状态不变，可逆限幅计数器处于上限值限幅状态，不进行加计数；x13、x12同时为1包括2种情况，x13、x12、x11为1、1、0时，可逆限幅计数器的输出等于上限幅值6；x13、x12、x11为1、1、1时，可逆限幅计数器的输出等于7，处于超限状态，该情况只有在系统启动时的初始状态有可能出现，可逆限幅计数器经过减计数进入正常限幅计数区间后，输出的超限状态不会再出现。当P1为0，x13、x12、x11同时为0时，与非门FA2输出低电平，与非门FA3输出高电平，FC1的使能控制端CE输入高电平，74HC191工作在保持状态，即可逆限幅计数器在采样时钟脉冲CP1的上升沿维持输出状态不变，可逆限幅计数器处于下限值限幅状态，不进行减计数。初始脉冲P1有高电平和低电平2种状态，即初始脉冲P1有1和0这2种状态，初始脉冲P1的两种状态控制可逆限幅计数器分别对采样时钟脉冲CP1进行加计数或者减计数。当P1为1，x13、x12不同时为1时，与非门FA1、FA2均输出高电平，与非门FA3输出低电平，FC1的使能控制端CE输入低电平，P1通过与非门FA4使加减控制端M输入低电平，74HC191工作在加计数状态，可逆限幅计数器在采样时钟脉冲CP1的上升沿进行加计数。当P1为0，x13、x12、x11不同时为0时，与非门FA1、FA2均输出高电平，与非门FA3输出低电平，FC1的使能控制端CE输入低电平，加减控制端M输入高电平，74HC191工作在减计数状态，可逆限幅计数器在采样时钟脉冲CP1的上升沿进行减计数。74HC191为同步二进制计数器，只在其时钟输入端CP输入的采样时钟脉冲CP1的上升沿时刻P1的状态来控制其是否进行计数以及进行加计数还是减计数；在CP1的非上升沿时刻，P1造成使能控制端CE、加减控制端M的改变不影响74HC191输出的x13、x12、x11。在时钟输入端CP低电平期间，P1造成使能控制端CE、加减控制端M的改变会影响74HC191的进位/借位信号，在图3的实施例中并没有用到74HC191的进位/借位信号，因此没有影响。可逆限幅计数器的输出由采样时钟脉冲上升沿时刻的P1值来控制改变，即可逆限幅计数器的输出与采样时钟脉冲上升沿时刻P1的采样值相关，受采样时钟脉冲上升沿时刻P1的采样值控制。可逆限幅计数器的输出也可以由采样时钟脉冲下降沿时刻的P1值来控制改变。

[0040] N为其他数值时，可以增减图3中进行计数限幅控制的与非门数量，以及增减各与非门的输入信号数量来实现。可逆限幅计数器的功能也可以采用其他器件或者是电路来实现，例如，采用74HC190、CD4516等替换74HC191，或者是采用触发器和门电路组成同步可逆计数器。

[0041] 图4为N=6时比较阈值设定器的实施例。图4中，+VCC为供电电源，GND为公共地，电阻R91、R92、R93和开关K91、K92、K93组成上限比较阈值Y1设定电路；当K91、K92、K93分别处于断开、闭合、断开状态时，比较阈值设定器输出的上限比较阈值Y1为5，其3位二进制输出y13、y12、y11为1、0、1。电阻R94、R95、R96和开关K94、K95、K96组成下限比较阈值Y2设定电路；当K94、K95、K96分别处于闭合、闭合、断开状态时，比较阈值设定器输出的下限比较阈值

Y2为1,其3位二进制输出 y_{23} 、 y_{22} 、 y_{21} 为0、0、1。比较阈值设定器还可以由二进制拨码开关,或者是BCD拨码开关,或者是控制0、1输出的多个上拉电阻及电路短接点,以及其他能够输出多位二进制设定值的电路组成。

[0042] 上限值比较器的功能是,当输入的限幅累积计数值大于等于上限比较阈值时,令第一置位信号有效,否则第一置位信号无效。图5为 $N=6$ 时上限值比较器的实施例,由四位二进制数值比较器FC2和或门F01组成上限值比较器,FC2的型号为74HC85。限幅累积计数值X1的3位二进制输出 x_{13} 、 x_{12} 、 x_{11} 分别连接至FC2的A2、A1、A0输入端,上限比较阈值Y1的3位二进制输出 y_{13} 、 y_{12} 、 y_{11} 分别连接至FC2的B2、B1、B0输入端,输入端A3、B3均输入0。FC2的输入端A>B IN和A<B IN均输入0,输入端A=B IN输入1。FC2的输出端A>B OUT、A=B OUT分别连接至或门F01的输入端,或门F01的输出端为第一置位信号SE1。图5中上限值比较器实现的功能是,当限幅累积计数值X1大于等于上限比较阈值Y1时,输出SE1为高电平,否则SE1为低电平。图5中SE1为高电平有效;将或门F01改为或非门,则SE1为低电平有效。

[0043] 下限值比较器的功能是,当输入的限幅累积计数值小于等于下限比较阈值时,令第二置位信号有效,否则第二置位信号无效。图6为 $N=6$ 时下限值比较器的实施例,由四位二进制数值比较器FC3和或门F02组成下限值比较器,FC3的型号为74HC85。限幅累积计数值X1的3位二进制输出 x_{13} 、 x_{12} 、 x_{11} 分别连接至FC3的A2、A1、A0输入端,下限比较阈值Y2的3位二进制输出 y_{23} 、 y_{22} 、 y_{21} 分别连接至FC2的B2、B1、B0输入端,输入端A3、B3均接0。FC3的输入端A>B IN和A<B IN均接0,输入端A=B IN接1。FC3的输出端A<B OUT、A=B OUT分别连接至或门F02的输入端,或门F02的输出端为第二置位信号RE1。图6中下限值比较器实现的功能是,当限幅累积计数值X1小于等于下限比较阈值Y2时,输出RE1为高电平,否则SE1为低电平。图6中RE1为高电平有效;将或门F02改为或非门,则RE1为低电平有效。

[0044] 当N值较大时,可以选择2片或者多片74HC85组成多位二进制数值比较器实现上限值比较器或者下限值比较器的功能;也可以采用1片或者多片四位二进制数值比较器CD4063实现上限值比较器或者下限值比较器的功能,或者是采用其他组合逻辑电路来实现上限值比较器或者下限值比较器的功能。

[0045] 图7为RS触发器实施例。图7中,或非门F03、F04组成RS触发器,第一置位信号SE1为RS触发器的置位信号,第二置位信号RE1为RS触发器的复位信号,均高电平有效;计数脉冲P2从RS触发器的同相输出端,即F04的输出端输出。计数脉冲P2也可以从RS触发器的反相输出端,即或非门F03输出端输出。RS触发器还可以采用其他形式的RS触发器。

[0046] 上述 $N=6$ 的实施例中,上限比较阈值Y1取值为5,下限比较阈值Y2取值为1。当限幅累积计数值X1大于等于5时,输出SE1为高电平,将计数脉冲P2置为1;当限幅累积计数值X1小于等于1时,输出RE1为高电平,将计数脉冲P2置为0。

[0047] 图8为1#脉冲产生电路实施例。1#继电器开关KA1与负载电阻RA1串联后,接至供电电源V1、V2上;降压电阻R11与双向稳压管VD1串联后,再并联至负载电阻RA1两端;U11是双向输入光耦,限流电阻R12与U11输入端双向发光二极管串联后再并联至双向稳压管VD1两端;上拉电阻R13为U11输出三极管的集电极负载电阻;初始脉冲P1从U11输出三极管的集电极输出。交直流切换开关K11与降压电容C11串联后再并联至降压电阻R11两端。图8实施例中,继电器开关KA1为常开开关;继电器开关也可以为常闭开关,例如,图8实施例中的KA1可以更换为常闭开关,电路的其他部分维持不变。

[0048] 图8中测试供电电源V1、V2为直流电源时，V1为正、V2为负，或者是V1为负、V2为正均可，此时交直流切换开关K11断开。KA1断开时，负载电阻RA1上没有电压，U11的输出三极管截止，初始脉冲P1为高电平。KA1接通时，负载电阻RA1上的电压经R11降压和VD1稳压后，经R12控制U11的输入二极管发光，U11的输出三极管饱和导通，初始脉冲P1为低电平。KA1通断一次，初始脉冲P1输出一个带边沿抖动窄脉冲干扰的脉冲。

[0049] 图8中测试供电电源V1、V2为交流电源时，V1、V2之间正负交替变化，此时交直流切换开关K11接通。KA1断开时，负载电阻RA1上没有电压，U11的输出三极管截止，初始脉冲P1为高电平。KA1接通时，负载电阻RA1上非过零点的交流电压经R11降压和VD1稳压后，经R12控制U11的输入二极管发光，U11的输出三极管饱和导通，初始脉冲P1为低电平；负载电阻RA1上的交流电压过零时，其电压低，不足以驱动U11的输入二极管发光，U11的输出三极管截止，初始脉冲P1为高电平；因此，KA1接通时，初始脉冲P1为低电平占比多、高电平占比少的脉冲，或者称此时初始脉冲P1为低电平，但其中有正窄脉冲干扰；KA1通断一次，初始脉冲P1输出一个带边沿抖动窄脉冲干扰和正窄脉冲干扰的脉冲。

[0050] 改变负载电阻RA1的大小，可以调整待检测继电器开关KA1的阻性负载电流的大小。当图8中测试供电电源V1、V2为交流电源时，负载电阻RA1也可以改为感性负载或者是容性负载。图8中的VD1也可以选择双向TVS管。当测试供电电源V1、V2恒为直流电时，可以将图8中的交直流切换开关K11和降压电容C11去掉，VD1选择单向稳压管或者单向TVS管，U11选择单向输入光耦。当测试供电电源V1、V2恒为交流电时，可以将图8中的交直流切换开关K11去掉，降压电容C11直接并联至降压电阻R11两端。脉冲产生电路也可以采用图8之外其他形式的电路。

[0051] 图9为N=6时抗脉冲干扰电路抗干扰效果示意图。图9中给出了15个采样时钟脉冲CP1对初始脉冲P1的采样值P1*，每个采样点的限幅累积计数值X1，以及得到的计数脉冲P2。采样值P1*为采样时钟脉冲CP1计数边沿时初始脉冲P1的值；由初始脉冲P1的2种状态分别控制可逆限幅计数器对采样时钟脉冲CP1进行加计数或者减计数，实质是由采样时钟脉冲CP1计数边沿时初始脉冲P1的值分别控制可逆限幅计数器对采样时钟脉冲CP1进行加计数或者减计数。设在图9中CP1的采样点1之前的限幅累积计数值X1为0，计数脉冲P2为0。图9中，初始脉冲P1在CP1的采样点2出现了正脉冲干扰，导致X1在采样点2采样得到P1*的干扰值1；初始脉冲P1在CP1的采样点4至采样点5之间出现了正窄脉冲干扰，但该正窄脉冲宽度小于采样周期且处于2个采样点之间，未影响采样结果P1*，即采样过程自动滤除了该正窄脉冲干扰。初始脉冲P1在CP1的采样点6之后开始从0变1，从0变1过程中出现了2次边沿抖动（或者是包括有正窄脉冲干扰和边沿抖动），其中的第2个正窄脉冲抖动干扰被采样过程自动滤除，采样点7、采样点8的值分别为1、0。图9中，在时钟脉冲CP1的采样点1至采样点15得到的采样值P1*、计数脉冲P2和限幅累积计数值X1见表1。

[0052] 表1采样点1-15的采样值P1*、限幅累积计数值X1和计数脉冲P2

[0053]

| 采样点 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
|-----|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| P1* | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 6 |
| P2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

[0054] 观察表1中采样点的情况,在采样点1-9, $X1$ 小于等于 $Y2$, $RE1$ 有效, $SE1$ 无效, $P2$ 被置为0;在采样点10-12, $X1$ 大于 $Y2$ 且小于 $Y1$, $SE1$ 、 $RE1$ 均无效, $P2$ 维持为0;在采样点13-15, $X1$ 大于等于 $Y1$, $SE1$ 有效, $RE1$ 无效, $P2$ 被置为1。 $N=6$ 时,可逆限幅计数器的计数区间为 $0-N$;在表1中的采样点3, $X1$ 已经达到了下限幅值0,在采样点4-6, $P1^*=0$ (即此时的 $P1=0$), $X1$ 也不再进行减计数, $X1$ 维持为下限幅值0;在采样点14, $X1$ 已经达到了上限幅值6,在采样点15, $P1^*=1$ (即此时的 $P1=1$), $X1$ 也不再进行加计数, $X1$ 维持为上限幅值6。在采样点1-8,初始脉冲 $P1$ 为脉冲产生电路输出的低电平状态,为低电平占比多、高电平占比少的脉冲,即中间包含了一些正窄脉冲干扰,但由于在此区间初始脉冲 $P1$ 的低电平保持时间远大于正窄脉冲干扰所占的时间,这些正窄脉冲干扰未整体影响限幅累积计数值 $X1$ 的变化区间, $X1$ 维持在0、1之间变化;即使是正窄脉冲干扰的影响再大一些,只要正窄脉冲干扰所占的时间比低电平保持时间小,则限幅累积计数值 $X1$ 不会超过 $N/2$,更难达到大于等于 $Y1$,不会改变计数脉冲 $P2$ 的状态。图9给出的是干扰脉冲过滤电路在初始脉冲 $P1$ 为0时的抗正脉冲干扰效果,以及初始脉冲 $P1$ 由0变为1的条件与过程。干扰脉冲过滤电路在初始脉冲 $P1$ 为1时的抗负脉冲干扰效果,以及初始脉冲 $P1$ 由1变为0的条件与过程,与初始脉冲 $P1$ 为0时的抗正脉冲干扰效果,以及初始脉冲 $P1$ 由0变为1的条件与过程相同。同样地,在初始脉冲 $P1$ 的高电平状态中间包含了一些负窄脉冲干扰时,至于在此期间初始脉冲 $P1$ 的高电平保持时间大于负窄脉冲干扰所占的时间,则限幅累积计数值 $X1$ 不会小于 $N/2$,更难达到小于等于 $Y2$,不会改变计数脉冲 $P2$ 的状态。

[0055] 设在时钟脉冲 $CP1$ 的采样点31之前的限幅累积计数值 $X1$ 为6,计数脉冲 $P2$ 为1。采样点31至采样点45得到的采样值 $P1^*$ 、限幅累积计数值 $X1$ 和计数脉冲 $P2$ 见表2。

[0056] 表2采样点31-45的采样值 $P1^*$ 、限幅累积计数值 $X1$ 和计数脉冲 $P2$

[0057]

| 采样点 | 31 | 32 | 33 | 34 | 35 | 36 | 37 | 38 | 39 | 40 | 41 | 42 | 43 | 44 | 45 |
|-----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| P1* | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| X1 | 6 | 5 | 4 | 5 | 4 | 3 | 4 | 3 | 2 | 1 | 2 | 1 | 0 | 0 | 0 |
| P2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

[0058] 观察表2中采样点的情况,在采样点31-32, $X1$ 大于等于 $Y1$, $SE1$ 有效, $RE1$ 无效, $P2$ 置为1;在采样点33, $X1$ 大于 $Y2$ 且小于 $Y1$, $SE1$ 、 $RE1$ 均无效, $P2$ 维持为1;在采样点34, $X1$ 大于等于 $Y1$, $SE1$ 有效, $RE1$ 无效, $P2$ 置为1;在采样点35-39, $X1$ 大于 $Y2$ 且小于 $Y1$, $SE1$ 、 $RE1$ 均无效, $P2$ 维持为1;由于在采样点31-40之间,采样值 $P1^*$ 处于0多1少状态,可逆限幅计数器累积计数的结果是限幅累积计数值 $X1$ 趋向于减小,到采样点40, $X1$ 小于等于 $Y2$, $RE1$ 有效, $SE1$ 无效, $P2$ 置为0;在采样点41, $X1$ 大于 $Y2$ 且小于 $Y1$, $SE1$ 、 $RE1$ 均无效, $P2$ 维持为0;在采样点42-45, $X1$ 小于

等于 Y_2 , RE1有效, SE1无效, P2置为0。在表2中的采样点43, X_1 已经达到了下限幅值0, 在采样点44-45, $P_1^*=0$ (即此时的 $P_1=0$), X_1 也不再进行减计数, X_1 维持为下限幅值0。

[0059] 在本 $N=6$ 的实施例中, 计数脉冲P2与初始脉冲P1之间为同相关系。如果将可逆限幅计数器的功能改为: $P_1=1$ 时, 可逆限幅计数器进行减计数; $P_1=0$ 时, 可逆限幅计数器进行加计数, 则计数脉冲P2与初始脉冲P1之间为反相关系。或者是在图7中将计数脉冲P2改为从或非门F03输出, 则计数脉冲P2与初始脉冲P1之间为反相关系。如果同时进行上述修改, 则计数脉冲P2与初始脉冲P1之间又为同相关系。

[0060] 以计数脉冲P2与初始脉冲P1之间为同相关系为例, 从表1、表2及电路的工作原理可以得出结论, 由于可逆限幅计数器具有累积效应, 当初始脉冲P1的采样值在一段时间之内1的数量多于0的数量时, 限幅累积计数值 X_1 会趋向增大, 使 X_1 大于等于 Y_1 并将计数脉冲P2置为1; 当初始脉冲P1的采样值在一段时间之内0的数量多于1的数量时, 限幅累积计数值 X_1 会趋向减小, 使 X_1 小于等于 Y_2 并将计数脉冲P2置为0; 该特性使本发明电路的限幅计数单元具有自启动能力, 限幅作用及初始脉冲P1采样值 P_1^* 中的0, 会使限幅计数单元进入正常的限幅计数区间进行限幅加减计数。当初始的限幅累积计数值 X_1 大于 N , 处于超限状态时, X_1 大于等于上限比较阈值 Y_1 , 上限值比较器输出的SE1有效, 下限值比较器输出RE1的无效, P2被置为1。

[0061] 由于上限比较阈值 Y_1 为大于 $N/2$ 且小于等于 N 的整数, 下限比较阈值 Y_2 为大于等于0且小于 $N/2$ 的整数, 第一置位信号SE1和第二置位信号RE1不可能同时有效, 因此, RS触发器的输出不会出现逻辑状态不确定的情况。

[0062] 以计数脉冲P2与初始脉冲P1之间为同相关系为例做进一步的说明。当初始脉冲P1使限幅累积计数值 X_1 小于等于下限比较阈值 Y_2 , 计数脉冲P2置为0后, 只要限幅累积计数值 X_1 一直小于上限比较阈值 Y_1 , 则计数脉冲P2不会变为1; 当初始脉冲P1使限幅累积计数值 X_1 大于等于上限比较阈值 Y_1 , 计数脉冲P2置为1后, 只要限幅累积计数值 X_1 一直大于下限比较阈值 Y_2 , 则计数脉冲P2不会变为0。当 P_1 、 P_2 都为低电平时, 只要在 P_1 中出现的正脉冲使 P_1 采样值中连续出现大于等于 Y_1 个为1的值, 或者是, 在连续 Y_1+2 个 P_1 采样值中出现 Y_1+1 个为1的值, 等等, 则能够从P2输出与该 P_1 中正脉冲相对应的正脉冲; 当 P_1 、 P_2 都为高电平时, 只要在 P_1 中出现的负脉冲使 P_1 采样值中连续出现大于等于 $N-Y_2$ 个为0的值, 或者是, 在连续 $N-Y_2+2$ 个 P_1 采样值中出现 $N-Y_2+1$ 个为0的值, 等等, 则能够从P2输出与该 P_1 中负脉冲相对应的负脉冲。当初始脉冲P1由0变为1后, 计数脉冲P2需要限幅累积计数值 X_1 经过几个采样脉冲周期的加计数延迟, 才能使限幅累积计数值 X_1 大于等于上限比较阈值 Y_1 , 将P2置1; 当初始脉冲P1由1变为0后, 计数脉冲P2需要限幅累积计数值 X_1 经过几个采样脉冲周期的减计数延迟, 才能使限幅累积计数值 X_1 小于等于下限比较阈值 Y_2 , 将P2置0。当上限比较阈值 Y_1 的取值越大时, 计数脉冲P2从0变1的条件更加苛刻, 电路的低电平抗正脉冲干扰效果更好; 当下限比较阈值 Y_2 的取值越小时, 计数脉冲P2从1变0的条件更加苛刻, 电路的高电平抗负脉冲干扰效果更好。当 N 的取值变大时, 干扰脉冲过滤电路将计数脉冲P2从0变1, 以及从1变0的条件变严格, 抗干扰效果变好, 但计数脉冲P2相对于初始脉冲P1的延迟时间变大; 当 N 的取值变小时, 干扰脉冲过滤电路将计数脉冲P2从0变1, 以及从1变0的条件变宽, 抗干扰效果变小, 但计数脉冲P2相对于初始脉冲P1的延迟时间变小。

[0063] 图10为三态输出计数电路实施例。图10(a)为三态输出计数电路实施例1, 由计数

器FC4和非门FN1组成,FC4为带三态输出的8位二进制计数器74HC590。FC4的计数允许端CKEN输入0,清0控制端CCLR为三态输出计数电路的清0信号CLR输入端;清0信号CLR低电平有效,即控制器单元输出的清0信号CLR为低电平时,计数器FC4中的通断计数值被清0;控制器单元输出的清0信号CLR为高电平时,FC4工作在加计数状态,计数脉冲P2直接连接至FC4的计数脉冲输入端CCK,FC4在计数脉冲P2的上升沿加1计数,得到通断计数值。计数脉冲P2经非门FN1连接至FC4数据锁存端RCK,FC4内部计数器的内容在计数脉冲P2的下降沿被锁存至输出锁存器。选通控制信号CS1连接至FC4的输出使能控制端G,CS1为低电平时,FC4将输出锁存器中的通断计数值CV1从Q7-Q0输出;CS1为高电平时,FC4的Q7-Q0为高阻状态。三态输出计数电路实施例1输出的通断计数值为8位二进制计数值。

[0064] 图10(b)为三态输出计数电路实施例2,由计数器FC5和三态缓冲器FB1组成,FC5为4位二进制计数器74HC161,FB1为三态缓冲器74HC244。FC5的计数控制端CTP和CTR,以及置数控制端LD均连接至1,清0控制端CR为三态输出计数电路的清0信号CLR输入端;清0信号CLR低电平有效,即控制器单元输出的清0信号CLR为低电平时,计数器FC5中的通断计数值被清0;控制器单元输出的清0信号CLR为高电平时,FC5工作在加计数状态,计数脉冲P2直接连接至FC5的计数脉冲输入端CP,FC5在计数脉冲P2的上升沿加1计数,得到通断计数值。三态缓冲器FB1的4位数据输入端A3-A0分别连接至计数器FC5的4位计数值输出端Q3-Q0,选通控制信号CS1连接至FB1的输出使能控制端1G,CS1为低电平时,FB1将计数器FC5输出的通断计数值CV1从Y3-Y0输出;CS1为高电平时,FB1的Y3-Y0为高阻状态。三态输出计数电路实施例2输出的通断计数值为4位二进制计数值。

[0065] L=4时继电器寿命检测装置实施例中,2#通断计数单元、3#通断计数单元和4#通断计数单元采用与1#通断计数单元相同的电路组成与结构,即所有通断计数单元中都包括有脉冲产生电路、抗脉冲干扰电路和三态输出计数电路;所有脉冲产生电路、抗脉冲干扰电路、三态输出计数电路的组成与结构均相同。

[0066] 图11为继电器驱动单元实施例。图11(a)为继电器线圈采用直流电源供电时的实施例,由三极管VT、续流二极管VD、基极电阻R61组成;待检测继电器的线圈并联在节点A1、A2上,继电器线圈的直流供电电源为+V。设图1实施例中的4个继电器开关包括在2个继电器中,图11(a)中,只并联了2个继电器线圈J1、J2。当控制器单元发出的继电器驱动信号C1为高电平时,并联在节点A1、A2上的所有继电器线圈得电;当控制器单元发出的继电器驱动信号C1为低电平时,并联在节点A1、A2上的所有继电器线圈失电;控制器单元发出的继电器驱动信号C1变化一个脉冲周期,则线圈并联在节点A1、A2上所有继电器中的继电器开关通断一次。当继电器线圈的数量多,图11(a)中三极管VT不足以全部驱动时,可以增加相同的或者类似的驱动电路,扩大驱动能力。

[0067] 图11(b)为继电器线圈采用交流电源供电时的实施例,由电流驱动型固态继电器SSR1、压敏电阻RU1、限流电阻R62组成;待检测继电器的线圈并联在节点B1、B2上,继电器线圈的交流供电电源为AC0;+VCC为SSR1的电流驱动供电电源。设图1实施例中的4个继电器开关包括在2个继电器中,图11(b)中,只并联了2个继电器线圈J3、J4。当控制器单元发出的继电器驱动信号C2为低电平时,并联在节点B1、B2上的所有继电器线圈得电;当控制器单元发出的继电器驱动信号C2为高电平时,并联在节点B1、B2上的所有继电器线圈失电;控制器单元发出的继电器驱动信号C2变化一个脉冲周期,则线圈并联在节点B1、B2上所有继电器中

的继电器开关通断一次。当继电器线圈的数量多,图11 (b) 中固态继电器SSR1不足以全部驱动时,可以增加相同的或者类似的驱动电路,扩大驱动能力。

[0068] 当L个继电器开关所在的继电器中,同时存在采用直流电源供电的继电器线圈和采用交流电源供电的继电器线圈,则可以同时使用图11 (a)、图11 (b) 电路来分类驱动。继电器驱动单元还可以根据需要采用其他电路。

[0069] 振荡器单元用于输出采样时钟脉冲CP1,可以选择各种多谐振荡器中的任何一种来组成振荡器单元。测试时,继电器开关通断的频率通常在10次/min至30次/min之间,初始脉冲来自于继电器开关的通断控制输出,其形成的脉冲高电平、低电平宽度接近或者大于1000ms,因此,采样时钟脉冲CP1的周期可以在8ms至48ms之间选择,且因为P1中正窄脉冲干扰的周期为10ms,采样时钟脉冲CP1应该避免为10ms整倍数的关系,N在5至10范围内取值。

[0070] 人机界面单元优选使用触摸屏,采用RS485或者是RS232与控制器单元进行通信。人机界面单元也可以选择由按键电路和液晶显示器共同组成。

[0071] 所有通断计数单元的通断计数值均采用三态缓冲方式输出;所有通断计数单元的三态缓冲输出端口全部并联至控制器单元的计数数据输入端口,控制器单元发出选通控制信号分别使能各通断计数单元的三态缓冲输出端口,从计数数据输入端口读入被使能三态缓冲输出端口输出的通断计数值。三态输出计数电路实施例1中的通断计数值为8位二进制数据,通断计数单元的三态缓冲输出端口、控制器单元的计数数据输入端口均为8位并行端口;三态输出计数电路实施例2中的通断计数值为4位二进制数据,通断计数单元的三态缓冲输出端口、控制器单元的计数数据输入端口均为4位并行端口。当L值小且通断计数值的位数少时,通断计数单元的通断计数值可以不采用三态缓冲方式输出,而是将每个通断计数单元的通断计数值输出端口分别直接连接至控制器单元的不同并行端口;例如,L=4且通断计数值为4位二进制数值时,直接将4个通断计数单元的通断计数值输出端口连接至控制器单元的不同并行端口,只需要消耗控制器单元共16位I/O口线,即2个8位输入端口。

[0072] 控制器单元通过选通控制单元发出选通控制信号。选通控制单元为译码器电路,对控制器单元发出的通断计数单元地址编码信号进行译码,得到选通控制信号。图1的实施例中,与1#通断计数单元11、2#通断计数单元12、3#通断计数单元13、4#通断计数单元对应的通断计数单元地址编码信号分别为二进制00、01、10、11,译码输出为CS1、CS2、CS3、CS4;控制器单元逐个使CS1、CS2、CS3、CS4有效,使能各通断计数单元的三态缓冲输出端口,然后从计数数据输入端口IN1读入相应的通断计数值。实施例中选通控制单元的译码器电路可以选择74HC139,或者是74HC138,或者是采用门电路组成。当L值大时,译码器电路可以采用多片74HC139,或者是74HC138等组成的多级级联电路,或者是采用多个门电路组成。当L值小时,也可以省略选通控制单元,由控制器单元通过输出端口直接向各通断计数单元发出选通控制信号,例如,图1的实施例中,选通控制信号CS1、CS2、CS3、CS4可以直接由控制器单元10发出,无需采用选通控制单元。

[0073] 控制器单元用于对整个继电器寿命检测装置进行控制,优选使用单片机作为核心来组成。控制器单元的核心也可以选择ARM,或者是DSP,或者是可编程序控制器。继电器寿命检测装置的检测控制过程包括以下步骤:

[0074] 步骤1,初始化,包括将L个继电器开关的检测标志均置为在检状态,寿命计数器清0,发出清0信号使L个通断计数值全部清0;

[0075] 步骤2,控制L个继电器开关通断一次,同时对L个继电器开关的通断次数分别进行计数得到L个通断计数值;寿命计数器进行加1计数;

[0076] 步骤3,读取当次L个通断计数值;

[0077] 步骤4,逐个对检测标志为在检状态的继电器开关是否失效进行判断;将本次被判断为失效继电器开关的检测标志置为停检状态,同时将当前寿命计数器的计数值作为该次被判断为失效继电器开关的寿命值;

[0078] 步骤5,L个继电器开关的检测标志中仍有在检状态者,返回步骤2,否则停止检测。

[0079] 控制L个继电器开关通断一次,是指控制器单元发出继电器驱动信号,通过继电器驱动单元使继电器开关通、断一次,例如,图11(a)中控制器单元发出的继电器驱动信号C1变化一个脉冲周期,或者是图11(b)中控制器单元发出的继电器驱动信号C2变化一个脉冲周期。寿命计数器为控制器单元中的一个软件计数器,控制器单元发出使继电器开关通、断一次的继电器驱动信号,寿命计数器计数值加1。同时对L个继电器开关的通断次数分别进行计数得到L个通断计数值,由控制器单元之外的L个通断计数单元分别进行。

[0080] 对检测标志为在检状态的继电器开关是否失效进行判断,方法是,待判断继电器开关被控制通断的次数与其通断计数值之间的误差小于E,则该继电器开关未失效,否则失效。当前寿命计数器的计数值为待判断继电器开关被控制通断的次数。具体的判断方法是,设通断计数值的最大计数值为G,将当前寿命计数器的计数值对G取模,得到余数Q;读取的待判断继电器开关通断计数值为K,则当 $|K-Q| < E$,或者是 $|K-(Q-G)| < E$,或者是 $|K-(Q+G)| < E$ 三者之一得到满足时,则该继电器开关未失效,否则失效。通断计数值采用的是循环加计数方式,通断计数值达到三态输出计数电路的最大计数值G后再加1会溢出变为0;以三态输出计数电路实施例2输出的4位二进制通断计数值为例,其最大值为1111,下一次通断计数值为0;上述判断表达式中,将K与Q-G进行比较,是抵消K值加计数溢出后较小、而Q值较大的影响;将K与Q+G进行比较,是抵消K值较大、而Q值对G取模后较小的影响。由于E为大于等于1且小于等于G/2(G除以2)的整数,确定了误差E后,通断计数值的最大计数值G必须大于E的2倍;例如,确定E为3,则通断计数值的最大计数值G必须大于6,此时,十进制BCD计数器,或者是3位以上的二进制计数器均满足要求。读取的当次L个通断计数值中,对于检测标志为停检状态的继电器开关是否失效,控制器单元不再进行判断与处理。

[0081] 对检测标志为在检状态的继电器开关是否失效进行判断,也可以采用以下方法:待判断继电器开关的当次通断计数值与前次通断计数值不是增1关系时,则该继电器开关失效,否则未失效;方法或者是,待判断继电器开关连续V次的当次通断计数值与前次通断计数值不是增1关系时,则该继电器开关失效,否则未失效;所述V为大于等于2的整数。通断计数值采用的是循环加计数方式,通断计数值达到三态输出计数电路的最大值后再加1会溢出变为0;以三态输出计数电路实施例2输出的4位二进制通断计数值为例,其最大值为1111,满足增1关系的下一次通断计数值为0。

[0082] 对检测标志为在检状态的继电器开关是否失效进行判断,还可以采用如下方法:待判断继电器开关累计W次的当次通断计数值与前次通断计数值不是增1关系时,则该继电器开关失效,否则未失效;所述W为大于等于2的整数。

[0083] 控制器单元、人机界面单元可以根据需要实现继电器开关的NO、NC占空比(即设置吸合时间和释放时间比例)调整与显示,失效判断方式选择及失效判断参数设置与显示,继

电器开关的通断周期设置与显示等。所述装置还可以增加温度监测单元来监测测试过程中继电器的温度。

[0084] 为减小体积,提高可靠性,优选将L个通断计数单元、振荡器单元、选通控制单元中的全部,或者是部分功能采用PAL、GAL、CPLD、FPGA,或者是其他可编程逻辑器件、逻辑单元来实现。

[0085] 除说明书所述的技术特征外,均为本领域技术人员所掌握的常规技术。例如,选择控制器单元的控制器,设计相关的外围控制电路和根据装置的检测控制过程与方法编制程序,实现其功能;选择或者设计选通控制单元电路,满足译码选通的要求;选择或者设计振荡器单元的多谐振荡器,输出满足要求的采样时钟脉冲CLK;选择人机界面单元的组成与电路结构,与控制器单元相连接,实现相应的功能;等等,均是本领域技术人员所掌握的常规技术。

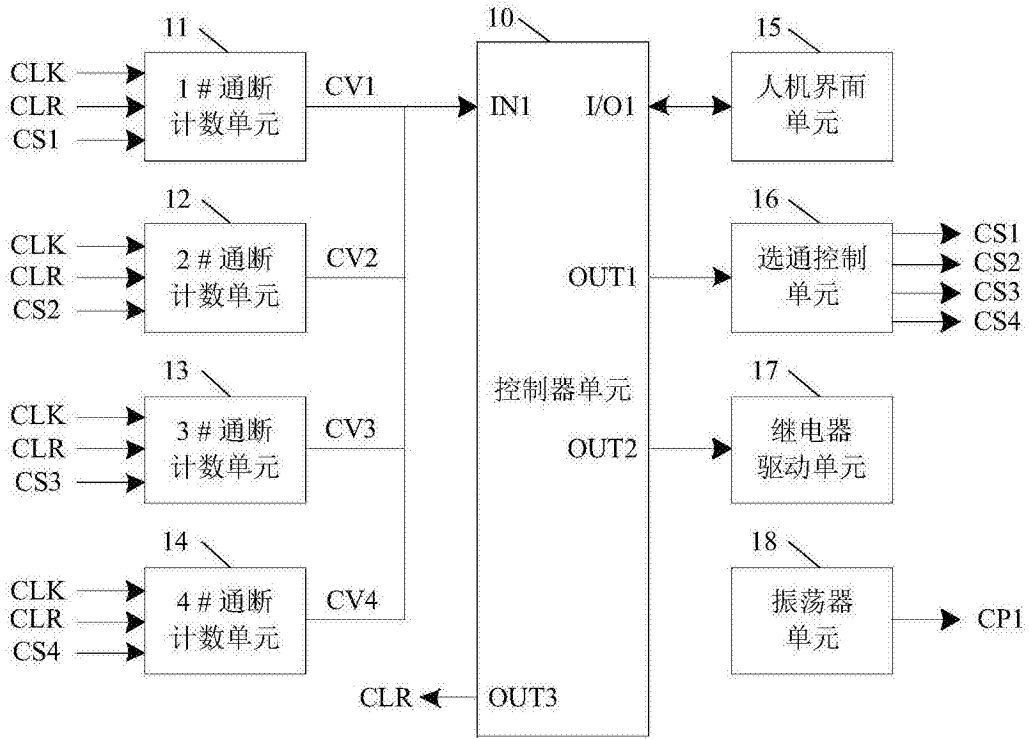


图1

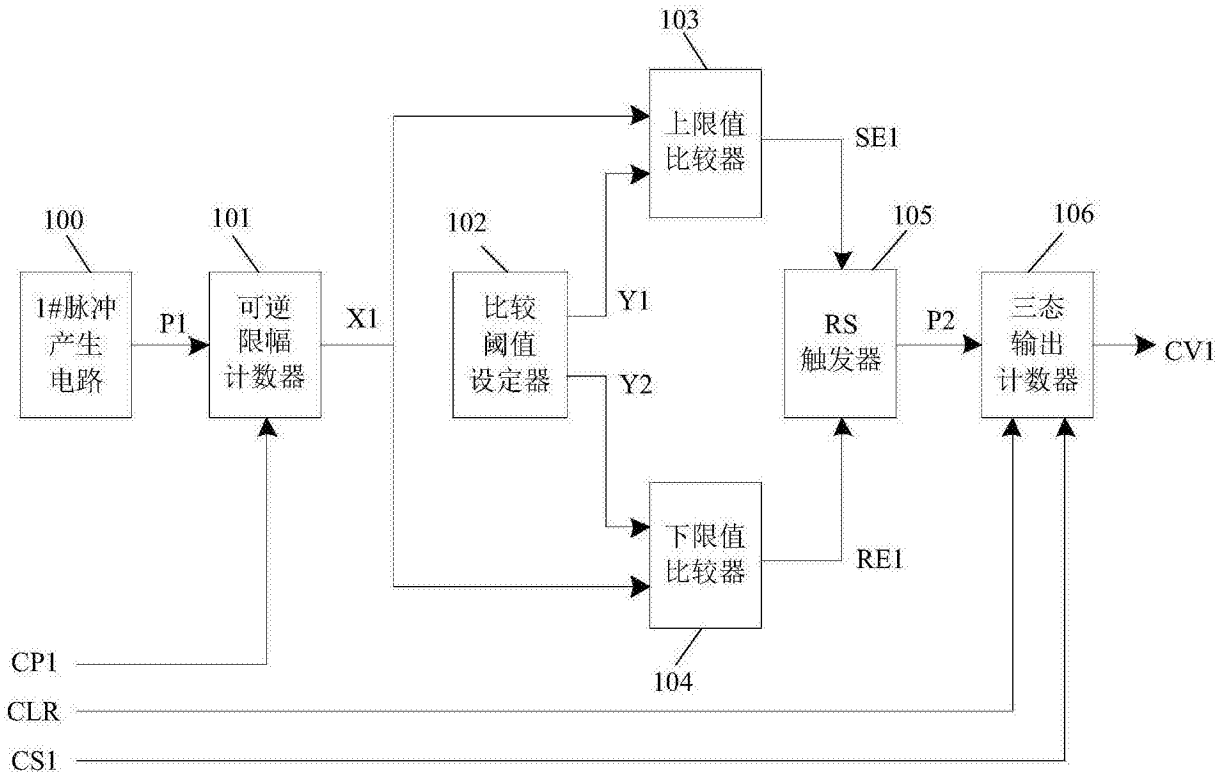


图2

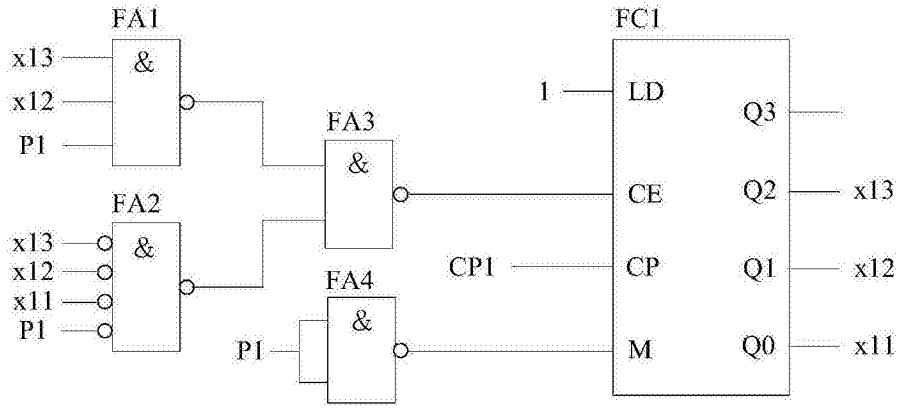


图3

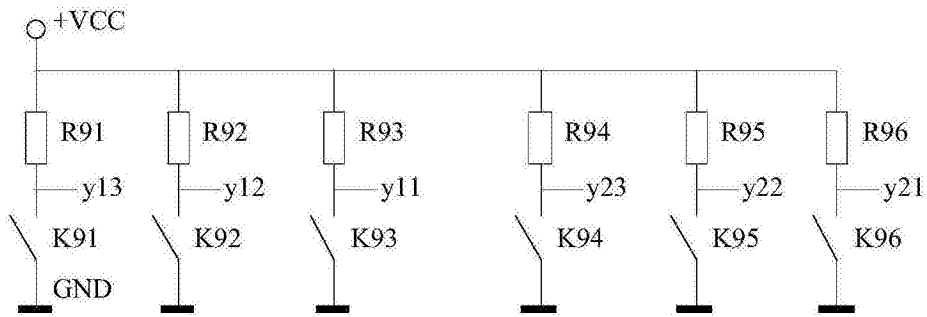


图4

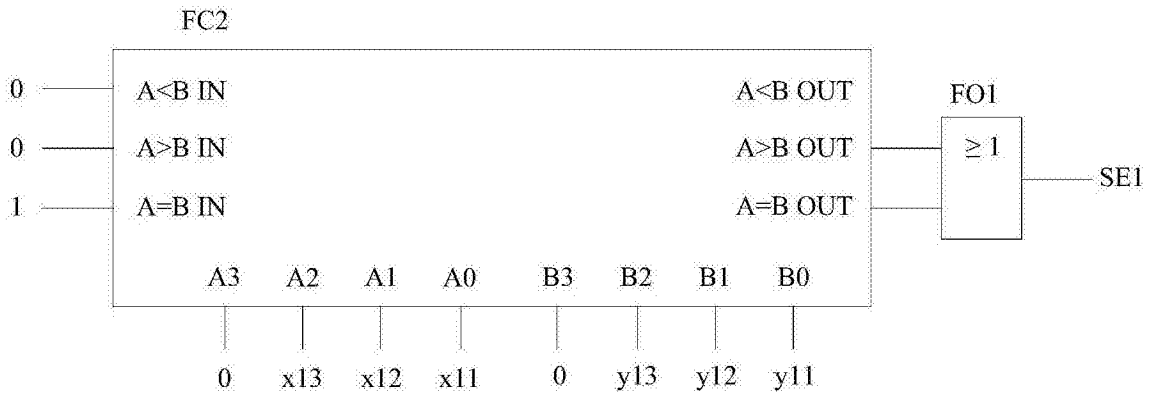


图5

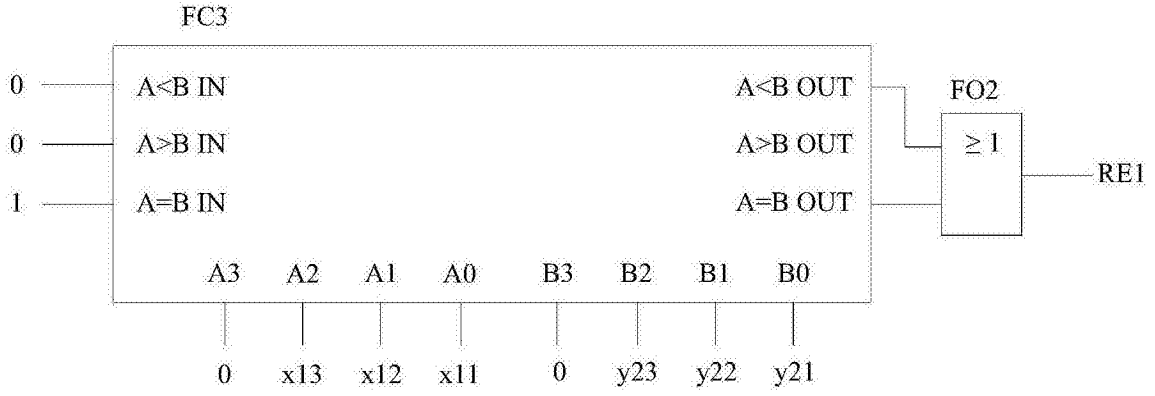


图6

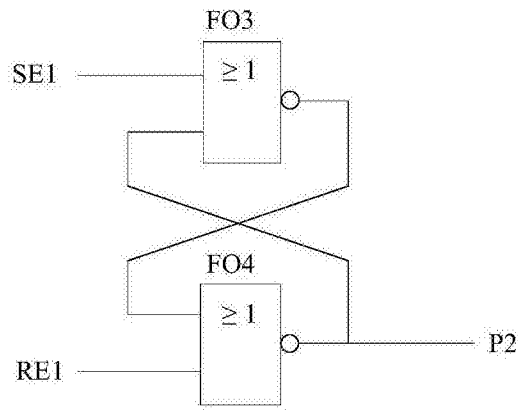


图7

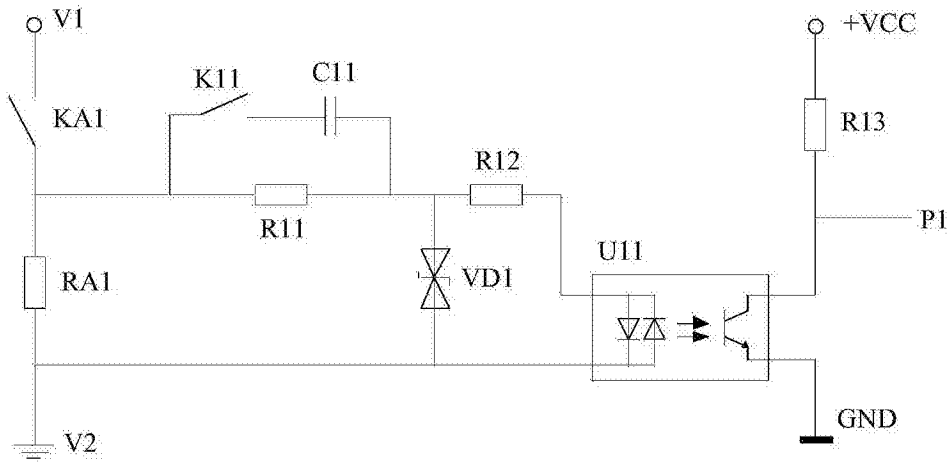


图8

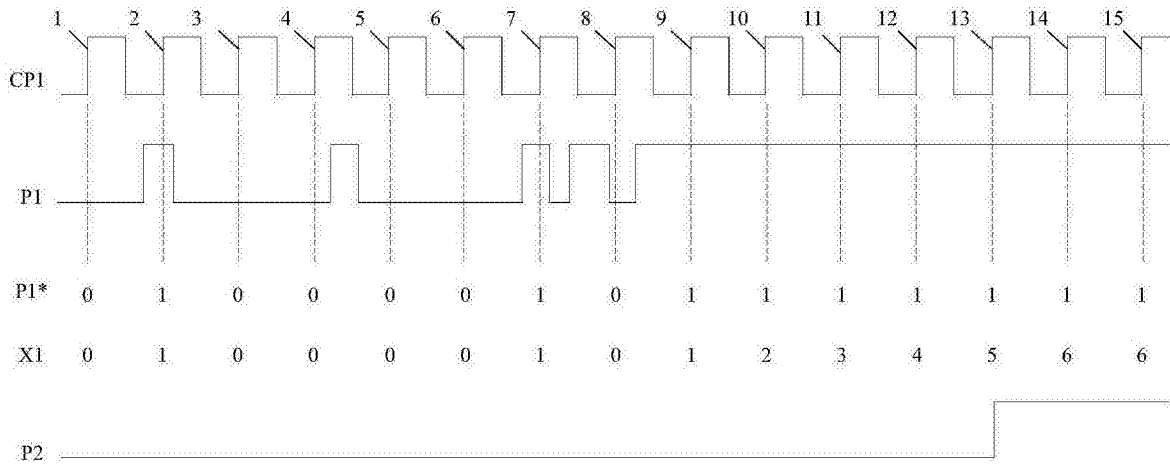


图9

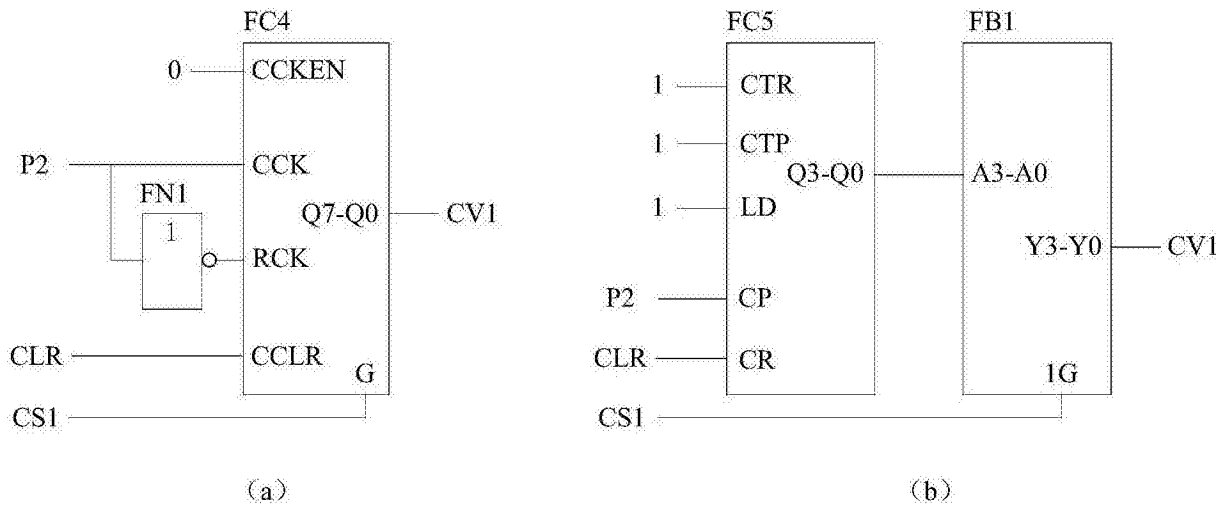


图10

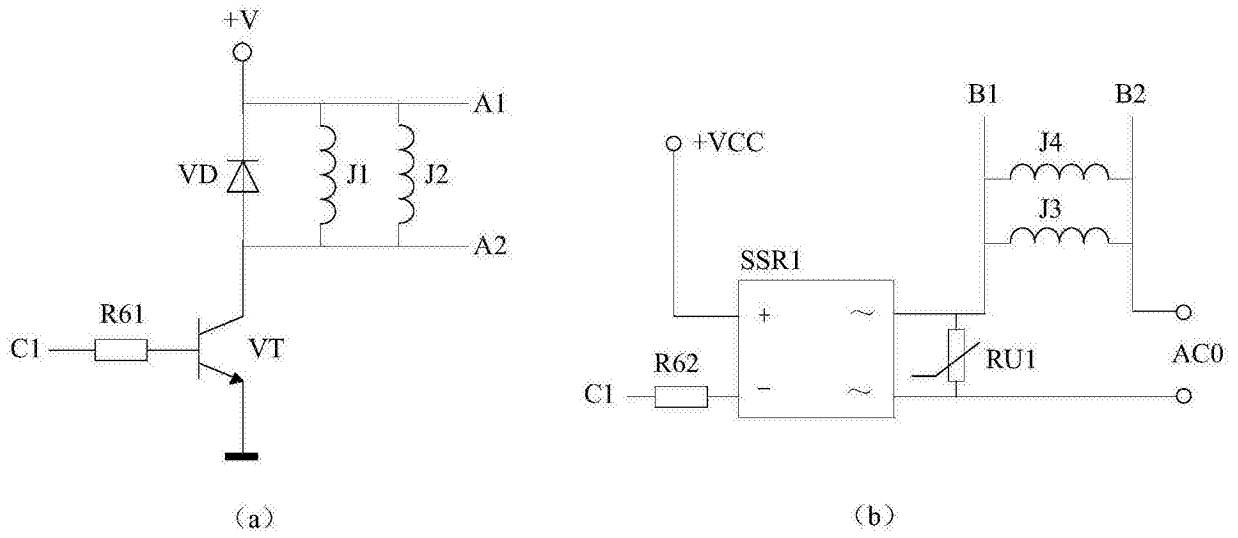


图11