

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-21472  
(P2014-21472A)

(43) 公開日 平成26年2月3日(2014.2.3)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 330Z	2H088
<b>G02F 1/13 (2006.01)</b>	G02F 1/13 101	5C094

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号	特願2012-163408 (P2012-163408)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成24年7月24日 (2012.7.24)	(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	山口 偉久 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		Fターム(参考)	2H088 FA07 FA15 MA20 5C094 AA32 AA42 BA43 DA09 DB02 EA10 FA01 FB12

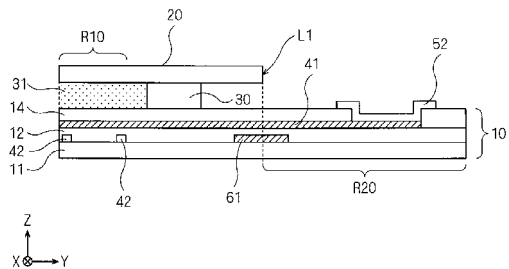
(54) 【発明の名称】 表示パネルおよび表示装置

(57) 【要約】

【課題】回路部品実装領域の近傍に生じる不具合の影響を回避することが可能な表示パネル等を提供する。

【解決手段】回路部品実装領域R20を有する基板10は、ソース配線41と、冗長パターン61を含む。基板20は、基板10と対向して配置される基板20nの一部が、回路部品実装領域R20を露出させるための切断ラインL1に沿って切断されることにより形成されたものである。ソース配線41は、表示領域R10内から回路部品実装領域R20まで延在する。冗長パターン61は、ソース配線41の近傍であって、かつ、切断ラインL1に対応する位置に形成される。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

映像を表示するための表示領域と、該表示領域の周辺に形成され、回路部品を実装するための回路部品実装領域とを有する第 1 基板と、

前記第 1 基板と対向して配置される第 2 基板と、を備え、

前記第 2 基板は、前記第 1 基板と対向して配置される基板の一部が、前記回路部品実装領域を露出させるための切断ラインに沿って切断されることにより形成されたものであり、

前記第 1 基板は、

前記表示領域内から前記回路部品実装領域まで延在する第 1 配線と、

前記第 1 配線の近傍であって、かつ、前記切断ラインに対応する位置に形成される冗長パターンと、を含む

表示パネル。

10

## 【請求項 2】

前記冗長パターンは、前記第 1 基板の主面に沿った方向において前記第 1 配線の一部と重なる位置であって、かつ、前記第 1 基板の厚み方向において前記第 1 配線と異なる位置に形成される

請求項 1 に記載の表示パネル。

## 【請求項 3】

前記表示パネルは、さらに、

前記第 1 基板と前記第 2 基板とを接続するシール材を備え、

前記切断ラインは、前記シール材の位置の外側に配置され、

前記冗長パターンは、前記シール材の位置を跨いで延在する

請求項 1 または 2 に記載の表示パネル。

20

## 【請求項 4】

前記冗長パターンは、該冗長パターンの近傍の前記第 1 配線に断線箇所が存在する場合、前記断線箇所を挟む前記第 1 配線の 2 箇所を電氣的に接続するために用いられる

請求項 1 ~ 3 のいずれか 1 項に記載の表示パネル。

## 【請求項 5】

前記冗長パターンは、導体で構成され、

30

前記冗長パターンおよび前記第 1 配線の各々は、所定方向に延在し、かつ、互いに近接して設けられ、

前記冗長パターンは、前記断線箇所を挟む前記第 1 配線の 2 箇所にそれぞれ近接する、前記冗長パターンの 2 箇所をレーザー光で照射されることにより、前記第 1 配線の 2 箇所を電氣的に接続する

請求項 4 に記載の表示パネル。

## 【請求項 6】

前記冗長パターンは、コンタクトホールを介して、前記第 1 配線と電氣的に接続されている

請求項 1 ~ 3 のいずれか 1 項に記載の表示パネル。

40

## 【請求項 7】

前記冗長パターンは、前記第 1 配線とは異なる第 2 配線である

請求項 1 に記載の表示パネル。

## 【請求項 8】

前記第 2 配線は、前記第 1 基板の厚み方向において前記第 1 配線と略同位置に形成され、

前記第 2 配線は、前記切断ラインの位置を跨ぐ前記第 1 配線の 2 箇所と電氣的に接続されている

請求項 7 に記載の表示パネル。

## 【請求項 9】

50

請求項 1 ~ 8 のいずれか 1 項に記載の表示パネルを含む表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、断線等の不具合に対処可能な表示パネルおよび表示装置に関する。

【背景技術】

【0002】

あらゆる分野において表示装置は流布している。表示装置は、液晶を利用した液晶表示装置が主流となっている。液晶表示装置は、TFT (Thin Film Transistor) アレイ基板と、TFTアレイ基板と対向して配置される対向基板と、液晶層とを備える。

10

【0003】

TFTアレイ基板は、映像を表示するための表示領域と、当該表示領域の周辺に形成される回路部品実装領域とを有する。表示領域では、複数の縦配線および横配線が交差する。表示領域内の複数の配線には、表示領域の周辺領域の配線から、信号が伝達される。回路部品実装領域には、信号を出力するIC (Integrated Circuit) およびその他の回路部品等が実装される。液晶層は、TFTアレイ基板と対向基板との間に設けられる。

【0004】

液晶表示装置の回路部品実装領域は、対向基板とTFTアレイ基板を重ねさせた後、TFT基板の回路部品実装領域に対向している対向基板の一部を切断して除去することにより露出される。

20

【0005】

回路部品実装領域を露出させた後、表示領域の各配線、素子に信号を出力するドライバーIC、ドライバーICを駆動させるための電源、信号を入力する回路基板と接続するFPC等が、回路部品実装領域に実装される。

【0006】

対向基板の一部の除去 (対向基板の切断) は、例えば、対向基板の上部にダイヤモンドカッター等により浅い深さの切断ライン (スクライブライン) を付け、当該切断ライン付近に荷重をかけることにより行われる。

【0007】

上記のような切断方法によれば、対向基板の切断工程時に切り粉が発生し、当該切り粉がTFTアレイ基板の表面に付着する。これにより、TFTアレイ基板の保護膜 (絶縁膜) にキズが付く場合がある。また、切断工程で発生した、対向基板の端材が、TFTアレイ基板に接触することにより、TFTアレイ基板にキズが付く場合がある。この場合、切り粉が堆積したTFTアレイ基板に過度な荷重が加わった場合、TFTアレイ基板の膜の剥離、断線等の線欠陥等の不良を発生させる可能性がある。

30

【0008】

製造工程内で明らかに生じた断線等の線欠陥については、製造工程内での検査での脱落 (選別) により排除される。そのため、当該線欠陥は、製品の歩留低下の要因の一つとなっていた。また、断線まで至らないキズがある製品においては、製造工程途中の検査の当該製品のすり抜け (見落とし) により、市場での使用において線欠陥を発生させる可能性もあった。

40

【0009】

先行文献 1 には、表示領域内の配線の断線を修復するための技術 (以下、従来技術 A という) が開示されている。従来技術 A では、ソース配線 (ライン) とゲート配線とがクロス (重畳) する箇所以外において、ソース配線とゲート配線との間に導電性ラインを設けた冗長構造を有する。また、従来技術 A では、断線部分が確認された場合、レーザー光にて、断線部分を有する配線と導電性ラインとを接続することにより、断線部分を修復する。

【0010】

具体的には、従来技術 A では、表示領域内において、ゲート配線と、当該ゲート配線の

50

上方に形成されたソース配線との間に、導電性ラインを挟む構成を有する。導電性ラインは、ソース配線およびゲート配線の各々に対し平行に設けられる。また、従来技術 A では、ソース配線とゲート配線とが重畳するクロス部では、ソース配線に平行な導電性ラインは形成されていない。ソース配線もしくはゲート配線に断線が発生した場合、断線箇所の両端部付近にレーザー光を照射する。これにより、断線部分を有する配線と、当該配線と絶縁膜を介した導電性ラインとを接続することにより、断線部分を修復する。なお、この従来技術 A では、表示領域内の全ての配線に冗長性を持たせる。

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特開 2003 - 222905 号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、従来技術 A の構成では、冗長配線である導電性ラインと、ソース配線またはゲート配線との間に寄生キャパシタンス（容量）が生じる。これにより、従来技術 A の構成を、電氣的に駆動させる上で高負荷状態となり、信号の歪み、遅延を誘発させ、製品の性能が低下する原因となる。

【0013】

また画素設計での平面レイアウトでは冗長配線のための場所（空間）が必要となるため、画素の開口部が狭くなり、冗長配線がない場合と同じ表示輝度を得るためにバックライト輝度を上げる等の対策が必要となる。そのため、従来技術 A では、消費電力の増加等、製品として市場での競争力を低下させる要因を発生させていた。

【0014】

従来技術 A では、このような要因を潜在的に有しながら、断線等の線欠陥（不具合）は、表示領域内よりも、表示領域外の配線領域（特に、回路部品実装領域）を露出させる際に発生することが多い。すなわち、回路部品実装領域を有する基板における断線は、当該回路部品実装領域を露出させる際に発生する可能性が高い。したがって、回路部品実装領域の近傍において、当該回路部品実装領域を有する基板に形成される配線の断線等の不具合が発生する可能性が高い。

【0015】

なお、従来技術 A では、対向して配置される 2 枚の基板を用いた構成における回路部品実装領域の近傍に生じる断線等の不具合を修復するための構成については明記されていない。そのため、従来技術 A では、回路部品実装領域の近傍に生じる断線等の不具合の影響を回避することができないという問題がある。

【0016】

本発明は、このような問題を解決するためになされたものであり、回路部品実装領域の近傍に生じる不具合の影響を回避することが可能な表示パネル等を提供することを目的とする。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明の一態様に係る表示パネルは、映像を表示するための表示領域と、該表示領域の周辺に形成され、回路部品を実装するための回路部品実装領域とを有する第 1 基板と、前記第 1 基板と対向して配置される第 2 基板と、を備え、前記第 2 基板は、前記第 1 基板と対向して配置される基板の一部が、前記回路部品実装領域を露出させるための切断ラインに沿って切断されることにより形成されたものであり、前記第 1 基板は、前記表示領域内から前記回路部品実装領域まで延在する第 1 配線と、前記第 1 配線の近傍であって、かつ、前記切断ラインに対応する位置に形成される冗長パターンを含む。

【発明の効果】

10

20

30

40

50

## 【0018】

本発明によれば、回路部品実装領域を有する第1基板は、第1配線と、冗長パターンとを含む。第2基板は、前記第1基板と対向して配置される基板の一部が、前記回路部品実装領域を露出させるための切断ラインに沿って切断されることにより形成されたものである。前記第1配線は、前記表示領域内から前記回路部品実装領域まで延在する。前記冗長パターンは、前記第1配線の近傍であって、かつ、前記切断ラインに対応する位置に形成される。

## 【0019】

これにより、回路部品実装領域の近傍において生じる可能性が高い、回路部品実装領域を有する第1基板に含まれる第1配線の断線等の不具合の影響を回避することができる。すなわち、回路部品実装領域の近傍に生じる不具合の影響を回避することができる。

10

## 【図面の簡単な説明】

## 【0020】

【図1】本発明の実施の形態1に係る表示装置の構成を示す平面図である。

【図2】本発明の実施の形態1に係る表示パネルの断面図である。

【図3】本発明の実施の形態1に係る表示パネルの一部を示す平面図である。

【図4】本発明の実施の形態1に係る表示パネルの断面図である。

【図5】基板全体を示す平面図である。

【図6】基板の製造工程を示す断面図である。

【図7】対向基板としての基板を示す平面図である。

20

【図8】回路部品実装領域を露出させるまでの工程を説明するための図である。

【図9】リペア処理を説明するための図である。

【図10】識別マークを明記した冗長パターンを示す図である。

【図11】本発明の実施の形態2に係る表示パネルの一部を示す平面図である。

【図12】本発明の実施の形態2に係る表示パネルの断面図である。

【図13】リペア処理を説明するための図である。

【図14】本発明の実施の形態3に係る表示パネルの一部を示す平面図である。

【図15】本発明の実施の形態3に係る表示パネルの断面図である。

【図16】本発明の実施の形態4に係る表示パネルの一部を示す平面図である。

【図17】本発明の実施の形態4に係る表示パネルの断面図である。

30

## 【発明を実施するための形態】

## 【0021】

以下、図面を参照しつつ、本発明の実施の形態について説明する。以下の説明では、同一の構成要素には同一の符号を付してある。それらの名称および機能も同じである。したがって、適宜、重複する説明は省略する場合がある。

## 【0022】

なお、実施の形態において例示される各構成要素の寸法、材質、形状、それらの相対配置などは、本発明が適用される装置の構成や各種条件により適宜変更されるものであり、本発明はそれらの例示に限定されるものではない。また、各図における各構成要素の寸法は、実際の寸法と異なる場合がある。

40

## 【0023】

## &lt;実施の形態1&gt;

図1は、本発明の実施の形態1に係る表示装置1000の構成を示す平面図である。表示装置1000は、一例として、液晶表示装置である。なお、表示装置1000は、液晶表示装置に限定されず、対向して配置される2枚の基板を用いた構成を有する他の方式の表示装置であってもよい。

## 【0024】

図1において、X、Y、Z方向の各々は、互いに直交する。以下の図に示されるX、Y、Z方向の各々も、互いに直交する。以下においては、X方向と、当該X方向の反対の方向(-X方向)とを含む方向をX軸方向ともいう。また、以下においては、Y方向と、当

50

該 Y 方向の反対の方向 ( - Y 方向 ) とを含む方向を Y 軸方向ともいう。また、以下においては、 Z 方向と、当該 Z 方向の反対の方向 ( - Z 方向 ) とを含む方向を Z 軸方向ともいう。

【 0 0 2 5 】

表示装置 1 0 0 0 は、表示パネル 1 0 0 を含む。表示パネル 1 0 0 は、一例として、液晶表示パネルである。なお、表示パネル 1 0 0 は、液晶表示パネルに限定されず、対向して配置される 2 枚の基板を用いた構成を有する他の方式の表示パネルであってもよい。なお、表示装置 1 0 0 0 は、表示パネル 1 0 0 を制御するための、図示しない回路等も含む。

【 0 0 2 6 】

表示パネル 1 0 0 は、基板 1 0 , 2 0 を備える。なお、基板 1 0 , 2 0 の詳細は後述する。なお、図 1 では、構造を分かりやすくするために、基板 2 0 を透過させて示している。また、表示パネル 1 0 0 は、表示領域 R 1 0 と、回路部品実装領域 R 2 0 とを有する。表示領域 R 1 0 は、映像 ( 画像 ) を表示するための領域である。表示領域 R 1 0 は、行列上に配列された、図示しない複数の画素部 ( 画素 ) から構成される。

10

【 0 0 2 7 】

回路部品実装領域 R 2 0 は、回路部品を実装するための領域である。図 1 に示すように、回路部品実装領域 R 2 0 は、基板 1 0 のうち基板 2 0 が存在しない領域である。図 1 では、一例として、回路部品実装領域 R 2 0 の形状は、 L 字状である。回路部品実装領域 R 2 0 は、表示領域 R 1 0 の周辺領域に含まれる。すなわち、回路部品実装領域 R 2 0 は、表示領域 R 1 0 の周辺に形成される。

20

【 0 0 2 8 】

表示パネル 1 0 0 は、さらに、複数のソース配線 4 1 と、複数のゲート配線 4 2 と、 F P C ( Flexible Printed Circuits ) 4 0 a , 4 0 b とを備える。

【 0 0 2 9 】

複数のソース配線 4 1 は、表示領域 R 1 0 において、垂直方向 ( Y 軸方向 ) に延在する。各ソース配線 4 1 は、データ信号を、対応する画素部に伝達する。

【 0 0 3 0 】

複数のゲート配線 4 2 は、表示領域 R 1 0 において、水平方向 ( X 軸方向 ) に延在する。各ゲート配線 4 2 は、データを蓄える画素部 ( 画素 ) を選択するために利用される。各ゲート配線 4 2 は、表示領域 R 1 0 内から回路部品実装領域 R 2 0 まで延在する。

30

【 0 0 3 1 】

なお、図 1 では、図を簡略化するために、複数のゲート配線 4 2 の一部と、複数のソース配線 4 1 の一部とが、回路部品実装領域 R 2 0 まで延在していないように示される。実際には、表示パネル 1 0 0 に含まれる複数のゲート配線 4 2 およびソース配線 4 1 は、回路部品実装領域 R 2 0 まで延在する。

【 0 0 3 2 】

回路部品実装領域 R 2 0 には、コンタクト領域が形成される。コンタクト領域には、 F P C 4 0 a , 4 0 b が接続される。

【 0 0 3 3 】

F P C 4 0 a , 4 0 b の各々には、ドライバー I C が実装される。また、 F P C 4 0 a , 4 0 b の各々には、後述の透明電極 5 2 が形成される。

40

【 0 0 3 4 】

図 2 は、本発明の実施の形態 1 に係る表示パネル 1 0 0 の断面図である。具体的には、図 2 は、図 1 の Y 1 - Y 2 線に沿った表示パネル 1 0 0 の断面図である。

【 0 0 3 5 】

図 1 および図 2 を参照して、表示パネル 1 0 0 は、さらに、液晶層 3 1 と、シール材 3 0 とを備える。

【 0 0 3 6 】

基板 1 0 は、アレイ状に形成された複数の T F T を有する T F T アレイ基板である。基

50

板 1 0 は、表示領域 R 1 0 と、回路部品実装領域 R 2 0 とを有する。また、基板 1 0 は、表示領域 R 1 0 内から回路部品実装領域 R 2 0 内まで延在するソース配線 4 1 を含む。すなわち、ソース配線 4 1 は、表示領域 R 1 0 内から回路部品実装領域 R 2 0 まで延在する。

【 0 0 3 7 】

基板 2 0 は、基板 1 0 と対向して配置される対向基板（カラーフィルター基板）である。

【 0 0 3 8 】

基板 1 0 と基板 2 0 とは、表示領域 R 1 0 の最外周のブラックマトリクス領域（BM領域）下で、シール材 3 0 により接続されている。すなわち、シール材 3 0 は、基板 1 0 と基板 2 0 とを接続する。シール材 3 0 は、Y 軸方向において、表示領域 R 1 0 と回路部品実装領域 R 2 0 との間に形成される。当該 Y 軸方向は、基板 1 0 の主面に沿った方向である。基板 1 0 の主面とは、基板 2 0 と対向する、基板 1 0 の面である。

10

【 0 0 3 9 】

図 3 は、本発明の実施の形態 1 に係る表示パネル 1 0 0 の一部を示す平面図である。具体的には、図 3 は、図 1 の Y 1 - Y 2 線の近傍の拡大図である。図 4 は、図 3 の Y 3 - Y 4 線に沿った表示パネル 1 0 0 の断面図である。

【 0 0 4 0 】

図 3 および図 4 を参照して、基板 1 0 は、ガラス基板 1 1 と、層間絶縁膜 1 2 と、パッシベーション膜 1 4 と、前述のソース配線 4 1 と、前述のゲート配線 4 2 と、後述の冗長パターン 6 1 とを含む。

20

【 0 0 4 1 】

ガラス基板 1 1 上には、ゲート配線 4 2（ゲート配線膜）が積層される。また、ガラス基板 1 1 上には、ゲート配線 4 2 および後述の冗長パターン 6 1 を覆うように層間絶縁膜 1 2 が積層される。層間絶縁膜 1 2 は、例えば、シリコン窒化膜である。

【 0 0 4 2 】

層間絶縁膜 1 2 上において、スイッチング素子である T F T を形成するためのアモルファスシリコン膜（図示せず）をパターンング後、ソース配線 4 1（ソース配線膜）が形成される。

【 0 0 4 3 】

後述の冗長パターン 6 1 およびソース配線 4 1 の各々は、所定方向（Y 軸方向）に延在する。また、冗長パターン 6 1 およびソース配線 4 1 の各々は、互いに近接して設けられる。ソース配線 4 1 上には、パッシベーション膜 1 4 および透明電極 5 2 が形成される。

30

【 0 0 4 4 】

対向基板としての基板 2 0 は、詳細は後述するが、図示しないブラックマトリクス層、色材層および透明電極等を含む。

【 0 0 4 5 】

基板 1 0 の表面および、当該基板 1 0 の表面に対向する、基板 2 0 の表面には、図示しない配向膜が塗布される。液晶層 3 1 は、基板 1 0 と基板 2 0 との間に設けられる。具体的には、液晶層 3 1 は、基板 1 0、基板 2 0 およびシール材 3 0 で構成される空間に設けられる。なお、図 4 では、液晶層 3 1 の存在を分かりやすくするために、液晶層 3 1 の厚みを誇張して示して示している。実際には、液晶層 3 1 の厚みは、基板 1 0、2 0 等の厚みよりも、大幅に薄い。そのため、基板 1 0 は、基板 2 0 の近傍に設けられる。

40

【 0 0 4 6 】

次に、T F T アレイ基板である基板 1 0 の製造工程について、図 5 および図 6 を用いて説明する。図 5 は、基板 1 0 全体を示す平面図である。図 5 において、基板 1 0 は、前述したように、表示領域 R 1 0 と、回路部品実装領域 R 2 0 とを有する。図 6 は、基板 1 0 の製造工程を示す断面図である。表示領域 R 1 0 の周辺には、回路部品実装領域 R 2 0 を含む周辺領域が設けられる。

【 0 0 4 7 】

50

まず、ゲート配線形成工程において、図6(a)に示すように、ガラス基板11上にゲート配線42を形成するために、スパッタ装置によりガラス基板11上に金属膜が成膜される。その後、写真製版装置により、レジスト塗布、パターン露光、現像が行われ、当該金属膜をエッチングにより加工することにより、表示領域R10に、ゲート配線42が形成される。

【0048】

このゲート配線形成工程において、ガラス基板11のうち、基板20の後述の切断ラインL1と対向する位置に、冗長パターン61が形成される。冗長パターン61は、ソース配線41が延在する方向(Y軸方向)に沿って延在する。冗長パターン61は、導体(例えば、金属)で構成される。

10

【0049】

その後、図6(b)に示すように、CVD装置にて、層間絶縁膜12(シリコン窒化膜)が形成される。次に、図6(c)に示すように、アモルファスシリコン層が成膜される。当該アモルファスシリコン層は、表示領域内の画素内のTFTを形成するための層である。そして、写真製版(レジスト塗布、パターン露光、現像、レジスト除去)、エッチングにより、アモルファスシリコン膜13が形成される。

【0050】

次に、図6(d)に示すように、ソース配線41を形成するために、スパッタ装置により金属膜が成膜される。その後、写真製版(レジスト塗布、パターン露光、現像、レジスト除去)、エッチングが行われることにより、ソース配線41(ソース配線膜)が形成される。これにより、基板20の切断ラインL1に対向する(相当する)箇所にて、前述のゲート配線形成工程で形成した冗長パターン61とソース配線41とが層間絶縁膜12の一部を挟んだ構造となる。

20

【0051】

図6(e)に示すように、さらに、CVD装置により、保護膜(絶縁膜)としてのパッシベーション膜14が成膜される。パッシベーション膜14は、例えば、シリコン窒化膜である。そして、写真製版(レジスト塗布、パターン露光、現像、レジスト除去)により、ゲート配線金属膜上、ソース配線41上にコンタクトホールが形成される。

【0052】

最後に、図6(f)に示すように、スパッタ装置により、透明電極膜が成膜され、表示領域の画素内の透明電極、回路部品実装領域R20のコンタクトホールに、透明電極52が形成される。以上により、図2および図6(f)に示すように、前述の冗長パターン61を含む基板10が形成される。

30

【0053】

その後、基板10と対向するように、図7の基板20n(対向基板)が設けられる。すなわち、基板20n(対向基板)は、基板10(TFTアレイ基板)と重ね合うように設けられる。ここで、基板20nは、回路部品実装領域R20を露出させるための当該基板20nの一部(領域R21)が切断される前の基板である。基板20nは、基板10と同じサイズである。基板20nは、基板10の回路部品実装領域R20と対向する領域R21を有する。領域R21の部分は、基板20nの不要な部分である。基板20nの領域R21は、ガラスを含む材料で構成される。

40

【0054】

次に、図8を用いて、回路部品実装領域R20を露出させるまでの工程について説明する。図8は、回路部品実装領域R20を露出させるまでの工程を説明するための図である。

【0055】

図8(a)に示すように、基板20n(対向基板)は、ガラス基板21、ブラックマトリクス領域22、色材層23および透明電極24から構成される。

【0056】

ブラックマトリクス領域22は、表示領域R10の周辺に設けられる。すなわち、ブラ

50



ックマトリクス領域 22 は、表示領域 R10 外に設けられる。

【0057】

基板 10 の表面および、当該基板 10 の表面に対向する、基板 20n の表面には、図示しない配向膜が塗布される。当該配向膜は、表示領域 R10 内の液晶層 31 の液晶の配向を定めるための膜である。配向膜が塗布された基板 10 および基板 20n の表面は、ラビング布にて処理される。なお、図 8 (a) では、配向膜塗布、ラビングは図示していない。

【0058】

次に、基板 20n のブラックマトリクス領域 22 にシール材 30 が塗布される。シール材 30 が塗布された基板 20n が、基板 10 (TFT アレイ基板) と重ね合うように配置される。これにより、図 8 (a) の構成となる。

10

【0059】

次に、切断工程が行われる。切断工程では、図 8 (b) に示すように、基板 10 の回路部品実装領域 R20 を露出させるために、基板 20n の一部に、鉛直方向に沿った切断ライン L1 を形成する。切断ライン L1 は、図 7 の領域 R21 の部分を切断するためのラインである。すなわち、切断ライン L1 は、回路部品実装領域 R20 を露出させるためのラインである。つまり、切断ライン L1 の Y 軸方向の位置は、回路部品実装領域 R20 の一方の端の位置である。前述したように、Y 軸方向は、基板 10 の主面に沿った方向である。

【0060】

20

そのため、切断ライン L1 は、基板 20n (基板 10) の主面に沿った方向 (Y 軸方向) において回路部品実装領域 R20 の端部近傍に配置される。すなわち、切断ライン L1 は、基板 20n (基板 10) の主面に沿った方向 (Y 軸方向) においてシール材 30 の位置の外側に配置される。切断ライン L1 は、ダイヤモンドカッター、ホイール装置等により形成される。

【0061】

切断ライン L1 を形成した後、図 8 (c) に示すように、切断ライン L1 を加圧することにより、領域 R21 の部分 (基板 20n の不要な部分) が切断される。以下においては、領域 R21 の部分を、端材 21n と表記する。なお、基板 20n のうち、領域 R21 の部分 (端材 21n) が切断されることにより、前述の基板 20 が形成される。すなわち、基板 20 は、基板 10 と対向して配置される基板 20n の一部 (端材 21n) が、切断ライン L1 に沿って切断されることにより形成されたものである。したがって、切断ライン L1 は、Y 軸方向において、基板 20 の端面の位置に相当する。

30

【0062】

以上により、図 8 (c)、図 3 および図 4 に示すように、基板 10 のうち、基板 20n の切断ライン L1 と対向する位置に、冗長パターン 61 が形成される。具体的には、冗長パターン 61 は、基板 10 の主面に沿った方向においてソース配線 41 の一部と重なる位置であって、かつ、基板 10 の厚み方向においてソース配線 41 と異なる位置に形成される。すなわち、冗長パターン 61 は、ソース配線 41 の近傍であって、かつ、切断ライン L1 に対応 (対向) する位置に形成される。

40

【0063】

なお、図 4 および図 8 (c) に示すように、冗長パターン 61 は、当該冗長パターン 61 の Y 軸方向の中心部の位置が、切断ライン L1 と対向する位置になるように設けられる。当該 Y 軸方向は、基板 10 の主面に沿った方向である。

【0064】

なお、冗長パターン 61 は、当該冗長パターン 61 の Y 軸方向の中心部の位置が、切断ライン L1 と対向する位置の近傍の位置になるように、設けられてもよい。

【0065】

この後、基板 10、基板 20 およびシール材 30 により形成される空間に、液晶が注入されることにより、液晶層 31 が形成される。これにより、表示パネル 100 が作製され

50

る。

【 0 0 6 6 】

なお、図 8 ( d ) に示すように、端材 2 1 n が切断される際に、端材 2 1 n が基板 1 0 に接触する場合がある。この場合、切断工程で発生した切り粉が堆積している基板 1 0 の表面部 ( パッシベーション膜 1 4 ) および当該パッシベーション膜 1 4 の下のソース配線 4 1 に対し、キズ 7 1 がつき、ソース配線 4 1 が断線する場合がある。すなわち、回路部品実装領域 R 2 0 および回路部品実装領域 R 2 0 の近傍は、断線等の不具合が発生する可能性が高い。

【 0 0 6 7 】

そこで、作製された表示パネル 1 0 0 は、回路部品実装領域 R 2 0 に回路部品が実装される前に、表示検査が行われる。この表示検査では、ソース配線 4 1 等の配線の断線等の不具合を見つけるための検査が実施される。

【 0 0 6 8 】

本実施の形態では、検査により、断線した配線、または、断線の発生の可能性のある配線等が検出された場合、リペア処理が行われる。

【 0 0 6 9 】

次に、本実施の形態において、断線等の不具合が検出された場合に行われるリペア処理について説明する。

【 0 0 7 0 】

ここで、図 9 に示すように、前述の切断工程において、ソース配線 4 1 を断線するキズ 7 1 が生じたとする。この場合、リペア処理では、レーザーリペア装置等が、基板 1 0 の裏面から、キズ 7 1 ( 断線箇所 ) を挟むソース配線 4 1 の 2 箇所それぞれに近接する、冗長パターン 6 1 の 2 箇所をレーザー光で照射する。これにより、冗長パターン 6 1 の一部が融解し、融解部 6 1 m が生じる。融解部 6 1 m により、キズ 7 1 を挟むソース配線 4 1 の 2 箇所が、冗長パターン 6 1 を介して、電氣的に接続される。すなわち、冗長パターン 6 1 は、断線箇所 ( キズ 7 1 ) を挟むソース配線 4 1 の 2 箇所それぞれに近接する、冗長パターン 6 1 の 2 箇所をレーザー光で照射されることにより、当該ソース配線 4 1 の 2 箇所を電氣的に接続する。つまり、冗長パターン 6 1 は、断線箇所接続用パターンである。

【 0 0 7 1 】

以上により、冗長パターン 6 1 は、当該冗長パターン 6 1 の近傍のソース配線 4 1 に断線箇所 ( キズ 7 1 ) が存在する場合、断線箇所 ( キズ 7 1 ) を挟むソース配線 4 1 の 2 箇所を電氣的に接続するために用いられる。すなわち、冗長パターン 6 1 は、ソース配線 4 1 の断線等の不具合の影響を回避するためのパターンである。

【 0 0 7 2 】

これにより、ソース配線 4 1 を断線するキズ 7 1 が発生した箇所を回避して、ソース配線 4 1 の断線が修復される。そのため、製造歩留の低下を抑制することが可能となる。

【 0 0 7 3 】

以上説明したように、本実施の形態によれば、回路部品実装領域 R 2 0 を有する基板 1 0 は、ソース配線 4 1 と、冗長パターン 6 1 とを含む。基板 2 0 は、基板 1 0 と対向して配置される基板 2 0 n の一部が、回路部品実装領域 R 2 0 を露出させるための切断ライン L 1 に沿って切断されることにより形成されたものである。ソース配線 4 1 は、表示領域 R 1 0 内から回路部品実装領域 R 2 0 まで延在する。冗長パターン 6 1 は、ソース配線 4 1 の近傍であって、かつ、基板 1 0 において、切断ライン L 1 に対応 ( 対向 ) する位置に形成される。

【 0 0 7 4 】

これにより、回路部品実装領域 R 2 0 の近傍において生じる可能性が高い、基板 1 0 に含まれる配線 ( 例えば、ソース配線 4 1 ) の断線等の不具合の影響を回避することができる。すなわち、回路部品実装領域 R 2 0 の近傍に生じる不具合の影響を回避することができる。

【 0 0 7 5 】

10

20

30

40

50

また、言い換えれば、本実施の形態の構成によれば、基板 10 の回路部品実装領域 R 20 を露出させるための切断ライン L 1 と対向する基板 10 に、冗長パターン 6 1 を設ける。冗長パターン 6 1 は、ソース配線 4 1 の近傍であって、かつ、切断ライン L 1 に対向（対応）する位置に形成される。また、冗長パターン 6 1 は、当該ソース配線 4 1 と、冗長パターン 6 1 との間に層間絶縁膜 1 2 を挟むように設けられる。

【0076】

この構成により、対向基板（基板 20 n）の切断工程において、切断された端材等によりソース配線 4 1 を断線するキズが発生した場合であっても、レーザーリペア等により、当該キズが発生した箇所を有するソース配線 4 1 の断線を修復することができる。これにより、表示パネルの特性の劣化、表示パネルの設計自由度を低減させることなく、断線等による製造歩留の低下を抑制することが可能となる。したがって、本実施の形態によれば、信頼性の高い表示パネルおよび当該表示パネルを含む表示装置を提供することができる。

10

【0077】

また、上記説明では、冗長パターン 6 1 は、ソース配線 4 1 に対する断線等の不具合の影響を回避するために形成されていた。すなわち、冗長パターン 6 1 は、ソース配線 4 1 に対応づけて形成されていたがこれに限定されない。冗長パターン 6 1 は、ゲート配線 4 2 に対応づけて形成するようにしてもよい。

【0078】

具体的には、冗長パターン 6 1 は、ソース配線 4 1 が延在する方向（Y 軸方向）に沿って延在するとしたがこれに限定されない。冗長パターン 6 1 は、ゲート配線 4 2 が延在する方向（X 軸方向）に沿って延在するように設けてもよい。この場合、冗長パターン 6 1 は、図 3 において、ソース配線 4 1 およびゲート配線 4 2 を、それぞれ、ゲート配線 4 2 およびソース配線 4 1 に置き換えた構成に設けられる。この構成の場合においても、上記と同様な効果を得ることができる。すなわち、ゲート配線 4 2 に、当該ゲート配線 4 2 を断線するキズが発生した場合であっても、図 9 で説明したりペア処理と同様な処理により、ゲート配線 4 2 の断線を修復することができる。

20

【0079】

なお、冗長パターン 6 1 の表面に識別マークを明記してもよい。図 10 は、識別マークを明記した冗長パターン 6 1 を示す図である。図 10（a）は、図 3 を簡略化して示した図である。図 10（b）は、冗長パターン 6 1 の表面に識別マーク 6 2 を明記した状態を示す図である。識別マーク 6 2 は、例えば、配線アドレスである。

30

【0080】

このように、冗長パターン 6 1 の表面に識別マークを明記することにより、配線の断線時における配線の修復とともに、識別マークを配線アドレスとして利用することも可能である。

【0081】

<実施の形態 2 >

図 11 は、本発明の実施の形態 2 に係る表示パネル 100 A の一部を示す平面図である。図 11 は、図 3 と同様に、表示パネル 100 A の一部を拡大した図である。図 12 は、図 11 の Y 5 - Y 6 線に沿った表示パネル 100 A の断面図である。なお、本実施の形態に係る表示装置は、表示パネル 100 A を含む。

40

【0082】

図 11 および図 12 を参照して、表示パネル 100 A は、実施の形態 1 に係る表示パネル 100 と比較して、冗長パターン 6 1 の代わりに冗長パターン 6 1 a を含む点が異なる。表示パネル 100 A のそれ以外の構成は、表示パネル 100 と同様なので詳細な説明は繰り返さない。

【0083】

冗長パターン 6 1 a は、図 4 の冗長パターン 6 1 と比較して、長さが異なる。冗長パターン 6 1 a のそれ以外の構成は、冗長パターン 6 1 と同様なので詳細な説明は繰り返さない。

50

い。

【0084】

冗長パターン61aは、冗長パターン61と同様に、前述のゲート配線形成工程において形成される。冗長パターン61aおよびソース配線41の各々は、所定方向（Y軸方向）に延在する。また、冗長パターン61およびソース配線41の各々は、互いに近接して設けられる。

【0085】

さらに、冗長パターン61aは、シール材30の位置を跨いで延在する。すなわち、冗長パターン61aは、回路部品実装領域R20内から表示領域R10内まで延在する。つまり、冗長パターン61aの一方の端部が、表示パネル100Aにおいて、シール材30の位置より、内側に配置される。したがって、冗長パターン61aに対するレーザー光によるダメージが大気中に曝され、腐食等の不具合が発生する可能性を低減させることができる。

10

【0086】

なお、図13に示すように、表示パネル100Aの製造途中の前述の切断工程において、ソース配線41を断線するキズ71が生じたとする。この場合、実施の形態1と同様に、リペア処理が行われる。すなわち、レーザーリペア装置等が、キズ71（断線箇所）を挟むソース配線41の2箇所それぞれにそれぞれ近接する、冗長パターン61aの2箇所をレーザー光で照射する。これにより、冗長パターン61aの一部が融解し、融解部61mが生じる。融解部61mにより、キズ71を挟むソース配線41の2箇所が、冗長パターン61aを介して、電氣的に接続される。すなわち、冗長パターン61aは、断線箇所（キズ71）を挟むソース配線41の2箇所それぞれにそれぞれ近接する、冗長パターン61aの2箇所をレーザー光で照射されることにより、当該ソース配線41の2箇所を電氣的に接続する。

20

【0087】

以上により、冗長パターン61aは、当該冗長パターン61aの近傍のソース配線41に断線箇所（キズ71）が存在する場合、断線箇所（キズ71）を挟むソース配線41の2箇所を電氣的に接続するために用いられる。すなわち、冗長パターン61aは、ソース配線41の断線等の不具合の影響を回避するためのパターンである。すなわち、冗長パターン61aは、ソース配線41の断線等の不具合の影響を回避するためのパターンである。

30

【0088】

これにより、ソース配線41を断線するキズ71が発生した箇所を回避して、ソース配線41の断線が修復される。そのため、製造歩留の低下を抑制することが可能となる。

【0089】

なお、実施の形態1の表示パネル100では、狭領域に、レーザー光による接続箇所を2箇所設ける必要がある。そのため、レーザー光による接続のための、ある程度の大きさの領域が必要になる。

【0090】

一方、本実施の形態では、図13に示すように、冗長パターン61aにおいてレーザー光が照射される2箇所は十分に離れている。そのため、レーザー光による接続のための領域を大きくする必要がない。そのため、表示パネル100のサイズの拡大を抑制することが可能となる。

40

【0091】

なお、本実施の形態の表示パネル100Aにおいても、実施の形態1と同様に、冗長パターン61aは、ソース配線41の代わりにゲート配線42に対応づけて形成されてもよい。すなわち、冗長パターン61aは、ゲート配線42の不具合の影響を回避するために、ゲート配線42が延在する方向（X軸方向）に沿って延在するように設けてもよい。

【0092】

<実施の形態3>

図14は、本発明の実施の形態3に係る表示パネル100Bの一部を示す平面図である

50

。図14は、図3と同様に、表示パネル100Bの一部を拡大した図である。図15は、図14のY7 - Y8線に沿った表示パネル100Bの断面図である。なお、本実施の形態に係る表示装置は、表示パネル100Bを含む。

【0093】

図14および図15を参照して、表示パネル100Bは、図12の表示パネル100Aと比較して、さらに、導電膜53, 54を含む点異なる。表示パネル100Bのそれ以外の構成は、表示パネル100Aと同様なので詳細な説明は繰り返さない。

【0094】

表示パネル100Bの基板10には、コンタクトホールh1, h2が形成される。コンタクトホールh1, h2は、図6(f)の状態の基板10のバッシベーション膜14および層間絶縁膜12に形成される。冗長パターン61aは、コンタクトホールh1, h2を介して、ソース配線41と電氣的に接続されている。なお、導電膜53, 54は、コンタクトホールh1, h2の形成後に、形成される。

【0095】

以下具体的に説明する。コンタクトホールh1には導電膜53が形成される。導電膜53は、冗長パターン61aの一方の端部とソース配線41とを電氣的に接続する。コンタクトホールh2には導電膜54が形成される。導電膜54は、冗長パターン61aの他方の端部とソース配線41とを電氣的に接続する。すなわち、冗長パターン61aと、ソース配線41とは、電氣的に並列接続されている。

【0096】

上記構成により、例えば、前述の切断工程において、ソース配線41のうち、切断ラインL1と対向する部分に、キズが生じたとする。この場合においても、キズを挟むソース配線41の2箇所が、導電膜53, 54および冗長パターン61aにより、電氣的に接続された状態が維持される。そのため、ソース配線41の断線を防止することができる。すなわち、本実施の形態における冗長パターン61aは、ソース配線41の断線等の不具合の影響を回避するためのパターンである。

【0097】

また、上記構成により、製造工程内での検査を不要にすることができる。また、市場で製品(表示パネル100Bを含む表示装置)が使用されても、断線の後れ発生を防止することができる。

【0098】

また、上記構成によれば、実施の形態1, 2のように、冗長パターン61を利用したレーザー光を用いたリペア処理を行う必要がない。そのため、レーザー光照射による照射部分のダメージの影響、レーザー光の接続による2箇所の金属のコンタクト特性の不安定性要因を排除することができる。その結果、本実施の形態によれば、実施の形態1, 2よりも、さらに高い信頼性のある表示パネルおよび当該表示パネルを含む表示装置を得ることが可能となる。

【0099】

なお、本実施の形態の表示パネル100Bにおいても、実施の形態1と同様、冗長パターン61aは、ソース配線41の代わりにゲート配線42に対応づけて形成されてもよい。すなわち、冗長パターン61aは、ゲート配線42の不具合の影響を回避するために、ゲート配線42が延在する方向(X軸方向)に沿って延在するように設けてもよい。この場合、導電膜53, 54は、冗長パターン61aの一方の端部および他方の端部を、ゲート配線42と電氣的に接続するように設けられる。

【0100】

<実施の形態4>

図16は、本発明の実施の形態4に係る表示パネル100Cの一部を示す平面図である。図16は、図3と同様に、表示パネル100Cの一部を拡大した図である。なお、図16では、図の簡略化のため、一部の構成要素(例えば、シール材30)を示していない。

【0101】

10

20

30

40

50

図17は、図16のY9 - Y10線に沿った表示パネル100Cの断面図である。なお、本実施の形態に係る表示装置は、表示パネル100Cを含む。

【0102】

図16および図17を参照して、表示パネル100Cは、図12の表示パネル100Aと比較して、冗長パターン61aの代わりに冗長パターン41aを含む点異なる。

【0103】

冗長パターン41aは、第1配線としてのソース配線41とは異なる接続配線(第2配線)である。冗長パターン41aは、基板10の厚み方向(Z軸方向)においてソース配線41と略同位置に形成される。冗長パターン41aは、ソース配線41における基板10の主面方向に沿って設けられる。すなわち、図16において、基板10のうち、切断ラインL1を挟む箇所の近傍には、冗長パターンを含む複数の配線が平面的に配置される。

10

【0104】

また、冗長パターン41aは、切断ラインL1の位置を跨ぐソース配線41の2箇所と電氣的に接続されている。具体的には、冗長パターン41aは、ソース配線41のうち切断ラインL1に対向する(対応する)部分(部分41x)を挟むソース配線41の2箇所と電氣的に接続されている。すなわち、冗長パターン41aは、ソース配線41と電氣的に並列接続される。

【0105】

これにより、冗長パターン41aは、ソース配線41のバイパスパターンとして機能する。すなわち、本実施の形態では、ソース配線41の一部にバイパスパターン(冗長パターン41a)を形成する。以上により、表示パネル100Cは、同一の配線層において複数の配線が並列接続された冗長構成を有する。

20

【0106】

以上の構成により、本実施の形態では、例えば、前述の切断工程において、ソース配線41の部分41x近傍にキズが発生したとしても、レーザー光によりリペア処理を行う必要がない。また、本実施の形態の構成では、実施の形態3のように、コンタクトホールを形成して、ソース配線41と冗長パターンとを接続する必要がない。したがって、本実施の構成によれば、実施の形態3よりも、特性が安定し、高い信頼性のある表示パネルおよび当該表示パネルを含む表示装置を得ることが可能となる。

【0107】

なお、上記において、配線(ソース配線41)の一部にバイパスパターン(冗長パターン41a)を形成する構成としたが、この構成に限定されない。例えば、冗長パターン41aの一方の端部は、ソース配線41と接続しない構成としてもよい。この構成において、断線等の不具合が発生した場合、前述のリペア処理と同様に、冗長パターン41aの一方の端部にレーザー光を照射し、冗長パターン41aの一方の端部とソース配線41とを接続する。これより、実施の形態1と同様な効果を得ることができる。

30

【0108】

なお、本実施の形態の表示パネル100Cにおいても、実施の形態1と同様、冗長パターン41aは、ソース配線41の代わりにゲート配線42に対応づけて形成されてもよい。すなわち、冗長パターン41aは、ゲート配線42の不具合の影響を回避するために、ゲート配線42に対応づけて形成してもよい。具体的には、冗長パターン41aの一方の端部および他方の端部は、ゲート配線42と電氣的に接続する構成としてもよい。

40

【0109】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【産業上の利用可能性】

【0110】

本発明は、回路部品実装領域の近傍に生じる不具合の影響を回避することが可能な表示パネルとして、利用することができる。

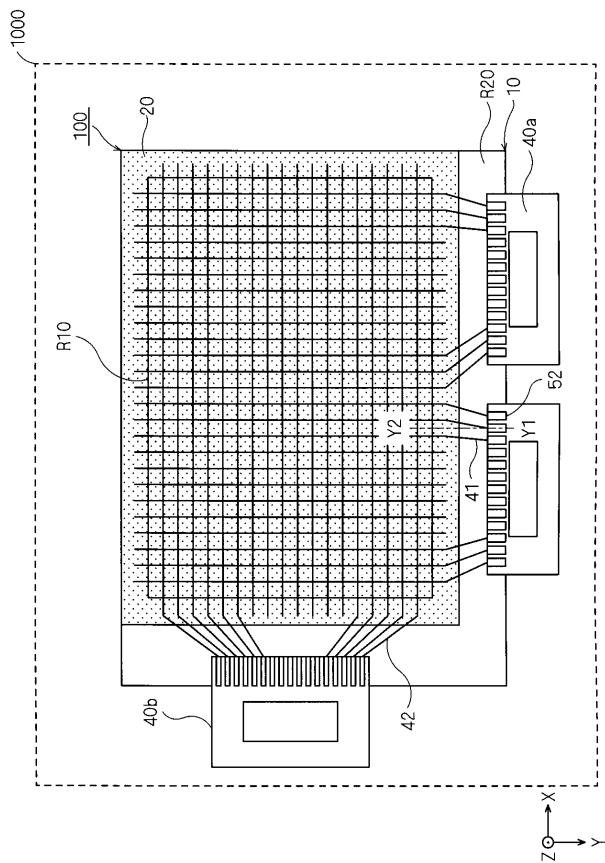
【符号の説明】

50

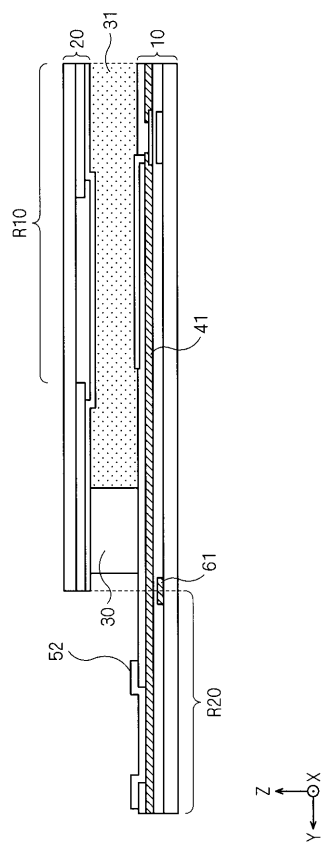
【 0 1 1 1 】

10, 20, 20n 基板、41 ソース配線、41a, 61, 61a 冗長パターン、42 ゲート配線、53, 54 導電膜、100, 100A, 100B, 100C 表示パネル、1000 表示装置。

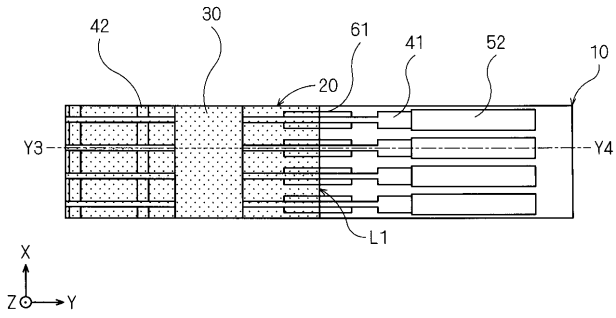
【 図 1 】



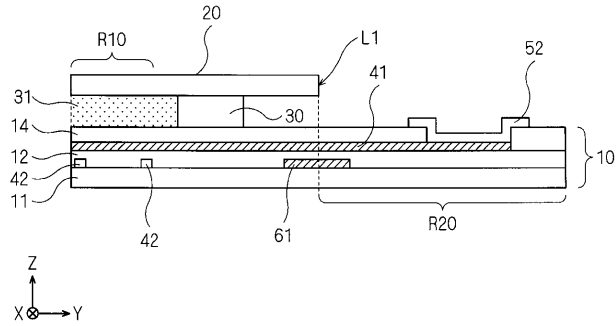
【 図 2 】



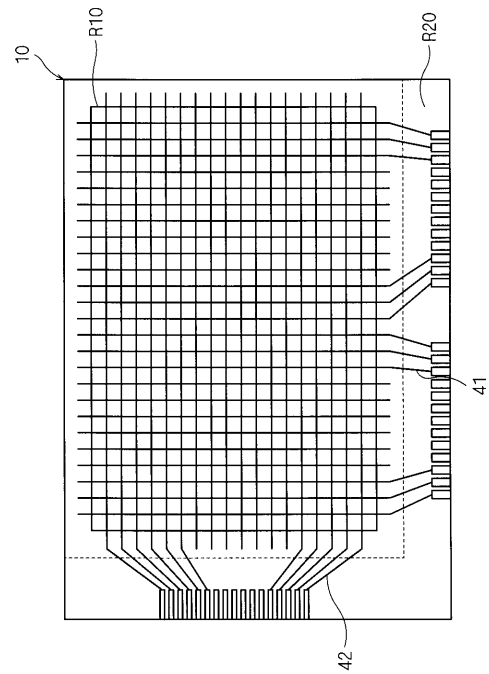
【 図 3 】



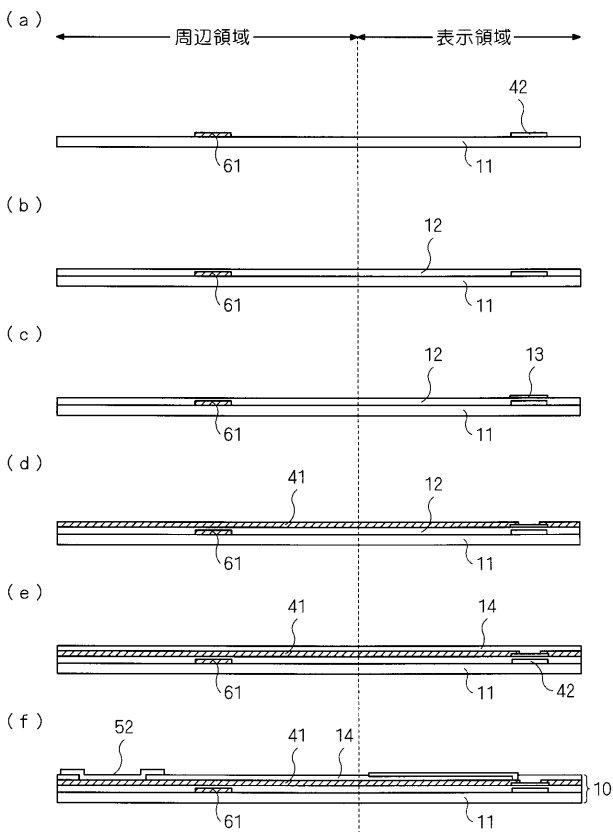
【 図 4 】



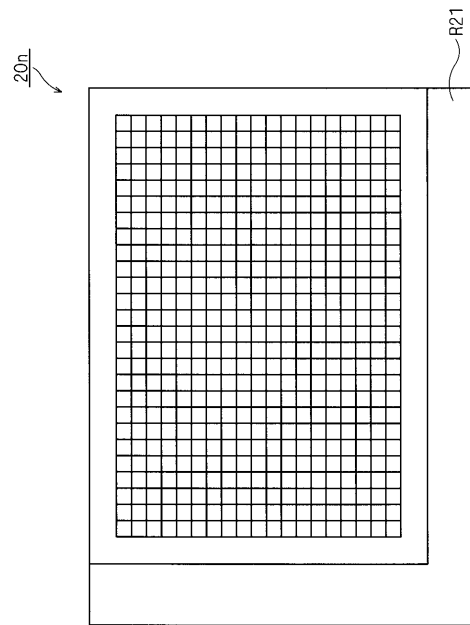
【 図 5 】



【 図 6 】

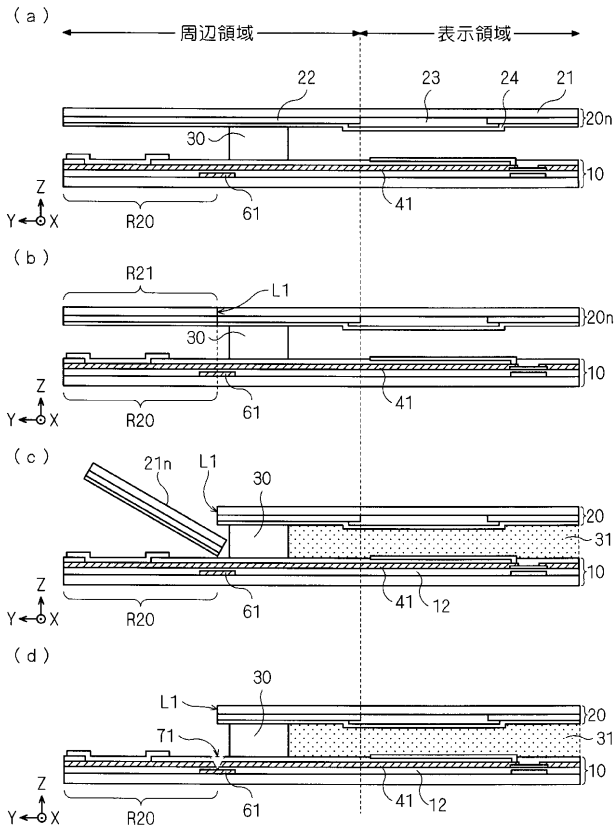


【 図 7 】

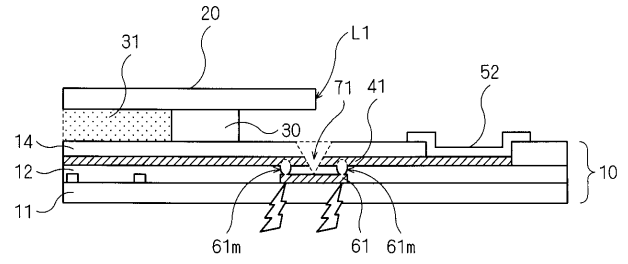




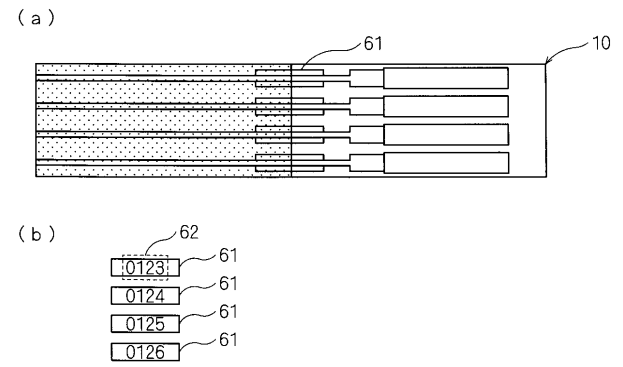
【 図 8 】



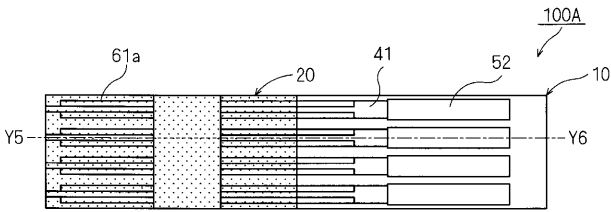
【 図 9 】



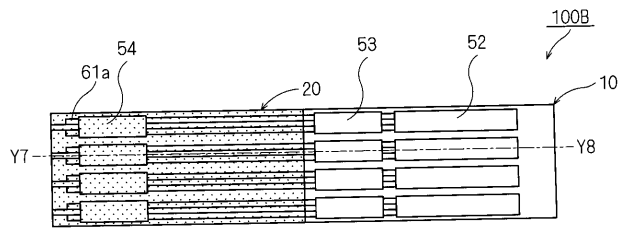
【 図 10 】



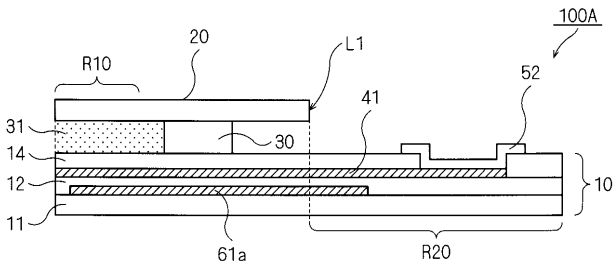
【 図 11 】



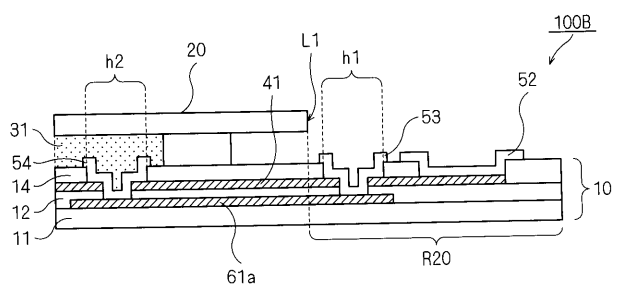
【 図 14 】



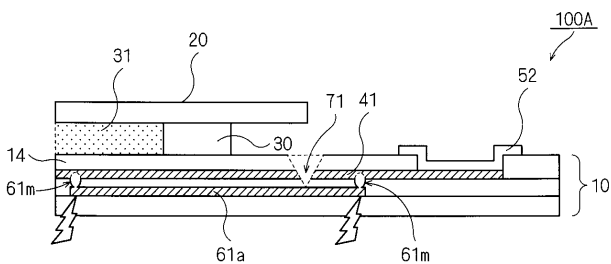
【 図 12 】



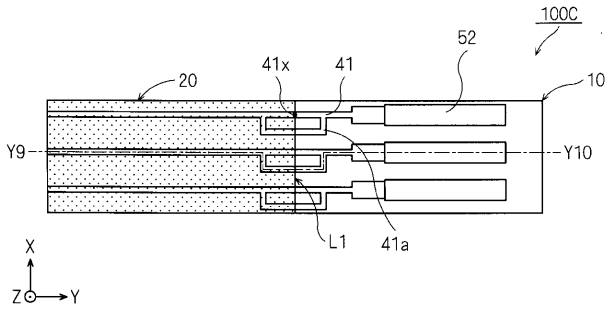
【 図 15 】



【 図 13 】



【 図 1 6 】



【 図 1 7 】

