

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年7月4日(2013.7.4)

【公開番号】特開2011-8779(P2011-8779A)

【公開日】平成23年1月13日(2011.1.13)

【年通号数】公開・登録公報2011-002

【出願番号】特願2010-121728(P2010-121728)

【国際特許分類】

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/00 5 6 4 D

G 06 F 12/00 5 6 4 C

G 06 F 12/00 5 9 7 C

【手続補正書】

【提出日】平成25年5月17日(2013.5.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電気的に接続するメモリインターフェースとを含むメモリシステムであって、

前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線とを含み、

前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックに同期して出力を開始し、1番目からN-1番目のデータについては2番目からN番目のリードクロックにそれぞれ同期して出力を停止し、N番目のデータについてはN番目のリードクロックの出力停止から第1の所定時間経過後に出力を停止し、

前記メモリコントローラは、1番目からN-1番目のデータについては2番目からN番目のリードクロックにそれぞれ同期して取り込み、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込み、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定することを特徴とするメモリシステム。

【請求項2】

前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックの立下りエッジまたは立上りエッジから第2の所定時間以内に出力を開始し、1番目からN-1番目のデータについてはそれぞれ2番目からN番目のリードクロックの立下りエッジまたは立上りエッジから第3の所定時間以内に出力を停止し、N番目のデータについてはN番目のリードクロックの出力停止から前記第1の所定時間経過後に出力を停止することを特徴とする請求項1記載のメモリシステム。

【請求項3】

前記メモリコントローラは、1番目からN-1番目のリードクロックの周期を、前記第2の所定時間から第3の所定時間を減じた時間よりも大きくなるように制御することを特

徴とする請求項 2 記載のメモリシステム。

【請求項 4】

前記メモリコントローラは、1番目からN-1番目のリードクロックの周期を、前記第2の所定時間の2倍の時間よりも小さく、かつ前記第2の所定時間よりも大きくなるように制御することを特徴とする請求項2記載のメモリシステム。

【請求項 5】

前記メモリコントローラは、1番目からN-1番目のデータについては2番目からN番目のリードクロックの立下りエッジまたは立上りエッジに同期して取り込むことを特徴とする請求項1記載のメモリシステム。

【請求項 6】

前記メモリコントローラは、N番目のデータについてはN番目のリードクロックの出力完了時のエッジに同期して取り込むことを特徴とする請求項1記載のメモリシステム。

【請求項 7】

メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電気的に接続するメモリインターフェースとを含むメモリシステムであって、

前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線と、前記クロック線を介して前記メモリに到達したリードクロックを前記メモリコントローラに、戻りリードクロックとして戻す戻りクロック線とを含み、

前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックに同期して出力を開始し、1番目からN-1番目のデータについては2番目からN番目のリードクロックにそれぞれ同期して出力を停止し、N番目のデータについてはN番目のリードクロックの出力停止から第1の所定時間経過後に出力を停止し、

前記メモリコントローラは、1番目からN-1番目のデータについては2番目からN番目の戻りリードクロックにそれぞれ同期して取り込み、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込み、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定することを特徴とするメモリシステム。

【請求項 8】

前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックの立下りエッジまたは立上りエッジから第2の所定時間以内に出力を開始し、1番目からN-1番目のデータについてはそれぞれ2番目からN番目のリードクロックの立下りエッジまたは立上りエッジから第3の所定時間以内に出力を停止し、N番目のデータについてはN番目のリードクロックの出力停止から前記第1の所定時間経過後に出力を停止することを特徴とする請求項7記載のメモリシステム。

【請求項 9】

前記メモリコントローラは、1番目からN-1番目のリードクロックの周期を、前記第2の所定時間から第3の所定時間を減じた時間よりも大きくなるように制御することを特徴とする請求項8記載のメモリシステム。

【請求項 10】

前記メモリコントローラは、1番目からN-1番目のリードクロックの周期を、前記第2の所定時間の2倍の時間よりも小さく、かつ前記第2の所定時間よりも大きくなるように制御することを特徴とする請求項8記載のメモリシステム。

【請求項 11】

前記メモリコントローラは、1番目からN-1番目のデータについては2番目からN番目の戻りリードクロックの立下りエッジまたは立上りエッジに同期して取り込むことを特徴とする請求項7記載のメモリシステム。

【請求項 12】

前記メモリコントローラは、N番目のデータについてはN番目のリードクロックの出力完了時のエッジに同期して取り込むことを特徴とする請求項7記載のメモリシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

上記課題を解決するために、第1の態様のメモリシステムは、メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電気的に接続するメモリインターフェースとを含む。前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線とを含み、前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックに同期して出力を開始し、1番目からN-1番目のデータについては、2番目からN番目のリードクロックにそれぞれ同期して出力を停止し、N番目のデータについては、N番目のリードクロックの出力停止から第1の所定時間経過後に出力を停止し、前記メモリコントローラは、1番目からN-1番目のデータについては2番目からN番目のリードクロックにそれぞれ同期して取り込み、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込み、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

また、第2の態様のメモリシステムは、メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電気的に接続するメモリインターフェースとを含む。前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線と、前記クロック線を介して前記メモリに到達したリードクロックを前記メモリコントローラに、戻りリードクロックとして戻す戻りクロック線とを含み、前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックに同期して出力を開始し、1番目からN-1番目のデータについては、2番目からN番目のリードクロックにそれぞれ同期して出力を停止し、N番目のデータについては、N番目のリードクロックの出力停止から第1の所定時間経過後に出力を停止し、前記メモリコントローラは、1番目からN-1番目のデータについては、2番目からN番目の戻りリードクロックにそれぞれ同期して取り込み、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込み、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

メモリコントローラ102は、その後、コマンドイネーブル線111に“H”信号、アドレスイネーブル線112に“L”信号を出力している時、ライトクロック線113にライトクロックを出力する。また、メモリコントローラ102は、ライトクロックの立上りエッジのタイミングで、時間t202、t203、t204で指定した読み出し対象アドレスのデータの出力を指示するコマンドをデータ線115に出力する(t205)。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

メモリ101は、時間t301のリードクロック1の立下りエッジを基準にして出力を開始したデータ1を、時間t303のリードクロック2の立下りエッジを基準にしてtROH(読み出し出力保持時間)後の時間t304までデータ線115に保持する(時間t304にデータ線115への出力を停止する)。メモリ101は、時間t303のリードクロック2の立下りエッジを基準にして、tREA時間後のt305までに、データ線115にデータ2の出力を開始する。したがって、本質的に次式の関係がある。

$$tROH < tREA$$

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

メモリ101は、時間t306の最後のリードクロック5の立下りエッジを基準にして、tREA後の時間t308までにデータ5の出力を開始する。メモリ101は、このデータ5を、時間t307のリードクロック5の立上りエッジを基準にしてtRHZ(読み出し出力高抵抗時間:データ線への出力を停止する時間)後のt309までデータ線115に保持する(t309にデータ線115への出力を停止する)。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

入力回路403は、カウンタ404から最終データであるとの通知を受けるまでは、戻りリードクロック線116の戻りリードクロックに同期して、データ線115からデータを取り込み、カウンタ404から最終データであるとの通知を受けると、リードクロック線114のリードクロックに同期して、データ線115からデータを取り込む。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

メモリ101は、5番目のデータ(データ5)を、5番目のリードクロックの立上り(時間t711)からtREAが経過した時点から、リードクロックの立上りのタイミング(時間t713)からtRHZ(図3参照)が経過するまでの間、データ線115に保持する(tRHZが経過したときにデータ線115への出力を停止する)。ここで、本実施

形態では、上述のように5番目のリードクロックの“L”期間（出力期間（Tm2））を1～4番目のリードクロックの“L”期間（出力期間（Tm1））よりも長くしているので（最後のリードクロックのサイクルタイムを長くしているので），“L”期間（出力期間（Tm2））を長くしない場合よりも、5番目のデータ（データ5）をデータ線115に長い期間保持させることができる（出力可能とすることができます）。これにより、メモリコントローラ102がメモリ101からデータを取り込むことが可能な期間が増加することとなる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

以上説明したように、本実施形態のメモリシステムによれば、メモリコントローラ102がメモリ101から連続してN個（本実施形態ではN=5）のデータを読み出す際、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込む。また、メモリコントローラ102は、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定する。これにより、“L”期間（出力期間（Tm2））を長くしない場合よりも、5番目のデータ（データ5）をデータ線115に長い期間保持させることができます（出力可能とすることができます）。つまり、メモリコントローラ102がメモリ101からデータを取り込むことが可能な期間が増加することとなる。本実施形態では、N番目のリードクロックの立上りのタイミングを、N番目のデータのデータ線115への出力可能な期間内に設定し、これにより、N番目のリードクロックの立上りを利用して、N番目のデータを取り込むようにしている。なお、N番目のデータのデータ線115への出力可能な期間内に、N番目のリードクロックの立上り以外の信号を利用して、N番目のデータを取り込むこともできる。例えば、N番目のリードクロックの立上り以外の信号として、例えばメモリコントローラ102内部のクロックを利用して生成したクロックや、N個目のリードクロックの立下りからtREA以上の所定時間が経過したときに発生させた任意の信号を利用することができます。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

また、本実施形態のメモリシステムによれば、1番目のデータからN-1番目のデータについては戻りリードクロックに同期して取り込むので、メモリ101とメモリコントローラ102との間でリードクロックやデータの伝送に遅延が発生する場合でも、メモリから出力されたデータをメモリコントローラが取り込むことが可能となる。