

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 25 年 7 月 4 日 (2013.7.4)

【公開番号】特開 2011-8779 (P2011-8779A)
 【公開日】平成 23 年 1 月 13 日 (2011.1.13)
 【年通号数】公開・登録公報 2011-002
 【出願番号】特願 2010-121728 (P2010-121728)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/00 5 6 4 D

G 0 6 F 12/00 5 6 4 C

G 0 6 F 12/00 5 9 7 C

【手続補正書】
 【提出日】平成 25 年 5 月 17 日 (2013.5.17)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電氣的に接続するメモリインターフェースとを含むメモリシステムであって、

前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線とを含み、

前記メモリは、N 個のデータを出力する際、前記メモリコントローラから連続的に出力される 1 番目から N 番目のリードクロックに同期して出力を開始し、1 番目から N - 1 番目のデータについては 2 番目から N 番目のリードクロックにそれぞれ同期して出力を停止し、N 番目のデータについては N 番目のリードクロックの出力停止から第 1 の所定時間経過後に出力を停止し、

前記メモリコントローラは、1 番目から N - 1 番目のデータについては 2 番目から N 番目のリードクロックにそれぞれ同期して取り込み、N 番目のデータについては N 番目のリードクロックによる N 番目のデータの出力開始後 N 番目のデータの出力停止までの間に取り込み、N 番目のリードクロックの出力期間を 1 番目から N - 1 番目のリードクロックの出力期間よりも長く設定することを特徴とするメモリシステム。

【請求項 2】

前記メモリは、N 個のデータを出力する際、前記メモリコントローラから連続的に出力される 1 番目から N 番目のリードクロックの立下りエッジまたは立上りエッジから第 2 の所定時間以内に出力を開始し、1 番目から N - 1 番目のデータについてはそれぞれ 2 番目から N 番目のリードクロックの立下りエッジまたは立上りエッジから第 3 の所定時間以内に出力を停止し、N 番目のデータについては N 番目のリードクロックの出力停止から前記第 1 の所定時間経過後に出力を停止することを特徴とする請求項 1 記載のメモリシステム。

【請求項 3】

前記メモリコントローラは、1 番目から N - 1 番目のリードクロックの周期を、前記第 2 の所定時間から第 3 の所定時間を減じた時間よりも大きくなるように制御することを特

徴とする請求項 2 記載のメモリシステム。

【請求項 4】

前記メモリコントローラは、1 番目から N - 1 番目のリードクロックの周期を、前記第 2 の所定時間の 2 倍の時間よりも小さく、かつ前記第 2 の所定時間よりも大きくなるように制御することを特徴とする請求項 2 記載のメモリシステム。

【請求項 5】

前記メモリコントローラは、1 番目から N - 1 番目のデータについては 2 番目から N 番目のリードクロックの立下りエッジまたは立上りエッジに同期して取り込むことを特徴とする請求項 1 記載のメモリシステム。

【請求項 6】

前記メモリコントローラは、N 番目のデータについては N 番目のリードクロックの出力完了時のエッジに同期して取り込むことを特徴とする請求項 1 記載のメモリシステム。

【請求項 7】

メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電氣的に接続するメモリインターフェースとを含むメモリシステムであって、

前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線と、前記クロック線を介して前記メモリに到達したリードクロックを前記メモリコントローラに、戻りリードクロックとして戻す戻りクロック線とを含み、

前記メモリは、N 個のデータを出力する際、前記メモリコントローラから連続的に出力される 1 番目から N 番目のリードクロックに同期して出力を開始し、1 番目から N - 1 番目のデータについては 2 番目から N 番目のリードクロックにそれぞれ同期して出力を停止し、N 番目のデータについては N 番目のリードクロックの出力停止から第 1 の所定時間経過後に出力を停止し、

前記メモリコントローラは、1 番目から N - 1 番目のデータについては 2 番目から N 番目の戻りリードクロックにそれぞれ同期して取り込み、N 番目のデータについては N 番目のリードクロックによる N 番目のデータの出力開始後 N 番目のデータの出力停止までの間に取り込み、N 番目のリードクロックの出力期間を 1 番目から N - 1 番目のリードクロックの出力期間よりも長く設定することを特徴とするメモリシステム。

【請求項 8】

前記メモリは、N 個のデータを出力する際、前記メモリコントローラから連続的に出力される 1 番目から N 番目のリードクロックの立下りエッジまたは立上りエッジから第 2 の所定時間以内に出力を開始し、1 番目から N - 1 番目のデータについてはそれぞれ 2 番目から N 番目のリードクロックの立下りエッジまたは立上りエッジから第 3 の所定時間以内に出力を停止し、N 番目のデータについては N 番目のリードクロックの出力停止から前記第 1 の所定時間経過後に出力を停止することを特徴とする請求項 7 記載のメモリシステム。

【請求項 9】

前記メモリコントローラは、1 番目から N - 1 番目のリードクロックの周期を、前記第 2 の所定時間から第 3 の所定時間を減じた時間よりも大きくなるように制御することを特徴とする請求項 8 記載のメモリシステム。

【請求項 10】

前記メモリコントローラは、1 番目から N - 1 番目のリードクロックの周期を、前記第 2 の所定時間の 2 倍の時間よりも小さく、かつ前記第 2 の所定時間よりも大きくなるように制御することを特徴とする請求項 8 記載のメモリシステム。

【請求項 11】

前記メモリコントローラは、1 番目から N - 1 番目のデータについては 2 番目から N 番目の戻りリードクロックの立下りエッジまたは立上りエッジに同期して取り込むことを特徴とする請求項 7 記載のメモリシステム。

【請求項 12】

前記メモリコントローラは、N番目のデータについてはN番目のリードクロックの出力完了時のエッジに同期して取り込むことを特徴とする請求項7記載のメモリシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

上記課題を解決するために、第1の態様のメモリシステムは、メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電氣的に接続するメモリインターフェースとを含む。前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線とを含み、前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックに同期して出力を開始し、1番目からN-1番目のデータについては、2番目からN番目のリードクロックにそれぞれ同期して出力を停止し、N番目のデータについては、N番目のリードクロックの出力停止から第1の所定時間経過後に出力を停止し、前記メモリコントローラは、1番目からN-1番目のデータについては2番目からN番目のリードクロックにそれぞれ同期して取り込み、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込み、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

また、第2の態様のメモリシステムは、メモリと、メモリコントローラと、前記メモリと前記メモリコントローラとを電氣的に接続するメモリインターフェースとを含む。前記メモリインターフェースは、データの転送を行うために前記メモリが駆動するデータ線と、前記メモリから前記データ線へのデータ出力のタイミングを制御するためのリードクロックが伝送され、前記メモリコントローラが駆動するクロック線と、前記クロック線を介して前記メモリに到達したリードクロックを前記メモリコントローラに、戻りリードクロックとして戻す戻りクロック線とを含み、前記メモリは、N個のデータを出力する際、前記メモリコントローラから連続的に出力される1番目からN番目のリードクロックに同期して出力を開始し、1番目からN-1番目のデータについては、2番目からN番目のリードクロックにそれぞれ同期して出力を停止し、N番目のデータについては、N番目のリードクロックの出力停止から第1の所定時間経過後に出力を停止し、前記メモリコントローラは、1番目からN-1番目のデータについては、2番目からN番目の戻りリードクロックにそれぞれ同期して取り込み、N番目のデータについてはN番目のリードクロックによるN番目のデータの出力開始後N番目のデータの出力停止までの間に取り込み、N番目のリードクロックの出力期間を1番目からN-1番目のリードクロックの出力期間よりも長く設定する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【 0 0 3 6 】

メモリコントローラ 1 0 2 は、その後、コマンドイネーブル線 1 1 1 に “ H ” 信号、アドレスイネーブル線 1 1 2 に “ L ” 信号を出力している時、ライトクロック線 1 1 3 にライトクロックを出力する。また、メモリコントローラ 1 0 2 は、ライトクロックの立上りエッジのタイミングで、時間 t_{202} 、 t_{203} 、 t_{204} で指定した読み出し対象アドレスのデータの出力を指示するコマンドをデータ線 1 1 5 に出力する (t_{205})。

【 手続補正 5 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 4 2

【 補正方法 】 変更

【 補正の内容 】

【 0 0 4 2 】

メモリ 1 0 1 は、時間 t_{301} のリードクロック 1 の立下りエッジを基準にして出力を開始したデータ 1 を、時間 t_{303} のリードクロック 2 の立下りエッジを基準にして t_{ROH} (読み出し出力保持時間) 後の時間 t_{304} までデータ線 1 1 5 に保持する (時間 t_{304} にデータ線 1 1 5 への出力を停止する)。メモリ 1 0 1 は、時間 t_{303} のリードクロック 2 の立下りエッジを基準にして、 t_{REA} 時間後の t_{305} までに、データ線 1 1 5 にデータ 2 の出力を開始する。したがって、本質的に次式の関係がある。

$$t_{ROH} < t_{REA}$$

【 手続補正 6 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 4 5

【 補正方法 】 変更

【 補正の内容 】

【 0 0 4 5 】

メモリ 1 0 1 は、時間 t_{306} の最後のリードクロック 5 の立下りエッジを基準にして、 t_{REA} 後の時間 t_{308} までにデータ 5 の出力を開始する。メモリ 1 0 1 は、このデータ 5 を、時間 t_{307} のリードクロック 5 の立上りエッジを基準にして t_{RHZ} (読み出し出力高抵抗時間: データ線への出力を停止する時間) 後の t_{309} までデータ線 1 1 5 に保持する (t_{309} にデータ線 1 1 5 への出力を停止する)。

【 手続補正 7 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 5 2

【 補正方法 】 変更

【 補正の内容 】

【 0 0 5 2 】

入力回路 4 0 3 は、カウンタ 4 0 4 から最終データであることの通知を受けるまでは、戻りリードクロック線 1 1 6 の 戻り リードクロックに同期して、データ線 1 1 5 からデータを取り込み、カウンタ 4 0 4 から最終データであることの通知を受けると、リードクロック線 1 1 4 のリードクロックに同期して、データ線 1 1 5 からデータを取り込む。

【 手続補正 8 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 8 5

【 補正方法 】 変更

【 補正の内容 】

【 0 0 8 5 】

メモリ 1 0 1 は、5 番目のデータ (データ 5) を、5 番目のリードクロックの立上り (時間 t_{711}) から t_{REA} が経過した時点から、リードクロックの立上りのタイミング (時間 t_{713}) から t_{RHZ} (図 3 参照) が経過するまでの間、データ線 1 1 5 に保持する (t_{RHZ} が経過したときにデータ線 1 1 5 への出力を停止する)。ここで、本実施

形態では、上述のように 5 番目のリードクロックの“L”期間（出力期間（ T_{m2} ））を 1～4 番目のリードクロックの“L”期間（出力期間（ T_{m1} ））よりも長くしている（最後のリードクロックのサイクルタイムを長くしている）、“L”期間（出力期間（ T_{m2} ））を長くしない場合よりも、5 番目のデータ（データ 5）をデータ線 115 に長い期間保持させることができる（出力可能とすることができる）。これにより、メモリコントローラ 102 がメモリ 101 からデータを取り込むことが可能な期間が増加することとなる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

以上説明したように、本実施形態のメモリシステムによれば、メモリコントローラ 102 がメモリ 101 から連続して N 個（本実施形態では $N = 5$ ）のデータを読み出す際、 N 番目のデータについては N 番目のリードクロックによる N 番目のデータの出力開始後 N 番目のデータの出力停止までの間に取り込む。また、メモリコントローラ 102 は、 N 番目のリードクロックの出力期間を 1 番目から $N - 1$ 番目のリードクロックの出力期間よりも長く設定する。これにより、“L”期間（出力期間（ T_{m2} ））を長くしない場合よりも、5 番目のデータ（データ 5）をデータ線 115 に長い期間保持させることができる（出力可能とすることができる）。つまり、メモリコントローラ 102 がメモリ 101 からデータを取り込むことが可能な期間が増加することとなる。本実施形態では、 N 番目のリードクロックの立上りのタイミングを、 N 番目のデータのデータ線 115 への出力可能な期間内に設定し、これにより、 N 番目のリードクロックの立上りを利用して、 N 番目のデータを取り込むようにしている。なお、 N 番目のデータのデータ線 115 への出力可能な期間内に、 N 番目のリードクロックの立上り以外の信号を利用して、 N 番目のデータを取り込むこともできる。例えば、 N 番目のリードクロックの立上り以外の信号として、例えばメモリコントローラ 102 内部のクロックを利用して生成したクロックや、 N 個目のリードクロックの立下りから t_{REA} 以上の所定時間が経過したときに発生させた任意の信号を利用することができる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

また、本実施形態のメモリシステムによれば、1 番目のデータから $N - 1$ 番目のデータについては戻りリードクロックに同期して取り込むので、メモリ 101 とメモリコントローラ 102 との間でリードクロックやデータの伝送に遅延が発生する場合でも、メモリから出力されたデータをメモリコントローラが取り込むことが可能となる。