



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0041237
(43) 공개일자 2012년04월30일

- (51) 국제특허분류(Int. Cl.)
H01L 29/41 (2006.01) *H01L 29/772* (2006.01)
H01L 29/20 (2006.01)
- (21) 출원번호 10-2012-7005615
- (22) 출원일자(국제) 2010년08월04일
심사청구일자 없음
- (85) 번역문제출일자 2012년03월02일
- (86) 국제출원번호 PCT/CA2010/001202
- (87) 국제공개번호 WO 2011/014951
국제공개일자 2011년02월10일
- (30) 우선권주장
61/231,139 2009년08월04일 미국(US)

- (71) 출원인
겐 시스템즈 임크.
캐나다 케이2케이 2이2 온타리오주 오타와 #400
마치 로드 300
- (72) 발명자
로버츠 존
캐나다 케이1엘 0에이5 온타리오주 오타와 에이피
티. 피에이치10 노스 리버 로드 411
미잔 아흐마드
캐나다 케이2씨 1엔5 온타리오주 오타와
에이피티. 708 프린스 오브 웨일즈 드라이브 1435
(뒷면에 계속)
- (74) 대리인
안국찬, 양영준

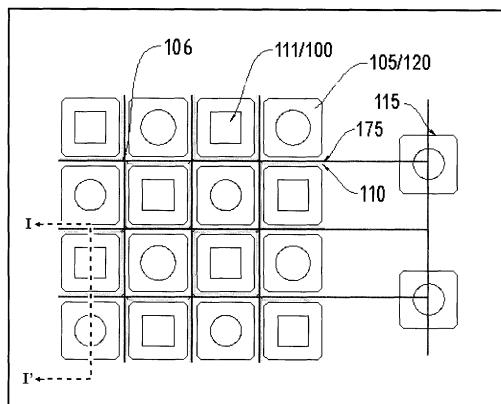
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 아일랜드 매트릭스 갈륨 나이트라이드 마이크로파 및 전력 트랜지스터

(57) 요 약

본 발명의 갈륨 나이트라이드(GaN) 장치는 이미 개시된 GaN 장치보다 단위 면적당 더욱 우수한 전류 취급 능력을 갖는다. 이러한 개선은 개선된 레이아웃 토폴로지로 인한 것이다. 평거 전극이 아니라 아일랜드 전극을 사용하는 레이아웃 개념은 종래의 맞물림 구조의 그것을 넘어 액티브 영역 밀도를 증가시키는 것으로 나타난다. 매우 낮은 온 저항 트랜지스터가 아일랜드 토폴로지를 사용하여 제작될 수 있다. 구체적으로, 종래의 GaN 측방향 기술 및 전극 이격을 사용하는 본 발명은 모든 측방향 GaN 구조물의 비용/효과적인 성능을 개선하는 수단을 제공한다.

대 표 도 - 도2



(72) 발명자

페터슨 거반

캐나다 케이2에이 2더블유4 온타리오주 오타와 윈
더미어 애비뉴 545

클로워 그레그

캐나다 케이2케이 2엠6 온타리오주 오타와 셔크 크
레센트 51

특허청구의 범위

청구항 1

나이트라이드 반도체 장치이며,

a) 기판,

b) 기판의 주 표면상에 형성된 나이트라이드 반도체 층,

c) 나이트라이드 반도체 층의 모든 실현가능한 영역 내에 2차원 액티브 영역을 생성하기 위해 교대로 배열되도록 서로로부터 이격된 복수의 제1 아일랜드 전극 및 복수의 제2 아일랜드 전극,

d) 나이트라이드 반도체 층상에서 각각의 제1 아일랜드 전극 및 각각의 제2 아일랜드 전극 사이의 영역 내에 형성되고, 다중 아일랜드 전계 효과 트랜지스터의 게이트 전극으로 작용하는 복수의 스트립 전극으로써, 아일랜드 전극들 각각이 전계 효과 트랜지스터의 드레인 전극 또는 소스 전극 중 하나인, 복수의 스트립 전극, 및

e) 각각의 소스 전극 및 각각의 드레인 전극의 표면상의 볼 연결부를 구비한 복수의 볼 연결부를 포함하는 나이트라이드 반도체 장치.

청구항 2

제1항에 있어서,

각각의 소스 전극의 표면상의 볼 연결부는 비아에 의해 대체되며, 기판은 전도성인

나이트라이드 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서,

아일랜드들은 각각 4각 형상인

나이트라이드 반도체 장치.

청구항 4

제1항 또는 제2항에 있어서,

아일랜드들은 삼각 형상인

나이트라이드 반도체 장치.

청구항 5

제1항 또는 제2항에 있어서,

아일랜드들은 드레인/소스 병렬배치를 허용하는 다양한 다각 형상의 변형의 조합인

나이트라이드 반도체 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

저저항 금속 스트랩이 각각의 게이트 전극과 게이트 패드 사이를 연결하는

나이트라이드 반도체 장치.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 기판과 상기 나이트라이드 반도체 층 사이에 하나 이상의 에피택셜 층을 더 포함하는
나이트라이드 반도체 장치.

청구항 8

제7항에 있어서,
상기 에피택셜 층은 약하게 도핑된
나이트라이드 반도체 장치.

청구항 9

제7항 또는 제8항에 있어서,
복수의 에피택셜 층 및 하나 이상의 필드 플레이트를 더 포함하며, 각각의 상기 필드 플레이트는 연속적인 에피택셜 층들 사이에 배치되는
나이트라이드 반도체 장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,
상기 볼 연결부는 금으로 형성되는
나이트라이드 반도체 장치.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,
나이트라이드 반도체 층은 도핑되지 않은 알루미늄 갈륨 나이트라이드의 층 아래 도핑되지 않은 갈륨 나이트라이드의 층으로 구성된 이종층인
나이트라이드 반도체 장치.

명세서

기술분야

[0001]

본 발명은 일반적으로 갈륨 나이트라이드 트랜지스터에 관한 것으로, 더욱 구체적으로는 이와 관련된 성능 개선 및 수율 향상 방법에 관한 것이다.

배경기술

[0002]

갈륨 나이트라이드 재료는 갈륨 나이트라이드 및 알루미늄 갈륨 나이트라이드, 인듐 갈륨 나이트라이드, 및 알루미늄 인듐 갈륨 나이트라이드와 같은 그의 합금들을 포함한다. 이 재료들은 고에너지 전자 트랜지션이 발생하는 것을 허용하는 비교적 넓은, 직접 밴드갭(direct bandgap)을 갖는 반도체 화합물이다. 갈륨 나이트라이드 재료는 그 중에서도 높은 전자 이동성, 청색광을 효율적으로 방출하는 능력, 및 높은 주파수에서 신호를 전송할 수 있는 능력을 포함하여 많은 매력적인 특성을 갖는다. 따라서, 갈륨 나이트라이드 재료는 트랜지스터 및 광전자공학(optoelectronic) 장치와 같은 다수의 마이크로전자공학(microelectronic) 적용례에서 연구되고 있다.

[0003]

전술한 매력적인 특성에도 불구하고, 갈륨 나이트라이드 재료 기반의 장치를 개발하는 것과 관련하여 많은 도전 과제가 존재한다. 예를 들어, 갈륨 나이트라이드 재료와 기판(substrate) 재료 사이의 특성 차이(예컨대, 격자 상수 및 열팽창 계수)로 인해, 특정 기판, 특히 규소 상에서 고품질 갈륨 나이트라이드 재료를 성장시키는 것이 어려울 수 있다. 또한, 특정 적용례에 대한 비용 요구를 충족하는 갈륨 나이트라이드 재료를 형성하는 것이 도전 과제가 되어 왔다.

[0004]

고전력 및 중간 전력 갈륨 나이트라이드 마이크로파 트랜지스터가 현재 입수 가능하며, 모든 유형이 다중핑거(multifinger) 구조를 사용한다. 연구 문헌에 설명된 몇몇 전력 스위칭 장치가 다중핑거 구조를 또한

사용한다. 대안적인 새로운 매트릭스 아일랜드(matrix island) 기반 구조들은 본원에 도시되며, 이들은 모든 스위칭 적용례에 상당한 장점들을 제공한다. 모든 전력 트랜지스터(power transistor)의 실시에 이어, 구조들은 소스 연결부의 인덕턴스 및 저항을 최소화하는 것이 바람직한 접지된 소스 회로 적용례에 대해 최적화된다. 이를 위해, 트랜지스터는 통상적으로 전체 수직 구조물에 대하는(subtend) 일련의 비아 연결부로 구성된다. 통상적으로 기판 관통 비아 연결부를 사용하는 이들은 제조 및 제어가 어렵다. 더 적은 개수의 대형 비아가 제조될 수 있는 영역에 도달하기 위해, 소스 연결부의 각각으로부터 에어 브리지(air bridge)가 구성되어야만 할 것이다. 예컨대, 미국특허 7,352,016 B2 참조. 그러나 에어 브리지는 제조 및 취급 문제점들의 근원이다.

[0005] 미국특허 7,550,821 B2[시바타(Shibata) 등]는 에어 브리지가 함께 제거된 나이트라이드 반도체를 개시한다. 복수의 제1 전극 및 복수의 제2 전극은 (기판의 주 표면상에 형성된) 나이트라이드 반도체 층 내의 액티브 영역(active region)상에 (서로 이격되어) 형성된다. 층간 절연막은 나이트라이드 반도체 층상에 형성된다. 층간 절연막은 제1 전극들을 개별적으로 노출시키는 개구를 가지며, 평탄화된 상부 표면을 갖는다. 제1 전극 패드는 층간 절연막 내의 액티브 영역 위쪽의 영역에 형성되며, 노출된 제1 전극에 개별 개구를 통해 전기적으로 연결된다. 소스-기판 접촉부(쇼트 비아)들은 액티브 영역에 인접하여 배치되어 소스 전극에 직접 연결되지만, 다중 평거 구조 내의 영역 증가 불이익이 존재한다. 따라서, 시바타 등의 나이트라이드 반도체 장치는 종래의 다중 평거 구조를 사용하는 전력 스위칭 트랜지스터를 대표하는 높은 온-저항(on-resistance)에 의해 또한 제한된다.

[0006] 미국특허 7,250,641 B2[사이토(Saito) 등]는 규소 기판, 아일랜드 형상으로 규소 기판상에 채널층으로 형성된 제1 알루미늄 갈륨 나이트라이드 층, 및 제1 알루미늄 갈륨 나이트라이드 층상에 제1 전도성 유형 또는 i-유형의 장벽층(barrier layer)으로 형성된 제2 알루미늄 갈륨 나이트라이드 층을 포함하는 나이트라이드 반도체 장치를 개시한다. 여기에 개시된 아일랜드들은 그들 사이에 공통의 게이트 전극이 없이 서로로부터 완전히 고립되어 있으며, 따라서 각각의 아일랜드는 분리된 장치이다. (예컨대, 도 1에서와 같이) 사이토 등에 의해 개시된 실시예들은 아일랜드 대 아일랜드의 3개의 소스 전극의 병렬배치(juxtaposition)를 필요로 한다. 사이토 등에 의해 개시된 아일랜드 개념은 고립된 장치들의 분리로만 제공되어, 즉 아일랜드들 사이에서 유발된 진성(intrinsic) 작동 모드는 존재하지 않는다.

[0007] 본원에 설명된 새로운 토플로지(topology)는 소스 연결 에어 브리지를 제거하며, 게이트 전극이 2개까지의 추가적인 방향으로 트랙킹되도록 허용하여 종래의 다중평거 구조와 비교하여 1.5 내지 5배의 온-저항 감소를 야기한다. 이러한 방식으로, 사다리(또는 다중 평거 구조)의 넓은 영역 요구는 제거된다.

[0008] 본 발명의 몇몇 예시는 비교적 복잡한 규소계 템플레이트에 기초할 수 있다. 그러나, 새로운 아일랜드 기반의 표면 토플로지와 함께, 이는 비용이 많이 드는 갈륨 나이트라이드 장치 공정 단계를 매우 단순화한다.

발명의 내용

과제의 해결 수단

[0009] 본 발명은 그의 전체적인 형태의 측면에서 먼저 설명될 것이며, 그 다음 특정 설계의 관점에서 그의 실시가 이하에서 설명될 것이다. 이 실시예들은 본 발명의 원리, 및 그의 실시의 방법을 설명하도록 의도된 것이다.

[0010] 본 발명은 전력 트랜지스터 제조 및 취급을 어렵게 만드는 것으로 잘 알려진 에어 브리지를 제거한다. 오래된 갈륨 아세나이드 장치들 및 신규한 갈륨 나이트라이드 장치들 모두는 수율 손실을 겪는다. 본 발명은, 하나의 실현물이 에어 브리지 또는 기판 관통 소스 전극 비아 연결 기구를 불필요하게 만드는 다중의 소형 쇼트 비아를 사용하는, 토플로지를 제공한다. 소스 및 드레인은 각각의 소스 및 드레인 내에 볼 그리드 및/또는 비아 그리드의 위치설정을 허용하기에 충분한 정도로만 크기가 축소된 아일랜드들 만으로 구성되도록 제조된다. 이러한 독자적인 수단에 의해, 에어 브리지는 물론 결합부들이 제거된다.

[0011] 본 발명의 일 양태에 따르면, 기판과, 기판의 주 표면상에 형성된 나이트라이드 반도체 층과, 나이트라이드 반도체 층의 모든 실현가능한 영역 내에 2차원 액티브 영역을 생성하기 위해 교대로 배열되도록 서로로부터 이격된 복수의 제1 아일랜드 전극 및 복수의 제2 아일랜드 전극과, 나이트라이드 반도체 층상에서 각각의 제1 아일랜드 전극 및 각각의 제2 아일랜드 전극 사이의 영역 내에 형성되고, 다중 아일랜드 전계 효과 트랜지스터의 게이트 전극으로 작용하는 복수의 스트립 전극으로써, 아일랜드 전극들 각각이 전계 효과 트랜지스터의 드레인 전극 또는 소스 전극 중 하나인, 복수의 스트립 전극과, 각각의 소스 전극 및 각각의 드레인 전극의 표면상의 볼 연결부를 구비한 복수의 볼 연결부를 포함하는 나이트라이드 반도체 장치가 제공된다. 기판은 전도성이며, 각각의 소스 전극의 표면상의 볼 연결부는 비아에 의해 대체될 수 있다. 볼 연결부는 금으로 형성되는 것이 바람

직한 반면, 나이트라이드 반도체 층은 도핑되지 않은 알루미늄 갈륨 나이트라이드의 층 아래 도핑되지 않은 갈륨 나이트라이드의 층으로 구성된 이종층(hetero layer)인 것이 바람직하다.

[0012] 아일랜드 전극들은 각각 사각 형상, 또는 바람직하게는 삼각형 형상인 것이 바람직하다. 대안적으로, 아일랜드들은 드레인/소스 병렬배치를 허용하는 다각형 형상의 다양한 변형예들의 조합일 수 있다. 각각의 게이트 전극은 금속 스트랩과 같은 (그러나 이것으로 제한되지 않음) 저저항 수단을 사용하여 게이트 패드에 부착되는 것이 바람직하다. 추가로, 나이트라이드 반도체 장치는 기판 및 나이트라이드 반도체 층 사이에 하나 이상의 에피택 층을 더 포함할 수 있다. 각각의 에피택 층은 약하게 도핑된다. 필드 플레이트(field plate)들은 에피택 층들 내에 삽입될 수 있다.

[0013] 본 발명에서, 소스 아일랜드 전극들은 항상 드레인 아일랜드 전극들과 병렬배치되며, 그들 사이에 게이트가 항상 존재한다.

[0014] 절연성 기판을 사용하기를 원할 경우, 비아가 제거되고 드레인 아일랜드를 위해 사용되는 것과 동일한 볼 그리드에 의해 대체될 수 있다. 아일랜드들이 각각 2-폴드(two-fold) 또는 4-폴드 대칭성을 갖는 4각 형상이라면, 게이트가 두 방향으로 이어지는 것을 허용하며, 아일랜드들이 삼각형이라면 게이트는 세 방향으로 이어질 수 있다. 결과적으로, 게이트 트랙은 주어진 다이스(dice) 크기에 대해 훨씬 클 수 있다. 다중핑거 구조는 제거될 수 있으며, 소스 및 드레인만으로 아일랜드가 이루어질 수 있다.

[0015] 본원에 개시된 아일랜드 토플로지, 바람직하게는 삼각형 또는 장방형 아일랜드 구조는 통상적인 다중핑거 또는 맞물림 구조(interdigitated structure)에 비해 많은 장점을 제공한다. 이러한 아일랜드 토플로지는 등가 영역 다중핑거 레이아웃에 의해 달성되는 것의 70% 미만의 비트랜지스터 저항을 야기한다. 더욱 유의미하게, 감소된 상호연결 및 패드 필요성으로 인해 전체적인 유효 장치 영역비가 3 내지 5배 우월하다.

[0016] 본 발명은 주어진 액티브 영역 내에 큰 게이트 폭(또는 "Wg")을 갖는 장치를 제공한다. 특정 예시적 실시예에서, 토플로지는 단지 액티브 영역 내에서가 아니라 전체적인 단위 장치 영역당 전류 취급 능력의 상당한 증가를 제공한다. 추가로, 극한적인 능력의 GaN 반도체 장치를 제조하는 단순한 공정이 제공된다.

[0017] 본 발명의 다른 발명 양태는 다양한 에피택 층들 내에 매립된 필드 플레이트들의 설계와 관련된다. 규소 전도성 기판은 액티브 영역의 정전 용량의 원치 않는 증가를 유발할 것이기 때문에, 약하게 도핑된 단일, 이중, 또는 일련의 (약하게 도핑된) 진성 규소 재료의 에피택 층들이 기판상에 성장될 수 있다. 이러한 층 또는 이러한 층들의 두께는 가변적일 수 있고, 매립된 전도성 층 또는 일련의 층들은 매립된 필드 플레이트로 작용하도록 삽입될 수 있다. 다양한 크기 및 형상의 다중 필드 플레이트들이 도입될 수 있다. 이러한 필드 플레이트들은 드레인과 병렬배치된 게이트 모서리 부근에서 피크 전기장을 감소시킴으로써 트랜지스터가 견뎌낼 수 있는 최대 전압을 증가시킨다. 추가로, 이러한 필드 플레이트들은 게이트 모서리 및 드레인 모서리 사이에서 전기적 응력의 매우 균일한 분포를 제공하도록 배열될 수 있다. 독자적이고 예외적인 선형 또는 매우 높은 전압 장치가 제조될 수 있다. 신규한 수직 에피택 층 규소 기반의 구조는 규소 및 갈륨 나이트라이드의 열 팽창 사이의 차이로 인해 야기되는 기계적 응력과 관련된 문제점들을 또한 보조할 수 있다.

[0018] 본 발명의 전술한 사항 및 다른 양태들은 첨부 도면과 함께 고려될 때 후술하는 발명의 상세한 설명으로부터 명백해질 것이다.

[0019] 값들의 범위가 본 명세서 내에서 언급되는 경우, 다른 지시가 없는 한 그 안의 부분 범위(sub-range)들은 본 발명의 범위에 포함되는 것으로 의도된다. 특성들이 본 발명의 하나의 또는 다른 변형에 의한 것일 경우, 다른 지시가 없는 한, 이러한 특징들은 이러한 특징들이 그러한 다른 변형예들과 부합하거나 호환되는 경우에 본 발명의 다른 모든 변형예들에 적용되는 것으로 의도된다.

[0020] 전술한 사항은 예시적으로만 제공된 것이며, 본 발명을 제한하는 것으로 간주되지 않는다. 본 발명의 사상 및 범위를 벗어남 없이 많은 분명한 변형이 가능하다.

도면의 간단한 설명

[0021] 도 1은 종래 기술의 빌딩 블록(building block) 구조의 예의 평면도를 도시한다.

도 2는 본 발명의 실시예의 평면도를 도시한다.

도 3은 도 2의 라인 I-I'를 따라 취한 단면도를 도시한다.

도 4는 도 2에 도시된 실시예의 평면도를 도시한다.

도 5는 본 발명의 제2 실시예의 평면도를 도시한다.

도 6은 본 발명의 제3 실시예의 평면도를 도시한다.

도 7은 도 4에 도시된 실시예의 패키징을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0022]

후술하는 본 발명의 상세한 설명에서, 본원의 일부를 구성하며 본 발명이 실시될 수 있는 구체적인 실시예들을 모식적으로 도시하는 첨부 도면이 참조된다. 도면에서, 유사한 도면부호들은 여러 방향에서 실질적으로 유사한 구성요소들을 나타낸다. 이러한 실시예들은 본 기술분야의 통상의 기술자가 본 발명을 실시할 수 있도록 충분히 상세하게 설명된다. 다른 실시예들이 활용될 수 있으며, 본 발명의 범위를 벗어남 없이 구조적, 논리적 및 전기적 변경이 이루어질 수 있다. 후술하는 상세한 설명에서 사용되는 용어 웨이퍼 템플레이트(wafer template) 및 기판(substrate)은 본 발명의 회로 구조가 형성되는 노출된 표면을 갖는 임의의 구조물을 포함한다. 용어 기판 또는 템플레이트는 반도체 웨이퍼를 포함하는 것으로 이해된다. 용어 기판 또는 템플레이트는 처리 중인 반도체 구조물을 또한 지칭하는 것으로 사용되며, 그 위에 이미 구성된 다른 층들을 포함할 수 있다. 웨이퍼, 템플레이트 및 기판은 도핑 및 도핑되지 않은 반도체, 베이스 반도체 또는 절연체에 의해 지지되는 에피택셜 반도체 층은 물론, 본 기술분야의 통상의 기술자에게 잘 알려진 다른 반도체 구조물들을 포함한다. 용어 전도체는 반도체를 포함하는 것으로 이해되며, 용어 절연체는 전도체로 지칭되는 재료보다 전기 전도성이 낮은 임의의 재료를 포함하는 것으로 정의된다. 따라서, 후술하는 상세한 설명은 제한적인 의도로 취해지지 않으며, 본 발명의 범위는 특허청구범위에 부여된 등가물의 전체적인 범위와 함께 첨부된 특허청구범위에 의해서만 규정된다.

[0023]

첨부 도면들은 개념적이며 실적으로 도시된 것이 아니다. 명료함을 위해, 매 도면에서 모든 구성요소들에 명칭이 부여되지는 않는다. 본원에 참조로 포함되는 모든 특허출원 및 특허는 그 전체 내용이 참조로 포함된다. 충돌(conflict)이 있는 경우, 본 명세서가, 정의(definition)를 포함하여, 이를 제어할 것이다.

[0024]

본 발명의 분야는 일반적으로 고전력 및 중간 전력 갈륨 나이트라이드 트랜지스터에 관한 것이다. 더욱 구체적으로, 본 발명은 대형 갈륨 나이트라이드 장치들이 성능을 손상시키는 열 구배를 갖는 고온에서 작동하는 트랜지스터에 관한 것이다. 각각의 소스 및/또는 드레인에 대한 연결 시스템은 분리된 열 싱크를 포함한다. 모든 대형 갈륨 나이트라이드 트랜지스터들이 복수의 소스/드레인 전극을 갖기 때문에, 설명된 개념은 각각의 소스 및 드레인 연결부가 트랜지스터의 전체적인 복잡한 구조에서 이러한 연결부들의 특정 위치에 따라 저항적으로 그리고 열적으로 분리되어 보상되도록 허용한다.

[0025]

베이스 기판이 상당히 도핑된 경우, 소형, 쇼트 비아들이 웨이퍼의 이면에 저저항 연결부를 제공할 수 있다. 웨이퍼 도핑 레벨은 모든 유형의 트랜지스터의 특정 요구에 따라 저항을 맞추도록 선택될 수 있다. 상당히 도핑된 웨이퍼들은 600° K까지 이어지는 온도 범위에 걸쳐 신뢰성 있게 동작하는 플러스(positive) 온도 계수 저항기의 형성을 가능하게 한다. 플러스 온도 계수는 $10E16\text{cm}^{-3}$ 내지 $10E18\text{cm}^{-3}$ 사이의 웨이퍼 도핑 레벨을 사용하여 $^{\circ}\text{K}$ 당 0.11% 내지 $^{\circ}\text{K}$ 당 1.1% 사이로 선택될 수 있다. 소형, 쇼트 비아는 적절한 보상을 제공하도록 길이, 깊이 및/또는 폭이 변화될 수 있다.

[0026]

대안적으로, 매우 높은 온도 (600° K 초과) 및 매우 우수한 성능의 단기 동작이 필요한 경우, 저항기 온도 계수들은 그들의 실온값의 적어도 10%에 도달하도록 선택될 수 있다. 이러한 대안적인 모드에서의 동작은 더 높은 온도에서 그들의 성능을 저감시키는 갈륨 나이트라이드 장치들의 자연적인 경향성과 대면할 것이다. 플러스 온도 계수로부터 마이너스(negative) 온도 계수로의 전이 온도는 600° K 내지 900° K 사이로 선택될 수 있다. 저항의 이러한 마이너스 온도 계수가 대체로 유용하지는 않더라도, 마이너스 온도 계수를 달성하기 위해 금 또는 다른 적절한 불순물(dopant)을 사용하는 것이 가능하다. 새로운 구조 및 레이아웃은 마이너스 온도 계수를 갖는 직렬 소스 저항을 제공하도록 사용 및 적절하게 채용될 수 있다. 따라서, 300° K 미만으로부터 600° K를 넘는 넓은 온도 범위에 걸쳐 매우 안정한 성능을 나타내는 본원에 제안된 개념에 기초한 갈륨 나이트라이드 트랜지스터를 제작하는 것이 가능하다. 매우 간단한 바이어스(bias) 방법 및 매우 안정한, 선형 성능이 얻어질 수 있다. 그러나 장치 설계 어려움은 온도 증가에 따라 통상적인 진성 갈륨 나이트라이드 트랜지스터의 감소하는 성능에 대한 소스 저항 감소의 궁정적인 효과의 균형의 문제로 모아진다.

[0027] 전술한 신규한 측방향 토폴로지 기여 이외에, 본원에 설명된 수직방향 배열은 제조된 트랜지스터의 성능에 현저

하게 기여하는 측면이 있다. 강하게(heavily) 도핑된 기판은 드레인-소스 및 채널-소스 정전 용량과 관련된 단점을 갖는 것으로 알려진다. 이러한 높은 정전 용량은 기판이 커패시터의 하나의 판으로 작용한다는 사실로부터 기인한다. 이러한 효과를 완화하기 위해, 매우 약하게 도핑된 기판이 통상적으로 사용되어 왔다. 그러나 본원에 설명된 일부 설계들은 강하게 도핑된 벌크 기판을 필요로 한다. 정전 용량 효과를 줄이기 위해, 본원에 제안된 수직 구조의 다른 양태는 이상적인 계면 구조가 유지되는 방식으로 기판상에 성장된 일련의 에피택셜 층 또는 매우 약하게 도핑된 에피택셜 층을 신규하게 포함한다. 후속 공정 단계들이 갈륨 나이트라이드와 규소 사이의 격자 상수(17%) 및 팽창 계수의 관점에서 큰 어려움과 관련된 곤란함을 수반하기 때문에, 에피택셜 층 또는 층들을 수반하는 공정 단계들이 중요하다. 본 발명은 GaN/AlGaN 이종층(heterolayer)의 추가적인 성장을 보조할 수 있는 응력층 초기자(strained layer super lattice)를 제공한다. 고품질 GaN/AlGaN 이종층은 에피택셜 층 또는 층들상에서 직접 성장된 AlN 버퍼 층 위에 GaN AlN 초기자를 삽입함으로써 에피택셜 층 또는 층들에 걸쳐 성장될 수 있다. 에피택셜 층 또는 층들은 예컨대 3 내지 20 μm 의 두께 범위에 걸쳐 연장하도록 성장될 수 있다. 마이크로파 트랜지스터가 제조될 때, 더 작은 정전 용량이 요구되는 매칭 네트워크의 일부로 선택될 수 있기 때문에, 더 작은 정전 용량이 선호된다. 그러나 이는 정전 용량은 최소로, 그리고 요구되는 에피택셜 층 두께는 최대가 되도록 요구할 것이다. 20 μm 치수는 정전 용량을 더 줄이기 위해 연장될 수 있다.

[0028] 게이트 모서리에서 전기장 응력을 줄이는 것이 중요하다고 알려진다. 게이트 모서리의 드레인 측을 SiN 또는 다른 표면 부동태부(passivation)에 걸쳐 연장시키는 것이 통상적인 관행이 되어 왔다. 일부 실현예에서, 2.5 μm 의 드레인-게이트 간격을 갖는 장치들은 게이트로부터 드레인을 향해 1.0 μm 연장된 표면 필드 플레이트를 갖는다. 이러한 연장은 원치 않는 게이트-드레인 피드백 정전 용량을 초래한다. 이는 장치의 이득(gain)을 현저하게 감소시킨다. 대안적인 개념은 소스에 연결되고 게이트 위에 배치된 금속 필드 플레이트를 수반한다. 본원에 설명된 신규한 제안된 구조는 게이트 아래에서 드레인을 대향하는 (또는 뒤쪽의) 게이트 모서리로 연장하는 매립층에 연결된 소스를 채용한다. 필드 스트레스 감소에 있어서의 추가적인 이득은 에피택셜 층 아래의 전도성 기판으로부터 야기된다. 여러 개가 사용되는 경우, 각각의 또는 임의의 에피택셜 층은 게이트 아래에서 필드 플레이트로 작용하는 매립층을 포함한다. 매립된 필드 플레이트 또는 플레이트들 및 전도성 기판의 조합은 금속 표면에 제공된 필드 플레이트에 대한 절대적인 필요성을 완화시킨다. 표면 필드 플레이트 및 제안된 매립된 필드 플레이트의 조합은 매우 높은 항복 전압 성능을 제공할 것이다. 에피택셜 층이 얇은 경우, 매립층 필드 플레이트가 요구되지 않는 것이 가능하고, 이로써 공정이 단순화된다. 드레인-소스 정전 용량의 감소 또는 대안적으로 필드 스트레스의 감소 사이에서 선택이 이루어질 수 있고, 이로써 각각의 트랜지스터 적용례의 이상적인 에피택셜 두께가 야기된다.

[0029] 단순한 트랜지스터 장치와 비교하여 본 발명의 트랜지스터 장치에 대한 감소된 피크 전기장은 게이트 전극의 드레인 측에서 감소된 필드 폭주(field crowding)로부터 기인한다. 이러한 감소는 표면 필드 플레이트가 제공하는 동일한 응력 감소 또는 추가적인 응력 감소를 제공하도록 작용하는 신규한 필드 플레이트의 단일 또는 조합된 효과에 기여한다. 응력 감소는 증가된 동작 전압 및/또는 감소된 게이트 누설 전류를 포함하여 개선된 전기적 성능 특성을 초래한다.

[0030] 갈륨 나이트라이드는 규소와 다른 결정 구조를 가지며, 갈륨 나이트라이드 구조가 규소 기판상에 형성될 때, 전위(dislocation)가 일어날 수 있다. 액티브 영역의 부근에 있는 결함(defect) 및 전위는 장치 성능을 심각하게 손상시킬 수 있다. 제안된 장치들의 신규한 레이아웃 스타일로 인해, 결함이 있는 개별 트랜지스터를 전기적으로 고립시키고 이를 주 구조로부터 제거하는 것이 가능하다. 결함이 있는 장치의 게이트 연결부 또는 드레인 연결부 중 하나 또는 모두가 단절(disconnect)될 수 있다. 노멀리-오프(normally-off) 트랜지스터의 특정의 경우, 단지 게이트 전극을 단절하는 것만으로 충분할 수 있다. 단절 기구는 퓨즈 또는 레이저 방법론에 기초할 수 있다. 누설 전류 또는 수반된 용량성 커플링으로 인해, 게이트 전극을 소스 전극에 접지하는 것이 추가적으로 필요할 수 있다. 금속-대-금속 단락 회로는 고에너지 레이저로 달성될 수 있다.

[0031] 종래 기술에 사용된 종래의 설계(도 1)에 있어서, 소스 전극(100)은 에어 브리지(125)에 의해 소스 패드(130)로 연결되며, 소스 패드는 대형 비아(135)에 의해 추가로 연결된다. 도시된 바와 같이, 드레인 전극(120)은 공통의 드레인 패드(105)에 연결되고, 게이트 전극(110)은 공통의 게이트 패드(115)에 연결된다. 이러한 도식적인 단위 셀에서, 10개의 게이트 전극이 게이트 패드에 연결되고, 5개의 드레인 전극이 드레인 패드에 연결된다. 또한, 대형 비아는 기판의 이면(미도시)과 연결될 필요가 있다. 이 경우, 나이트라이드 반도체 장치를 위해 요구되는 면적은 액티브 영역(130)의 면적(소스, 드레인 및 전극들이 위치되는 면적)보다 약 3배 정도 크다. 전극 패드의 크기를 줄이는 것이 가능하지만, 전극 패드의 이러한 크기 감소는 수율의 관점에서 제한된다.

[0032] 도 2는 기판 접촉부(쇼트 비아)의 인접한 위치설정이 액티브 영역 밀도를 손상시키지 않는 독자적인 토폴로지를

도시한다. 이러한 토플로지에서, 게이트가 2차원으로 이어지기 때문에, 게이트 폭은 주어진 액티브 영역에 대해 상당히 증가될 수 있다. 이러한 토플로지에 의해 달성될 수 있는 온-저항에 있어서 항복 전압 및 라인 폭 한계를 제외하면, 제한이 없다. 여기서, 각각의 소스 전극(100)은 비아(111)에 의해 동반되며, 각각의 소스 전극(100)은 인접한 드레인 전극(120)에 의해 둘러싸인다. 각각의 드레인 전극(120)은 드레인 범프(105)에 의해 동반되며, 드레인 범프는 대개 금으로 이루어진 종래의 볼이다. 게이트 전극은 110으로 도시되며, 게이트 전극은 접촉부(106)에 의해 게이트 스트랩(175)에 연결된다. 게이트 스트랩(175)은 게이트 패드(115)와 또한 연결된다. 이러한 방식으로, 각각의 아일랜드 전극이 고유의 패드를 가지며, 그로 인해 전체적인 장치의 크기가 감소된다. 도 2에 도시된 아일랜드, 또는 타일은 소스 및 드레인 전극이 2차원 토플로지에서 반드시 교대되는 전체적인 형상의 실시예이다. 소스 전극(100) 및 드레인 전극(120)은 티타늄 및 알루미늄으로부터 형성되는 것이 바람직하다. 게이트 전극(110)은 팔라듐으로부터 형성되는 것이 바람직하다.

[0033] 도 3은 도 2의 I-I'을 따라 취한 단면도를 도시한다. 바람직하게는 규소로 이루어진 기판(155)은 베이스를 형성하며, 베이스 위에 연속적인 절연 에피택셜 층들(150, 145, 140)이 적층된다. 에피택셜 층(140) 위에 베퍼 층(135)이 적층되고, 그 위에 도핑되지 않은 갈륨 나이트라이드 층(130)이 적층된다. 알루미늄 갈륨 나이트라이드(125)의 최종 도핑되지 않은 층은 층(120) 위에 적층된다. 3개의 에피택셜 층(150, 145, 140) 내에 2개의 필드 플레이트(160, 165)가 있으며, 이들은 본질적으로 전도성이다. 이들은 규소의 불순물로 형성되는 것이 바람직하다. 소스 전극은 110으로 도시되며, 그 위에 비아(111)를 가지며, 드레인 전극은 120으로 도시된다. 게이트 전극(110)은 소스 전극(100)과 드레인 전극(120) 사이에 안착되며, 그 위에 옥사이드 층(170), 바람직하게는 실리콘 나이트라이드가 있다. 게이트 스트랩(175)은 층(170)의 최상단에 도시된다.

[0034] 도 2에 도시된 장방형 등가물을 언급된 장점들을 잊지 않으면서 4각 형상으로 대체될 수 있다. 장방형은 회전될 수 있고, 예컨대 장방형의 대안적인 사용이 도 5에 도시된다.

[0035] 도 4 및 도 5에 도시된 이러한 2차원 타일형 레이아웃은 증가된 게이트 폭을 허용하기 때문에 매우 유리하다. 도 4 및 도 5 모두에서, 소스 전극 및 비아는 각각 110 및 111로 도시되며, 드레인 전극 및 볼 연결부는 각각 120 및 105로 도시된다. 게이트는 양 방향으로 이어진다. 그러나 개별적인 아일랜드 장치들 사이의 전이부에서 일부 액티브 영역이 소실되기 때문에, 유용한 액티브 게이트 폭은 두 배가 되지 않는다. 실제로, 다중핑거 장치 레이아웃과 비교할 때, 도 4 및 도 5의 아일랜드 토플로지는 게이트 폭의 1.5 내지 1.7배를 제공하는 것으로 발견되었다. 이러한 장치의 온-저항은 비례적으로 낮아진다.

[0036] 게이트를 3 방향으로 이음으로써 게이트 폭을 또한 개선하는 것이 가능하다. 이는 독자적인 정삼각형 아일랜드가 사용된 도 6의 아일랜드 레이아웃으로 도시된다. 그러나 삼각형은 임의의 구성일 수 있고, 3 방향으로 게이트가 이어지는 개념은 도시된 편리한 정삼각형 레이아웃으로 제한되지 않는다. 실제로, 이 레이아웃은 종래 기술의 맞물림 (또는 다중 핑거) 구조를 사용함으로써 얻어지는 게이트 폭의 대략 1.5 내지 1.7배를 또한 제공한다. 도 2에서와 같이, 비아(111)는 소스 전극(100)의 상부에 위치되며, 볼 연결부(105)는 드레인 전극(120)의 최상부에 있다. 퓨즈/안티퓨즈(106)는 게이트 전극(110)을 게이트 스트랩(175)과 잇는 역할을 하며, 게이트 스트랩(175)은 게이트 패드(175)에 연결된다.

[0037] 게이트 길이가 $0.5\mu m$ 이고, 드레인-소스 간격이 $2.5\mu m$ 인 설계 규칙에 기초하여, 액티브 면적이 $7.5\mu m^2$ 이고, 개별 게이트 폭이, 맞물림 $0.7m$, 장방형 아일랜드, $1.1m$, 및 삼각형 아일랜드 $1.1m$ 인 $7.5\mu m$ 드레인/소스 특징부가 존재한다. 따라서, $1.4m$ 게이트 폭을 갖는 GaN 트랜지스터는 $3mm \times 3mm$ 미만의 다이스 크기를 사용하여 제조될 수 있다. 이러한 장치는 10 내지 15 마이크로옴의 온-저항을 가질 것이며, 100 암페어를 스위칭할 수 있을 것이다.

[0038] 아일랜드 토플로지는 액티브 장치들 사이의 공간이 연결 지점으로 사용되도록 허용한다. 낮은 유닛 저항 게이트 스트랩(175)을 사용함으로써, 금속 게이트 저항의 문제가 제거될 수 있다. 스트랩이 액티브 게이트-드레인 채널 영역을 통과(transit)함에 따라 스트랩을 게이트로부터 분리하여 배치함으로써, 스트랩은 보조 필드 플레이트로 작용하도록 배치될 수 있다. 이는 도 2 및 도 3에 도시된다.

[0039] 양호한 기능적 개별 셀들을 연결하는데 스트랩만을 사용하기 위해, 게이트 코너에서 접촉부(106)를 사용할 수 있다. 금 범프 제거 또는 부재에 의해 개별 드레인들을 고립시킴으로써 수율 개선이 또한 가능하다. 따라서, 대형 결함 밀도가 존재하는 경우에도, 도 2에 도시된 레이아웃을 사용하여 실행가능한 기능적 장치를 제조하는 것이 가능하다.

[0040] 종래의 결합부(bond) 또는 패키지가 제공되지 않은 것이 도 2, 도 4, 도 5 및 도 6에 도시된다. 대안적인 유리

한 패키징 기술이 도 7에 단면도로 도시된다. 에어 브리지의 부재는 다이스(200)가 [공용(eutectic) 결합부(205)를 통해] 구리/소스 히트싱크 클립(210)에 공용적으로(eutectically) 결합되는 것을 허용한다. 이는 금 범프 게이트(215) 및 드레인(220) 연결부가 다중칩 조립체상에서 구리 트랙(225)으로 직접적으로 이루어지는 것을 허용하도록 도치(invert)될 수 있다. 이러한 배열은 와이어 결합을 사용하는 패키지와 비교하여 장착된 장치의 전체적인 면적을 상당히 감소시키고 드레인 및 소스 연결부의 인덕턴스를 감소시킨다.

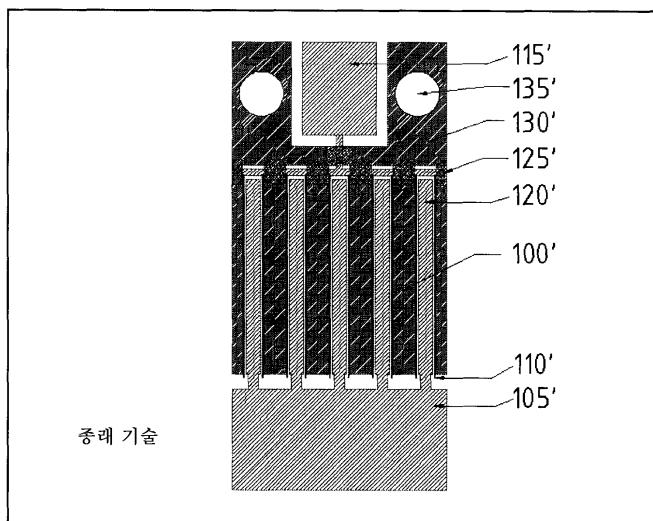
[0041] 대안적으로, 모든 열 소산은 보드 상의 구리 트랙을 통해 제거될 수 있고, 구리/소스 히트싱크 클립이 제거될 수 있다. 이러한 결과를 달성하기 위해, 드레인, 소스 및 게이트 연결부는 모두 금 범프를 가지며, 비아 연결부 및 절연성 고저항 기판이 사용되지 않는다.

[0042] 열 저항을 낮추기 위해 약 $450\mu\text{m}$ 내지 $150\mu\text{m}$ 의 전력 R.F. 장치의 웨이퍼를 얇게 하는 것이 통상적인 관례이다. 도 7에 도시된 패키징된 장치에서, 다이스는 소스 연결부로의 낮은 직렬 저항을 달성하도록 $50\mu\text{m}$ 로 얇아진다. 도 7에 도시된 패키지는 다이스를 기계적으로 강화하고 소스에 대한 낮은 인덕턴스 연결이 얻어지도록 사용된다.

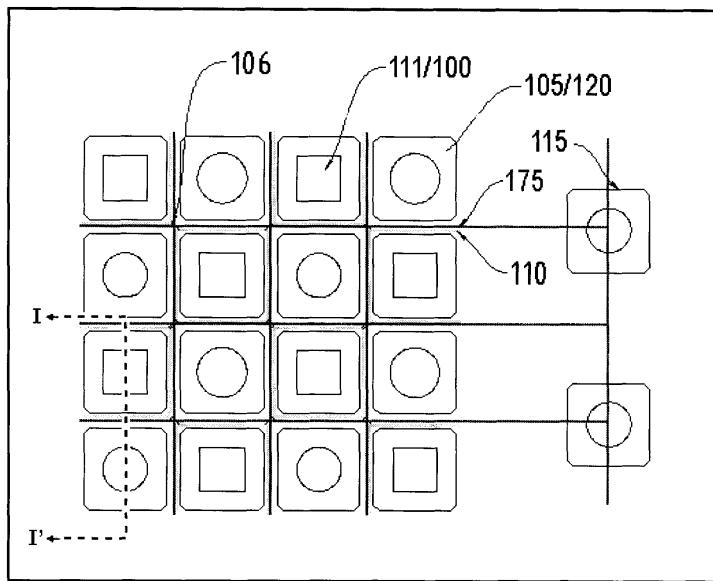
[0043] 전술한 사항은 본 발명이 어떻게 적용되고 사용되는지를 나타내는 구체적인 실시예의 설명을 구성한다. 이러한 실시예들은 예시적인 것일 뿐이다. 가장 넓은, 더욱 구체적인 양태들의 관점에서, 본 발명은 이하의 특허청구 범위에 추가로 설명되고 규정된다.

도면

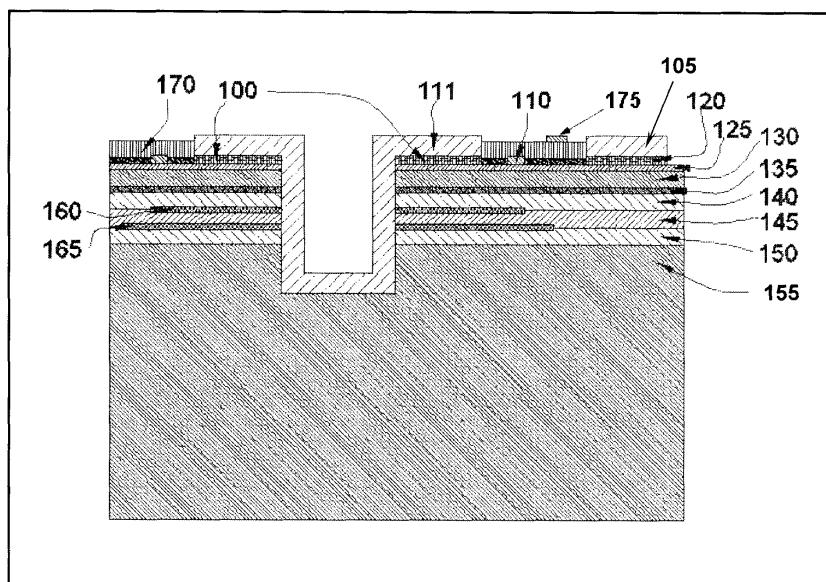
도면1



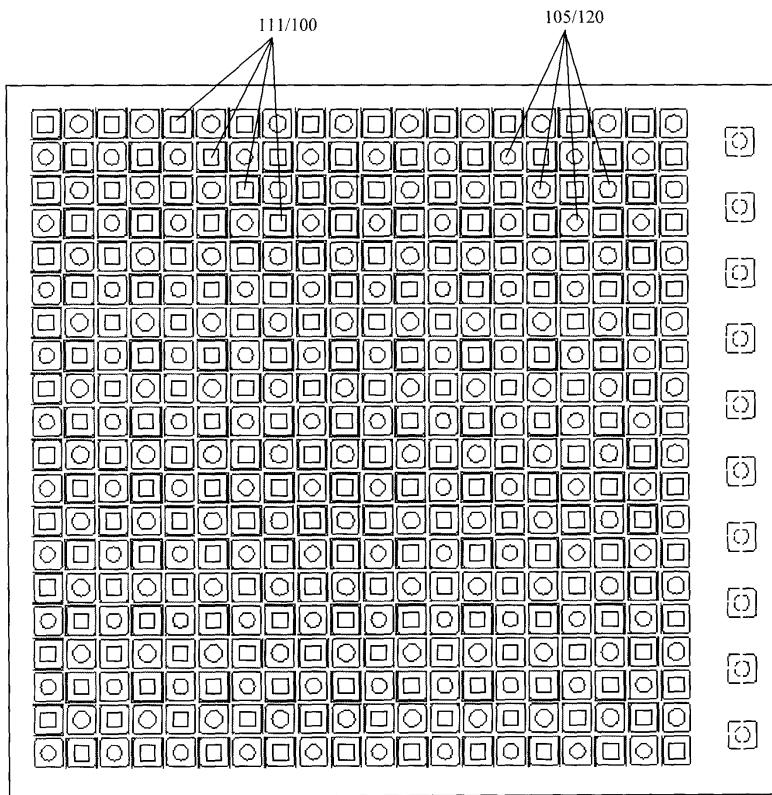
도면2



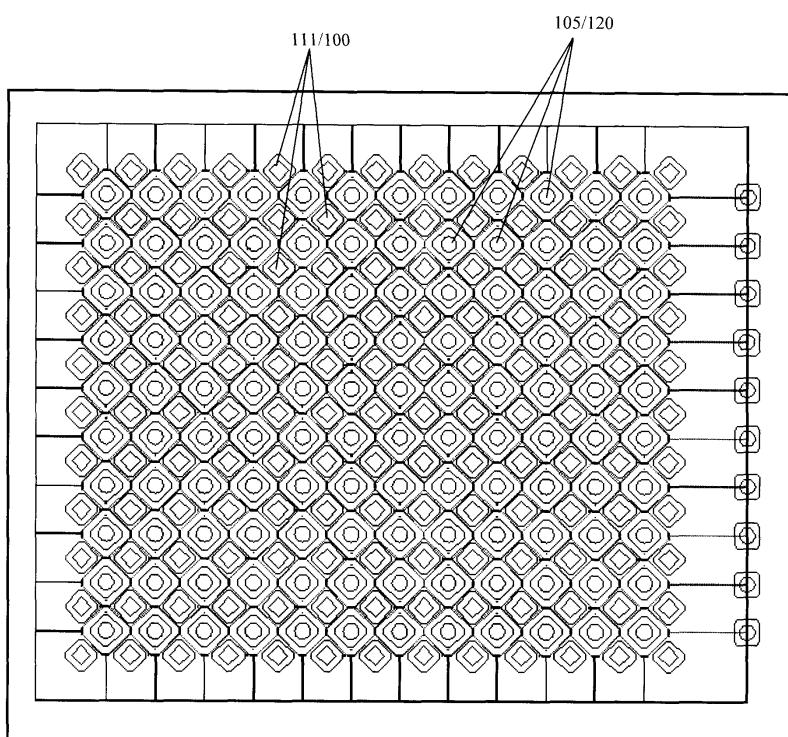
도면3



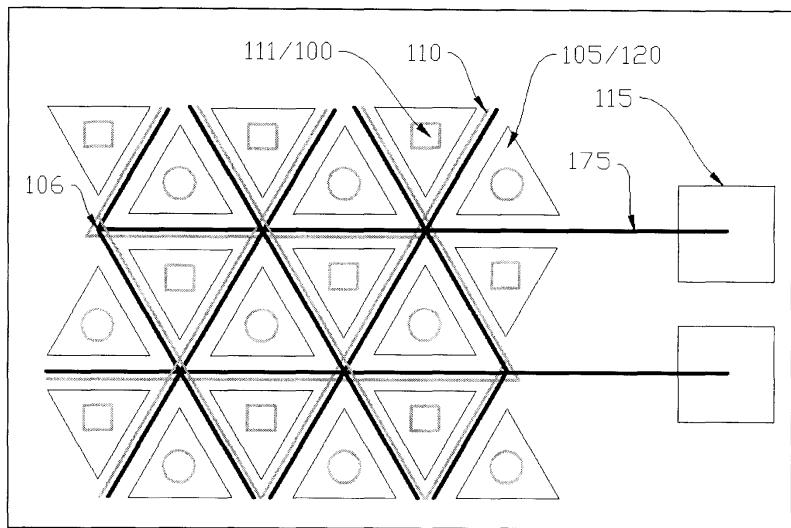
도면4



도면5



도면6



도면7

