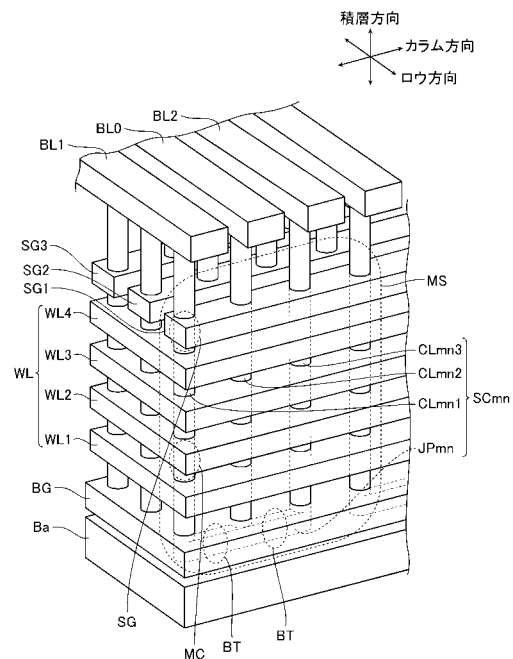




【特許請求の範囲】

【請求項 1】

電氣的に書き換え可能な複数のメモリセルと選択トランジスタとが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、

前記メモリストリングスは、

基板に対して垂直方向に延びる複数の柱状部、及び前記複数の柱状部の下端を連結させるように第 1 方向を長手方向として形成された連結部を有する半導体層と、

前記柱状部の側面を取り囲むように形成された電荷蓄積層と、

前記柱状部の側面及び前記電荷蓄積層を取り囲むように複数層を積層して形成され前記メモリセルの制御電極として機能する複数の第 1 導電層と、

前記第 1 方向に並ぶ前記複数の柱状部の周りにゲート絶縁膜を介して前記第 1 方向を長手方向として形成され前記選択トランジスタの制御電極として機能する第 2 導電層と、

前記複数の柱状部のそれぞれに接続され前記第 1 方向と直交する第 2 方向を長手方向として形成されるビット線と

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記連結部に絶縁膜を介して接するように形成され前記連結部に形成されるバックゲートトランジスタの制御電極として機能するバックゲート層を更に備えたことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記第 1 導電層は、前記基板上に 2 次元的に配列された複数の前記メモリストリングスに共通に接続される板状電極であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

1 つの前記メモリストリングスを構成する前記複数の柱状部のうち、少なくとも 1 つの柱状部に沿って形成される前記メモリセルは、常に消去状態に維持されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

1 つの前記メモリストリングスを構成する前記複数の柱状部の少なくとも 1 つは金属元素を含む化合物であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、シリコン基板上の 2 次元平面内に素子を集積して、LSI が形成されてきた。メモリの記憶容量を増加させるには、一素子の寸法を小さくする（微細化する）のが一般的だが、近年その微細化もコスト的、技術的に困難なものになってきた。微細化のためにはフォトリソグラフィの技術向上が必要であるが、リソグラフィ工程に要するコストは増加の一途を辿っている。また、仮に微細化が達成されたとしても、駆動電圧などがスケールアップされない限り、素子間の耐圧など物理的な限界点を迎える事が予想される。つまり、デバイスとしての動作が困難になる可能性が高い。

【0003】

そこで、近年、メモリの集積度を高めるために、メモリセルを 3 次元的に配置した半導体記憶装置が多数提案されている（特許文献 1 乃至 3 参照）。

【0004】

メモリセルを 3 次元的に配置した従来の半導体記憶装置の一つに、円柱型構造のトランジスタを用いた半導体記憶装置がある（特許文献 1 乃至 3）。円柱型構造のトランジスタを用いた半導体記憶装置においては、ゲート電極となる多層の導電層、及びピラー状の柱

10

20

30

40

50

状半導体が設けられる。柱状半導体は、トランジスタのチャネル（ボディ）部として機能する。柱状半導体の周りには、メモリゲート絶縁層が設けられている。これら導電層、柱状半導体、メモリゲート絶縁層を含む構成は、メモリストリングスと呼ばれる。

【0005】

上記特許文献のようなピラー状の柱状半導体を有する3次元メモリの場合、例えばビット線は積層構造の上面に形成することができるが、ソース線は、積層構造の下面に形成する必要がある、そのコンタクトも積層構造の下面までトレンチを掘り込んで形成することが必要となる。ソース線は通常、低抵抗化のため不純物を高濃度にドーピングされる。このようなソース線と良好なコンタクト抵抗を保ちつつ、ソース線からの不純物の熱拡散を抑制するには、熱工程に応じた微妙な界面制御が必要となる。

10

【0006】

このような観点から、メモリストリングスをU字型に形成し、ビット線、ソース線とも積層構造の表面に形成することを可能にした3次元型不揮発性半導体記憶装置も、例えば特許文献4により開示されている。

【0007】

しかし、この特許文献4では、ワード線をメモリストリングス毎に分断して形成する必要がある、ワード線の配線抵抗が低抵抗化することができないという問題があった。

【特許文献1】特開2007-266143号公報

【特許文献2】米国特許第5599724号公報

【特許文献3】米国特許第5707885号公報

【特許文献4】特開2007-317874号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、高い信頼性を有し且つ安価な不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【0009】

本発明の一態様に係る不揮発性半導体記憶装置は、電氣的に書き換え可能な複数のメモリセルと選択トランジスタとが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、前記メモリストリングスは、基板に対して垂直方向に延びる複数の柱状部、及び前記複数の柱状部の下端を連結させるように第1方向を長手方向として形成された連結部を有する半導体層と、前記柱状部の側面を取り囲むように形成された電荷蓄積層と、前記柱状部の側面及び前記電荷蓄積層を取り囲むように複数層を積層して形成され前記メモリセルの制御電極として機能する複数の第1導電層と、前記第1方向に並ぶ前記複数の柱状部の周りにゲート絶縁膜を介して前記第1方向を長手方向として形成され前記選択トランジスタの制御電極として機能する第2導電層と、前記複数の柱状部のそれぞれに接続され前記第1方向と直交する第2方向を長手方向として形成されるビット線とを備えたことを特徴とする。

30

【発明の効果】

【0010】

本発明は、高い信頼性を有し且つ安価な不揮発性半導体記憶装置を提供することが可能となる。

40

【発明を実施するための最良の形態】

【0011】

以下、図面を参照して、本発明に係る不揮発性半導体記憶装置の一の実施の形態について説明する。

【0012】

〔第1の実施の形態〕

（第1の実施の形態に係る不揮発性半導体記憶装置100の構成）

図1は、本発明の第1の実施の形態に係る不揮発性半導体記憶装置100の概略図を示

50

す。図 1 に示すように、第 1 の実施の形態に係る不揮発性半導体記憶装置 100 は、主として、メモリトランジスタ領域 12、ワード線駆動回路 13、選択ゲート線駆動回路 15、センスアンプ 16、及びバックゲートトランジスタ駆動回路 18 を有する。

【0013】

メモリトランジスタ領域 12 は、データを記憶するメモリトランジスタを有する。メモリトランジスタは、後述するように直列接続されてメモリストリングスを構成する。また、メモリストリングスの両端には選択トランジスタが接続される。ワード線駆動回路 13 は、ワード線 WL に印加する電圧を制御する。選択ゲート線駆動回路 15 は、選択ゲート線 SG に印加する電圧を制御する。

【0014】

センスアンプ 16 は、メモリトランジスタから読み出した電位を増幅する。バックゲートトランジスタ駆動回路 18 は、後述するバックゲート線 BG に印加する電圧を制御する。なお、上記の他、第 1 の実施の形態に係る不揮発性半導体記憶装置 100 は、ビット線 BL に印加する電圧を制御するビット線駆動回路を有する。（図示略）。

【0015】

図 2 は、第 1 の実施の形態に係る不揮発性半導体記憶装置 100 のメモリトランジスタ領域 12 の一部の概略斜視図である。第 1 の実施の形態においては、メモリトランジスタ領域 12 は、複数のメモリトランジスタ MC、及び選択トランジスタ SG を接続してなるメモリストリングス MS を $m \times n$ 個（ m 、 n は自然数）のマトリクス状に基板 Ba 上に配列されている。図 2 においては、 $m = 3$ 、 $n = 2$ の一例を示している。

【0016】

第 1 の実施の形態に係る不揮発性半導体記憶装置 100 において、メモリトランジスタ領域 12 には、複数のメモリストリングス MS が設けられている。詳しくは後述するが、メモリストリングス MS は、電氣的に書き換え可能な複数のメモリトランジスタ MC が直並列に（W 字を形成するように）接続された構成を有する。図 1 及び図 2 に示すように、メモリストリングス MS を構成するメモリトランジスタ MC は、半導体層を複数積層することによって基板 Ba 上に 3 次元的に形成・配列されている。

【0017】

各メモリストリングス MS は、W 字型半導体層 SC_{mn} 、ワード線 WL 1 ~ WL 4、選択ゲート線 SG を有する。また、メモリストリングス MS は、バックゲート線 BG を有する。

【0018】

W 字型半導体層 SC_{mn} は、ロウ方向からみて W 字状（横倒しされた E 字状、または楕形状）に形成されている。W 字状半導体層 SC_{mn} は、半導体基板 Ba に対して略垂直方向に延びる複数本（この例では 3 本）の柱状部 CL_{mn} 、及び複数の柱状部 CL_{mn} の下端を連結させるように形成された連結部 JP_{mn} を有する。連結部 JP_{mn} は、図 2 に示すカラム方向を長手方向として形成される。1 つのメモリストリングス MS を構成する 3 本の柱状部 CL_{mn} も、カラム方向に沿って並ぶように形成されている。

【0019】

複数の柱状部 CL_{mn} の周囲には、図 2 では図示を省略するが、後述するようにメモリセルの一部を構成する電荷蓄積層がトンネル絶縁膜を介して形成され、さらに電荷蓄積層の周囲にはブロック絶縁膜が形成される。また、この複数の柱状部 CL_{mn} の周囲には、このトンネル絶縁膜、電荷蓄積層及びブロック絶縁膜を介してワード線 WL 1 ~ WL 4 が形成されている。

【0020】

ワード線 WL 1 ~ 4 は、図 2 では図示を省略する層間絶縁膜を介して、基板 Ba 上に導電層膜を複数層積み上げることで形成されている。ワード線 WL 1 ~ 4 は、基板 Ba 上に格子上に $m \times n$ 個 2 次元配置される複数のメモリストリングス MS に共通に接続される板状電極として形成されている。1 列に並ぶメモリストリングス毎にストライプ状（短冊状）に、細長く形成されているのではなく、マトリクス状に配列されたメモリストリングス

10

20

30

40

50

に共通に接続される板状形状を有していることにより、ワード線WL 1～4の配線抵抗は、ストライプ状に細く形成される場合に比べ小さくすることができる。

【0021】

選択ゲート線SGは、複数の柱状部CL_{m n}の先端側において、カラム方向に並ぶ複数の柱状部CL_{m n}に共通に、カラム方向を長手方向としたストライプ形状を有するように接続されている。すなわち、ロウ方向に並ぶ複数のメモリストリングスMSは、それぞれ異なる選択ゲート線SG 1、SG 2、SG 3に接続されている。

【0022】

バックゲート線BGは、図示しないゲート絶縁膜を介して連結部JP_{m n}と接している。連結部JP_{m n}には、このバックゲート線BGをゲート電極としたバックゲートトランジスタBTが2個形成される。

10

【0023】

また、ロウ方向に並ぶ柱状部CL_{m n}に沿って、ロウ方向を長手方向としてビット線BLが形成されている。1つのメモリストリングスMSを構成する3つの柱状部CL_{m n} 1～3には、それぞれ異なるビット線BL 0～2が接続されている。

【0024】

図3に、1つのメモリストリングMSの等価回路図を示す。このメモリストリングスMSは、1つの柱状部CL_{m n}あたり4つのメモリセルMCを形成され、3つの柱状部CL_{m n} 1～3の合計で4×3=12個のメモリセルMCを備えている。左側の柱状部CL_{m n} 1には、メモリトランジスタMC 1～MC 4が形成される。真ん中の柱状部CL_{m n} 2には、メモリトランジスタMC 5～MC 8が形成される。右側の柱状部CL_{m n} 3には、メモリトランジスタMC 9～MC 12が形成される。

20

【0025】

メモリトランジスタMC 1、MC 5、及びMC 9は、最も基板Ba寄りの最下層において、ワード線WL 1に共通接続されている。メモリトランジスタMC 2、MC 6、及びMC 10は、下から2番目の層において、ワード線WL 2に共通接続されている。メモリトランジスタMC 3、MC 7、及びMC 11は、下から3番目の層において、ワード線WL 3に共通接続されている。メモリトランジスタMC 4、MC 8、及びMC 12は、最も上層において、ワード線WL 4に共通接続されている。

【0026】

また、連結部JP_{m n}には、3つの柱状部CL_{m n} 1～3の間の位置において2つのバックゲートトランジスタBT 1、BT 2が、バックゲート層BGをゲートとして形成されている。

30

【0027】

この実施の形態において、3本の柱状部CL_{m n}にのうちの少なくとも1本に沿って形成されるメモリトランジスタMCは、図示しない書き込み／消去制御回路により、常に消去状態（データ“1”を保持した状態）に保たれている（ここで消去状態とは、メモリトランジスタMCの閾値電圧が低く（例えば負の値であり）、メモリトランジスタMCの制御ゲートに所定の読み出し電圧（たとえば接地電圧V_{ss}=0V）が印加された場合に導通可能な状態を意味する）。すなわち、1つの柱状部CL_{m n}に沿って形成される4個1組のメモリトランジスタのうち、少なくとも1組が常に消去状態に維持される。具体的には、メモリトランジスタMC 1～MC 4の組、メモリトランジスタMC 5～8の組、及びメモリトランジスタMC 9～12の組のうち、少なくとも1組（4個のメモリトランジスタ）が消去状態に保たれる。このような処置が行われる理由は、上述のような板状構造のワード線WLを採用した場合においても書き込み、読み出し動作を可能とするためであるが、詳しくは後述する。以下では、一例として、真ん中の柱状部CL_{m n} 2に接続されたメモリトランジスタMC 5～8が、常に消去状態に維持されるものとして説明を行う。

40

【0028】

また、複数の柱状部CL_{m n}の上端には、選択トランジスタST 1～ST 3がそれぞれ形成されている。選択トランジスタST 1～ST 3は、1つの選択ゲート線SGに共通接

50

続され、同時に導通する。このようなメモリストリングスMSが、ワード線WL1～4を共通接続されて、基板Ba上に2次元的にマトリクス配置されている。なお、柱状部CL_{m n}は、円柱状であっても、角柱状であってもよい。また、柱状部CL_{m n}は、段々形状を有する柱状であってもよい。また、ワード線WL1～4のカラム方向の端部は、図1に示すように、コンタクトのために階段状に形成されている。

【0029】

第1の実施の形態に係る不揮発性半導体記憶装置100のメモリトランジスタ領域12の具体的な形状を、図4～図7を参照して説明する。図4は、メモリトランジスタ領域12の平面図、図5は図4のA-A'断面図、図6はその一部拡大図、図7は図4のB-B'断面図である。

10

【0030】

図4に示すように、メモリセルトランジスタ領域12には、ビット線BLがロウ方向を長手方向として、また配線幅2F、配線ピッチ3F（Fは最小解像幅を示す）で形成されている。また、選択ゲート線CGが、カラム方向を長手方向として、同様に配線幅2F、配線ピッチ3Fで形成されている。このビット線BL、選択ゲート線CGの交点において、両者の交差位置の中心付近を貫通するように、前述の柱状部CL_{m n}1～3が形成されている。

【0031】

図5に示すように、メモリセルトランジスタ領域12（メモリストリングスMS）は、半導体基板Baから積層方向に、順次、バックゲートトランジスタ層20、メモリトランジスタ層30、選択トランジスタ層40、及び配線層50を有する。

20

【0032】

バックゲートトランジスタ層20は、上述したバックゲートトランジスタBGとして機能し、その表面にはW字型半導体層SC_{m n}の連結部JP_{m n}が形成される。メモリトランジスタ層30は、上述したメモリトランジスタMCとして機能する。選択トランジスタ層40は、上述した選択トランジスタSGとして機能する。配線層50は、ビット線BLが形成されている。

【0033】

バックゲートトランジスタ層20は、半導体基板Baの上に順次積層されたバックゲート層間絶縁層21、及びバックゲート線BGとなるバックゲート導電層22を有する。これらバックゲート層間絶縁層21、及びバックゲート導電層22は、メモリトランジスタ領域12の端部までロウ方向及びカラム方向に広がって形成されている。

30

【0034】

バックゲート導電層22は、連結部JP_{m n}の下面及び側面を覆い且つ連結部JP_{m n}の上面と同じ高さまで形成されている。

【0035】

バックゲート層間絶縁層21は、酸化シリコン（SiO₂）にて構成されている。バックゲート導電層22は、ポリシリコン（p-Si）にて構成されている。

【0036】

メモリトランジスタ層30は、バックゲート導電層22の上に、交互に積層された第1～第5ワード線間絶縁層31a～31e、及び第1～第4ワード線導電層32a～32dを有する。後者は前述したワード線WL1～4となる導電層であり、前者はワード線WL1～4間に堆積される層間絶縁膜である。また、メモリトランジスタ層30は、第4ワード線間絶縁層31eの上に堆積されたメモリ保護絶縁層34を有する。

40

【0037】

第1～第5ワード線間絶縁層31a～31eは、酸化シリコン（SiO₂）にて構成されている。第1～第4ワード線導電層32a～32dは、ポリシリコン（p-Si）にて構成されている。メモリ保護絶縁層34は、窒化シリコン（SiN）にて構成されている。

【0038】

50

第1～第5ワード線間絶縁層31a～31e、第1～第4ワード線導電層32a～32dは、図5では図示を省略するが、図1に示すように、カラム方向の端部にてコンタクトと接続するため階段状に加工されている。メモリ保護絶縁層34は、第1～第5ワード線間絶縁層31a～31e、第1～第4ワード線導電層32a～32dのロウ方向及びカラム方向の端部を覆うように形成されている。

【0039】

この第1～第5ワード線間絶縁層31a～31e、第1～第4ワード線導電層32a～32dを貫通するように設けられた3本のメモリホール35aに前述の柱状部CL_{m n}1～3が形成され、さらにその下方のバックゲートトランジスタ層20の表面に形成されたバックゲートホール24に前述の連結部JP_{m n}が形成され、W字型半導体層SC_{m n}が形成されている。

10

【0040】

このバックゲートホール24およびメモリホール35aの壁面にはONO膜62が形成されている。ONO膜62は、図6の拡大図に示すように、ワード線側から見て順にブロック絶縁層BI、電荷蓄積層EC、トンネル絶縁層TIを堆積させて構成されている。ブロック絶縁層BIは、酸化シリコン(SiO₂)にて構成されている。電荷蓄積層ECは、窒化シリコン(SiN)にて構成されデータ保持のための電荷を蓄積する。トンネル絶縁層TIは、酸化シリコン(SiO₂)にて構成されている。つまり、メモリゲート絶縁層62は、ONO層にて構成され、電荷を蓄積する電荷蓄積層として機能する。

20

【0041】

バックゲートホール24およびメモリホール35aの内部には、このONO膜62を介して、導電膜63が形成される。導電膜63はその内部に中空を有しており、この中空を埋めるように内部絶縁層64が形成されている。W字型半導体層SC_{m n}は、この導電膜63と内部絶縁層64とから形成されている。

【0042】

選択トランジスタ層40は、メモリ保護絶縁層34の上に堆積された選択ゲート線導電層41、層間絶縁層44を有する。選択ゲート線導電層41は、前述した選択ゲート線SGとして機能する。選択ゲート線導電層41、層間絶縁層44は、カラム方向を長手方向として延びるように且つロウ方向に所定間隔Fを設けて繰り返しライン状に形成されている。選択ゲート線導電層41は、ポリシリコン(p-Si)にて構成されている。層間絶縁層44は、酸化シリコン(SiO₂)にて構成されている。

30

【0043】

また、選択トランジスタ層40は、層間絶縁層44及び選択ゲート線導電層41を貫通するように形成された選択トランジスタ側ホール45を有する。この選択トランジスタ側ホール45は、メモリホール35aに整合する位置に形成されている。

【0044】

上記構成において、選択トランジスタ側ホール45に面する側壁には、ゲート絶縁層65が形成されている。このゲート絶縁層65を介してホール45を埋めるように導電膜67が形成されている。ゲート絶縁層65は、酸化シリコン(SiO₂)にて構成されていて、導電膜67はポリシリコンで形成されている。ゲート絶縁層65は選択トランジスタSGのゲート絶縁膜として機能する。導電膜67は選択トランジスタSGのチャネル部として機能し、また、柱状部CL_{m n}の一部を構成する。

40

【0045】

配線層50は、選択トランジスタ絶縁層44上に順次積層された第1配線絶縁層51、第2配線絶縁層52、コンタクト層53、及びビット線導電層55を有する。第1～第2配線絶縁層51～52は、酸化シリコン(SiO₂)にて構成されている。

【0046】

また、コンタクト層53は、第1配線絶縁層51を掘込むように形成されたトレンチに埋め込まれている。また、ビット線導電層55は、第2配線絶縁層52を掘り込むように形成されたトレンチに埋め込まれている。ビット線導電層55は、例えばタンタル(Ta

50

）窒化タンタル（ TaN ）－銅（ Cu ）にて構成されている。ビット線導電層 55 は、図 5 及び図 7 に示すように、ロウ方向を長手方向として、1 つの柱状部 CL_{mn} 毎に 1 本設けられている。

【0047】

なお、柱状部 CL_{mn} は、図 7 に示すように、ロウ方向においては連結部 JP_{mn} によって接続されておらず、それぞれ独立したメモリストリング MS に属している。

【0048】

（第 1 の実施の形態に係る不揮発性半導体記憶装置 100 の製造方法）

次に、図 8～図 14 を参照して、第 1 の実施の形態に係る不揮発性半導体記憶装置 100 の製造方法を説明する。メモリトランジスタ領域 12 と、図示しない周辺回路領域は同時に形成されるが、ここでは説明の簡単のため、本実施の形態の特徴に関連するメモリトランジスタ領域 12 の製造工程のみを説明する。

10

【0049】

先ず、図 8 に示すように、半導体基板 Ba 上に酸化シリコン（ SiO_2 ）及びポリシリコン（ $p-Si$ ）を堆積させた後、リソグラフィ法や RIE （Reactive Ion Etching）法、イオン注入法を用いて、メモリトランジスタ領域 12 にて、バックゲート層間絶縁層 21、バックゲート導電層 22 を形成する。

【0050】

次に、図 9 に示すように、メモリトランジスタ領域 12 において、バックゲート導電層 22 を堀込み、バックゲートホール 24 を形成する。バックゲートホール 24 は、ロウ方向に短手方向、カラム方向に長手方向を有し、1 つのメモリストリングス MS 毎の島状の開口部を有するように形成される。バックゲートホール 24 は、ロウ方向及びカラム方向に所定間隔毎に形成する。

20

【0051】

次に、バックゲートホール 24 内を埋めるように、犠牲膜としての窒化シリコン（ SiN ）を堆積させる。続いて、化学機械研磨法（ CMP ：Chemical Mechanical Polishing）、又は RIE 法でバックゲート導電層 22 の上部の窒化シリコン（ SiN ）を除去し、バックゲートホール 24 内に犠牲層 91 を形成する。

【0052】

なお、図 9 に示すように、バックゲートホール 24 は、バックゲート導電層 22 を貫通しない深さまで形成しているが、バックゲート導電層 22 を貫通するように形成してもよい。

30

【0053】

次に、図 10 に示すように、バックゲート導電層 22、及び犠牲層 91 上に、交互に酸化シリコン（ SiO_2 ）、ポリシリコン（ $p-Si$ ）を積層させ、第 1～第 5 ワード線間絶縁層 $31a' \sim 31e'$ 、第 1～第 4 ポリシリコン導電層 $32a' \sim 32d'$ を形成し、続いて、第 1～第 4 ワード線間絶縁層 $31a' \sim 31e'$ 、第 1～第 4 ポリシリコン層 $32a' \sim 32d$ を貫通するようにメモリホール 35a を形成する。

【0054】

メモリホール 35a は、バックゲートホール 24 のカラム方向の両端付近、及び中央付近に整合する位置に形成する。すなわち、3 本のメモリホール 35a と、バックゲートホール 25 とで W 字形状が形成されるようにする。

40

【0055】

次に、図 11 に示すように、犠牲層 91 を除去する。例えば、犠牲層 91 の除去は、熱燐酸溶液中で行う。続いて、希フッ酸処理により、露出したバックゲート導電層 22 の表面、及び露出した第 1～第 4 ポリシリコン層 $32a' \sim 32d'$ の表面を清浄化し、自然酸化膜を除去する。

【0056】

続いて、図 12 に示すように、バックゲートホール 24、メモリホール 35a に面する側壁を覆うように、メモリゲート絶縁層 62 を形成する。具体的には、酸化シリコン（ S

50

SiO_2)、窒化シリコン(SiN)、酸化シリコン(SiO_2)を順次堆積させ、ONO膜としてのメモリゲート絶縁層62を形成する。

【0057】

次に、図13に示すように、メモリホール35a、及びバックゲートホール24からなるW字状の空洞内に、アモルファスシリコン(a-Si)を堆積させ、アモルファスシリコン層93を形成する。アモルファスシリコン層93は、中空93aを有するように形成する。換言すると、アモルファスシリコン層93は、バックゲートホール24内、およびメモリホール35a内を完全に埋めないように形成する。

【0058】

続いて、図14に示すように、中空93aに面するアモルファスシリコン層93の側壁を熱酸化させ、酸化シリコン(SiO_2)を形成する。また、残存したアモルファスシリコン層93を結晶化させ、ポリシリコン(p-Si)を形成し、W字状の導電膜63を形成する。

【0059】

また、W字型半導体層63の中空93aに形成された酸化シリコン(SiO_2)上に、さらにCVD(Cheical Vapor Deposition)法にて酸化シリコン(SiO_2)を堆積し、中空93a内を埋めるように内部絶縁層64を形成する。

【0060】

さらに、CMP処理により、ワード線間絶縁層31e'上に堆積されたメモリゲート絶縁層62、導電層63、及び内部絶縁層64を除去する。

【0061】

この後、例えば出願人が先に出願した出願に係る特開2007-266143号公報等に開示されていると同様の方法により、選択トランジスタ層40、配線層50、周辺回路領域、コンタクト領域を生成して、図1に示すような不揮発性半導体記憶装置100が製造される。

【0062】

(第1の実施の形態に係る不揮発性半導体記憶装置100の動作)

次に、再び図1~3を参照して、第1の実施の形態に係る不揮発性半導体記憶装置100の動作を説明する。メモリトランジスタMCにおける「書き込み動作」、
「消去動作」、及び「読み出し動作」について説明する。なお、以下では、図3に示すメモリトランジスタMC2を書き込み、読み出しの対象とする場合を例として説明する。

【0063】

(書き込み動作)

最初に、メモリストリングスMS中の、例えばメモリトランジスタMC2への書き込み動作を、図15を参照して説明する。まず、初期動作として、全てのビット線BL0~2の電圧を接地電位VSSとし、バックゲート線BGの電圧を接地電位Vssとして、バックゲートトランジスタBT1、BT2を非導通状態に維持しておく。選択ゲートSGの電圧も接地電圧Vssとされ、選択トランジスタST1~3も非導通状態にされている。

【0064】

続いて、メモリトランジスタMC2が配置されるメモリストリングスMSに接続される選択ゲートSGに所定の電圧Vgを印加して、選択トランジスタST1~ST3を導通状態にする。なお、読み出し対象とされない非選択のメモリストリングスMSに接続される選択ゲートSGには電圧Vgは印加されず、非選択のメモリストリングスMSのボディ電位(チャンネル電位:柱状部CL_{mn}の電位)はフローティング状態に維持される。

【0065】

続いて、書き込みを行うメモリトランジスタMC2に接続されるビット線BL1は接地電位Vssのままとする一方、残りのビット線BL0、BL2を所定のビット線電圧V_Bに上げる。これにより、書き込みを行わないメモリセルMC5~12のボディ電位はビット線BLから切り離され、フローティング状態となり、書き込みが防止される。以上の動作により、書き込みを行うメモリトランジスタMC2が配置される柱状部CL_{mn}1のボディ電

10

20

30

40

50

位のみがVSSに固定される。

【0066】

この状態から、各ワード線WL1～4の電圧を、書き込みが行われずにメモリトランジスタMCを導通させる程度の電圧Vpass（8V程度）まで上昇させた後、さらに書き込みを行うメモリトランジスタMC2が接続されたワード線WL2の電圧を書き込み電圧Vpgm（20V以上）まで上昇することで、所望のメモリトランジスタMC2にデータ書き込みが行われる。

【0067】

以上のように、書き込み動作時は、バックゲートトランジスタBT1、BT2を非導通状態（OFF）として、柱状部Cmn1に沿ったメモリトランジスタMC1～4と、柱状部Cmn2に沿ったメモリトランジスタMC9～12とを互いに分離して、個別に書き込み制御を行うことができる。すなわち、一方に書き込み動作のためのビット線電圧の印加が行われている場合であっても、他方にはその電圧は印加されず、影響を受けない。

【0068】

なお、以上の例では、柱状部Cmn1に沿ったメモリトランジスタMC2に書き込み動作を行う例を示したが、柱状部Cmn3に沿ったメモリトランジスタに書き込みを行う場合にも、同様な動作で書き込みを行うことができる。この場合には、ビット線BL2の方を接地電圧Vssとし、ビット線BL1の方を所定の電圧VBにすればよい。

【0069】

（消去動作）

次に、メモリストリングMS中のメモリトランジスタの消去動作を説明する。

【0070】

まず、一旦全てのビット線BL0～2、選択ゲート線SG、ワード線WL1～4、バックゲート線BGを接地電圧Vssに落とした後、ビット線BL0～2の電圧を消去電圧Veraseに向けて電位上昇を開始する。これに追従して選択ゲート線SGの電位を接地電圧Vssから所定の電圧VGに上げる。これにより、メモリトランジスタMCの拡散層端で強電界によるホール（正孔）が発生し、ボディ電位が上昇する。ここで、選択ゲート線SGの電位を接地電圧Vssから所定の電圧VGに上げるのは、選択トランジスタSTのゲート絶縁層65が絶縁破壊耐圧に達しないようにするためである。ボディ電位は最終的に消去電圧Verase近傍まで上昇する。このボディ電位と、ワード線WLの電圧Vssにより生じる電界により、メモリストリングMSを含むブロック中のメモリトランジスタ全体のデータが消去される。

【0071】

なお、1つのメモリストリングMSに接続される3本のビット線BL0～2のうち、一部のみに消去電圧Veraseを印加して消去動作を行い、他のビット線はセンスアンプ回路から切り離してフローティング状態にしておくことにより、消去動作を実施することも可能である。この場合も、バックゲートトランジスタBT1、BT2は非導通状態のままでもよいが、バックゲートトランジスタBT1、2を通じて発生したホールが、メモリストリングMSのチャンネル部（ボディ）に注入されることが必要である。

【0072】

（読み出し動作）

続いて、メモリストリングMS中の、例えばメモリトランジスタMC2の読み出し動作を、図16を参照して説明する。

【0073】

まず、全てのビット線BL0～2を接地電圧Vssとし、バックゲート線BGの電圧を所定の電圧VBGとしてバックゲートトランジスタBT1、BT2を導通状態（ON）にする。

【0074】

その後、選択ゲート線SGの電圧を接地電圧Vssとして選択トランジスタST1～3をOFFとした後、読み出し対象であるメモリトランジスタMC2に接続されているビッ

10

20

30

40

50

ト線BL1以外のビット線BL0、BL2に暫定的に電圧V_{d read}にする。

【0075】

続いて、読み出し対象であるメモリトランジスタMC2の制御ゲートに接続されるワード線WL2の電圧を接地電圧V_{ss}とし、その他のワード線WL1、3、4の電圧は読み出し電圧V_{d read}にされる。読み出し電圧V_{d read}は、データ書き込み後のメモリトランジスタMCの閾値電圧よりも大きい値を有する。これにより、読み出し対象のメモリトランジスタMC2は、データが"1"の場合は導通し、データが"0"であれば非導通となる。一方、読み出し対象でないメモリトランジスタMCは、保持データが"0"、"1"のいずれであるかに拘わらず導通状態とされる。

【0076】

上述したように、柱状部CLmn2に沿ったメモリセルMC5~8は常に消去状態とされており、従って、ビット線BL0、BL2に電圧V_{d read}が印加され、ビット線BL1に接地電圧V_{ss}が印加され、さらにワード線WL1~4に上記の電圧が印加されることにより、少なくともこのメモリトランジスタMC5~8は常に導通する。これにより、選択トランジスタST2、メモリトランジスタMC5~8及びバックゲートトランジスタBT1を介してメモリセルMC1~MC4にもデータ読み出しのための電圧が供給され得る（バックゲート線BGを電圧V_{d read}近くまで上昇させることができる）。この状態において、ビット線BL1の電位をセンスアンプで検知することにより、メモリセルMC2のデータを読み出すことができる。

【0077】

なお、メモリセルMC9~12においては、ビット線BL2に電圧V_{d read}が印加され、チャネル電位が電圧V_{d read}近傍にまで引き上げられるが、ビット線BL0も略同電位となるために、ビット線BL0とBL2との間で貫通電流が流れることはなく、読み出し動作に与える影響は最小限に抑えられる。

【0078】

（第1の実施の形態に係る不揮発性半導体記憶装置100の効果）

次に、第1の実施の形態に係る不揮発性半導体記憶装置100の効果について説明する。第1の実施の形態に係る不揮発性半導体記憶装置100は、上記積層構造に示したように高集積化可能である。また、不揮発性半導体記憶装置100は、上記製造工程にて説明したように、メモリトランジスタMCとなる各層、選択トランジスタ層STとなる各層を、ワード線WLの積層数に関係なく所定のリソグラフィ工程数で製造することができる。すなわち、安価に不揮発性半導体記憶装置100を製造することが可能である。

【0079】

また、第1の実施の形態に係る不揮発性半導体記憶装置100は、W字型半導体層SC_{mn}の連結部JP_{mn}に接するバックゲート線BGを有する。そして、このバックゲート線BGは、連結部JP_{mn}にチャネルを形成するバックゲートトランジスタBGとして機能する。したがって、ノン・ドープに近い状態のW字型半導体層SC_{mn}にて、良好な導通特性を有するメモリストリングスMSを構成することができる。

【0080】

また、本実施の形態では、W字状に形成されたメモリストリングスMSを採用しているため、メモリトランジスタ層30の下層部においてコンタクトを形成することが不要となる。このため、製造工程の簡略化を図ることができるとともに、メモリトランジスタ層の設計の自由度が増し、より信頼性の高い不揮発性半導体記憶装置を実現することができる。また、この実施の形態では、ソース線配線が不要であるので、その分配線層の数が少なく、製造コストを低減することができる。ソース線があると、複数のビット線のビット線から同時に多数のセルを読み出す場合において、ソース線配線は同時読み出しセル数分の電流を流せる必要があり、ビット線より特に低抵抗配線が必要である。この点、本実施の形態では、1つのメモリストリングスMSに接続される3本のビット線BL0~2のうちの1本をソース線のように用いることとしているので、各ビット線BL0~2の抵抗は同じでよく、同一配線層に形成することができる。この意味においても、製造コストの低減

10

20

30

40

50

、信頼性の向上が図られている。

【0081】

〔第2の実施の形態〕

図17は、本発明の第2の実施の形態に係る不揮発性半導体記憶装置100の、メモリトランジスタ領域12の概略図を示す。図18はその平面図である。なお、第1の実施の形態と同一の構成要素に関しては同一の符号を付し、その説明は省略する。

【0082】

この実施の形態は、選択ゲート線SG1-8を有しているが、このうち奇数番目の選択ゲート線SG1、SG3、SG5、SG7は下層に形成され、偶数番目の選択ゲート線SG2、SG4、SG6、SG8は、この奇数番目の選択ゲート線の間の位置であって、奇数番目の選択ゲート線よりも上層の位置に形成されている。

10

【0083】

上記のような2層交互型選択ゲート線構造を取ることで、1本の柱状部CL_{m n}あたりの面積を4F²とすることが可能となる。

なお、1つのメモリストリングスMSに含まれる柱状部CL_{m n}の数は3本に限られず、複数であればよい。このとき、1つのメモリストリングスMS中に含まれる柱状部CL_{m n}の数と、メモリトランジスタが形成される柱状部の実効面積との関係は、次のようになる。

【0084】

柱状部CL_{m n}が2本→8F²

柱状部CL_{m n}が3本→6F²

柱状部CL_{m n}が4本→5F²

柱状部CL_{m n}が9本→4.5F²

20

すなわち、1つのメモリストリングスMS中に含まれる柱状部CL_{m n}の数を増すほど、柱状部CL_{m n}の実効面積を低減でき、メモリの高密度化に寄与することができる。

【0085】

〔その他〕

以上、本発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において、様々な変更、追加、削除、置換等が可能である。たとえば、上記の実施の形態では、1つのメモリストリングスを形成する3つの柱状部CL_{m n}を、いずれもポリシリコンを材料として形成すると説明したが、例えば、データが常に消去状態に維持されるメモリトランジスタMC5~8に沿った柱状部CL_{m n}2については、ポリシリコンの代わりに、例えば表面がコバルト等の金属と反応させてシリサイド化されたシリコン層又は金属膜（アルミニウム等）などの金属元素を含む化合物を用いることも可能である。あるいは、柱状部CL_{m n}2のみ、高濃度の不純物（リン等）を注入して低抵抗化してもよい。この対策により、電圧降下が小さくなり、より安定した読み出し動作を保証できる。

30

また、上記の実施の形態では、1つのメモリストリングスMS中の少なくとも1列のメモリトランジスタMCは、常に消去状態に維持されるのが好ましいと説明したが、これに限らず、このような常に消去状態に維持されるメモリトランジスタMCを設けないこととしてもよい。この場合、選択ワード線WLの電位を接地電位V_{ss}よりも高く設定する必要があるが、読み出し電流量が最悪の場合第1の実施の形態の場合の半分程度に減少する可能性があるが、十分な感度のセンスアンプとノイズ対策が施されれば読み出し可能である。この場合、より有効なセルアレイ利用が可能となり、1つのメモリストリングスMSに含まれる柱状部の数に関わらず、4F²の柱状部の面積を実現でき、半導体メモリ装置の高密度化に寄与するものである。

40

【図面の簡単な説明】

【0086】

【図1】本発明の第1の実施の形態に係る不揮発性半導体記憶装置100の概略図を示す。

50

【図 2】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 のメモリトランジスタ領域 1 2 の一部の概略斜視図である。

【図 3】1 つのメモリストリング M S の等価回路図を示す。

【図 4】メモリトランジスタ領域 1 2 の平面図である。

【図 5】図 4 の A - A ' 断面図である。

【図 6】図 5 の一部拡大断面図である。

【図 7】図 4 の B - B ' 断面図である。

【図 8】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。

【図 9】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。 10

【図 1 0】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。

【図 1 1】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。

【図 1 2】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。

【図 1 3】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。

【図 1 4】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法を説明する工程図である。 20

【図 1 5】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の書き込み動作を説明する等価回路図である。

【図 1 6】第 1 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の読み出し動作を説明する等価回路図である。

【図 1 7】本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の、メモリトランジスタ領域 1 2 の概略図を示す。

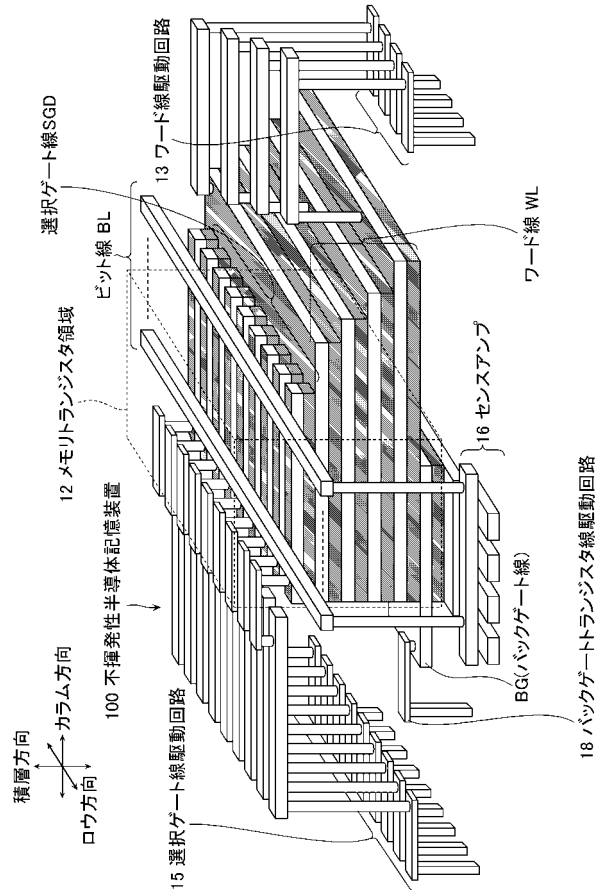
【図 1 8】本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置 1 0 0 の、メモリトランジスタ領域 1 2 の平面図を示す。

【符号の説明】 30

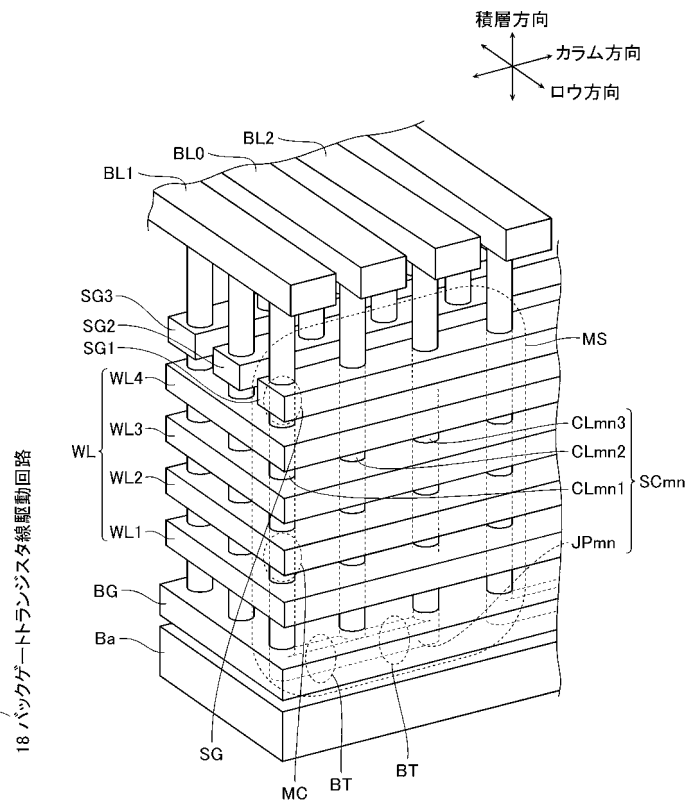
【 0 0 8 7 】

1 0 0 …不揮発性半導体記憶装置、1 2 …メモリトランジスタ領域、1 3 …ワード線駆動回路、1 5 …選択ゲート線駆動回路、1 6 …センスアンプ、1 8 …バックゲートトランジスタ駆動回路、2 0 …バックゲートトランジスタ層、3 0 …メモリトランジスタ層、4 0 …選択トランジスタ層、B a …半導体基板、C L_{m n} …W字型半導体層、M C …メモリトランジスタ、S G …選択トランジスタ、B G …バックゲートトランジスタ。

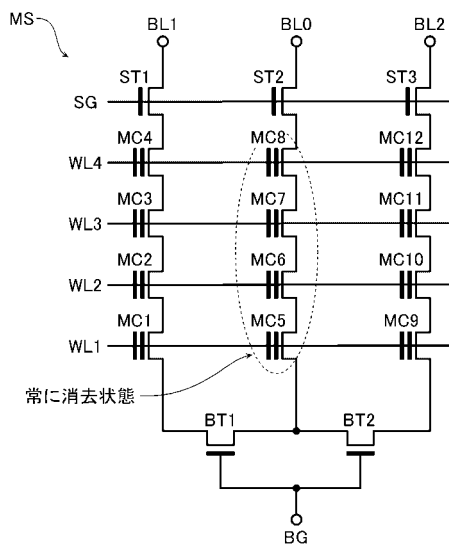
【図 1】



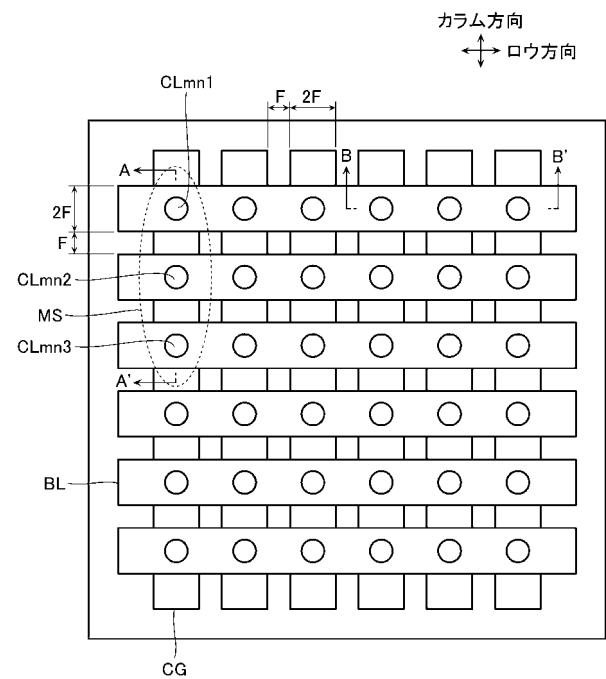
【図 2】



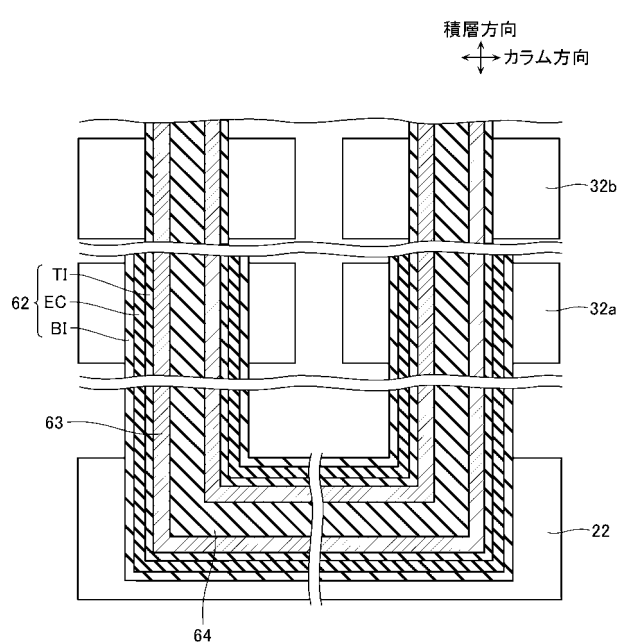
【図 3】



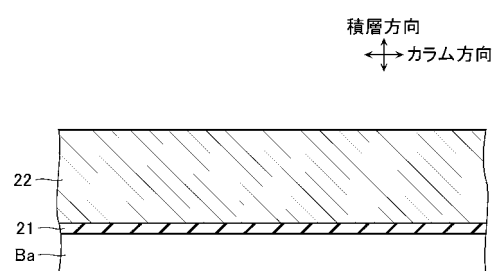
【図 4】



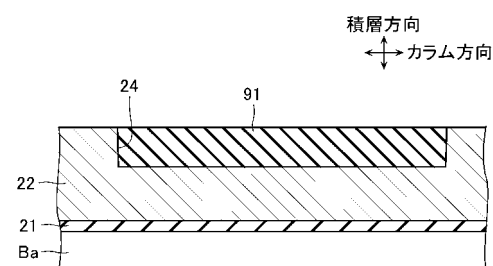
【図 6】



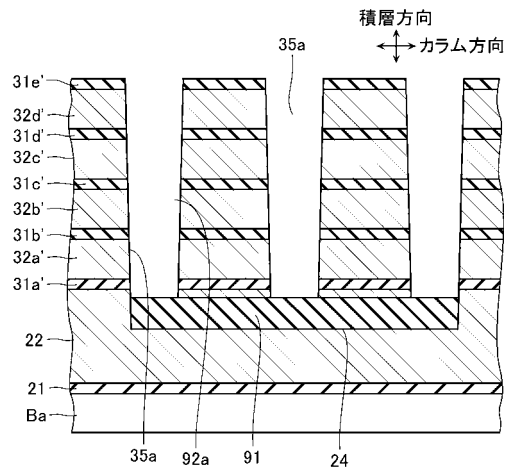
【图 8】



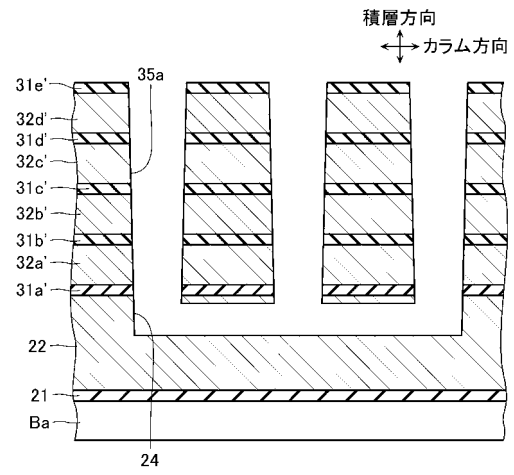
【图 9】



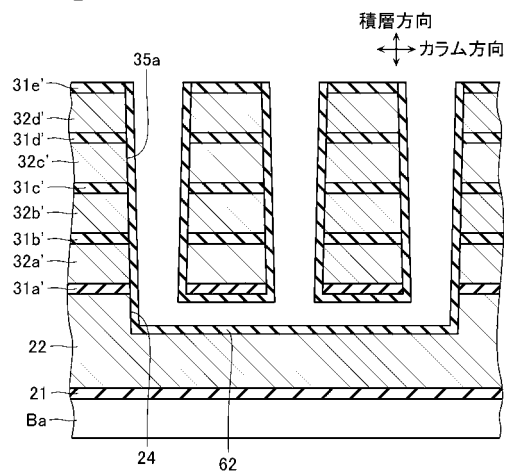
【図 10】



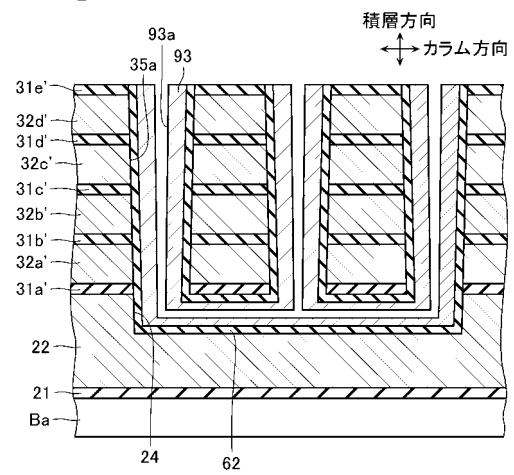
【図 11】



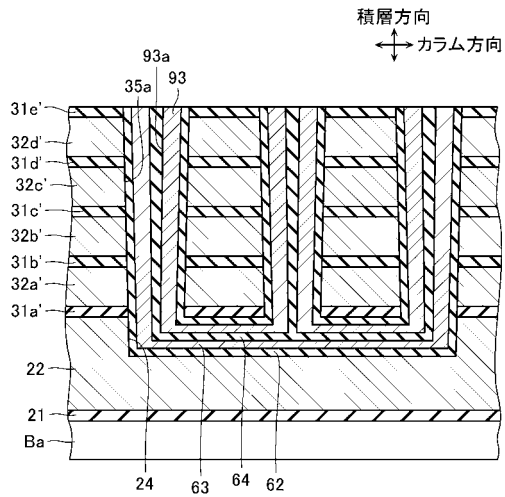
【図 12】



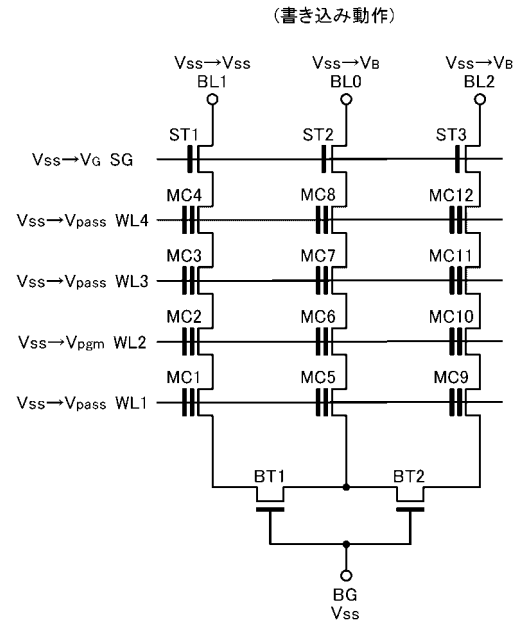
【図 13】



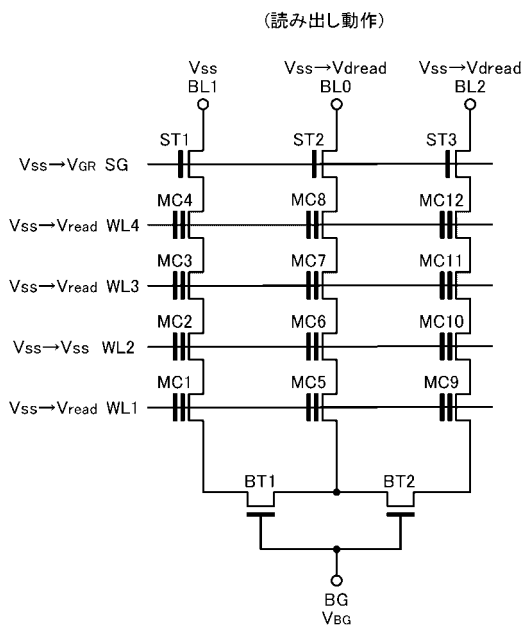
【図 14】



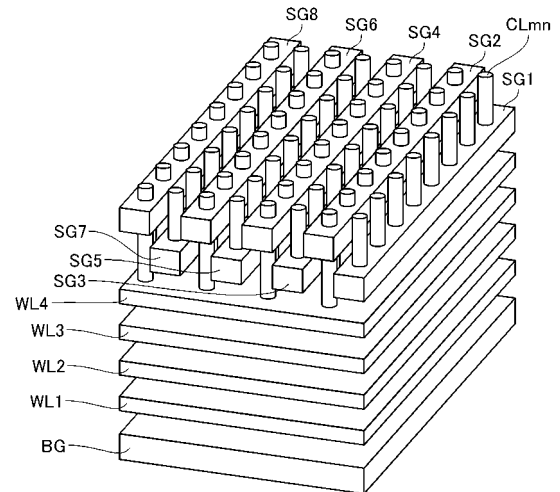
【図 15】



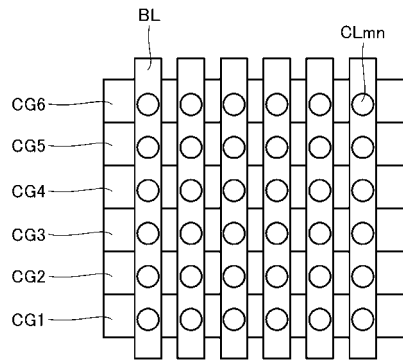
【図 16】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 勝又 竜太
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 鬼頭 傑
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 木藤 大
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 田中 啓安
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小森 陽介
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石月 恵
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP18 EP22 EP33 EP34 ER09 ER19 GA10 HA02 JA37 JA39
JA40 PR05 PR39 PR40
5F101 BA45 BD16 BD30 BD34 BE02 BE05 BE06 BH15