(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 5 月 26 日(26.05.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/086283 A1

(51) 国際特許分類:
H01F 27/00 (2006.01) *H01L 21/822* (2006.01)
H01F 17/00 (2006.01) *H01L 27/04* (2006.01)
H01G 4/40 (2006.01) *H03H 7/075* (2006.01)

(21) 国際出願番号: PCT/JP2016/083747

(22) 国際出願日: 2016 年 11 月 15 日(15.11.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-226886 2015 年 11 月 19 日(19.11.2015) JP

(71) 出願人: 株式会社村田製作所 **(MURATA MANUFACTURING CO., LTD.)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 石塚　健一 **(ISHIZUKA Kenichi)**; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人　楓国際特許事務所 **(KAEDE PATENT ATTORNEYS' OFFICE)**; 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

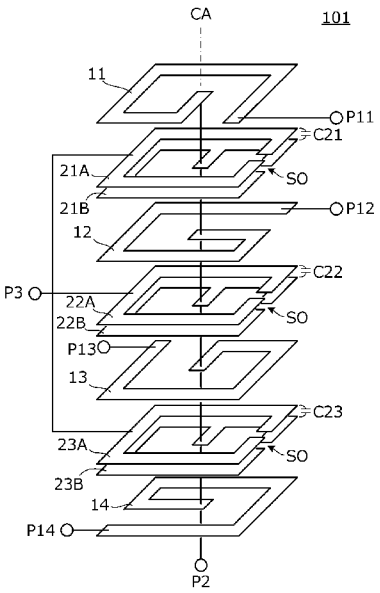
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2017/086283 A1

(54) **Title**: LC COMPOSITE DEVICE

(54) 発明の名称 : ＬＣ複合デバイス

Fig.1



(57) **Abstract**: This LC composite device is configured from a capacitor and an inductor formed on an insulator substrate. The inductor is configured so as to include a loop-shaped inductor pattern that has a first end and a second end. The capacitor is configured so as to include a capacitor pattern of a shape which has inner and outer diameters approximately equal to those of the loop-shaped inductor pattern and in which loop-shaped patterns are separated by at least one gap. The capacitor pattern and the inductor pattern have a common center axis.

(57) 要約: ＬＣ複合デバイスは、絶縁体基板に形成されるインダクタおよびキャパシタによって構成される。インダクタは、第１端と第２端とを有するループ状のインダクタパターンを含んで構成される。キャパシタは、ループ状のインダクタパターンとほぼ等しい寸法の内外径を有し、且つループ状のパターンが１つ以上の切れ目で分離された形状のキャパシタパターンを含んで構成される。キャパシタパターンは、インダクタパターンの中心軸と共通の中心軸を有する。

明　細　書

発明の名称 ： ＬＣ複合デバイス

技術分野

[0001] 本発明は、インダクタおよびキャパシタを備えるＬＣ複合デバイスに関する。

背景技術

[0002] 半導体基板に薄膜プロセスによってインダクタやキャパシタを一体的に形成した素子IPD（Integrated Passive Device）は、小型かつ薄型であることから、特にモバイル端末用の複合受動部品として有望である。

[0003] インダクタ素子およびキャパシタ素子の両者を含む小型・薄型のIPDを構成するには、例えば特許文献１に示されているように、キャパシタの横にインダクタを配置するか、特許文献２に示されているように、キャパシタの上部にインダクタを配置する、といった構造が採用される。

先行技術文献

特許文献

[0004] 特許文献1：特開平６－５３４０６号公報

特許文献2：特開２００１－４４７７８号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献１に示されているように、キャパシタとインダクタとを並置すると、小型のＬＣ複合デバイスが得にくい。また、特許文献２に示されているように、キャパシタとインダクタを積層配置すると、キャパシタを構成するための電極で、インダクタの磁界が遮られてしまい、Ｑ値の高いインダクタを形成しにくい。キャパシタ用電極の面積を小さくすれば、インダクタ素子の磁界を妨げ難くなるが、大きな容量を持つキャパシタを得にくい。

[0006] 本発明の目的は、大型化、Ｑ値の劣化を抑制しつつ、所定インダクタンス

および所定キャパシタンスを有するＬＣ複合デバイスを提供することにある。

課題を解決するための手段

[0007] （１）絶縁体基板と、前記絶縁体基板に形成されるインダクタおよびキャパシタと、

を備えるＬＣ複合デバイスであって、

前記インダクタは、第１端と第２端とを有するループ状のインダクタパターンを含み、

前記キャパシタは、前記ループ状のインダクタパターンとほぼ等しい寸法の内外径を有し、且つループ状のパターンが１つ以上の切れ目で分離された形状のキャパシタパターンを含んで構成され、且つ、前記インダクタパターンの中心軸と共通の中心軸を有する、ことを特徴とする。

[0008] 上記構成により、インダクタパターンによる磁界がキャパシタパターンで遮蔽され難く、Ｑ値の高いインダクタが得られる。また、インダクタパターンとキャパシタパターンの形成領域は平面視で重なるので、デバイスの大型化が避けられる。

[0009] （２）上記（１）において、前記キャパシタは、前記インダクタパターンと前記キャパシタパターンとの間に生じる容量であることが好ましい。これにより、少ないキャパシタパターンの層数でインダクタと共にキャパシタを構成できる。

[0010] （３）上記（２）において、前記インダクタパターンの第１端に接続される第１端子、前記インダクタパターンの第２端に接続される第２端子、および前記キャパシタパターンに接続される第３端子を備えることが好ましい。これにより、第１端子と第２端子を、その間にインダクタが接続された端子として用い、第３端子を、インダクタに接続されたキャパシタの一端として用いることができる。

[0011] （４）上記（３）において、前記ループ状のインダクタパターンの前記第１端と前記第２端との間に間隙を有し、前記間隙と前記キャパシタパターンの

切れ目とが平面視で重なることが好ましい。これにより、インダクタパターンとキャパシタパターンとの間に分布して生じるキャパシタのうち、インダクタの第１端寄りの位置に接続されるキャパシタと、第２端寄りの位置に接続されるキャパシタのキャパシタンスの割合を、キャパシタパターンの切れ目の位置で定めることができる。

[0012] （５）上記（１）から（４）のいずれかにおいて、前記ループ状のインダクタパターンは複数の層に設けられ、前記キャパシタパターンは、前記ループ状のインダクタパターンと前記ループ状のインダクタパターンとの間の層に配置されることが好ましい。これにより、より少ないキャパシタパターンの層数でインダクタと共にキャパシタを構成できる。

[0013] （６）上記（１）から（４）のいずれかにおいて、前記キャパシタパターンは、複数の層に設けられ、前記ループ状のインダクタパターンは、前記キャパシタパターンと前記キャパシタパターンとの間に配置されることが好ましい。これにより、より少ないキャパシタパターンの層数でインダクタと共にキャパシタを構成できる。

[0014] （７）上記（１）において、前記キャパシタは隣接する２層に形成されたキャパシタパターンで構成されることが好ましい。これにより、キャパシタパターン同士の対向部に生じるキャパシタンスを主たるキャパシタンスとして用いることができ、所定のキャパシタンスを小面積で得られる。

[0015] （８）上記（７）において、前記ループ状のインダクタパターンは複数の層に設けられ、前記キャパシタパターンは、前記ループ状のインダクタパターンと前記ループ状のインダクタパターンとの間の層に配置されることが好ましい。これにより、各インダクタパターンはキャパシタパターンを介して離れた位置に配置されるので、各インダクタの結合を抑制しつつ、小型・薄型化が容易となる。

[0016] （９）上記（１）から（８）のいずれかにおいて、前記インダクタパターンおよび前記キャパシタパターンは、半導体基板の再配線層に形成された薄膜導体パターンであることが好ましい。これにより、より薄型のデバイスが構

成される。

発明の効果

[0017] 本発明によれば、Ｑ値の高いインダクタを備えるＬＣ複合デバイスが構成される。

図面の簡単な説明

[0018] [図1]図１は第１の実施形態に係るＬＣ複合デバイス１０１の導体パターン部分の斜視図である。

[図2]図２はＬＣ複合デバイス１０１の断面図である。

[図3]図３は本実施形態のＬＣ複合デバイス１０１の回路図である。

[図4]図４は第２の実施形態に係るＬＣ複合デバイス１０２の導体パターン部分の斜視図である。

[図5]図５は本実施形態のＬＣ複合デバイス１０２の回路図である。

[図6]図６（Ａ）は、第３の実施形態に係るＬＣ複合デバイス１０３Ａの概念図であり、対向する２つの導体パターンについて表している。図６（Ｂ）はＬＣ複合デバイス１０３Ａの回路図である。

[図7]図７（Ａ）は、第３の実施形態に係るＬＣ複合デバイス１０３Ｂの概念図であり、対向する２つの導体パターンについて表している。図７（Ｂ）はＬＣ複合デバイス１０３Ｂの回路図である。

[図8]図８（Ａ）（Ｂ）（Ｃ）は、第４の実施形態に係るＬＣ複合デバイス１０４Ａ，１０４Ｂ，１０４Ｃの主要部の２層に形成された導体パターンの斜視図である。

[図9]図９はＬＣ複合デバイス１０４Ａ，１０４Ｂ，１０４Ｃの回路図である。

[図10]図１０は第５の実施形態に係るＬＣ複合デバイス１０５の分解平面図である。

[図11]図１１はＬＣ複合デバイス１０５の回路図である。

[図12]図１２は第６の実施形態に係るプロセッサに対する平滑回路の接続構造を示す概念図である。

[図13]図１３は、ＬＣ複合デバイス１０１の実装構造およびプロセッサチップ３０１の実装構造を示す図である。

発明を実施するための形態

[0019] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所に同一符号を付している。要点の説明または理解の容易性を考慮して、便宜上実施形態を分けて示すが、異なる実施形態で示した構成の部分的な置換または組み合わせが可能である。第２の実施形態以降では第１の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0020] 《第１の実施形態》

図１は第１の実施形態に係るＬＣ複合デバイスの導体パターン部分の斜視図である。図２はＬＣ複合デバイスの断面図である。いずれも、各層の導体パターンの形成領域を厚み方向に引き延ばして描いている。

[0021] 本実施形態に係るＬＣ複合デバイス１０１は、図２に表れているように、半導体基板１表面の絶縁体層１Ｓ上に形成された再配線層３に構成されている。すなわち、ＬＣ複合デバイス１０１は、再配線層３に形成された薄膜インダクタおよび薄膜キャパシタで構成されている。

[0022] 図１において、端子Ｐ１１～Ｐ１４，Ｐ２，Ｐ３はＬＣ複合デバイス１０１の外部接続端子であるが、図１においては、電気的な接続関係を重視して概念的に表している。これら端子Ｐ１１～Ｐ１４，Ｐ２，Ｐ３は、図２に示した再配線層３の表面に露出する。

[0023] 再配線層３内には、インダクタパターン１１，１２，１３，１４が形成されている。また、キャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂが形成されている。

[0024] インダクタパターン１１，１２，１３，１４は、それぞれほぼ等しい寸法の内外径を有し、且つ、共通の中心軸ＣＡを有するループ状の導体パターンである。

[0025] キャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂは、インダクタパターン１１，１２，１３，１４とほぼ等しい寸法の内外径を有し、且つループ状のパターンが１つの切れ目ＳＯで分離された、ループ状の導体パターンで構成されている。また、これらキャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂは、インダクタパターン１１，１２，１３，１４の中心軸ＣＡと共通の中心軸ＣＡを有する。

[0026] インダクタパターン１１，１２，１３，１４のそれぞれの第１端には第１端子Ｐ１１，Ｐ１２，Ｐ１３，Ｐ１４が接続されている。また、インダクタパターン１１，１２，１３，１４のそれぞれの第２端には第２端子Ｐ２が接続されている。また、キャパシタパターン２１Ｂ，２２Ｂ，２３Ｂは第２端子Ｐ２に接続されていて、キャパシタパターン２１Ａ，２２Ａ，２３Ａは第３端子Ｐ３に接続されている。

[0027] 図３は本実施形態のＬＣ複合デバイス１０１の回路図である。図３において、インダクタＬ１，Ｌ２，Ｌ３，Ｌ４はそれぞれインダクタパターン１１，１２，１３，１４によるインダクタである。また、キャパシタＣはキャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂによるキャパシタである。

[0028] 図１に示したように、キャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂは、それぞれのループ状のパターンが１つの切れ目ＳＯで分離された、ループ状の導体パターンで構成されているので、すなわち閉じたループを構成していない。したがって、インダクタパターン１１，１２，１３，１４による磁束がキャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂの内部を通過しても、キャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂには渦電流が流れない。したがって、インダクタＬ１，Ｌ２，Ｌ３，Ｌ４のＱ値はキャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂの存在によって低下することは殆どない。

[0029] なお、インダクタパターン１１，１２，１３，１４の中心軸とキャパシタ

パターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂの中心軸とは完全に共通である必要はない。また、キャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂは、インダクタパターン１１，１２，１３，１４と完全に等しい寸法の内外径を有していなくてもよい。インダクタパターン１１，１２，１３，１４の形成領域と、キャパシタパターン２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂの形成領域とが、平面視で大部分重なる関係であれば、小型のＬＣ複合デバイスが構成できる。ここで「大部分」とは、例えば７５％以上である。

[0030] 《第２の実施形態》

第２の実施形態では、インダクタパターンとキャパシタパターンとの間に生じる容量でキャパシタが構成された、ＬＣ複合デバイスについて示す。

[0031] 図４は第２の実施形態に係るＬＣ複合デバイスの導体パターン部分の斜視図である。各層の導体パターンの形成領域は厚み方向に引き延ばして描いている。

[0032] 本実施形態に係るＬＣ複合デバイス１０２は、第１の実施形態のＬＣ複合デバイス１０１と同様に、半導体基板上の再配線層に構成されている。

[0033] 図４において、端子Ｐ１，Ｐ２，Ｐ３はＬＣ複合デバイス１０２の外部接続端子である。再配線層内には、インダクタパターン１１，１２，１３，１４およびキャパシタパターン２１，２２，２３が形成されている。インダクタパターン１１，１２，１３，１４は層間接続導体Ｖ１２，Ｖ２３，Ｖ３４を介して接続され、全体が約３．５ターンのコイルが構成されている。

[0034] インダクタパターン１１の一方端は第１端子Ｐ１に接続されていて、インダクタパターン１４の一方端は第２端子Ｐ２に接続されている。キャパシタパターン２１，２２，２３は第３端子Ｐ３に接続されている。

[0035] キャパシタパターン２１，２２，２３はインダクタパターン１１，１２，１３，１４の間の層にそれぞれ配置されている。また、インダクタパターン１２，１３はキャパシタパターン２１，２２，２３の間の層にそれぞれ配置されている。したがって、キャパシタパターン２１とインダクタパターン１

１，１２との間に容量が生じ、キャパシタパターン２２とインダクタパターン１２，１３との間に容量が生じ、キャパシタパターン２３とインダクタパターン１３，１４との間に容量が生じる。

[0036] 図５は本実施形態のＬＣ複合デバイス１０２の回路図である。インダクタパターン１１，１２，１３，１４とキャパシタパターン２１，２２，２３との間に生じる容量は分布しているが、図５では集中定数回路として表している。図５においてインダクタＬはインダクタパターン１１，１２，１３，１４によるインダクタである。キャパシタＣ１，Ｃ２は、インダクタパターン１１，１２，１３，１４とキャパシタパターン２１，２２，２３との間に生じる容量を集中定数素子として表している。このように、第３端子Ｐ３を回路のグランドに接続すれば、第１端子Ｐ１と第２端子Ｐ２との間にシリーズ接続されたインダクタＬと、グランドに対してシャント接続されたキャパシタ（Ｃ１，Ｃ２）とを備えるＬＣ複合デバイス１０２が構成される。このＬＣ複合デバイス１０２はローパスフィルタまたは平滑回路として用いることができる。

[0037] なお、インダクタパターン１１，１２，１３，１４の中心軸とキャパシタパターン２１，２２，２３の中心軸とは完全に共通である必要はない。また、キャパシタパターン２１，２２，２３は、インダクタパターン１１，１２，１３，１４と完全に等しい寸法の内外径を有していなくてもよい。インダクタパターン１１，１２，１３，１４とキャパシタパターン２１，２２，２３が互いに対向する関係であれば、インダクタパターン１１，１２，１３，１４とキャパシタパターン２１，２２，２３との間に所定のキャパシタが構成される。すなわち、上記内外径の寸法の同一性および上記中心軸の共通性については、本発明の作用効果を奏する範囲内で幅をもつ。

[0038] 《第３の実施形態》

第３の実施形態では、インダクタパターンとキャパシタパターンとの間に生じるキャパシタンスの分布を定めて、入力側および出力側にそれぞれシャント接続されるキャパシタのキャパシタンスを定めたＬＣ複合デバイスにつ

いて示す。

[0039] 図６（Ａ）は、第３の実施形態に係るＬＣ複合デバイス１０３Ａの概念図であり、対向する２つの導体パターンについて表している。図６（Ｂ）はＬＣ複合デバイス１０３Ａの回路図である。

[0040] ＬＣ複合デバイス１０３Ａは、インダクタパターン１１とキャパシタパターン２１を備える。インダクタパターン１１とキャパシタパターン２１は、第１、第２の実施形態の場合と同様に平行に対向している。インダクタパターン１１は約１ターンのループ状の導体パターンである。インダクタパターン１１の第１端には第１端子Ｐ１が接続されていて、第２端には第２端子Ｐ２が接続されている。キャパシタパターン２１は一部が切れ目ＳＯで分離されたループ状の導体パターンで構成されている。キャパシタパターン２１の一方端に第３端子Ｐ３が接続されている。

[0041] インダクタパターン１１とキャパシタパターン２１との間に生じる容量は分布しているが、図６（Ｂ）では集中定数回路として表している。図６（Ｂ）において、インダクタＬ１はインダクタパターン１１によるインダクタである。また、キャパシタＣ１３，Ｃ２３はキャパシタパターン２１とインダクタパターン１１との間にそれぞれ部分的に生じるキャパシタである。キャパシタパターン２１のうち、第３端子Ｐ３から離れた位置では、キャパシタに対して直列に寄生インダクタＬ２１が生じる。キャパシタＣ１３，Ｃ２３の値は切れ目ＳＯの位置および第３端子の接続位置によって異なるので、このことでＬＣデバイスの周波数特性を定めることができる。また、寄生インダクタＬ２１とキャパシタＣ１３との直列ＬＣ回路は、その共振周波数を減衰させるトラップフィルタとして利用することもできる。

[0042] 図７（Ａ）は、第３の実施形態に係るＬＣ複合デバイス１０３Ｂの概念図であり、対向する２つの導体パターンについて表している。図７（Ｂ）はＬＣ複合デバイス１０３Ｂの回路図である。図６（Ａ）（Ｂ）に示したＬＣ複合デバイス１０３Ａとは、切れ目ＳＯの位置および第３端子Ｐ３の接続位置が異なる。したがって、ＬＣ複合デバイス１０３Ｂの回路は図７（Ｂ）によ

うに表すことができる。

[0043] このように、キャパシタパターンに形成する切れ目ＳＯの位置および第３端子の接続位置によって、インダクタの入力側（第１端子Ｐ１側）からグランドへシャント接続されるキャパシタと、出力側（第２端子Ｐ２側）からグランドへシャント接続されるキャパシタのキャパシタンスや寄生インダクタのインダクタンスを定めることによってＬＣ複合デバイスの周波数特性を定めてもよい。

[0044] 《第４の実施形態》

第４の実施形態では、２つの切れ目が設けられたキャパシタパターンを備えるＬＣ複合デバイスの例を示す。

[0045] 図８（Ａ）（Ｂ）（Ｃ）は、第４の実施形態に係るＬＣ複合デバイス１０４Ａ，１０４Ｂ，１０４Ｃの主要部の２層に形成された導体パターンの斜視図である。ＬＣ複合デバイス１０４Ａ，１０４Ｂ，１０４Ｃのいずれも、インダクタパターン１１と、それに対向するキャパシタパターン２１，２２を含む。インダクタパターン１１とキャパシタパターン２１，２２とは平行に対向している。インダクタパターン１１は約１ターンのループ状の導体パターンである。インダクタパターン１１の第１端には第１端子Ｐ１が接続されていて、第２端には第２端子Ｐ２が接続されている。キャパシタパターン２１，２２は切れ目ＳＯ１，ＳＯ２で分離されたループ状の導体パターンで構成されている。キャパシタパターン２１，２２には第３端子Ｐ３１，Ｐ３２がそれぞれ接続されている。

[0046] 図９はＬＣ複合デバイス１０４Ａ，１０４Ｂ，１０４Ｃの回路図である。図９において、インダクタＬはインダクタパターン１１によるインダクタである。また、キャパシタＣ１はキャパシタパターン２１とインダクタパターン１１との間に生じるキャパシタであり、キャパシタＣ２はキャパシタパターン２２とインダクタパターン１１との間に生じるキャパシタである。

[0047] 図８（Ａ）（Ｂ）（Ｃ）に示すように、ＬＣ複合デバイス１０４Ａ，１０４Ｂ，１０４Ｃは、キャパシタパターン２１，２２の切れ目ＳＯ１，ＳＯ２

の位置が異なる。図９に示すキャパシタＣ１，Ｃ２はキャパシタパターン２１，２２とインダクタパターン１１との間に生じるキャパシタであるので、切れ目ＳＯ１，ＳＯ２の位置によって、キャパシタＣ１，Ｃ２のキャパシタンスを設定することができる。

[0048] このように、キャパシタパターンに形成する切れ目ＳＯ１，ＳＯ２の位置によって、グランドへシャント接続されるキャパシタとのキャパシタンスを定めることで、ＬＣ複合デバイスの周波数特性を定めてもよい。

[0049] 《第５の実施形態》

第５の実施形態では、２つの切れ目が設けられたキャパシタパターンを備え、且つキャパシタパターンへの端子の接続位置を定めたＬＣ複合デバイスの例を示す。

[0050] 図１０は第５の実施形態に係るＬＣ複合デバイス１０５の分解平面図である。基材Ｓ１の下面には、第１端子Ｐ１、第２端子Ｐ２およびグランド端子ＧＮＤが形成されている。基材Ｓ２には、グランド端子ＧＮＤに導通するビアＶ１，Ｖ３が形成されている。基材Ｓ３にはキャパシタパターン２１，２２，２３が形成されている。基材Ｓ４にはインダクタパターン１１が形成されている。

[0051] インダクタパターン１１は矩形ループ状の導体パターンである。キャパシタパターン２１，２２，２３は、インダクタパターン１１とほぼ等しい寸法の内外径を有し、且つ矩形ループ状の導体パターンである。キャパシタパターン２１，２２，２３は切れ目ＳＯ１，ＳＯ２で分離されている。インダクタパターン１１とキャパシタパターン２１，２２，２３とは平面視で重なる。

[0052] キャパシタパターン２１，２３はそれらの所定位置でビアＶ１，Ｖ３を介してグランド端子ＧＮＤに接続されている。

[0053] 図１１はＬＣ複合デバイス１０５の回路図である。ここで、インダクタＬ１１１，Ｌ１１２，Ｌ１１３はインダクタパターン１１によるインダクタである。また、キャパシタＣ１１，Ｃ１２はキャパシタパターン２１とインダ

クタパターン１１との間に生じるキャパシタである。同様に、キャパシタＣ３１，Ｃ３２はキャパシタパターン２３とインダクタパターン１１との間に生じるキャパシタである。インダクタＬ２１１，Ｌ２１２はキャパシタパターン２１による寄生インダクタであり、インダクタＬ２３１，Ｌ２３２はキャパシタパターン２３による寄生インダクタである。このように、第１端子Ｐ１と第２端子Ｐ２との間にシリーズ接続されたインダクタＬ１１１，Ｌ１１２，Ｌ１１３とグランドへシャント接続されたキャパシタＣ１１，Ｃ１２，Ｃ３１，Ｃ３２によって基本的にローパスフィルタまたは平滑回路が構成される。キャパシタＣ１１，Ｃ１２，Ｃ３１，Ｃ３２の値は切れ目ＳＯ１，ＳＯ２の位置およびビアＶ１，Ｖ３の位置によって定まる。

[0054] 上記キャパシタＣ１１，Ｃ１２、寄生インダクタＬ２１１，Ｌ２１２は、切れ目ＳＯ１の位置およびビアＶ１の位置によって定まる。同様に、キャパシタＣ３１，Ｃ３２、寄生インダクタＬ２３１，Ｌ２３２は、切れ目ＳＯ２の位置およびビアＶ３の位置によって定まる。キャパシタＣ１１とインダクタＬ２１１によるＬＣ回路、キャパシタＣ１２とインダクタＬ２１２によるＬＣ回路、キャパシタＣ３１とインダクタＬ２３１によるＬＣ回路、キャパシタＣ３２とインダクタＬ２３１によるＬＣ回路はそれぞれトラップフィルタとして作用する。

[0055] したがって、切れ目ＳＯ１，ＳＯ２の位置およびビアＶ１，Ｖ３の位置によって、ＬＣ複合デバイスの周波数特性を定めることができる。

[0056] 《第６の実施形態》

第６の実施形態では、プロセッサにＬＣ複合デバイスを接続した例を示す。

[0057] 図１２は第６の実施形態に係るプロセッサに対する平滑回路の接続構造を示す概念図である。プロセッサチップ３０１は例えばアプリケーションプロセッサのチップであり、スイッチング電源回路のスイッチング回路３０１Ｄを備えている。スイッチング回路３０１Ｄは、ＤＣ／ＤＣコンバータのスイッチング素子およびそのスイッチング制御回路を含む。ＬＣ複合デバイス１

０１はプロセッサチップ３０１の外部に設けられ、配線パターンを介してスイッチング回路３０１Ｄに接続される。

[0058] 図１３は、ＬＣ複合デバイス１０１の実装構造およびプロセッサチップ３０１の実装構造を示す図である。プロセッサチップ３０１はベアチップ状態の集積回路であり、外部接続用の複数のパッドにはんだボールＳＢが取り付けられる。また、上記電源回路に接続されるパッドにＬＣ複合デバイス１０１が取り付けられる。はんだボールおよびＬＣ複合デバイス１０１が取り付けられたプロセッサチップ３０１はプリント配線板４０１に実装される。

[0059] 最後に、上述の実施形態の説明は、すべての点で例示であって、制限的なものではない。当業者にとって変形および変更が適宜可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変更が含まれる。

符号の説明

[0060] Ｃ，Ｃ１，Ｃ２…キャパシタ

Ｃ１１，Ｃ１２，Ｃ１３，Ｃ２３，Ｃ３１，Ｃ３２…キャパシタ

ＣＡ…中心軸

ＧＮＤ…グランド端子

Ｌ，Ｌ１，Ｌ２，Ｌ３，Ｌ４…インダクタ

Ｌ１１１，Ｌ１１２，Ｌ１１３…インダクタ

Ｌ２１１，Ｌ２１２…寄生インダクタ

Ｌ２３１，Ｌ２３２…寄生インダクタ

Ｌ２１…寄生インダクタ

Ｐ１，Ｐ１１，Ｐ１２，Ｐ１３，Ｐ１４…第１端子

Ｐ２…第２端子

Ｐ３，Ｐ３１，Ｐ３２…第３端子

Ｓ１～Ｓ４…基材

ＳＢ…はんだボール

ＳＯ，ＳＯ１，ＳＯ２…切れ目

Ｖ１，Ｖ３…ビア

Ｖ１２，Ｖ２３，Ｖ３４…層間接続導体

１…半導体基板

１Ｓ…絶縁体層

３…再配線層

１１，１２，１３，１４…インダクタパターン

２１，２２，２３…キャパシタパターン

２１Ａ，２１Ｂ，２２Ａ，２２Ｂ，２３Ａ，２３Ｂ…キャパシタパターン

１０１，１０２，１０５…ＬＣ複合デバイス

１０３Ａ，１０３Ｂ…ＬＣ複合デバイス

１０４Ａ，１０４Ｂ，１０４Ｃ…ＬＣ複合デバイス

３０１…プロセッサチップ

３０１Ｄ…スイッチング回路

４０１…プリント配線板

請求の範囲

[請求項1] 絶縁体基板と、

前記絶縁体基板に形成されるインダクタおよびキャパシタと、

を備えるＬＣ複合デバイスであって、

前記インダクタは、第１端と第２端とを有するループ状のインダクタパターンを含み、

前記キャパシタは、前記ループ状のインダクタパターンとほぼ等しい寸法の内外径を有し、且つループ状のパターンが１つ以上の切れ目で分離された形状のキャパシタパターンを含んで構成され、且つ、前記インダクタパターンの中心軸と共通の中心軸を有する、

ことを特徴とするＬＣ複合デバイス。

[請求項2] 前記キャパシタは、前記インダクタパターンと前記キャパシタパターンとの間に生じる容量である、請求項１に記載のＬＣ複合デバイス。

[請求項3] 前記インダクタパターンの第１端に接続される第１端子、前記インダクタパターンの第２端に接続される第２端子、および前記キャパシタパターンに接続される第３端子を備える、請求項２に記載のＬＣ複合デバイス。

[請求項4] 前記ループ状のインダクタパターンの前記第１端と前記第２端との間に間隙を有し、

前記間隙と前記キャパシタパターンの切れ目とが平面視で重なる、請求項３に記載のＬＣ複合デバイス。

[請求項5] 前記ループ状のインダクタパターンは複数の層に設けられ、

前記キャパシタパターンは、前記ループ状のインダクタパターンと前記ループ状のインダクタパターンとの間の層に配置される、請求項１から４のいずれかに記載のＬＣ複合デバイス。

[請求項6] 前記キャパシタパターンは、複数の層に設けられ、

前記ループ状のインダクタパターンは、前記キャパシタパターンと

前記キャパシタパターンとの間に配置される、請求項１から４のいずれかに記載のＬＣ複合デバイス。

[請求項7] 前記キャパシタは隣接する２層に形成されたキャパシタパターンで構成される、請求項１に記載のＬＣ複合デバイス。

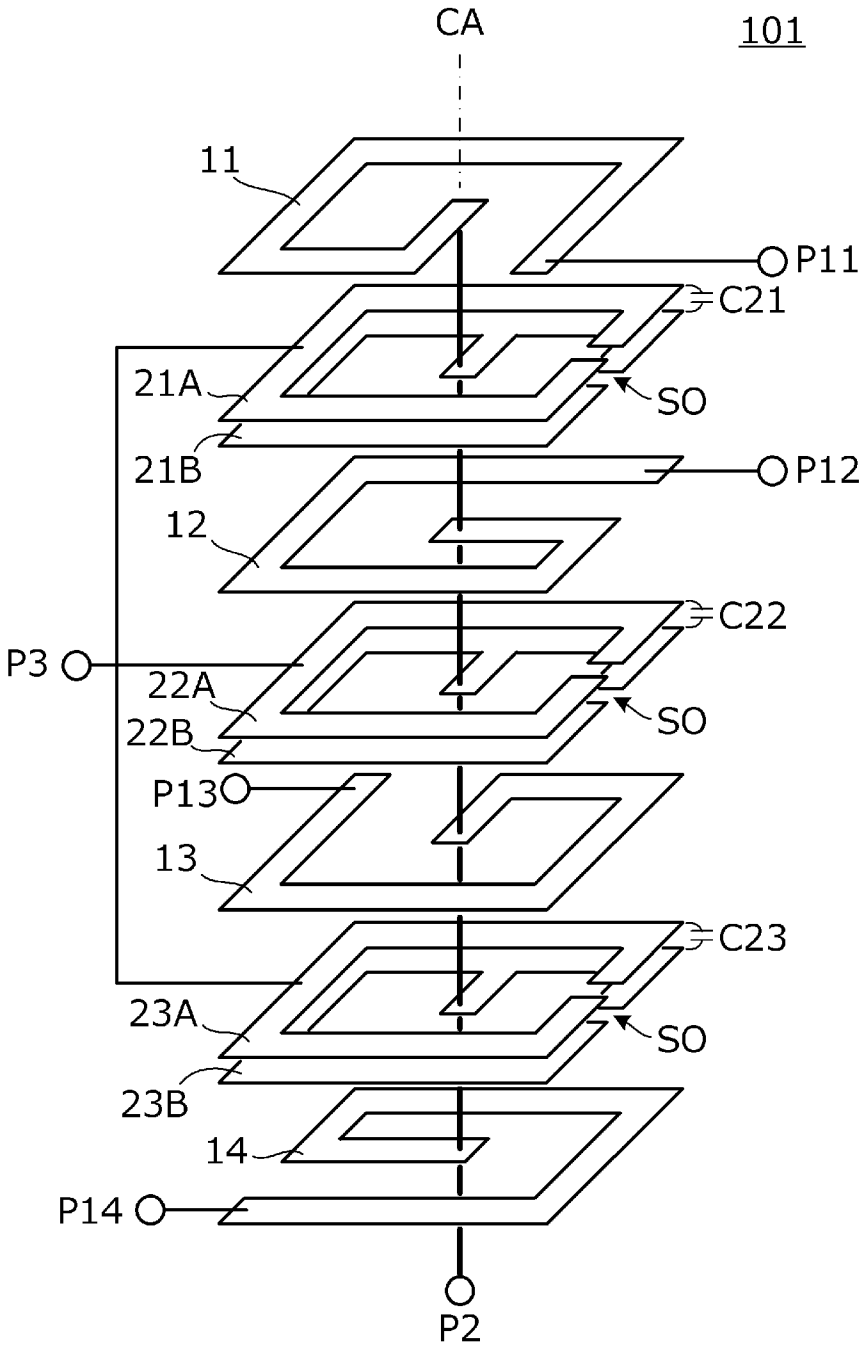
[請求項8] 前記ループ状のインダクタパターンは複数の層に設けられ、

前記キャパシタパターンは、前記ループ状のインダクタパターンと前記ループ状のインダクタパターンとの間の層に配置される、請求項７に記載のＬＣ複合デバイス。

[請求項9] 前記インダクタパターンおよび前記キャパシタパターンは、半導体基板の再配線層に形成された薄膜導体パターンである、請求項１から８のいずれかに記載のＬＣ複合デバイス。

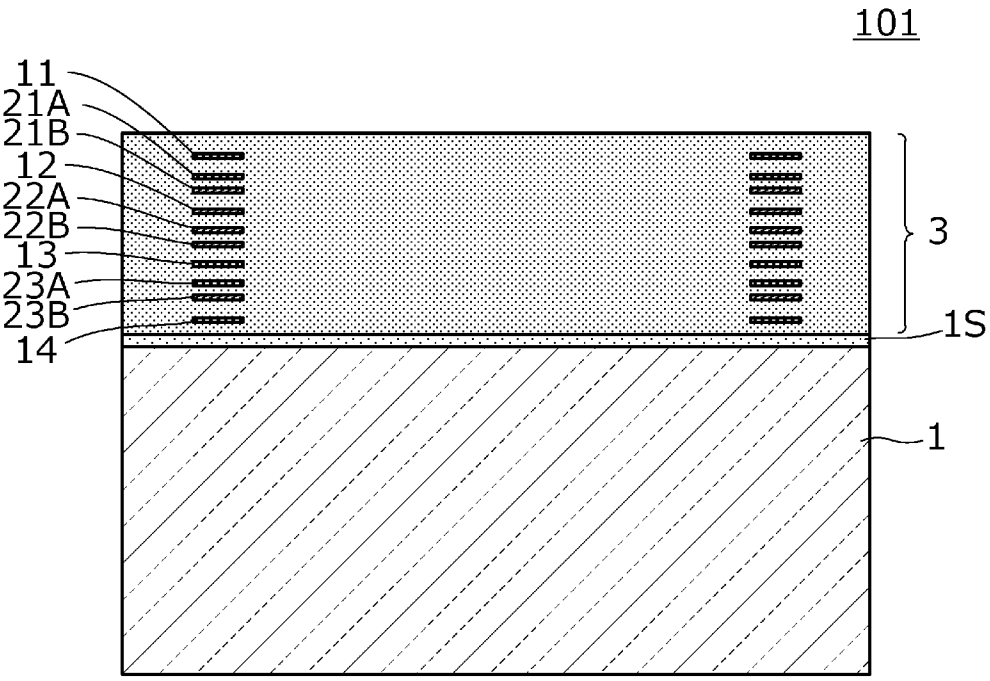
[図1]

Fig.1


CA
101
11
P11
C21
21A
SO
21B
P12
12
C22
P3
22A
SO
22B
P13
13
C23
23A
SO
23B
14
P14
P2

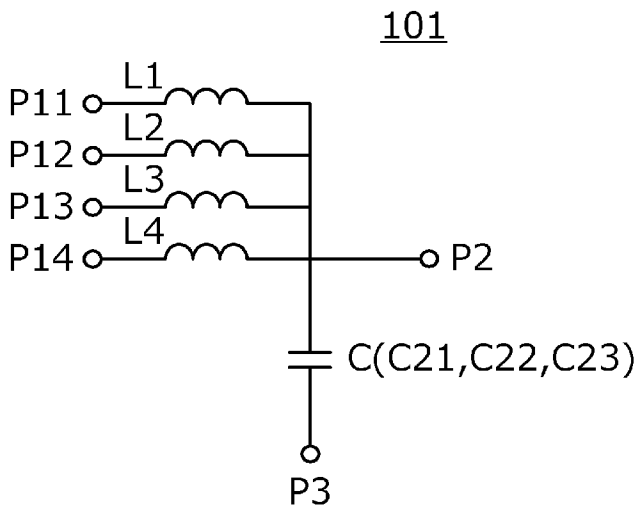
[図2]

Fig.2



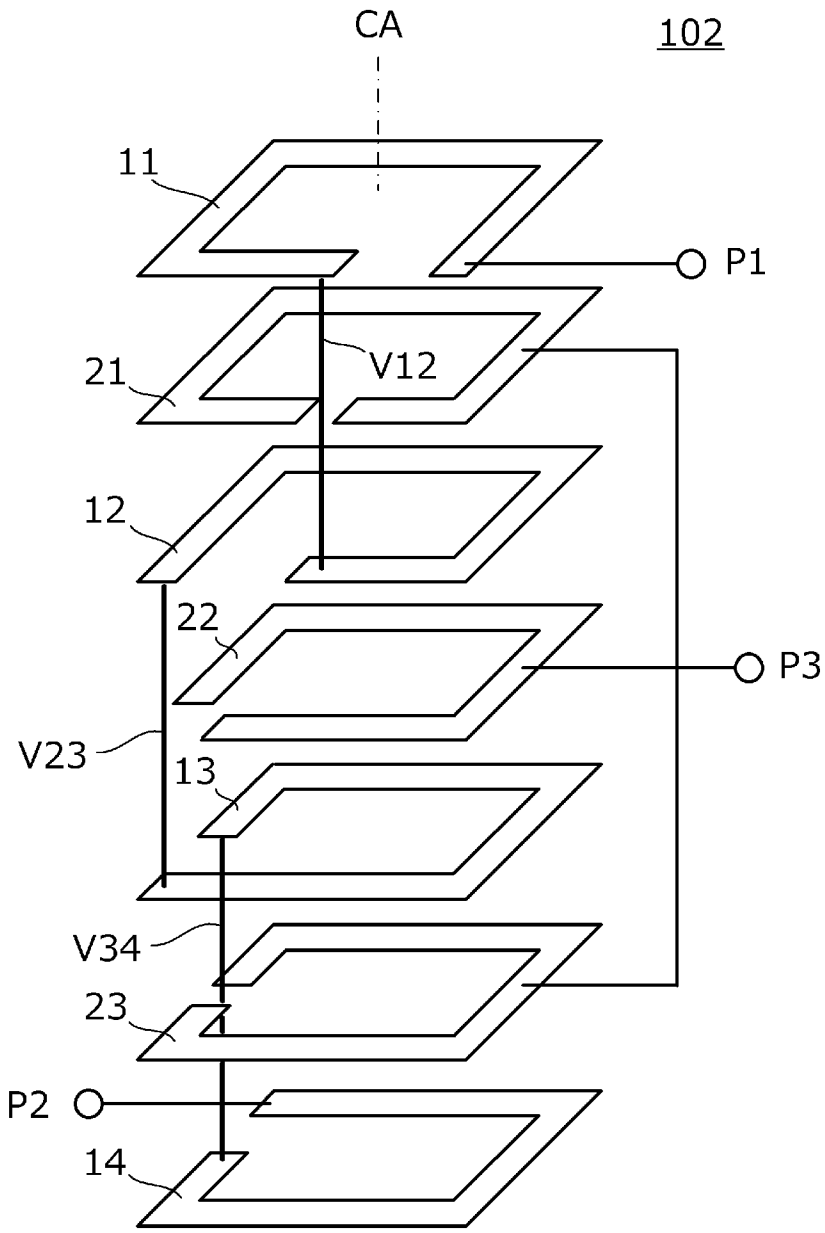
[図3]

Fig.3



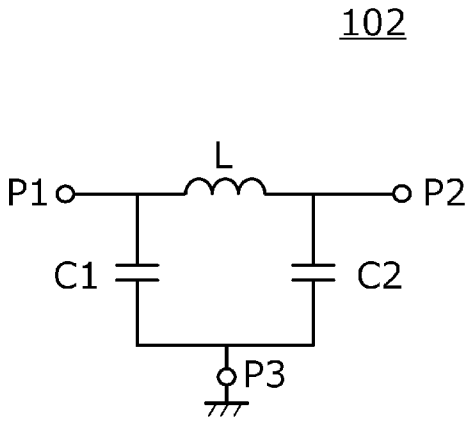
[図4]

Fig.4



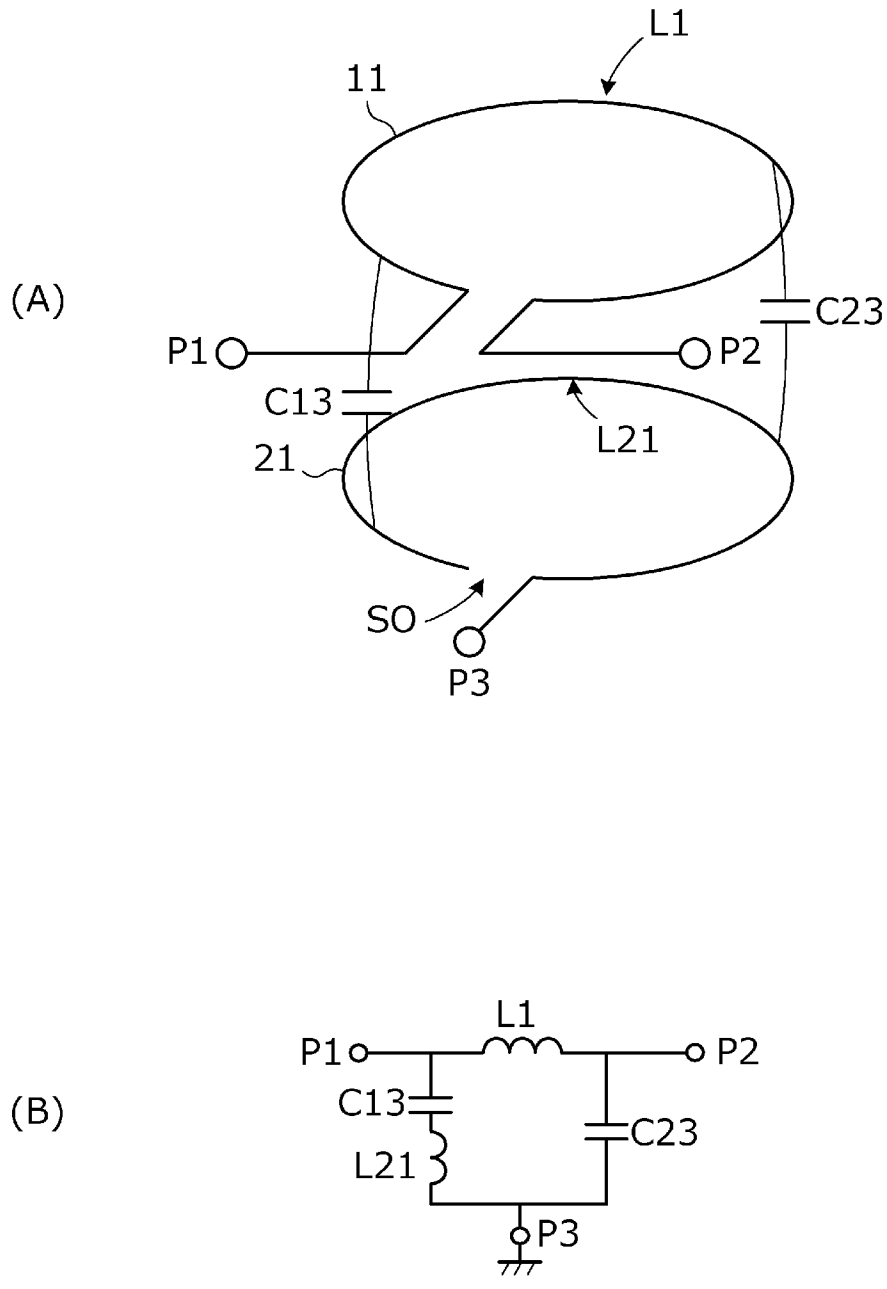
[図5]

Fig.5



[図6]

Fig.6

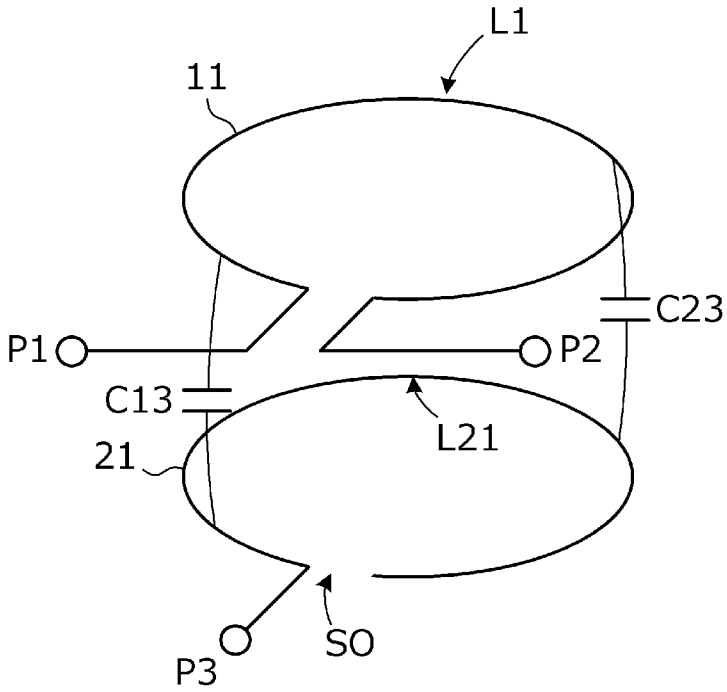


[図7]

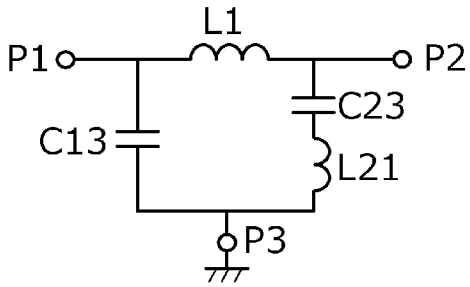
Fig.7

103B

(A)



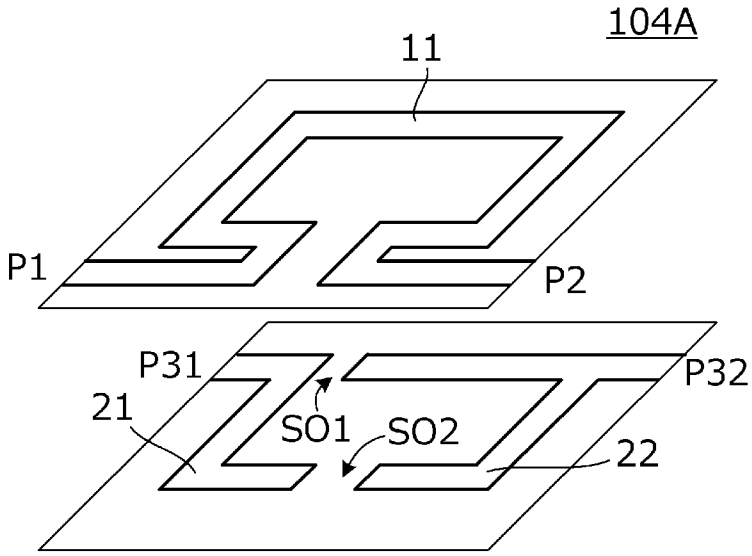
(B)



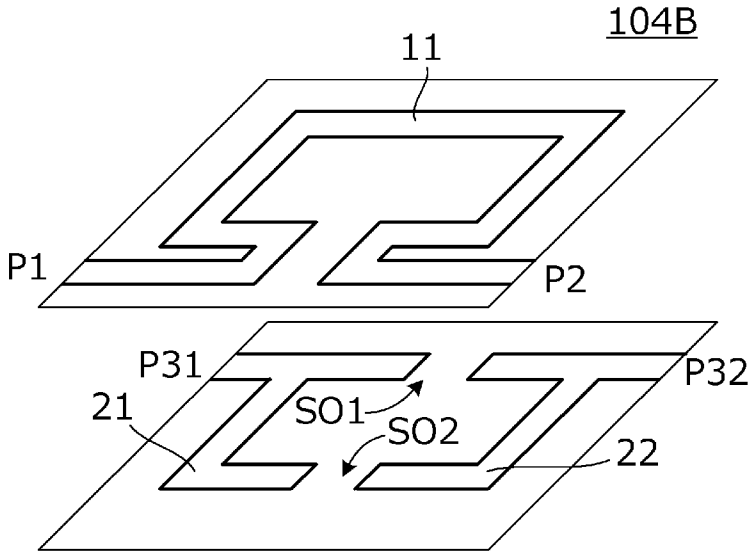
[図8]

Fig.8

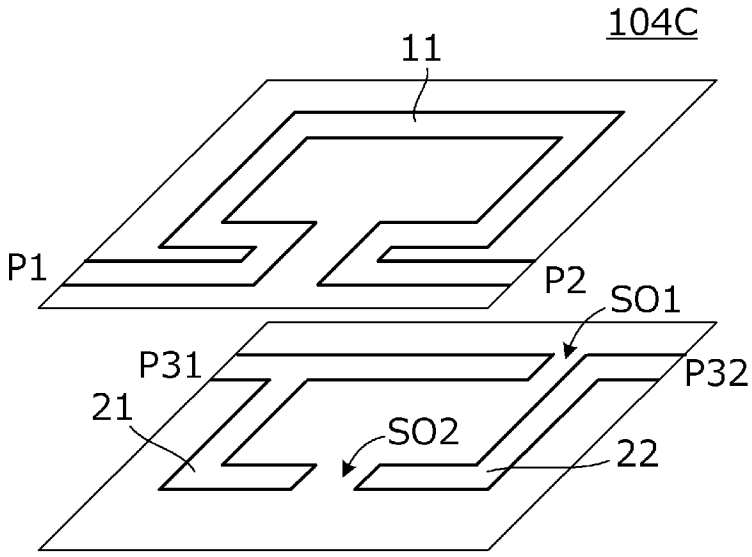
(A)


104A
11
P1
P2
P31
P32
21
SO1
SO2
22

(B)

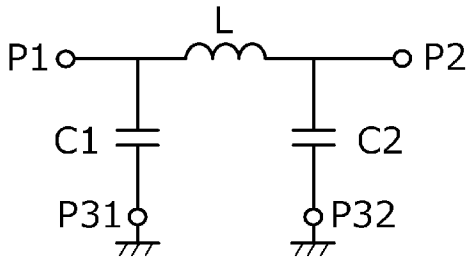

104B
11
P1
P2
P31
P32
21
SO1
SO2
22

(C)


104C
11
P1
P2
SO1
P31
P32
21
SO2
22

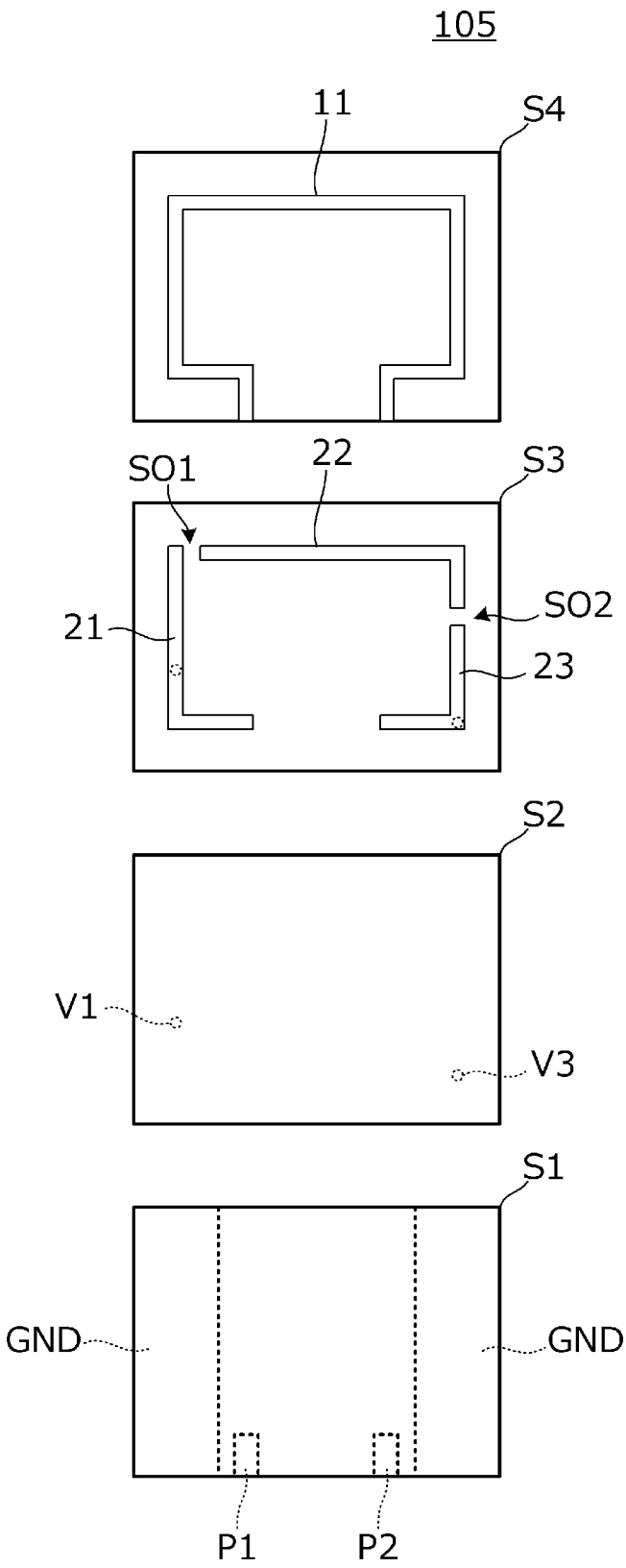
[図9]

Fig.9



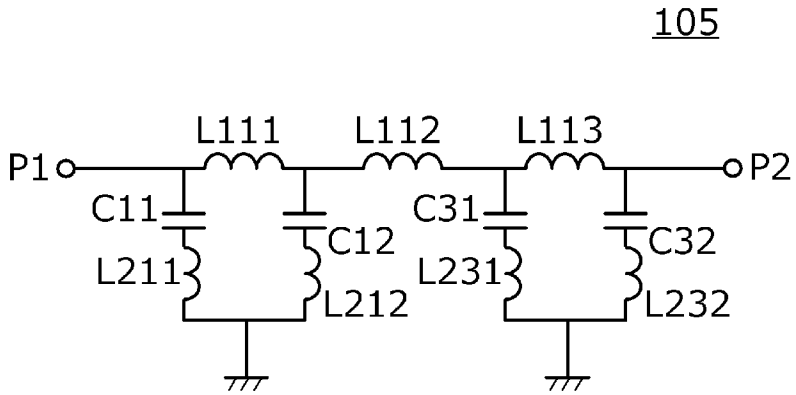
[図10]

Fig.10



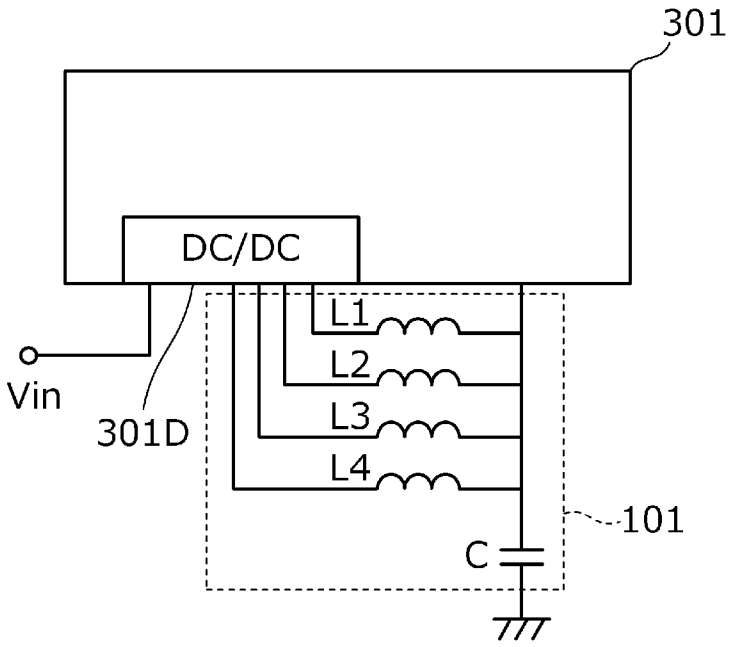
[図11]

Fig.11



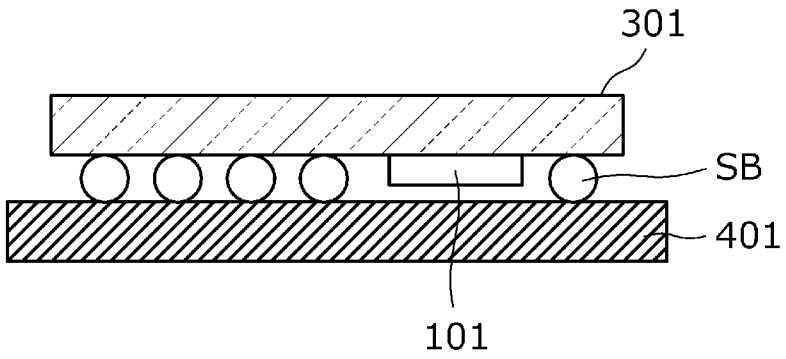
[図12]

Fig.12



[図13]

Fig.13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/083747

A. CLASSIFICATION OF SUBJECT MATTER
H01F27/00(2006.01)i, *H01F17/00*(2006.01)i, *H01G4/40*(2006.01)i, *H01L21/822*(2006.01)i, *H01L27/04*(2006.01)i, *H03H7/075*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01F27/00, H01F17/00, H01G4/40, H01L21/822, H01L27/04, H03H7/075

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-79973 A (Mitsubishi Materials Corp.), 11 March 2004 (11.03.2004), claims; paragraphs [0004] to [0005], [0010] to [0019]; fig. 1 to 3, 7 (Family: none)	1,7 2-6,8-9
Y	JP 2004-221735 A (Murata Mfg. Co., Ltd.), 05 August 2004 (05.08.2004), paragraphs [0012] to [0019]; fig. 1 (Family: none)	2-6,9
Y	JP 2007-259026 A (Mitsubishi Materials Corp.), 04 October 2007 (04.10.2007), claims; paragraphs [0010] to [0034]; fig. 1 (Family: none)	8-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 December 2016 (05.12.16)	13 December 2016 (13.12.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/083747

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-107653 A (Panasonic Corp.), 09 June 2014 (09.06.2014), claims; paragraphs [0018] to [0045]; fig. 1 (Family: none)	8-9
Y	JP 2001-44778 A (Fuji Electric Co., Ltd.), 16 February 2001 (16.02.2001), paragraphs [0002] to [0004], [0012] to [0014]; fig. 2, 4 (Family: none)	9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０８３７４７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01F27/00(2006.01)i, H01F17/00(2006.01)i, H01G4/40(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03H7/075(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01F27/00, H01F17/00, H01G4/40, H01L21/822, H01L27/04, H03H7/075

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０１６年
日本国実用新案登録公報　１９９６－２０１６年
日本国登録実用新案公報　１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2004-79973 A (三菱マテリアル株式会社) 2004.03.11, 特許請求の範囲, 段落[0004]-[0005], 段落[0010]-[0019], 図1-3, 図7 (ファミリーなし)	1,7 2-6,8-9
Y	JP 2004-221735 A (株式会社村田製作所) 2004.08.05, 段落[0012]-[0019], 図1 (ファミリーなし)	2-6, 9

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．１２．２０１６	１３．１２．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　６３０９
右田　勝則
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-259026 A（三菱マテリアル株式会社）2007.10.04, 特許請求の範囲，段落[0010]-[0034]，図１ （ファミリーなし）	8-9
Y	JP 2014-107653 A（パナソニック株式会社）2014.06.09, 特許請求の範囲，段落[0018]-[0045]，図１ （ファミリーなし）	8-9
Y	JP 2001-44778 A（富士電機株式会社）2001.02.16, 段落[0002]-[0004]，段落[0012]-[0014]，図２，４ （ファミリーなし）	9