

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 19 日 (19.09.2024)



(10) 国际公布号
WO 2024/188136 A1

- (51) 国际专利分类号:
G01R 31/40 (2020.01) **H02M 1/00** (2007.01)
G01R 19/165 (2006.01)
- (21) 国际申请号: PCT/CN2024/080407
- (22) 国际申请日: 2024 年 3 月 6 日 (06.03.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310260003.8 2023年3月13日 (13.03.2023) CN
- (71) 申请人: 北京有竹居网络技术有限公司 (BEIJING YOUZHUJU NETWORK TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市平谷区林荫北街 13 号信息大厦 802 室, Beijing 101299 (CN)。脸萌有限公司 (LEMON INC.) [GB/GB]; 英国英属开曼群岛大开曼西湾路 802 号木槿道大楼邮政信箱 31119, Cayman (GB)。

(72) 发明人: 郭俊彦 (GUO, Junyan); 中国北京市朝阳区七圣中街 12 号院融中心 B1 小邮局, Beijing 100028 (CN)。董威锋 (DONG, Weifeng); 中国北京市朝阳区七圣中街 12 号院融中心 B1 小邮局, Beijing 100028 (CN)。张明明 (ZHANG, Mingming); 中国北京市朝阳区七圣中街 12 号院融中心 B1 小邮局, Beijing 100028 (CN)。张闯 (ZHANG, Chuang); 美国加利福尼亚州洛杉矶西杰弗逊大道 12655 号六层第 137 室, California 90066 (US)。张俊谋 (ZHANG, Junmou); 美国加利福尼亚州洛杉矶西杰弗逊大道 12655 号六层第 137 室, California 90066 (US)。卢山 (LU, Shan); 美国加利福尼亚州洛杉矶西杰弗逊大道 12655 号六层第 137 室, California 90066 (US)。王剑 (WANG, Jian); 中国北京市朝阳区七圣中街 12 号院融中心 B1 小邮局, Beijing 100028 (CN)。

(54) Title: APPARATUS AND METHOD FOR MONITORING POWER SUPPLY VOLTAGE OF ELECTRONIC CIRCUIT, AND ELECTRONIC CIRCUIT

(54) 发明名称: 用于监测电子电路的电源电压的装置、方法和电子电路

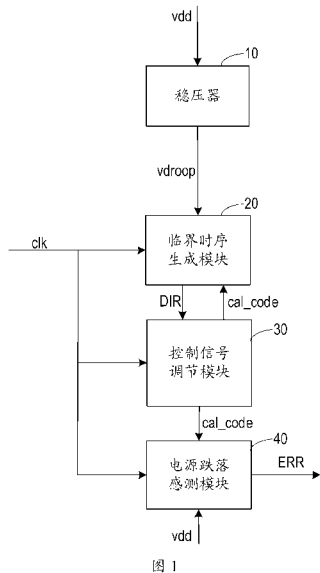


图 1

- 10 Voltage stabilizer
20 Critical timing generation module
30 Control signal adjustment module
40 Power supply droop sensing module

(57) Abstract: Embodiments of the present disclosure provide an apparatus and method for monitoring the power supply voltage of an electronic circuit, and an electronic circuit. The apparatus comprises: a voltage stabilizer, configured to process a power supply voltage to generate a preset voltage; a critical timing generation module, powered by means of the preset voltage and configured to generate a critical timing signal on the basis of an original clock signal and a delay control signal, the critical timing signal being alternately in a first level state and a second level state; a control signal adjustment module, configured to adjust the delay control signal on the basis of the critical timing signal, wherein the delay control signal is amplified when the critical timing signal is in the first level state, and the delay control signal is attenuated when the critical timing signal is in the second level state; and a power droop sensing module, powered by means of the power supply voltage and configured to generate a droop indication signal on the basis of the original clock signal and the delay control signal, the droop indication signal indicating whether the power supply voltage droops below the preset voltage.

(57) 摘要: 本公开的实施例提供了用于监测电子电路的电源电压的装置、方法和电子电路。该装置包括: 稳压器, 被配置为对电源电压进行处理以生成预设电压; 临界时序生成模块, 由预设电压供电, 被配置为基于原始时钟信号和延迟控制信号生成临界时序信号, 临界时序信号交替地处于第一电平状态和第二电平状态; 控制信号调节模块, 被配置为基于临界时序信号调节延迟控制信号, 其中在临界时序信号处于第一电平状态的情况下, 延迟控制信号被增大, 在临界时序信号处于第二电平状态的情况下, 延迟控制信号被减小; 以及电源跌落感测模块, 由电源电压供电, 被配置为基于原始时钟信号和延迟控制信号生成跌落指示信号, 跌落指示信号指示电源电压是否跌落至低于预设电压。

(74) 代理人:北京世辉律师事务所(SHIHUI PARTNERS);
中国北京市朝阳区建国门外大街2号北京银
泰中心C座42层, Beijing 100022 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

用于监测电子电路的电源电压的装置、方法和电子电路

本申请要求 2023 年 03 月 13 日递交的、标题为“用于监测电子电路的电源电压的装置、方法和电子电路”、申请号为 202310260003.8 的中国发明专利申请的优先权，该申请的全部内容通过引用结合在本申请中。

技术领域

本公开的示例实施例总体涉及电子电路领域，特别地涉及用于监测电子电路的电源电压的装置、方法和电子电路。

背景技术

在电子电路领域，时钟信号用于协调各种电子组件的动作，保证相关的电子组件能够同步运行。在集成电路中，如数字芯片中，数字电路在工作时会对供电网络抽取电流，造成电源的波动。当抽取的电流过大时可能会导致电源电压的瞬间跌落。如果电源电压跌落的幅度过大，则会使得数字电路的时序要求不能得以满足，出现时序错误，从而造成数字电路操作错误，导致数字电路出现锁死等状态。

发明内容

本公开的目的是提供一种用于监测电子电路的电源电压的装置、方法和电子电路，以至少部分地解决上述问题以及其他潜在问题。

在本公开的第一方面，提供了一种用于监测电子电路的电源电压的装置，包括：稳压器，被配置为对所述电源电压进行处理以生成预设电压；临界时序生成模块，由所述预设电压供电，并且被配

置为基于原始时钟信号和延迟控制信号生成临界时序信号，所述临界时序信号交替地处于第一电平状态和第二电平状态；控制信号调节模块，被配置为基于所述临界时序信号调节所述延迟控制信号，其中在所述临界时序信号处于所述第一电平状态的情况下，所述延迟控制信号被增大，并且在所述临界时序信号处于所述第二电平状态的情况下，所述延迟控制信号被减小；以及电源跌落感测模块，由所述电源电压供电，并且被配置为基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号，所述跌落指示信号指示所述电源电压是否跌落至低于所述预设电压。

在本公开的第二方面，提供了一种用于监测电子电路的电源电压的方法，包括：对所述电源电压进行处理以生成预设电压；在所述预设电压下，基于原始时钟信号和延迟控制信号生成临界时序信号，所述临界时序信号交替地处于第一电平状态和第二电平状态；基于所述临界时序信号调节所述延迟控制信号，其中在所述临界时序信号处于所述第一电平状态的情况下，所述延迟控制信号被增大，并且在所述临界时序信号处于所述第二电平状态的情况下，所述延迟控制信号被减小；以及在所述电源电压下，基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号，所述跌落指示信号指示所述电源电压是否跌落至低于所述预设电压。

在本公开的第三方面，提供了一种电子电路，包括根据本公开的第一方面的装置。

应当理解，本内容部分中所描述的内容并非旨在限定本公开的实施例的关键特征或重要特征，也不用于限制本公开的范围。本公开的其它特征将通过以下的描述而变得容易理解。

附图说明

结合附图并参考以下详细说明，本公开各实施例的上述和其他特征、优点及方面将变得更加明显。在附图中，相同或相似的附图标记表示相同或相似的元素，其中：

图 1 示出了根据本公开的一个实施例的用于监测电子电路的电源电压的装置的框图；

图 2 示出了根据本公开的一个实施例的用于监测电子电路的电源电压的装置的电路原理图；

图 3 示出了根据本公开的一个实施例的电源电压、预设电压、状态机锁定信号、临界时序信号和跌落指示信号的曲线；

图 4 示出了根据本公开的一个实施例的用于监测电子电路的电源电压的方法的流程图。

具体实施方式

下面将参照附图更详细地描述本公开的实施例。虽然附图中示出了本公开的某些实施例，然而应当理解的是，本公开可以通过各种形式来实现，而且不应该被解释为限于这里阐述的实施例，相反，提供这些实施例是为了更加透彻和完整地理解本公开。应当理解的是，本公开的附图及实施例仅用于示例性作用，并非用于限制本公开的保护范围。

在本公开的实施例的描述中，术语“包括”及其类似用语应当理解为开放性包含，即“包括但不限于”。术语“基于”应当理解为“至少部分地基于”。术语“一个实施例”或“该实施例”应当理解为“至少一个实施例”。术语“一些实施例”应当理解为“至少一些实施例”。下文还可能包括其他明确的和隐含的定义。

如上所述，数字电路在工作时会对供电网络抽取电流，造成电源的波动；当抽取的电流过大时可能会导致电源电压的瞬间跌落；如果电源电压跌落的幅度过大，则会使得数字电路的时序要求不能得以满足，出现时序错误。本公开的实施例提供了一种用于监测电子电路的电源电压的方案，在该方案中，在稳定的预设电压下让一个数字逻辑电路的时序处于临界错误的状态，同时让另一个类似的数字逻辑电路工作在待监测的电源电压下，当待监测的电源电压低于预设电压时，该另一数字逻辑电路就会生成代表电源电压出现了

过大的跌落的指示信号。以此方式，可以准确地监测电源电压的跌落，以便电子电路采取相应的应对措施来避免因电源跌落而导致的时序错误。在下文中将结合图 1 至图 4 来详细描述本公开的原理。

图 1 示出了根据本公开的一个实施例的用于监测电子电路的电源电压的装置的框图，图 2 示出了根据本公开的一个实施例的用于监测电子电路的电源电压的装置的电路原理图。如图 1 和图 2 所示，在此描述的装置总体上包括稳压器 10、临界时序生成模块 20、控制信号调节模块 30 和电源跌落感测模块 40。

稳压器 10 用于对电源电压 v_{dd} 进行处理以生成预设电压 v_{droop} 。预设电压 v_{droop} 可以是根据电子电路的设计要求预先设定的电压，其用作待监测的电源跌落的极限值。也即，当电源电压 v_{dd} 在预设电压 v_{droop} 以上时，意味着电子电路的时序要求能够基本上被满足；而当电源电压 v_{dd} 跌落至低于预设电压 v_{droop} 时，则意味着数字电路的时序要求不能得以满足，可能会出现时序错误。电源电压 v_{dd} 是否跌落至低于预设电压 v_{droop} 可以由临界时序生成模块 20、控制信号调节模块 30 和电源跌落感测模块 40 来监测，这将在下文中进行详细描述。

作为示例，当电源电压 v_{dd} 为 1V 时，预设电压 v_{droop} 可以被预先设置为 0.8V。当然，根据电子电路的设计要求，预设电压 v_{droop} 也可以被设置为高于或低于 0.8V。应当注意，此处以及本公开其他地方可能提及的数字、数值等，都是示例性的，无意以任何方式限制本公开的范围。任何其他适当的数字、数值都是可能的。

稳压器 10 可以采用任何适当的稳压技术来对电源电压 v_{dd} 进行处理。例如，在一个实施例中，稳压器 10 可以包括低压差线性稳压器 (LDO)，如图 2 所示。该 LDO 包括低通滤波器 101、放大器 102、晶体管 103 和电容器 104。低通滤波器 101 用于对电源电压 v_{dd} 进行低通滤波，以滤除电源电压 v_{dd} 中的高频成分，从而生成滤波电压 v_{ref} 。滤波电压 v_{ref} 被提供给放大器 102 的第一输入端。晶体管 103 和电容器 104 串联连接在电源电压 v_{dd} 与接地之间。晶

晶体管 103 可以是金属氧化物半导体场效应晶体管 (MOSFET) 或其他类型的开关器件, 本公开的实施例对此不做限制。晶体管 103 的控制端连接至放大器 102 的输出端。晶体管 103 和电容器 104 之间的中间节点连接至放大器 102 的第二输入端。预设电压 v_{droop} 由晶体管 103 和电容器 104 之间的中间节点提供。利用这种布置, 稳压器 10 能够提供稳定预设电压 v_{droop} , 该电压基本上不受电源电压 v_{dd} 的波动的影响。

图 3 中示出了根据本公开的一个实施例的电源电压 v_{dd} 的曲线 301 和预设电压 v_{droop} 的曲线 302。如图 3 所示, 电源电压 v_{dd} 上下波动, 而预设电压 v_{droop} 处于基本上稳定的电平。电源电压 v_{dd} 的曲线 301 包括低于预设电压 v_{droop} 的多个跌落部分 3011、3012、3013。多个跌落部分 3011、3012、3013 中的每个跌落波分将由临界时序生成模块 20、控制信号调节模块 30 和电源跌落感测模块 40 来监测, 这将在下文中进行详细描述。

应当理解, 上文描述的仅仅是示例, 无意以任何方式限制本公开的实施例。任何目前已知的或者将来开发的稳压技术均可与本公开的实施例结合使用, 以用于生成预设电压 v_{droop} 。

如图 1 和图 2 所示, 临界时序生成模块 20 连接至稳压器 10 的输出端, 以便由预设电压 v_{droop} 供电。也即, 临界时序生成模块 20 在预设电压 v_{droop} 下进行操作。临界时序生成模块 20 用于基于原始时钟信号 clk 和由控制信号调节模块 30 提供的延迟控制信号 cal_code 生成临界时序信号 DIR 。原始时钟信号 clk 可以具有任何适当的占空比, 例如占空比可以为 50%。当然, 原始时钟信号 clk 的占空比高于或低于 50%也是可行的。延迟控制信号 cal_code 由控制信号调节模块 30 提供, 以用于控制临界时序生成模块 20 中的延迟单元的延时量, 例如控制第一延迟单元 202 的延迟量, 这将在下文中进行详细说明书。延迟控制信号 cal_code 越大, 则延迟单元的延时量越大, 相反, 延迟控制信号 cal_code 越小, 则延迟单元的延时量越小。

在预设电压 v_{droop} 下,通过延迟控制信号 cal_code 的控制,能够使得临界时序生成模块 20 所生成的临界时序信号 DIR 交替地处于第一电平状态和第二电平状态。第一电平状态和第二电平状态是相对电平状态。在一个实施例中,第一电平状态是高电平状态,而第二电平状态是低电平状态。在另一实施例中,第一电平状态是低电平状态,而第二电平状态是高电平状态。临界时序信号 DIR 交替地处于第一电平状态和第二电平状态意味着临界时序生成模块 20 在预设电压 v_{droop} 下的时序处于临界错误状态。换言之,临界时序生成模块 20 在预设电压 v_{droop} 下的时序能够满足要求,但是没有更多调节裕量。如果临界时序生成模块 20 的操作电压低于预设电压 v_{droop} ,则临界时序生成模块 20 就会出现时序错误。

下面以第一电平状态是高电平状态并且第二电平状态是低电平状态作为示例来描述本公开的原理。

在一个实施例中,如图 2 所示,临界时序生成模块 20 包括第一分频器 201、第一延迟单元 202 和时序确定单元 203。

第一分频器 201 用于对原始时钟信号 clk 进行分频以生成第一分频信号 clk_div1 。第一分频器 201 可以具有任何适当的分频比,例如二分频、四分频等。第一分频器 201 所生成第一分频信号 clk_div1 将具有 50% 的占空比。

第一延迟单元 202 用于对第一分频信号 clk_div1 进行延迟以生成第一延迟信号 clk_div_dly1 。第一延迟单元 202 所提供的延时量由延迟控制信号 cal_code 来控制。理论上,当延迟控制信号 cal_code 为 0 时,第一延迟单元 202 所提供的延时量为 0。延迟控制信号 cal_code 越大,则第一延迟单元 202 所提供的延时量越大。相反,延迟控制信号 cal_code 越小,则第一延迟单元 202 所提供的延时量越小。

时序确定单元 203 用于基于第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 之间的相位关系生成临界时序信号 DIR。在一些实施例中,时序确定单元 203 可以包括第一鉴相器 2031 和第一反

相器 2032。第一鉴相器 2031 用于鉴别第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 之间的相位差，以生成用于表示该相位差的第一鉴相信号 P1。第一鉴相信号 P1 经第一反相器 2032 反相之后生成第一反相信号 P1_B。在一个实施例中，第一反相信号 P1_B 用作临界时序信号 DIR。在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位相差半个周期的情况下，第一鉴相信号 P1 将处于高电平状态，而第一反相信号 P1_B 将处于低电平状态。因此，临界时序信号 DIR 处于低电平状态，即第二电平状态。在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位未达到相差半个周期的情况下，第一鉴相信号 P1 将处于低电平状态，而第一反相信号 P1_B 将处于高电平状态。因此，临界时序信号 DIR 处于高电平状态，即第一电平状态。

在本公开的实施例中，也可以采用第一鉴相信号 P1 作为临界时序信号 DIR。在这样的实施例中，第一电平状态将是低电平状态，而第二电平状态将是高电平状态。具体而言，在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位相差半个周期的情况下，第一鉴相信号 P1 处于高电平状态。因此，临界时序信号 DIR 处于高电平状态，即第二电平状态。在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位未达到相差半个周期的情况下，第一鉴相信号 P1 处于低电平状态。因此，临界时序信号 DIR 处于低电平状态，即第一电平状态。

图 3 中示出了根据本公开的一个实施例的临界时序信号 DIR 的曲线 304。如图 3 所示，临界时序信号 DIR 交替地处于交替地处于第一电平状态和第二电平状态，其中第一电平状态是高电平状态和低电平状态中的一项，而第二电平状态是高电平状态和低电平状态中的另一项。

控制信号调节模块 30 用于基于临界时序信号 DIR 调节延迟控制信号 cal_code ，以动态地调节第一延迟单元 202 所提供的延时量。在临界时序信号 DIR 处于第一电平状态的情况下，延迟控制信号

cal_code 被增大,并且在临界时序信号 DIR 处于第二电平状态的情况下,延迟控制信号 cal_code 被减小。如上所述,临界时序信号 DIR 处于第一电平状态意味着第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位未达到相差半个周期,而临界时序信号 DIR 处于第二电平状态意味着第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位相差半个周期。在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位未达到相差半个周期的情况下,增大延迟控制信号 cal_code 将会使得第一延迟单元 202 所提供的延时量增大。当第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位相差半个周期时,减小延迟控制信号 cal_code 将会使得第一延迟单元 202 所提供的延时量减小。以此方式,能够使得临界时序信号 DIR 交替地处于交替地处于第一电平状态和第二电平状态。也即,通过根据临界时序信号 DIR 动态调节延迟控制信号 cal_code,能够使得临界时序生成模块 20 在预设电压 vdroop 下的时序处于临界错误状态。

在一些实施例中,控制信号调节模块 30 包括数字状态机,数字状态机具有用于增大延迟控制信号 cal_code 的第一调节状态和用于减小延迟控制信号 cal_code 的第二调节状态。在临界时序信号 DIR 处于第一电平状态的情况下,数字状态机将会切换至第一调节状态,以增大第一延迟单元 202 所提供的延时量。在临界时序信号 DIR 处于第二电平状态的情况下,数字状态机将会切换至第二调节状态,以减小第一延迟单元 202 所提供的延时量。图 3 中还示出了状态机锁定信号的曲线 303。如图 3 所示,在临界时序信号 DIR 交替变化时,状态机锁定信号将被启用,使数字状态机循环地在第一调节状态和第二调节状态之间切换。此外,如图 3 所示,临界时序信号 DIR 的脉冲宽度动态地变化,这是因为通过动态调节延迟控制信号 cal_code,能够抵抗电子电路的工艺-电压-温度(PVT)偏差。

如图 1 和图 2 所示,电源跌落感测模块 40 由电源电压 vdd 供电。也即,电源跌落感测模块 40 在电源电压 vdd 下进行操作。电源跌

落感测模块 40 连接至控制信号调节模块 30，以接收由控制信号调节模块 30 生成的延迟控制信号 cal_code。电源跌落感测模块 40 用于基于原始时钟信号 clk 和延迟控制信号 cal_code 生成跌落指示信号 ERR。跌落指示信号 ERR 指示电源电压 vdd 是否跌落至低于预设电压 vdroop。如上所述，临界时序生成模块 20 在预设电压 vdroop 下的时序能够满足要求，但是没有更多调节裕量；如果临界时序生成模块 20 的操作电压低于预设电压 vdroop，则临界时序生成模块 20 就会出现时序错误。通过将相同的延迟控制信号 cal_code 提供给电源跌落感测模块 40，并且判断控制电源跌落感测模块 40 在电源电压 vdd 下的时序是否出现错误，能够确定电源电压 vdd 是否跌落至低于预设电压 vdroop。跌落指示信号 ERR 可以用作报警信号，以便指示电子电路采取相应的应对措施来避免因电源跌落而导致的时序错误。

在一个实施例中，电源跌落感测模块 40 包括第二分频器 401、第二延迟单元 402 和电源跌落确定模块 403。

第二分频器 401 用于对原始时钟信号 clk 进行分频以生成第二分频信号 clk_div2。第二分频器 401 可以具有任何适当的分频比，例如二分频、四分频等。第二分频器 401 所生成第二分频信号 clk_div2 将具有 50% 的占空比。在一些实施例中，第二分频器 401 和第一分频器 201 可以具有相同的分频比。

第二延迟单元 402 用于对第二分频信号 clk_div2 进行延迟以生成第二延迟信号 clk_div_dly2。第二延迟单元 402 所提供的延时量也由延迟控制信号 cal_code 来控制。由于相同的延迟控制信号 cal_code 被提供给第一延迟单元 202 和第二延迟单元 402，因此第一延迟单元 202 和第二延迟单元 402 具有类似的延迟特性。延迟控制信号 cal_code 越大，则第二延迟单元 402 所提供的延时量越大。相反，延迟控制信号 cal_code 越小，则第二延迟单元 402 所提供的延时量越小。在一些实施例中，第二延迟单元 402 和第一延迟单元 202 可以具有相同的电路结构。在一些实施例中，第二延迟单元 402

和第一延迟单元 202 所提供的延迟量可以随着延迟控制信号 cal_code 基本同步地变化。

延迟单元的延迟量还与其操作电压有关，操作电压越高，则延迟单元所提供的延迟量越小，而操作电压越低，则延迟单元所提供的延迟量越大。因此，如果电源电压 vdd 在某个时刻高于预设电压 vdroop，则第二延迟单元 402 所提供的延时量将低于第一延迟单元 202 所提供的延时量。相反，如果电源电压 vdd 在某个时刻低于预设电压 vdroop，则第二延迟单元 402 所提供的延时量将高于第一延迟单元 202 所提供的延时量。

电源跌落确定模块 403 用于基于第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 之间的相位关系生成跌落指示信号 ERR。在一些实施例中，电源跌落确定模块 403 可以包括第二鉴相器 4031 和第二反相器 4032。第二鉴相器 4031 用于鉴别第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 之间的相位差，以生成用于表示相位差的第二鉴相信号 P2。第二鉴相信号 P2 经第二反相器 4032 反相之后生成第二反相信号 P2_B。

在第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 的相位未达到相差半个周期的情况下，第二鉴相信号 P2 将处于低电平状态，而第二反相信号 P2_B 将处于高电平状态。例如，如果电源电压 vdd 在某个时刻高于预设电压 vdroop，则第二延迟单元 402 所提供的延时量将低于第一延迟单元 202 所提供的延时量，使得第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 的相位未达到相差半个周期，因而第二鉴相信号 P2 将处于低电平状态，而第二反相信号 P2_B 将处于高电平状态。在第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 的相位相差半个周期的情况下，第二鉴相信号 P2 将处于高电平状态，而第二反相信号 P2_B 将处于低电平状态。例如，如果电源电压 vdd 在某个时刻低于预设电压 vdroop，则第二延迟单元 402 所提供的延时量将高于第一延迟单元 202 所提供的延时量，使得第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 的相

位已经经历过相差半个周期，因而第二鉴相信号 P2 将会出现高电平状态，而第二反相信号 P2_B 将会出现低电平状态。

在一个实施例中，第二鉴相信号 P2 用作跌落指示信号 ERR。在这样的实施例中，当电源电压 vdd 高于预设电压 vdroop 时，跌落指示信号 ERR 将处于低电平状态，而当电源电压 vdd 跌落至低于预设电压 vdroop 时，跌落指示信号 ERR 将出现高电平状态。如图 3 所示，当电源电压 vdd 高于预设电压 vdroop 时，跌落指示信号 ERR 将处于低电平状态。当电源电压 vdd 出现低于预设电压 vdroop 的多个跌落部分 3011、3012、3013 时，跌落指示信号 ERR 将出现具有高电平状态的多个异常指示部分 3051、3052、3053。以此方式，能够精确地监测电源电压 vdd 的跌落，以便电子电路采取相应的应对措施来避免因电源跌落而导致的时序错误。

在一个实施例中，第二反相信号 P2_B 用作跌落指示信号 ERR。在这样的实施例中，当电源电压 vdd 高于预设电压 vdroop 时，跌落指示信号 ERR 将处于高电平状态，而当电源电压 vdd 跌落至低于预设电压 vdroop 时，跌落指示信号 ERR 将出现低电平状态。利用这样的实施例，同样能够精确地监测电源电压 vdd 的跌落。

本公开的实施例还提供了一种用于监测电子电路的电源电压的方法 400，如图 4 所示。方法 400 可以由在上文中结合图 1 至图 3 所描述的用于监测电子电路的电源电压的装置执行。如图 4 所示，方法 400 包括：在框 410，对电源电压 vdd 进行处理以生成预设电压 vdroop；在框 420，在预设电压 vdroop 下，基于原始时钟信号 clk 和延迟控制信号 cal_code 生成临界时序信号 DIR，临界时序信号 DIR 交替地处于第一电平状态和第二电平状态；在框 430，基于临界时序信号 DIR 调节延迟控制信号 cal_code，其中在临界时序信号 DIR 处于第一电平状态的情况下，延迟控制信号 cal_code 被增大，并且在临界时序信号 DIR 处于第二电平状态的情况下，延迟控制信号 cal_code 被减小；以及在框 440，在电源电压 vdd 下，基于原始时钟信号 clk 和延迟控制信号 cal_code 生成跌落指示信号 ERR，跌

落指示信号 ERR 指示电源电压 vdd 是否跌落至低于预设电压 vdroop。

在一些实施例中，基于原始时钟信号 clk 和延迟控制信号 cal_code 生成临界时序信号 DIR 包括：对原始时钟信号 clk 进行分频以生成第一分频信号 clk_div1；对第一分频信号 clk_div1 进行延迟以生成第一延迟信号 clk_div_dly1，其中对第一分频信号 clk_div1 的延时量由延迟控制信号 cal_code 来控制；以及基于第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 之间的相位关系生成临界时序信号 DIR，其中在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位相差半个周期的情况下，临界时序信号 DIR 处于第二电平状态，并且在第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 的相位未达到相差半个周期的情况下，临界时序信号 DIR 处于第一电平状态。

在一些实施例中，基于第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 之间的相位关系生成临界时序信号 DIR 包括：鉴别第一分频信号 clk_div1 和第一延迟信号 clk_div_dly1 之间的相位差，以生成用于表示相位差的第一鉴相信号 P1，其中第一鉴相信号 P1 或第一鉴相信号 P1 的反相信号被用作临界时序信号 DIR。

在一些实施例中，基于原始时钟信号 clk 和延迟控制信号 cal_code 生成跌落指示信号 ERR 包括：对原始时钟信号 clk 进行分频以生成第二分频信号 clk_div2；对第二分频信号 clk_div2 进行延迟以生成第二延迟信号 clk_div_dly2，其中对第二分频信号 clk_div2 的延时量由延迟控制信号 cal_code 来控制；以及基于第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 之间的相位关系生成跌落指示信号 ERR。

在一些实施例中，基于第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 之间的相位关系生成跌落指示信号 ERR 包括：鉴别第二分频信号 clk_div2 和第二延迟信号 clk_div_dly2 之间的相位差，以生成用于表示相位差的第二鉴相信号 P2，其中第二鉴相信号 P2

或第二鉴相信号 P2 的反相信号被用作跌落指示信号 ERR。

在一些实施例中，延迟控制信号 cal_code 的调节通过数字状态机来实现，数字状态机包括用于增大延迟控制信号 cal_code 的第一调节状态和用于减小延迟控制信号 cal_code 的第二调节状态，其中在临界时序信号 DIR 处于第一电平状态的情况下，数字状态机切换至第一调节状态，并且在临界时序信号 DIR 处于第二电平状态的情况下，数字状态机切换至第二调节状态。

本公开的实施例还体现在以下示例中。

示例 1. 一种用于监测电子电路的电源电压的装置，包括：

稳压器，被配置为对所述电源电压进行处理以生成预设电压；

临界时序生成模块，由所述预设电压供电，并且被配置为基于原始时钟信号和延迟控制信号生成临界时序信号，所述临界时序信号交替地处于第一电平状态和第二电平状态；

控制信号调节模块，被配置为基于所述临界时序信号调节所述延迟控制信号，其中在所述临界时序信号处于所述第一电平状态的情况下，所述延迟控制信号被增大，并且在所述临界时序信号处于所述第二电平状态的情况下，所述延迟控制信号被减小；以及

电源跌落感测模块，由所述电源电压供电，并且被配置为基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号，所述跌落指示信号指示所述电源电压是否跌落至低于所述预设电压。

示例 2. 根据示例 1 所述的装置，其中所述临界时序生成模块包括：

第一分频器，被配置为对所述原始时钟信号进行分频以生成第一分频信号；

第一延迟单元，被配置为对所述第一分频信号进行延迟以生成第一延迟信号，其中所述第一延迟单元所提供的延时量由所述延迟控制信号来控制；以及

时序确定单元，被配置为基于所述第一分频信号和所述第一延迟信号之间的相位关系生成所述临界时序信号，其中在所述第一分

频信号和所述第一延迟信号的相位相差半个周期的情况下，所述临界时序信号处于所述第二电平状态，并且在所述第一分频信号和所述第一延迟信号的相位未达到相差半个周期的情况下，所述临界时序信号处于所述第一电平状态。

示例 3. 根据示例 2 所述的装置，其中所述时序确定单元包括：

第一鉴相器，被配置为鉴别所述第一分频信号和所述第一延迟信号之间的相位差，以生成用于表示所述相位差的第一鉴相信号，其中所述第一鉴相信号或所述第一鉴相信号的反相信号被用作所述临界时序信号。

示例 4. 根据示例 2 所述的装置，其中所述电源跌落感测模块包括：

第二分频器，被配置为对所述原始时钟信号进行分频以生成第二分频信号；

第二延迟单元，被配置为对所述第二分频信号进行延迟以生成第二延迟信号，其中所述第二延迟单元所提供的延时量由所述延迟控制信号来控制；以及

电源跌落确定模块，被配置为基于所述第二分频信号和所述第二延迟信号之间的相位关系生成所述跌落指示信号。

示例 5. 根据示例 4 所述的装置，其中所述电源跌落确定模块包括：

第二鉴相器，被配置为鉴别所述第二分频信号和所述第二延迟信号之间的相位差，以生成用于表示所述相位差的第二鉴相信号，其中所述第二鉴相信号或所述第二鉴相信号的反相信号被用作所述跌落指示信号。

示例 6. 根据示例 4 所述的装置，其中所述第二分频器和所述第一分频器具有相同的分频比。

示例 7. 根据示例 4 所述的装置，其中所述第二延迟单元和所述第一延迟单元具有相同的电路结构。

示例 8. 根据示例 1 所述的装置，其中所述控制信号调节模块

包括数字状态机，所述数字状态机具有用于增大所述延迟控制信号的第一调节状态和用于减小所述延迟控制信号的第二调节状态，其中在所述临界时序信号处于所述第一电平状态的情况下，所述数字状态机切换至所述第一调节状态，并且在所述临界时序信号处于所述第二电平状态的情况下，所述数字状态机切换至所述第二调节状态。

示例 9. 根据示例 1 所述的装置，其中所述稳压器包括：

低通滤波器，被配置为对所述电源电压进行低通滤波，以生成滤波电压；

放大器，其第一输入端接收所述滤波电压；以及

晶体管和电容器，串联连接在所述电源电压与接地之间，所述晶体管的控制端连接至所述放大器的输出端，所述晶体管和所述电容器之间的中间节点连接至所述放大器的第二输入端，所述中间节点提供所述预设电压。

示例 10. 一种用于监测电子电路的电源电压的方法，包括：

对所述电源电压进行处理以生成预设电压；

在所述预设电压下，基于原始时钟信号和延迟控制信号生成临界时序信号，所述临界时序信号交替地处于第一电平状态和第二电平状态；

基于所述临界时序信号调节所述延迟控制信号，其中在所述临界时序信号处于所述第一电平状态的情况下，所述延迟控制信号被增大，并且在所述临界时序信号处于所述第二电平状态的情况下，所述延迟控制信号被减小；以及

在所述电源电压下，基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号，所述跌落指示信号指示所述电源电压是否跌落至低于所述预设电压。

示例 11. 根据示例 10 所述的方法，其中基于原始时钟信号和延迟控制信号生成临界时序信号包括：

对所述原始时钟信号进行分频以生成第一分频信号；

对所述第一分频信号进行延迟以生成第一延迟信号，其中对所述第一分频信号的延时量由所述延迟控制信号来控制；以及

基于所述第一分频信号和所述第一延迟信号之间的相位关系生成所述临界时序信号，其中在所述第一分频信号和所述第一延迟信号的相位相差半个周期的情况下，所述临界时序信号处于所述第二电平状态，并且在所述第一分频信号和所述第一延迟信号的相位未达到相差半个周期的情况下，所述临界时序信号处于所述第一电平状态。

示例 12. 根据示例 11 所述的方法，其中基于所述第一分频信号和所述第一延迟信号之间的相位关系生成所述临界时序信号包括：

鉴别所述第一分频信号和所述第一延迟信号之间的相位差，以生成用于表示所述相位差的第一鉴相信号，其中所述第一鉴相信号或所述第一鉴相信号的反相信号被用作所述临界时序信号。

示例 13. 根据示例 11 所述的方法，其中基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号包括：

对所述原始时钟信号进行分频以生成第二分频信号；

对所述第二分频信号进行延迟以生成第二延迟信号，其中对所述第二分频信号的延时量由所述延迟控制信号来控制；以及

基于所述第二分频信号和所述第二延迟信号之间的相位关系生成所述跌落指示信号。

示例 14. 根据示例 13 所述的方法，其中基于所述第二分频信号和所述第二延迟信号之间的相位关系生成所述跌落指示信号包括：

鉴别所述第二分频信号和所述第二延迟信号之间的相位差，以生成用于表示所述相位差的第二鉴相信号，其中所述第二鉴相信号或所述第二鉴相信号的反相信号被用作所述跌落指示信号。

示例 15. 根据示例 10 所述的方法，其中所述延迟控制信号的调节通过数字状态机来实现，所述数字状态机包括用于增大所述延

迟控制信号的第一调节状态和用于减小所述延迟控制信号的第二调节状态，其中在所述临界时序信号处于所述第一电平状态的情况下，所述数字状态机切换至所述第一调节状态，并且在所述临界时序信号处于所述第二电平状态的情况下，所述数字状态机切换至所述第二调节状态。

示例 16. 一种电子电路，包括根据示例 1 至 9 中任一项所述的装置。

以上已经描述了本公开的各实现，上述说明是示例性的，并非穷尽性的，并且也不限于所公开的各实现。在不偏离所说明的各实现的范围和精神的情况下，对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。本文中所用术语的选择，旨在最好地解释各实现的原理、实际应用或对市场中的技术的改进，或者使本技术领域的其他普通技术人员能理解本文公开的各个实现方式。

权利要求书

1. 一种用于监测电子电路的电源电压的装置，包括：

稳压器（10），被配置为对所述电源电压进行处理以生成预设电压；

临界时序生成模块（20），由所述预设电压供电，并且被配置为基于原始时钟信号和延迟控制信号生成临界时序信号，所述临界时序信号交替地处于第一电平状态和第二电平状态；

控制信号调节模块（30），被配置为基于所述临界时序信号调节所述延迟控制信号，其中在所述临界时序信号处于所述第一电平状态的情况下，所述延迟控制信号被增大，并且在所述临界时序信号处于所述第二电平状态的情况下，所述延迟控制信号被减小；以及

电源跌落感测模块（40），由所述电源电压供电，并且被配置为基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号，所述跌落指示信号指示所述电源电压是否跌落至低于所述预设电压。

2. 根据权利要求 1 所述的装置，其中所述临界时序生成模块（20）包括：

第一分频器（201），被配置为对所述原始时钟信号进行分频以生成第一分频信号；

第一延迟单元（202），被配置为对所述第一分频信号进行延迟以生成第一延迟信号，其中所述第一延迟单元（202）所提供的延时量由所述延迟控制信号来控制；以及

时序确定单元（203），被配置为基于所述第一分频信号和所述第一延迟信号之间的相位关系生成所述临界时序信号，其中在所述第一分频信号和所述第一延迟信号的相位相差半个周期的情况下，所述临界时序信号处于所述第二电平状态，并且在所述第一分频信号和所述第一延迟信号的相位未达到相差半个周期的情况下，

所述临界时序信号处于所述第一电平状态。

3. 根据权利要求 2 所述的装置，其中所述时序确定单元（203）包括：

第一鉴相器（2031），被配置为鉴别所述第一分频信号和所述第一延迟信号之间的相位差，以生成用于表示所述相位差的第一鉴相信号，其中所述第一鉴相信号或所述第一鉴相信号的反相信号被用作所述临界时序信号。

4. 根据权利要求 2 所述的装置，其中所述电源跌落感测模块（40）包括：

第二分频器（401），被配置为对所述原始时钟信号进行分频以生成第二分频信号；

第二延迟单元（402），被配置为对所述第二分频信号进行延迟以生成第二延迟信号，其中所述第二延迟单元（402）所提供的延时量由所述延迟控制信号来控制；以及

电源跌落确定模块（403），被配置为基于所述第二分频信号和所述第二延迟信号之间的相位关系生成所述跌落指示信号。

5. 根据权利要求 4 所述的装置，其中所述电源跌落确定模块（403）包括：

第二鉴相器（4031），被配置为鉴别所述第二分频信号和所述第二延迟信号之间的相位差，以生成用于表示所述相位差的第二鉴相信号，其中所述第二鉴相信号或所述第二鉴相信号的反相信号被用作所述跌落指示信号。

6. 根据权利要求 4 所述的装置，其中所述第二分频器（401）和所述第一分频器（201）具有相同的分频比。

7. 根据权利要求 4 所述的装置，其中所述第二延迟单元（402）和所述第一延迟单元（202）具有相同的电路结构。

8. 根据权利要求 1 所述的装置，其中所述控制信号调节模块（30）包括数字状态机，所述数字状态机具有用于增大所述延迟控制信号的第一调节状态和用于减小所述延迟控制信号的第二调节

状态，其中在所述临界时序信号处于所述第一电平状态的情况下，所述数字状态机切换至所述第一调节状态，并且在所述临界时序信号处于所述第二电平状态的情况下，所述数字状态机切换至所述第二调节状态。

9. 根据权利要求 1 所述的装置，其中所述稳压器（10）包括：
低通滤波器（101），被配置为对所述电源电压进行低通滤波，以生成滤波电压；

放大器（102），其第一输入端接收所述滤波电压；以及
晶体管（103）和电容器（104），串联连接在所述电源电压与接地之间，所述晶体管（103）的控制端连接至所述放大器（102）的输出端，所述晶体管（103）和所述电容器（104）之间的中间节点连接至所述放大器（102）的第二输入端，所述中间节点提供所述预设电压。

10. 一种用于监测电子电路的电源电压的方法，包括：
对所述电源电压进行处理以生成预设电压；
在所述预设电压下，基于原始时钟信号和延迟控制信号生成临界时序信号，所述临界时序信号交替地处于第一电平状态和第二电平状态；

基于所述临界时序信号调节所述延迟控制信号，其中在所述临界时序信号处于所述第一电平状态的情况下，所述延迟控制信号被增大，并且在所述临界时序信号处于所述第二电平状态的情况下，所述延迟控制信号被减小；以及

在所述电源电压下，基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号，所述跌落指示信号指示所述电源电压是否跌落至低于所述预设电压。

11. 根据权利要求 10 所述的方法，其中基于原始时钟信号和延迟控制信号生成临界时序信号包括：

对所述原始时钟信号进行分频以生成第一分频信号；

对所述第一分频信号进行延迟以生成第一延迟信号，其中对所

述第一分频信号的延时量由所述延迟控制信号来控制；以及

基于所述第一分频信号和所述第一延迟信号之间的相位关系生成所述临界时序信号，其中在所述第一分频信号和所述第一延迟信号的相位相差半个周期的情况下，所述临界时序信号处于所述第二电平状态，并且在所述第一分频信号和所述第一延迟信号的相位未达到相差半个周期的情况下，所述临界时序信号处于所述第一电平状态。

12. 根据权利要求 11 所述的方法，其中基于所述第一分频信号和所述第一延迟信号之间的相位关系生成所述临界时序信号包括：

鉴别所述第一分频信号和所述第一延迟信号之间的相位差，以生成用于表示所述相位差的第一鉴相信号，其中所述第一鉴相信号或所述第一鉴相信号的反相信号被用作所述临界时序信号。

13. 根据权利要求 11 所述的方法，其中基于所述原始时钟信号和所述延迟控制信号生成跌落指示信号包括：

对所述原始时钟信号进行分频以生成第二分频信号；

对所述第二分频信号进行延迟以生成第二延迟信号，其中对所述第二分频信号的延时量由所述延迟控制信号来控制；以及

基于所述第二分频信号和所述第二延迟信号之间的相位关系生成所述跌落指示信号。

14. 根据权利要求 13 所述的方法，其中基于所述第二分频信号和所述第二延迟信号之间的相位关系生成所述跌落指示信号包括：

鉴别所述第二分频信号和所述第二延迟信号之间的相位差，以生成用于表示所述相位差的第二鉴相信号，其中所述第二鉴相信号或所述第二鉴相信号的反相信号被用作所述跌落指示信号。

15. 根据权利要求 10 所述的方法，其中所述延迟控制信号的调节通过数字状态机来实现，所述数字状态机包括用于增大所述延迟控制信号的第一调节状态和用于减小所述延迟控制信号的第二

调节状态，其中在所述临界时序信号处于所述第一电平状态的情况下，所述数字状态机切换至所述第一调节状态，并且在所述临界时序信号处于所述第二电平状态的情况下，所述数字状态机切换至所述第二调节状态。

16. 一种电子电路，包括根据权利要求 1 至 9 中任一项所述的装置。

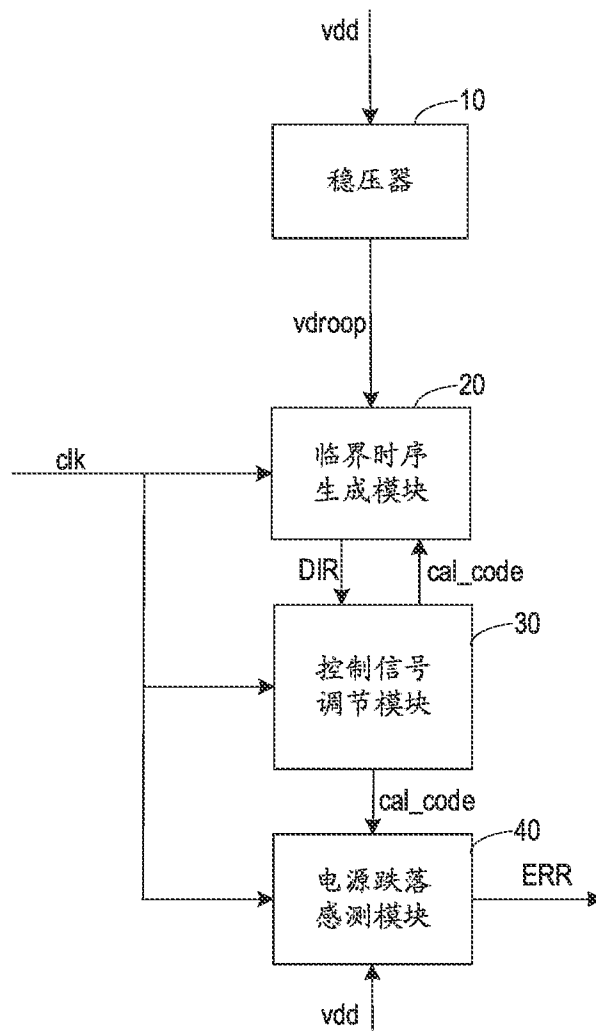


图 1

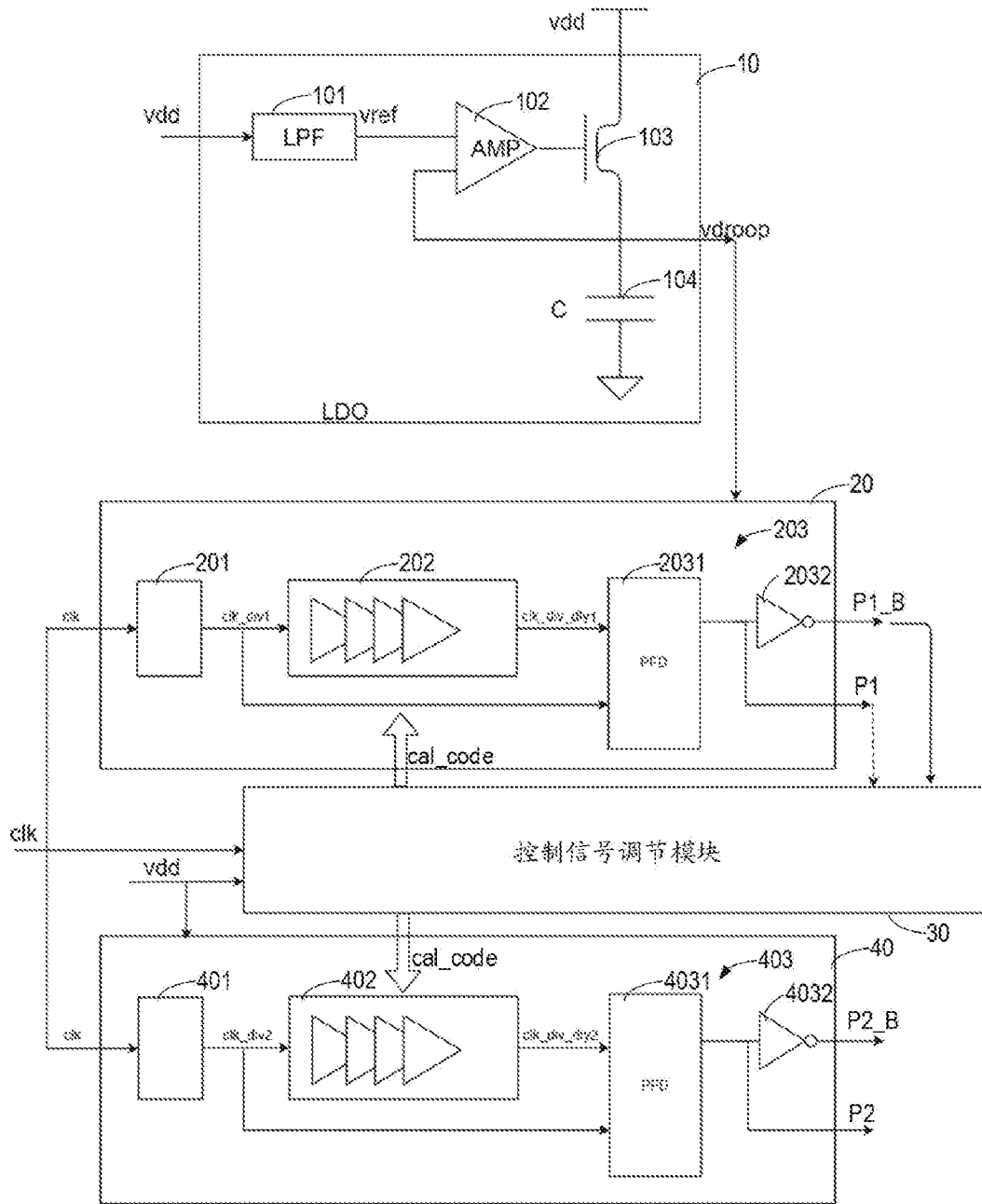


图 2

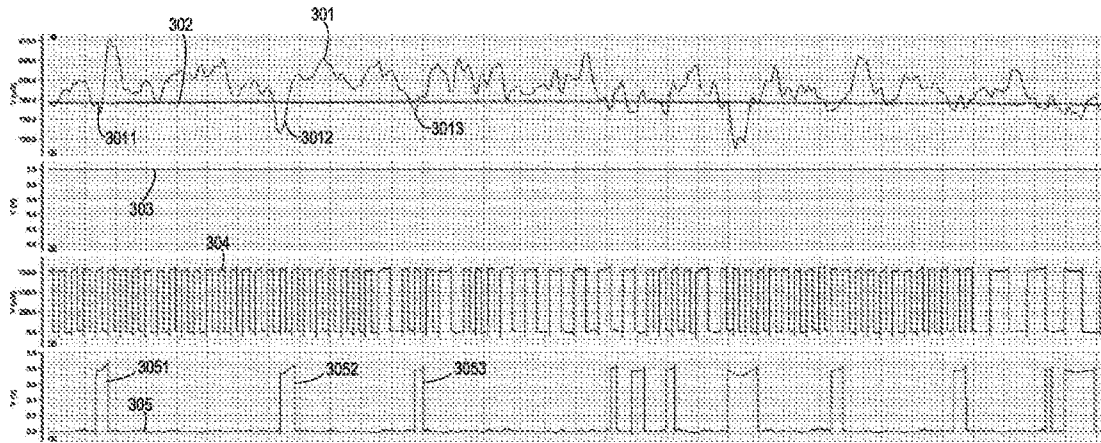


图 3

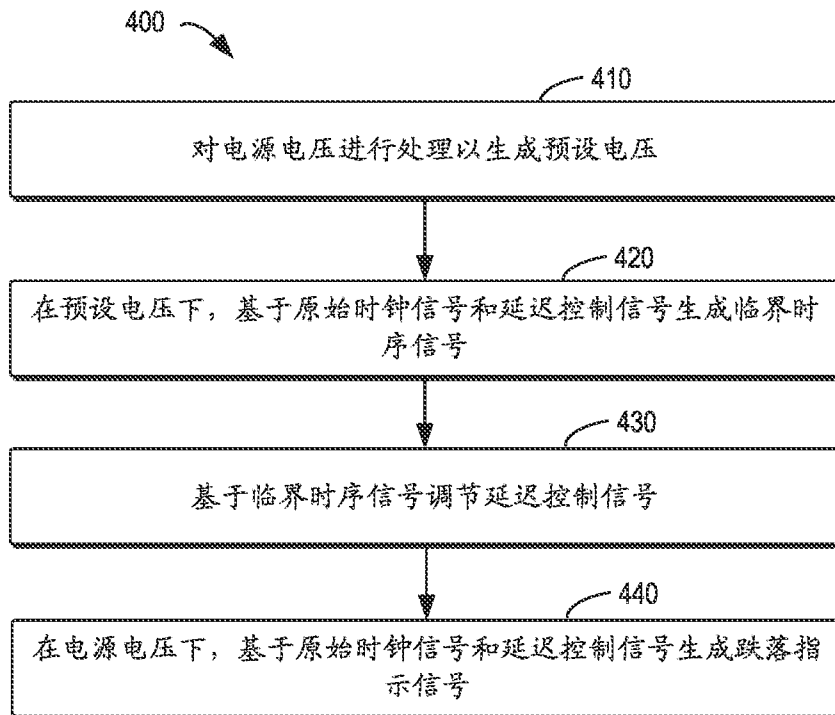


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/080407

A. CLASSIFICATION OF SUBJECT MATTER G01R 31/40(2020.01)i; G01R19/165(2006.01)i; H02M1/00(2007.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G01R,H02M Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, CNKI: 电源, 电压, 跌落, 骤降, 降低, 下降, 压降, 检, 测, 监, 诊断, 临界, 时序, 时钟, 延迟, 延时, 错误; VEN, USTXT, EPTXT, WOTXT: power supply, voltage, drop, test, detect, monitor, diagnosis, critical, timing, clock, delay, error		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2022006459 A1 (INTEL CORP.) 06 January 2022 (2022-01-06) description, paragraphs 14-21, 29, and 39-41, and figures 1-4	1-16
A	CN 111337847 A (SHENZHEN HANGSHUN CHIP TECHNOLOGY R&D CO., LTD.) 26 June 2020 (2020-06-26) entire document	1-16
A	JP H08272491 A (NEC CORP.) 18 October 1996 (1996-10-18) entire document	1-16
A	US 2021376821 A1 (REALTEK SEMICONDUCTOR CORP.) 02 December 2021 (2021-12-02) entire document	1-16
A	JP 2001332699 A (MITSUBISHI ELECTRIC CORP.) 30 November 2001 (2001-11-30) entire document	1-16
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 25 May 2024		Date of mailing of the international search report 28 May 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/080407

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2022006459	A1	06 January 2022	EP	4152014	A1	22 March 2023
				CN	115828333	A	21 March 2023
CN	111337847	A	26 June 2020	CN	111337847	B	09 November 2021
JP	H08272491	A	18 October 1996	JP	2616573	B2	04 June 1997
US	2021376821	A1	02 December 2021	US	11777477	B2	03 October 2023
				TW	202144793	A	01 December 2021
				TW	748487	B1	01 December 2021
JP	2001332699	A	30 November 2001	TW	469626	B	21 December 2001
				KR	20010107531	A	07 December 2001
				KR	100534157	B1	06 December 2005
				US	6377083	B1	23 April 2002

A. 主题的分类

G01R 31/40(2020.01)i; G01R19/165(2006.01)i; H02M1/00(2007.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G01R,H02M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, CNKI: 电源, 电压, 跌落, 骤降, 降低, 下降, 压降, 检, 测, 监, 诊断, 临界, 时序, 时钟, 延迟, 延时, 错误; VEN, USTXT, EPTXT, WOTXT: power supply, voltage, drop, test, detect, monitor, diagnosis, critical, timing, clock, delay, error

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2022006459 A1 (INTEL CORP) 2022年1月6日 (2022 - 01 - 06) 说明书第14-21,29,39-41段、图1-4	1-16
A	CN 111337847 A (深圳市航顺芯片技术研发有限公司) 2020年6月26日 (2020 - 06 - 26) 全文	1-16
A	JP H08272491 A (NEC CORP) 1996年10月18日 (1996 - 10 - 18) 全文	1-16
A	US 2021376821 A1 (REALTEK SEMICONDUCTOR CORP) 2021年12月2日 (2021 - 12 - 02) 全文	1-16
A	JP 2001332699 A (MITSUBISHI ELECTRIC CORP) 2001年11月30日 (2001 - 11 - 30) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年5月25日

国际检索报告邮寄日期

2024年5月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张曼

电话号码 (+86) 020-28950273

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/080407

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2022006459	A1	2022年1月6日	EP	4152014	A1	2023年3月22日
				CN	115828333	A	2023年3月21日
CN	111337847	A	2020年6月26日	CN	111337847	B	2021年11月9日
JP	H08272491	A	1996年10月18日	JP	2616573	B2	1997年6月4日
US	2021376821	A1	2021年12月2日	US	11777477	B2	2023年10月3日
				TW	202144793	A	2021年12月1日
				TW	748487	B1	2021年12月1日
JP	2001332699	A	2001年11月30日	TW	469626	B	2001年12月21日
				KR	20010107531	A	2001年12月7日
				KR	100534157	B1	2005年12月6日
				US	6377083	B1	2002年4月23日