

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/201530 A1

(51) 国際特許分類:

H01L 21/768 (2006.01) H01L 23/522 (2006.01)
H01L 21/02 (2006.01) H01L 23/532 (2006.01)
H01L 21/3205 (2006.01) H01L 27/00 (2006.01)

(21) 国際出願番号: PCT/JP2021/013032

(22) 国際出願日: 2021年3月26日(26.03.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 昭和電工マテリアルズ株式会社 (SHOWA DENKO MATERIALS CO., LTD.)
[JP/JP]; 〒1006606 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(72) 発明者: 福住 志津 (FUKUZUMI Shizu);
〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP). 柴田 智章 (SHIBATA Tomoaki);
〒1006606 東京都千代田区丸の内一丁目

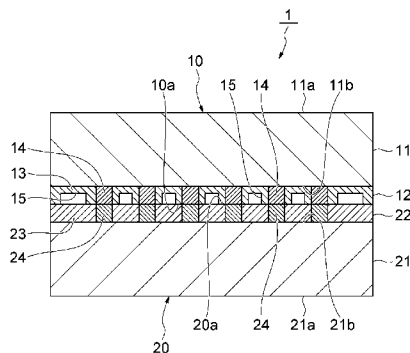
9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP). 白坂 敏明 (SHIRASAKA Toshiaki); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP).

(74) 代理人: 長谷川 芳樹, 外 (HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SEMICONDUCTOR DEVICE PRODUCTION METHOD, SEMICONDUCTOR DEVICE, INTEGRATED CIRCUIT ELEMENT, AND INTEGRATED CIRCUIT ELEMENT PRODUCTION METHOD

(54) 発明の名称: 半導体装置の製造方法、半導体装置、集積回路要素、及び、集積回路要素の製造方法



(57) Abstract: Disclosed is a semiconductor device production method. This semiconductor device production method comprises: a step for providing a first integrated circuit element 10 comprising a first semiconductor substrate 11 and a first wiring layer 12; a step for providing a second integrated circuit element 20 comprising a second semiconductor substrate 21 and a second wiring layer 22; a step for joining an inorganic insulation layer 13 of the first integrated circuit element 10 and an inorganic insulation layer 23 of the second integrated circuit element 20 together; and a step for joining an electrode 14 of the first integrated circuit element 10 and an electrode 24 of the second integrated circuit element 20 together. Provided to the inorganic insulation layer 13, at a position differing from the location where the electrode 14 is disposed, is an opening 15 which is recessed toward the first semiconductor substrate 11 from a joining surface 10a that joins with the inorganic insulation layer 23.



QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置の製造方法が開示される。この半導体装置の製造方法は、第1半導体基板11及び第1配線層12を備える第1集積回路要素10を提供する工程と、第2半導体基板21及び第2配線層22を備える第2集積回路要素20を提供する工程と、第1集積回路要素10の無機絶縁層13と第2集積回路要素20の無機絶縁層23とを互いに接合する工程と、第1集積回路要素10の電極14と第2集積回路要素20の電極24とを互いに接合する工程と、を備える。無機絶縁層13の電極14の配置箇所と異なる位置には、無機絶縁層23と接合する接合面10aから第1半導体基板11に向かって窪む開口部15が設けられている。

明 細 書

発明の名称：

半導体装置の製造方法、半導体装置、集積回路要素、及び、集積回路要素の製造方法

技術分野

[0001] 本開示は、半導体装置の製造方法、半導体装置、集積回路要素、及び、集積回路要素の製造方法に関する。

背景技術

[0002] 特許文献1には、半導体の三次元集積技術であるハイブリッド接合方法が開示されている。この接合方法では、一对の集積回路要素（例えば一对の半導体ウェハ）の各接合面において電極の周囲に絶縁膜を形成し、電極と電極とを接合すると共に、絶縁膜と絶縁膜とを接合する。また、特許文献2にも同様の技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2019/0157333号明細書
特許文献2：特開2012-069585号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の接合方法では、集積回路要素の電極として銅（Cu）を用いると共に絶縁膜として二酸化ケイ素（SiO₂）等の無機絶縁膜を用いている。このような電極同士の接合及び絶縁膜同士の接合を行う際には、各集積回路要素を例えば400℃に加熱して接合を行い、その後、接合された集積回路要素を100℃まで冷却して半導体装置を作製する。この加熱後の冷却処理により、集積回路要素には内部応力が蓄積される。この蓄積された内部応力が大きいと、冷却時に集積回路要素（半導体ウェハ等）にクラック

を生じさせてしまうことがある。特に集積回路要素の大型化又は薄形化が進むと、冷却時のクラックの発生がより起こりやすくなる。

[0005] 本開示は、集積回路要素同士を接合する際のクラックの発生を抑制することができる、半導体装置の製造方法、半導体装置、集積回路要素、及び集積回路要素の製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本開示は、一側面として、半導体装置の製造方法に関する。この半導体装置の製造方法は、半導体素子を有する第1半導体基板と、第1絶縁層及び第1電極を有し第1半導体基板の一面に設けられる第1配線層とを備える第1集積回路要素を提供する工程と、半導体素子を有する第2半導体基板と、第2絶縁層及び第2電極を有し第2半導体基板の一面に設けられる第2配線層とを備える第2集積回路要素を提供する工程と、第1集積回路要素の第1絶縁層と第2集積回路要素の第2絶縁層とを互いに接合する工程と、第1集積回路要素の第1電極と第2集積回路要素の第2電極とを互いに接合する工程と、を備える。第1絶縁層は、無機絶縁材料を含む。第1絶縁層の第1電極の配置箇所と異なる位置には、第2絶縁層と接合する第1接合面から第1半導体基板に向かって窪む第1開口部が設けられている。

[0007] この半導体装置の製造方法では、第1集積回路要素において、第1絶縁層の第1電極の配置箇所とは異なる位置に第1開口部が設けられている。この場合、第1集積回路要素を第2集積回路要素に接合する際、加熱により第1集積回路要素又は第2集積回路要素に内部応力が蓄積されたとしても、かかる内部応力が冷却の際に第1開口部により開放される。即ち、この製造方法によれば、製造される半導体装置内にストレスフリーな場所を形成して、内部応力を低減することができる。これにより、この半導体装置の製造方法によれば、冷却に伴うクラックの発生を抑制することができる。

[0008] 上記の半導体装置の製造方法において、第1開口部は、第1電極が第1開口部の側面に露出しないように設けられていてもよい。この場合、第1電極は、表面側の接続端以外が外部に露出せずに第1絶縁層に覆われることにな

る。これにより、第1電極に対する外部環境からの影響が低減され、第1電極の信頼性を高めることができる。

[0009] 上記の半導体装置の製造方法において、第1開口部は、第1半導体基板が第1開口部の底面に露出しないように設けられていてもよい。この場合、第1半導体基板は、第1電極との接続面が外部に露出せずに第1絶縁層に覆われることになる。これにより、第1半導体基板と第1電極との接続領域に対する外部環境からの影響が低減され、第1半導体基板と第1電極との接続信頼性を高めることができる。

[0010] 上記の半導体装置の製造方法において、第1開口部は、第1絶縁層の平面方向において閉じられた開口形状を有してもよい。この場合、半導体装置に影響を与える因子が製造後の半導体装置内の第1開口部、即ち半導体装置の内部に浸入しづらくなる。これにより、半導体装置に対する外部環境からの影響が低減され、信頼性の高い半導体装置を作製することができる。

[0011] 上記の半導体装置の製造方法において、第1開口部の短手方向の幅又は径は、第1電極の短手方向の幅又は径よりも狭くてもよい。この場合、第1絶縁層に形成される第1開口部の面積を小さくし、第1絶縁層において第2絶縁層との接合に用いる領域を広くすることができる。これにより、第1集積回路要素と第2集積回路要素との接合をより確実なものとすることができる。

[0012] 上記の半導体装置の製造方法において、第1開口部は、第1集積回路要素の第1絶縁層に対してドライエッチングを行うことで形成されてもよい。この場合、微細な第1開口部を迅速に形成することができる。

[0013] 上記の半導体装置の製造方法において、第2絶縁層は、無機絶縁材料を含んでもよく、第2絶縁層の第2電極の配置箇所と異なる位置には、第1絶縁層と接合する第2接合面から第2半導体基板に向かって窪む第2開口部が設けられていてもよい。この場合、第1集積回路要素を第2集積回路要素に接合する際、加熱により第1集積回路要素又は第2集積回路要素に内部応力が蓄積されたとしても、かかる内部応力が第1開口部だけでなく第2開口部に

よっても開放される。これにより、この半導体装置の製造方法によれば、冷却に伴うクラックの発生を更に抑制することができる。

[0014] 上記の半導体装置の製造方法において、第1絶縁層及び第2絶縁層の少なくとも一方の絶縁層に含まれる無機絶縁材料は、二酸化ケイ素、窒化ケイ素、又は酸窒化ケイ素であってもよい。この場合、より微細な第1電極を有する配線層を形成することができる。また、より微細な開口部を形成することもできる。

[0015] 本開示は、別側面として、半導体装置に関する。この半導体装置は、半導体素子を有する第1半導体基板と、第1絶縁層及び第1電極を有し第1半導体基板の一面に設けられる第1配線層とを備える第1集積回路要素と、半導体素子を有する第2半導体基板と、第2絶縁層及び第2電極を有し第2半導体基板の一面に設けられる第2配線層とを備える第2集積回路要素と、を備える。第1集積回路要素の第1絶縁層と第2集積回路要素の第2絶縁層とが互いに接合されている。第1集積回路要素の第1電極と第2集積回路要素の第2電極とが互いに接合されている。第1絶縁層は、無機絶縁材料を含む。第1絶縁層の第1電極の配置箇所と異なる位置には、第2絶縁層と接合する第1接合面から第1半導体基板に向かって窪む第1開口部が設けられている。

[0016] 上記の半導体装置では、第1集積回路要素において、第1絶縁層の第1電極の配置箇所と異なる位置に第1開口部が設けられている。この場合、上記同様に、内部応力が第1開口部により開放される。これにより、半導体装置においてクラックの発生が抑制される。

[0017] 本開示は、更に別の側面として、他の集積回路要素と接合して半導体装置を製造するための集積回路要素に関する。この集積回路要素は、第1面及び第2面を有し、第1面上及び内部の少なくとも一方に半導体素子が形成されている半導体基板と、半導体基板の第2面上に設けられる配線層と、を備える。配線層は、半導体基板の第2面上に設けられる無機絶縁層と、半導体基板の半導体素子に電氣的に接続され、無機絶縁層を貫通して無機絶縁層から

外に露出する電極と、を有する。無機絶縁層の電極の配置箇所と異なる位置には、半導体基板に向かって窪む開口部が設けられている。

[0018] 上記の集積回路要素では、無機絶縁層の電極の配置箇所と異なる位置に開口部が設けられている。この場合、この集積回路要素を用いて半導体装置を製造することにより、上記同様、半導体装置の内部応力が開口部により開放される。これにより、半導体装置においてクラックの発生が抑制される。

[0019] 本開示は、更に別の側面として、他の集積回路要素と接合して半導体装置を製造するための集積回路要素の製造方法に関する。この集積回路要素の製造方法は、第1面及び第2面を有し、第1面上及び内部の少なくとも一方に半導体素子が形成されている半導体基板を提供する工程と、半導体基板の第2面上に配線層を形成する工程と、を備える。配線層を形成する工程は、半導体基板の第2面上に無機絶縁層を形成する工程と、半導体素子に電氣的に接続されるように無機絶縁層を貫通する電極を形成する工程と、無機絶縁層において電極の配置箇所と異なる位置に、半導体基板に向かって窪む開口部を形成する工程と、を有する。

[0020] 上記の集積回路要素の製造方法によれば、無機絶縁層の電極の配置箇所とは異なる位置に開口部が形成される。この場合、この方法によって製造される集積回路要素を用いることにより、上記同様、半導体装置の内部応力が開口部により開放される。これにより、半導体装置においてクラックの発生が抑制される。

[0021] 上記の集積回路要素の製造方法において、開口部を形成する工程では、無機絶縁層に対してドライエッチングを行うことで開口部を形成してもよい。この場合、微細な開口部を迅速に形成することができる。

[0022] 上記の集積回路要素の製造方法において、電極を形成する工程の後に開口部を形成する工程を行ってもよい。この場合、電極と異なる高さの開口部を形成するといったことが可能となる。

[0023] 上記の集積回路要素の製造方法において、開口部を形成する工程の後に電極を形成する工程を行ってもよい。

発明の効果

[0024] 本開示の一側面によれば、集積回路要素同士を接合する際のクラックの発生を抑制することができる。

図面の簡単な説明

[0025] [図1]図1は、本開示の一実施形態に係る方法によって製造される半導体装置の一例を示す断面図である。

[図2]図2は、図1に示す半導体装置の一部（上部）を示す横断面図である。

[図3]図3の（a）～（c）は、開口部の形状の変形例を示す平面図である。

[図4]図4の（a）～（d）は、一実施形態に係る集積回路要素の製造方法の各工程を順に示す断面図である。

[図5]図5の（a）～（c）は、別の実施形態に係る集積回路要素の製造方法の各工程を順に示す断面図である。

[図6]図6は、図1に示す半導体装置を製造する方法を示す断面図である。

発明を実施するための形態

[0026] 以下、必要により図面を参照しながら本開示のいくつかの実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一の符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。更に、図面の寸法比率は図示の比率に限られるものではない。

[0027] 本明細書において「～」を用いて示された数値範囲には、「～」の前後に記載される数値がそれぞれ最小値及び最大値として含まれる。本明細書に段階的に記載されている数値範囲において、一つの数値範囲で記載された上限値又は下限値は、他の段階的な記載の数値範囲の上限値又は下限値に置き換えてもよい。また、本明細書に記載されている数値範囲において、その数値範囲の上限値又は下限値は、実施例に示されている値に置き換えてもよい。

[0028] （半導体装置の構成）

図1は、本実施形態に係る製造方法によって製造される半導体装置の一例を模式的に示す断面図である。図1に示すように、半導体装置1は、第1集

積回路要素 10 と第 2 集積回路要素 20 とを備える。第 1 集積回路要素 10 は、第 1 半導体基板 11 と、第 1 半導体基板 11 上に設けられる第 1 配線層 12 とを備える。第 2 集積回路要素 20 は、第 2 半導体基板 21 と、第 2 半導体基板 21 上に設けられる第 2 配線層 22 とを備える。半導体装置 1 では、第 1 集積回路要素 10 の第 1 配線層 12 と第 2 集積回路要素 20 の第 2 配線層 22 とが接合面 10a（第 1 接合面）及び接合面 20a（第 2 接合面）を介して接合され、これにより半導体装置 1 が形成される。

[0029] 第 1 半導体基板 11 及び第 2 半導体基板 21 は、例えば LSI（Large scale Integrated Circuit:大規模集積回路）チップ又は CMOS（Complementary Metal Oxide Semiconductor）センサ等の半導体チップに対応する機能回路を構成する複数の半導体素子が設けられた半導体ウェハである。第 1 半導体基板 11 は、第 1 面 11a 及び逆側の第 2 面 11b（一面）を有し、上述した複数の半導体素子を第 1 面 11a 上又は基板内部に設けるように構成される。第 2 半導体基板 21 は、第 1 面 21a 及び逆側の第 2 面 21b を有し、上述した複数の半導体素子を第 1 面 21a 上又は基板内部に設けるように構成される。

[0030] 第 1 配線層 12 及び第 2 配線層 22 は、隣接する第 1 半導体基板 11 及び第 2 半導体基板 21 に含まれる複数の半導体素子に電氣的に接続される複数の電極を絶縁膜内に設けて、各電極の一端を外部に露出させるための層である。第 1 配線層 12 は、無機絶縁層 13（第 1 絶縁層）と、複数の電極 14（第 1 電極）と、複数の開口部 15（第 1 開口部）と、を備える。第 2 配線層 22 は、無機絶縁層 23（第 2 絶縁層）と、複数の電極 24（第 2 電極）と、を備える。図 1 に示す例では、第 2 配線層 22 には、第 1 配線層 12 に設けられた開口部 15 が設けられていないが、第 2 配線層 22 に同様の開口部を設けてもよい。半導体装置 1 では、第 1 配線層 12 の無機絶縁層 13 と第 2 配線層 22 の無機絶縁層 23 とが接合され、第 1 配線層 12 の各電極 14 と第 2 配線層 22 の各電極 24 とが接合される。

[0031] 無機絶縁層 13 は、第 1 半導体基板 11 の第 2 面 11b 上に設けられる絶

縁層である。無機絶縁層 13 は、二酸化ケイ素 (SiO_2)、窒化ケイ素 (SiN)、又は、酸窒化ケイ素 (SiON) 等の無機材料から構成される。無機絶縁層 13 は、複数の絶縁層 (例えば三層以上の無機絶縁層) から構成されていてもよい。

[0032] 電極 14 のそれぞれは、第 1 半導体基板 11 の半導体素子に電氣的に接続され、無機絶縁層 13 を貫通する電極である。電極 14 は、例えば、銅 (Cu) 等の導電金属から形成され、無機絶縁層 13 を貫通する。電極 14 は、第 1 半導体基板 11 から接合面 10a に向かって、段階的に直径が大きくなるように構成されてもよい。電極 14 の径は、例えば $0.005\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。

[0033] 開口部 15 は、無機絶縁層 13 における接合面 10a から第 1 半導体基板 11 に向かって窪む凹部であり、半導体装置 1 内に空隙を形成する。空隙が半導体装置 1 内に設けられることにより、後述する第 1 集積回路要素 10 と第 2 集積回路要素 20 との接合の際に半導体装置 1 に蓄積される内部応力が開放される。また、開口部 15 は、半導体装置 1 として製造された後に外部から加えられる外力に対して、かかる外力を開放する機能を有してもよい。開口部 15 のそれぞれは、電極 14 の間又はその外側に設けられ、例えば、図 2 に示すように、電極 14 の配列に沿って形成されてもよい。また、開口部 15 は、無機絶縁層 13 の各電極 14 の配置箇所とは異なる位置に設けられ、電極 14 から離間している。これにより、開口部 15 の側面 15a に電極 14 が露出しない。また、開口部 15 の底面 15b は、第 1 半導体基板 11 から離間するように形成されている。これにより、開口部 15 の底面 15b には第 1 半導体基板 11 の第 2 面 11b が露出しない。

[0034] 開口部 15 は、図 2 に示すように、無機絶縁層 13 の平面方向において閉じられた開口形状、例えば矩形形状を有している。開口部 15 の平面方向における形状は、図 2 に示す矩形形状に限られることはなく、例えば、図 3 の (a) に示す星型 (例えば四芒星) 形状の開口部 15A であってもよく、図 3 の (b) に示す十字形状の開口部 15B であってもよく、図 3 の (c) に

示す円形又は楕円形状の開口部 15 Cであってもよい。開口部 15, 15 A ~ 15 C の短手方向の幅又は径は、各電極 14 の短手方向の幅又は径よりも小さくてもよい。また、無機絶縁層 13 の平面方向における総面積に対する開口部 15 の合計面積は、65%以下であることが好ましい。この場合、第 1 集積回路要素 10 と第 2 集積回路要素 20 との接合が開口部 15 を設けたことにより阻害されず、確実な接合を行うことができる。

[0035] 無機絶縁層 23 は、図 1 に示すように、第 2 半導体基板 21 の第 2 面 21 b 上に設けられる絶縁層である。無機絶縁層 23 は、無機絶縁層 13 と同様に、二酸化ケイ素 (SiO_2)、窒化ケイ素 (SiN)、又は、酸窒化ケイ素 (SiON) 等の無機材料から構成される。無機絶縁層 23 は、無機絶縁層 13 と同じ無機絶縁材料から形成されることが好ましい。無機絶縁層 23 は、複数の絶縁層（例えば三層以上の無機絶縁層）から構成されていてもよい。

[0036] 電極 24 は、第 2 半導体基板 21 の半導体素子に電氣的に接続され、無機絶縁層 23 を貫通する電極である。電極 24 は、例えば、銅 (Cu) 等の導電金属から形成され、無機絶縁層 23 を貫通する。電極 24 は、第 2 半導体基板 21 から接合面 20 a に向かって、段階的に直径が大きくなるように構成されてもよい。電極 24 の径は、例えば $0.005\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。電極 24 は、電極 14 に接合され、電氣的及び機械的に接続されている。

[0037] (半導体装置の製造方法)

次に、半導体装置 1 の製造方法について、図 4 ~ 図 6 を参照して、説明する。図 4 の (a) ~ (d) は、半導体装置 1 を製造する際に用いられる第 1 集積回路要素 10 を製造する方法を示す断面図である。図 5 の (a) ~ (c) は、第 1 集積回路要素 10 を製造する別の方法を示す断面図である。図 6 は、第 1 集積回路要素 10 及び第 2 集積回路要素 20 から半導体装置 1 を製造する方法を示す断面図である。

[0038] 半導体装置 1 は、例えば、以下の工程 (a) ~ 工程 (d) を経て製造する

ことができる。

(a) 第1集積回路要素10を準備(提供)する工程(図4及び図5を参照)。

(b) 第2集積回路要素20を準備(提供)する工程(図6を参照)。

(c) 第1集積回路要素10の無機絶縁層13と第2集積回路要素20の無機絶縁層23とを接合する工程(図6を参照)。

(d) 第1集積回路要素10の電極14と第2集積回路要素20の電極24とを接合する工程(図6を参照)。

[0039] [工程(a)]

工程(a)は、複数の半導体素子を有する第1半導体基板11と、第1半導体基板11の第2面11bに設けられる第1配線層12とを備える第1集積回路要素10を準備する工程である。工程(a)では、図4の(a)に示すように、まず機能回路が内部等に形成されたシリコン等からなる第1半導体基板11の第2面11b上に無機絶縁層113を形成する。第1半導体基板11の第1面11a及び内部には、既に複数の半導体素子が形成されている。無機絶縁層113は、例えば、二酸化ケイ素(SiO_2)等の無機材料から構成され、厚さは $0.01\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。そして、図4の(b)に示すように、例えばダマシン法等により、無機絶縁層113に複数の溝又は孔113aを設け、各溝又は孔113aに銅などの金属114を電解メッキ、スパッタ、又は化学的気相成長法(CVD)等の方法により埋め込む。複数の溝又は孔113aを形成する際には、無機絶縁層113の所定箇所をドライエッチングで加工する。その後、図4の(c)に示すように、金属114を化学機械研磨法(CMP: Chemical Mechanical Polishing)にて研磨し、複数の電極14を形成する。電極14の幅又は径は、例えば $0.01\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。その後、無機絶縁層113及び電極14からなる配線層に対して、開口部15の形成箇所以外にレジスト(不図示)を形成して、図4の(d)に示すように、複数の開口部15をドライエッチングにより形成する。その後、レジストを剥離して第1集積回路要素10を

取得する。

[0040] 第1集積回路要素10は、図5に示す別の方法で形成してもよい。図5の(a)に示すように、まず機能回路が内部等に形成されたシリコン等からなる第1半導体基板11の第2面11b上に無機絶縁層113を形成する。第1半導体基板11の第1面11a及び内部には、既に複数の半導体素子が形成されている。無機絶縁層113は、例えば、二酸化ケイ素(SiO_2)等の無機材料から構成され、厚さは $0.01\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。そして、図5の(b)に示すように、ドライエッチングにより、無機絶縁層113中に開口部15を形成すると共に、開口部15上にレジスト115を設ける。また、電極14を形成するための溝又は孔113aをスパッタにより形成し、レジスト115を剥離する。その後、図5の(c)に示すように、電解銅めっきにより、溝又は孔113a内に電極114を形成する。そして、図5の(d)に示すように、電極114a等を化学機械研磨法(CMP法)にて研磨し、複数の電極14を形成し、第1集積回路要素10を取得する。

[0041] [工程(b)]

工程(b)は、複数の半導体素子を有する第2半導体基板21と、第2半導体基板21の第2面に設けられる第2配線層22とを備える第2集積回路要素20を準備(提供)する工程である。工程(b)では、工程(a)と同様に、シリコン等からなる第2半導体基板21の第2面21bに無機絶縁層23を形成し、例えばダマシン法等により、無機絶縁層23に複数の溝又は孔を設け、各溝又は孔に銅などの金属を電解メッキ、スパッタ、又は化学的气相成長法(CVD)等の方法により埋め込んで電極24を形成する(例えば、図4の(a)~(c)を参照)。電極24を設けた後に、無機絶縁層23を設けてもよい。なお、図1に示す半導体装置1の製造では、第2集積回路要素20に開口部を設けないが、開口部15に相当する開口部を設ける場合には、上述した図4又は図5に示す方法を用いることができる。

[0042] [工程(c)]

工程(c)は、第1集積回路要素10の無機絶縁層13と第2集積回路要

素 20 の無機絶縁層 23 とを接合する工程である。工程 (c) では、第 1 集積回路要素 10 の接合面 10a 及び第 2 集積回路要素 20 の接合面 20a の表面に付着した有機物又は金属酸化物を除去した後、図 6 に示すように、第 1 集積回路要素 10 の接合面 10a と第 2 集積回路要素 20 の接合面 20a とを対面させると共に、第 1 集積回路要素 10 の各電極 14 と第 2 集積回路要素 20 の各電極 24 との位置合わせを行う。この位置合わせの段階では、第 1 集積回路要素 10 の無機絶縁層 13 と第 2 集積回路要素 20 の無機絶縁層 23 とは互いに離間しており、接合されていない（但し、電極 14 と電極 24 との位置合わせはされている）。位置合わせが終了すると、第 1 集積回路要素 10 の無機絶縁層 13 と第 2 集積回路要素 20 の無機絶縁層 23 とを接合する。この際、第 1 集積回路要素 10 の無機絶縁層 13 と第 2 集積回路要素 20 の無機絶縁層 23 とを均一に加熱してから接合を行ってもよい。無機絶縁層 13 及び無機絶縁層 23 を接合する際の加熱温度は、例えば 25℃ 以上 800℃ 以下であってもよく、圧力は 0.1 MPa 以上 10 MPa 以下であってもよい。また、接合の際の無機絶縁層 13 と無機絶縁層 23 との温度差は、例えば 10℃ 以下であることが好ましい。このような均一な温度での加熱接合により、無機絶縁層 13 と無機絶縁層 23 とが接合されて絶縁接合部分となり、第 1 集積回路要素 10 と第 2 集積回路要素 20 とが互いに機械的に強固に取り付けられる。また、均一な温度での加熱接合であることから、接合箇所における位置ズレ等が生じ難く、高精度な接合を行うことができる。

[0043] [工程 (d)]

工程 (d) は、第 1 集積回路要素 10 の電極 14 と第 2 集積回路要素 20 の電極 24 とを接合する工程である。工程 (d) では、工程 (c) の無機絶縁層 13 と無機絶縁層 23 との接合が終了すると、所定の熱又は圧力若しくはその両方を付与して、第 1 集積回路要素 10 の電極 14 と第 2 集積回路要素 20 の電極 24 とを接合する。電極 14 及び 24 が銅から構成されている場合、工程 (d) での加熱温度は、150℃ 以上 400℃ 以下であり、20

0℃以上300℃以下であってもよく、圧力は0.1MPa以上10MPa以下であってもよい。このような接合処理により、電極14とそれに対応する電極24とが接合されて電極接合部分となり、電極14と電極24とが機械的且つ電氣的に強固に接合される。なお、工程(d)の電極接合は、一例として、工程(c)の接合後に行われるが、工程(c)の接合と同時に進行されてもよい。

[0044] 工程(c)及び(d)による第1集積回路要素10と第2集積回路要素20との接合が終了すると、半導体装置1を得ることができる。この半導体装置1をダイシング等の切断手段で個片化することにより、個別の半導体装置を取得することができる。半導体装置1を個片化する方法としては、例えば、プラズマダイシング、ステルスダイシング又はレーザーダイシングを用いることができる。

[0045] 以上、本実施形態に係る半導体装置の製造方法によれば、第1集積回路要素10において、無機絶縁層13の電極14の配置箇所とは異なる位置に開口部15が設けられている。この場合、第1集積回路要素10を第2集積回路要素20に接合する際、加熱により第1集積回路要素10又は第2集積回路要素20に内部応力が蓄積されたとしても、かかる内部応力が冷却の際に開口部15により開放される。即ち、この製造方法によれば、製造される半導体装置1内にストレスフリーな場所を形成して、内部応力を低減することができる。これにより、この半導体装置の製造方法によれば、冷却に伴うクラックの発生を抑制することができる。

[0046] また、本実施形態に係る半導体装置の製造方法では、開口部15は、電極14が開口部15の側面15aに露出しないように設けられている。このため、電極14は、表面側の接続端以外が外部に露出せず無機絶縁層13に覆われることになる。これにより、電極14に対する外部環境からの影響が低減され、電極14の信頼性を高めることができる。

[0047] また、本実施形態に係る半導体装置の製造方法では、開口部15は、第1半導体基板11が開口部15の底面15bに露出しないように設けられてい

る。このため、第1半導体基板11は、電極14との接続面が外部に露出せず、無機絶縁層13に覆われることになる。これにより、第1半導体基板11と電極14との接続領域に対する外部環境からの影響が低減され、第1半導体基板11と電極14との接続信頼性を高めることができる。

[0048] また、本実施形態に係る半導体装置の製造方法では、開口部15は、無機絶縁層13の平面方向において閉じられた開口形状を有している。このため、半導体装置1に影響を与える因子が製造後の半導体装置1内の開口部15、即ち半導体装置1の内部に浸入しづらくなる。これにより、半導体装置1に対する外部環境からの影響が低減され、信頼性の高い半導体装置を作製することができる。

[0049] また、本実施形態に係る半導体装置の製造方法では、開口部15の短手方向の幅又は径は、電極14の短手方向の幅又は径よりも狭くなっている。このため、無機絶縁層13に形成される開口部15の面積を小さくし、無機絶縁層13において無機絶縁層23との接合に用いる領域を広くすることができる。これにより、第1集積回路要素10と第2集積回路要素20との接合をより確実なものとすることができる。

[0050] また、本実施形態に係る半導体装置の製造方法では、開口部15は、第1集積回路要素10の無機絶縁層13に対してドライエッチングを行うことで形成されている。この方法によれば、微細な開口部15を迅速に形成することができる。

[0051] また、本実施形態に係る半導体装置の製造方法では、無機絶縁層13及び無機絶縁層23を構成する無機絶縁材料は、二酸化ケイ素、窒化ケイ素、又は酸窒化ケイ素である。これにより、より微細な電極14及び電極24を有する配線層を形成することができ、また、より微細な開口部15等を形成することもできる。

[0052] また、本実施形態に係る半導体装置の製造方法において、無機絶縁層23の電極24の配置箇所と異なる位置に、接合面20aから第2半導体基板21に向かって窪む別の開口部（第2開口部）が設けられていてもよい。この

場合、第1集積回路要素10を第2集積回路要素20に接合する際、加熱により第1集積回路要素10又は第2集積回路要素20に内部応力が蓄積されたとしても、かかる内部応力が開口部15だけでなく別の開口部によっても開放される。これにより、この半導体装置の製造方法によれば、冷却に伴うクラックの発生を更に抑制することができる。

[0053] 以上、本発明の実施形態について詳細に説明したが、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、W2W (Wafer to Wafer) でのハイブリットボンディングに本発明を適用した場合を例示したが、C2C (Chip to Chip) 又はC2W (Chip to Wafer) に本発明を適用してもよい。

符号の説明

[0054] 1…半導体装置、10…第1集積回路要素、10a…接合面（第1接合面）、11…第1半導体基板、11a…第1面、11b…第2面、12…第1配線層、13…無機絶縁層（第1絶縁層）、14…電極（第1電極）、15、15A～15C…開口部（第1開口部）、15a…側面、15b…底面、20…第2集積回路要素、20a…接合面（第2接合面）、21…第2半導体基板、22…第2配線層、23…無機絶縁層（第2絶縁層）、24…電極（第2電極）。

請求の範囲

- [請求項1] 半導体素子を有する第1半導体基板と、第1絶縁層及び第1電極を有し前記第1半導体基板の一面に設けられる第1配線層とを備える第1集積回路要素を提供する工程と、
- 半導体素子を有する第2半導体基板と、第2絶縁層及び第2電極を有し前記第2半導体基板の一面に設けられる第2配線層とを備える第2集積回路要素を提供する工程と、
- 前記第1集積回路要素の前記第1絶縁層と前記第2集積回路要素の前記第2絶縁層とを互いに接合する工程と、
- 前記第1集積回路要素の前記第1電極と前記第2集積回路要素の前記第2電極とを互いに接合する工程と、を備え、
- 前記第1絶縁層は、無機絶縁材料を含み、
- 前記第1絶縁層の前記第1電極の配置箇所と異なる位置には、前記第2絶縁層と接合する第1接合面から前記第1半導体基板に向かって窪む第1開口部が設けられている、半導体装置の製造方法。
- [請求項2] 前記第1開口部は、前記第1電極が前記第1開口部の側面に露出しないように設けられている、
- 請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第1開口部は、前記第1半導体基板が前記第1開口部の底面に露出しないように設けられている、
- 請求項1又は2に記載の半導体装置の製造方法。
- [請求項4] 前記第1開口部は、前記第1絶縁層の平面方向において閉じられた開口形状を有する、
- 請求項1～3の何れか一項に記載の半導体装置の製造方法。
- [請求項5] 前記第1開口部の短手方向の幅又は径は、前記第1電極の短手方向の幅又は径よりも狭い、
- 請求項1～4の何れか一項に記載の半導体装置の製造方法。
- [請求項6] 前記第1開口部は、前記第1集積回路要素の前記第1絶縁層に対し

てドライエッチングを行うことで形成される、

請求項 1 ～ 5 の何れか一項に記載の半導体装置の製造方法。

[請求項7]

前記第 2 絶縁層は、無機絶縁材料を含み、

前記第 2 絶縁層の前記第 2 電極の配置箇所と異なる位置には、前記第 1 絶縁層と接合する第 2 接合面から前記第 2 半導体基板に向かって窪む第 2 開口部が設けられている、

請求項 1 ～ 6 の何れか一項に記載の半導体装置の製造方法。

[請求項8]

前記第 1 絶縁層及び前記第 2 絶縁層の少なくとも一方の絶縁層に含まれる前記無機絶縁材料は、二酸化ケイ素、窒化ケイ素、又は酸窒化ケイ素である、

請求項 1 ～ 7 の何れか一項に記載の半導体装置の製造方法。

[請求項9]

半導体素子を有する第 1 半導体基板と、第 1 絶縁層及び第 1 電極を有し前記第 1 半導体基板の一面に設けられる第 1 配線層とを備える第 1 集積回路要素と、

半導体素子を有する第 2 半導体基板と、第 2 絶縁層及び第 2 電極を有し前記第 2 半導体基板の一面に設けられる第 2 配線層とを備える第 2 集積回路要素と、を備え、

前記第 1 集積回路要素の前記第 1 絶縁層と前記第 2 集積回路要素の前記第 2 絶縁層とが互いに接合され、

前記第 1 集積回路要素の前記第 1 電極と前記第 2 集積回路要素の前記第 2 電極とが互いに接合され、

前記第 1 絶縁層は、無機絶縁材料を含み、

前記第 1 絶縁層の前記第 1 電極の配置箇所と異なる位置には、前記第 2 絶縁層と接合する第 1 接合面から前記第 1 半導体基板に向かって窪む第 1 開口部が設けられている、半導体装置。

[請求項10]

他の集積回路要素と接合して半導体装置を製造するための集積回路要素であって、

第 1 面及び第 2 面を有し、前記第 1 面上及び内部の少なくとも一方

に半導体素子が形成されている半導体基板と、

前記半導体基板の前記第2面上に設けられる配線層と、を備え、

前記配線層は、

前記半導体基板の前記第2面上に設けられる無機絶縁層と、

前記半導体基板の前記半導体素子に電氣的に接続され、前記無機絶縁層を貫通して前記無機絶縁層から外に露出する電極と、を有し、

前記無機絶縁層の前記電極の配置箇所と異なる位置には、前記半導体基板に向かって窪む開口部が設けられている、集積回路要素。

[請求項11]

他の集積回路要素と接合して半導体装置を製造するための集積回路要素の製造方法であって、

第1面及び第2面を有し、前記第1面上及び内部の少なくとも一方に半導体素子が形成されている半導体基板を提供する工程と、

前記半導体基板の前記第2面上に配線層を形成する工程と、を備え、

、

前記配線層を形成する工程は、

前記半導体基板の前記第2面上に無機絶縁層を形成する工程と、

前記半導体素子に電氣的に接続されるように前記無機絶縁層を貫通する電極を形成する工程と、

前記無機絶縁層において前記電極の配置箇所とは異なる位置に、前記半導体基板に向かって窪む開口部を形成する工程と、

を有する、集積回路要素の製造方法。

[請求項12]

前記開口部を形成する工程では、前記無機絶縁層に対してドライエッチングを行うことで前記開口部を形成する、
請求項11に記載に集積回路要素の製造方法。

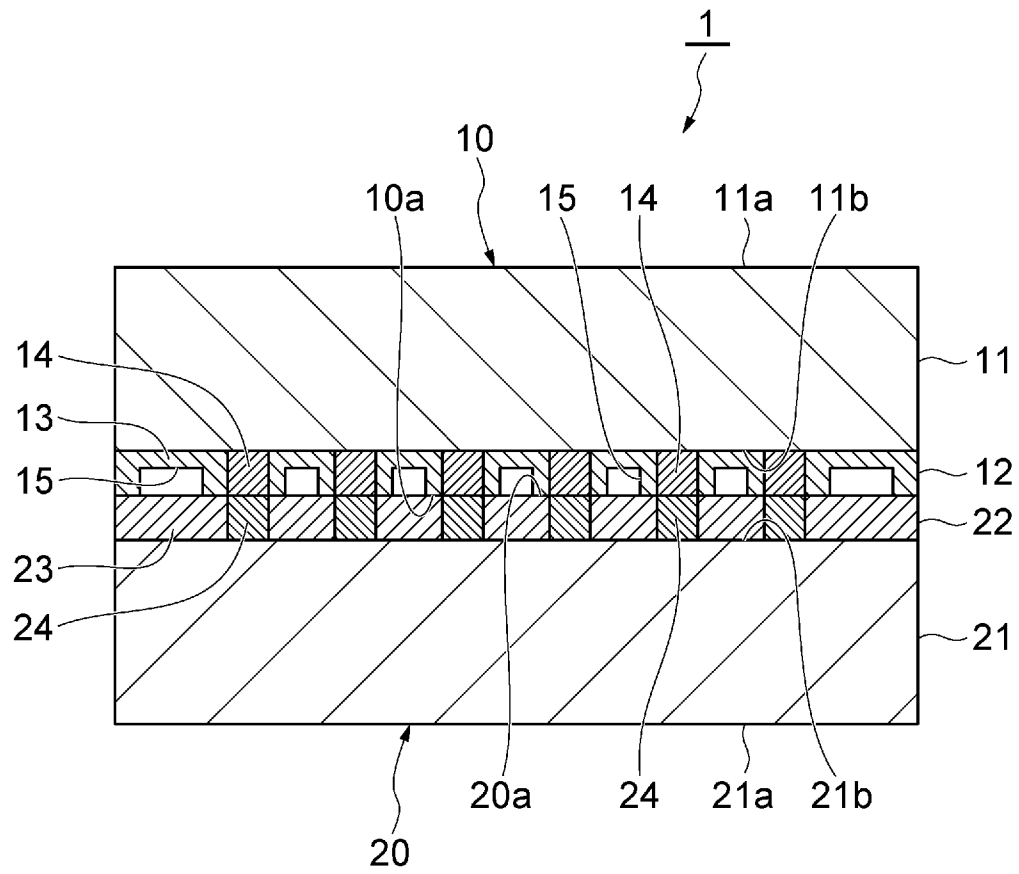
[請求項13]

前記電極を形成する工程の後に前記開口部を形成する工程を行う、
請求項11又は12に記載の集積回路要素の製造方法。

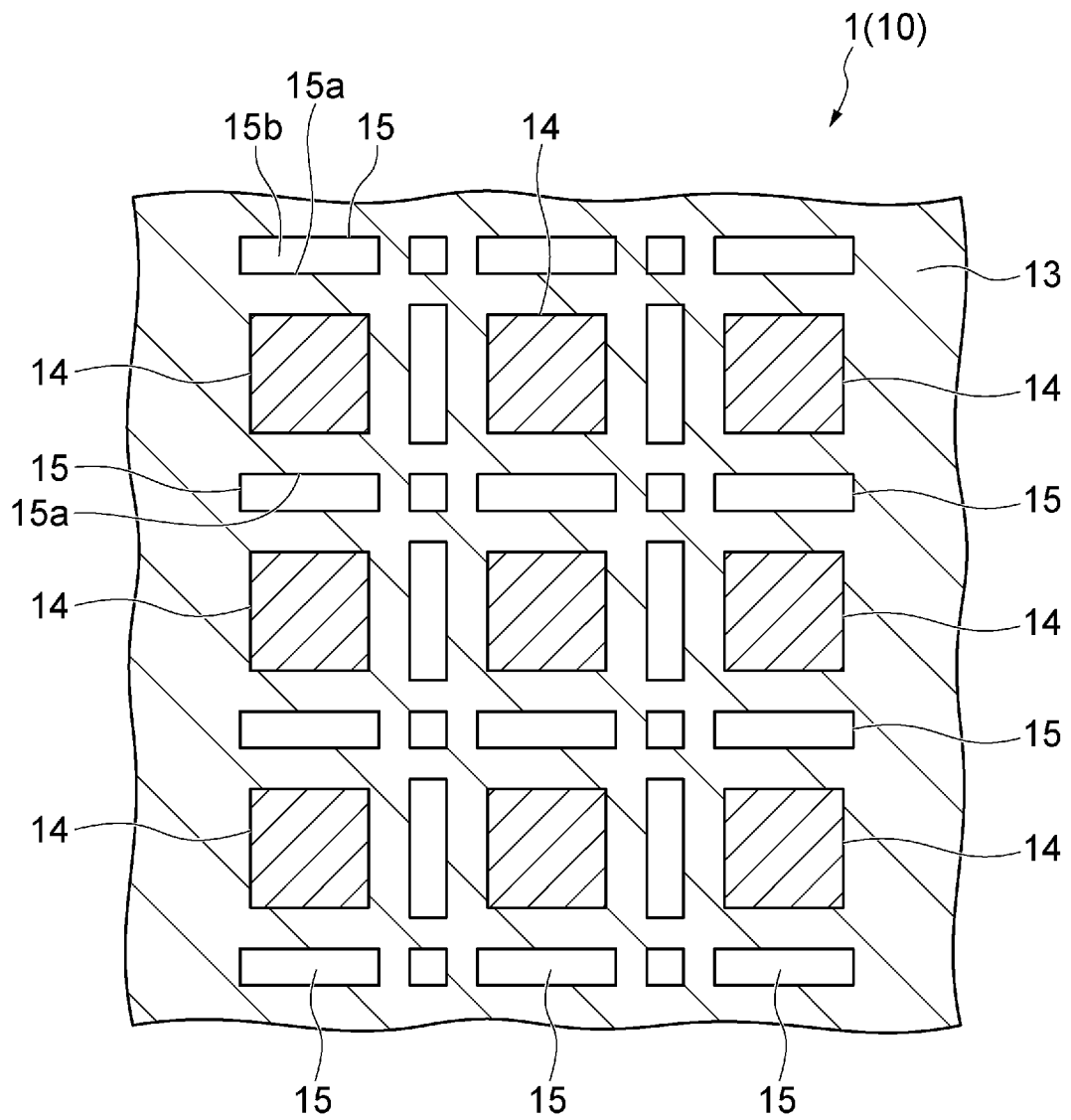
[請求項14]

前記開口部を形成する工程の後に前記電極を形成する工程を行う、
請求項11又は12に記載の集積回路要素の製造方法。

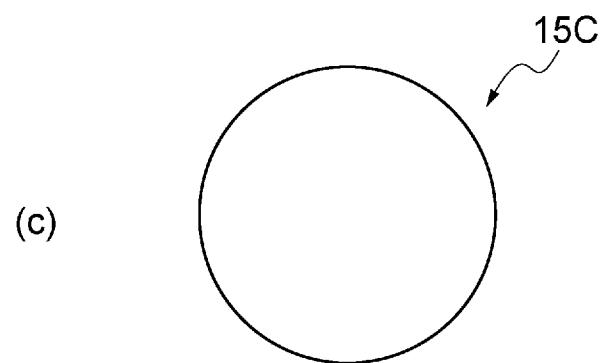
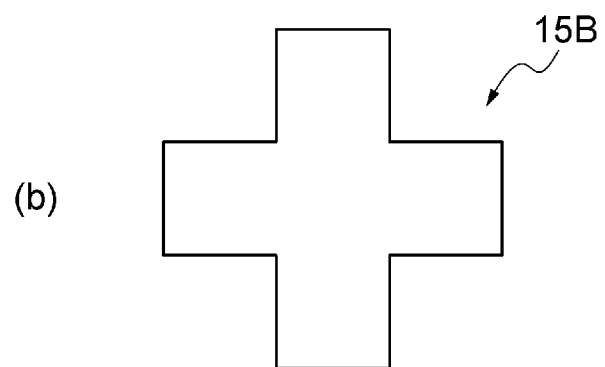
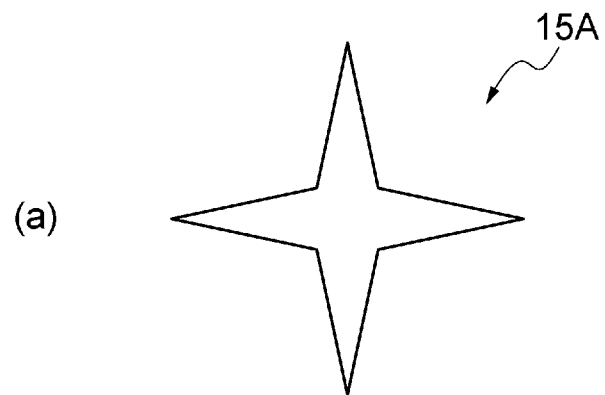
[図1]



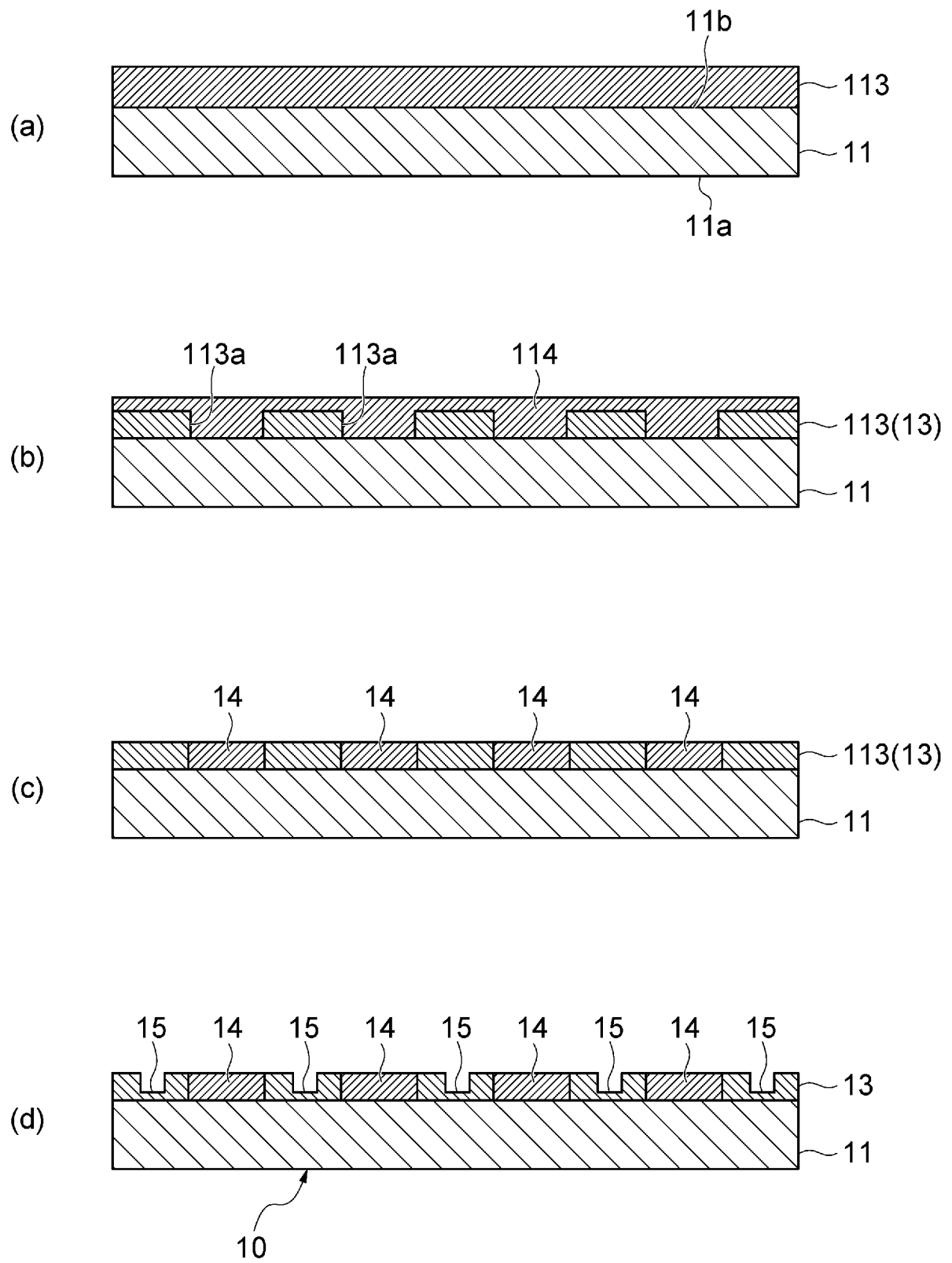
[図2]



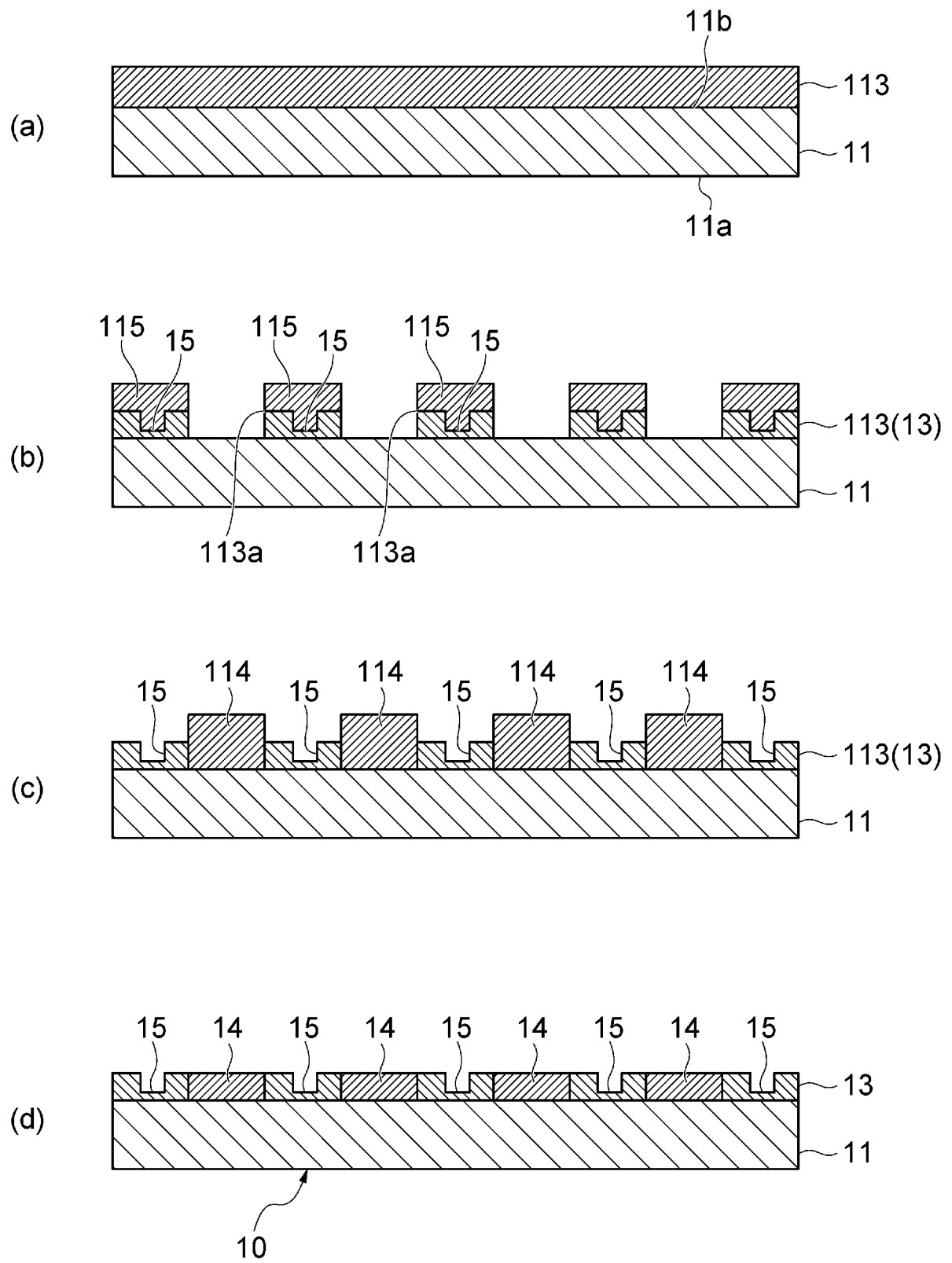
[図3]



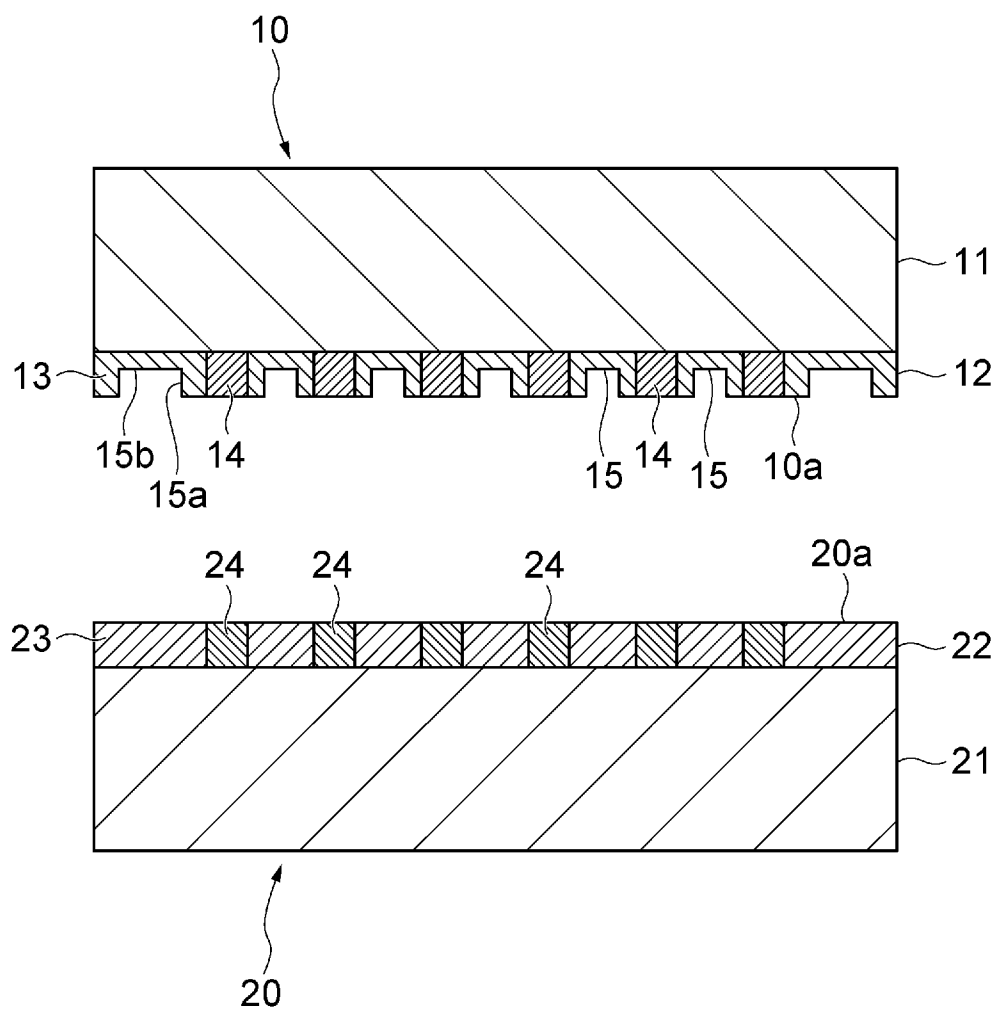
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013032

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 21/02(2006.01)i; H01L 21/3205(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H01L 27/00(2006.01)i
FI: H01L21/88 T; H01L21/90 N; H01L21/02 B; H01L27/00 301B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768; H01L21/02; H01L21/3205; H01L23/522; H01L23/532; H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-143399 A (NIKON CORP) 07 August 2014 (2014-08-07) paragraphs [0009]-[0064], [0120], fig. 1-10, 17	1-14
X	JP 2016-181531 A (SONY CORP) 13 October 2016 (2016-10-13) paragraphs [0036]-[0062], [0087]- [0112], fig. 1-7, 13, 16	1-4, 6-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
18 June 2021 (18.06.2021)

Date of mailing of the international search report
29 June 2021 (29.06.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/013032

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2014-143399 A	07 Aug. 2014	(Family: none)	
JP 2016-181531 A	13 Oct. 2016	WO 2016/152513 A1 paragraphs [0036]- [0062], fig. 1-7	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/768(2006.01)i; H01L 21/02(2006.01)i; H01L 21/3205(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H01L 27/00(2006.01)i FI: H01L21/88 T; H01L21/90 N; H01L21/02 B; H01L27/00 301B											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/768; H01L21/02; H01L21/3205; H01L23/522; H01L23/532; H01L27/00 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年	
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2021年										
日本国実用新案登録公報	1996-2021年										
日本国登録実用新案公報	1994-2021年										
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2014-143399 A（株式会社ニコン） 07.08.2014（2014-08-07） 段落[0009]-[0064], [0120], 図1-10, 17</td> <td>1-14</td> </tr> <tr> <td>X</td> <td>JP 2016-181531 A（ソニー株式会社） 13.10.2016（2016-10-13） 段落[0036]-[0062], [0087]-[0112], 図1-7, 13, 16</td> <td>1-4, 6-14</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2014-143399 A（株式会社ニコン） 07.08.2014（2014-08-07） 段落[0009]-[0064], [0120], 図1-10, 17	1-14	X	JP 2016-181531 A（ソニー株式会社） 13.10.2016（2016-10-13） 段落[0036]-[0062], [0087]-[0112], 図1-7, 13, 16	1-4, 6-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X	JP 2014-143399 A（株式会社ニコン） 07.08.2014（2014-08-07） 段落[0009]-[0064], [0120], 図1-10, 17	1-14									
X	JP 2016-181531 A（ソニー株式会社） 13.10.2016（2016-10-13） 段落[0036]-[0062], [0087]-[0112], 図1-7, 13, 16	1-4, 6-14									
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献											
国際調査を完了した日 18.06.2021		国際調査報告の発送日 29.06.2021									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 早川 朋一 50 9733 電話番号 03-3581-1101 内線 3559									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/013032

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-143399	A	07.08.2014	(ファミリーなし)	
JP	2016-181531	A	13.10.2016	WO 2016/152513 A1	
				段落[0036]-[0062], 図1-7	