

公告本

382708

申請日期	87-5-26
案 號	87108118
類 別	G11C 11/401. 11/407

A4
C4
382708

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半 導 體 積 體 電 路
	英 文	
二、發明 創作人	姓 名	(1) 辻 野 光 紀 (2) 早 川 吾 郎
	國 籍	日 本
	住、居所	(1) 日本國東京都千代田區丸の内2丁目2番3號 三菱電機株式會社 (2) 同 (1)
三、申請人	姓 名 (名稱)	三菱電機股份有限公司 (三菱電機株式會社)
	國 籍	日 本
	住、居所 (事務所)	日本國東京都千代田區丸の内2丁目2番3號
	代 表 人 姓 名	北 岡 隆

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1997-12-25 9-357643

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[發明之背景]

發明之領域

本發明有關於半導體積體電路，尤其有關於包含有熔線電路之半導體積體電路。

背景技術之說明

圖3是方塊圖，用來表示習知之半導體記憶裝置之全體構造。圖3所示之半導體記憶裝置具有通常動作模態和自行復置模態，其構造具備有：WE緩衝器；CAS緩衝器3；行位址緩衝器5；行解碼器7，連接到行位址緩衝器5；RAS緩衝器9；列解碼器11，連接到RAS緩衝器9；列解碼器13，連接到列位址緩衝器11；記憶單元陣列15；感測放大器17；I/O電路19，連接到感測放大器17；自行復置變換電路21；內部位址產生電路23，連接到RAS緩衝器9和自行復置變換電路21；位址輸入端子20；開關22；和復置週期決定電路25，連接在自行復置變換電路21。

其中，該復置週期決定電路25包含有環式振盪器250和與該環式振盪器250連接之分頻器251。

然而，近年來隨著以上述之動態隨機存取記憶體(DRAM)為開始之LSI之高積體化和高速化，不只是記憶單元之高積體化，為著提高記憶單元之佔有率，周邊電路部份之密集化受到重視。在此種狀況，周邊電路部份之配線間距變狹，在利用熔線熔斷用來調節復置循環等之熔線電路中，減少由於熔斷失誤所造成之不良變成極為重要。

圖4表示圖3所示之習知之分頻器251之構造。如圖4所示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

，該分頻器 251 具備有：電源節點 30；接地節點 32；計數器 34；計數器 35，連接到計數器 34；計數器 36，連接到計數器 35；熔線電路 37，連接到計數器 35；熔線電路 38，連接到計數器 36；和反相器 39。

其中，該熔線電路 37 包含有：高電阻元件 371；節點 n1；熔線 372；和 N 通道 MOS 電晶體 373，在其閘極被供給有高位準之信號 Sg；該熔線電路 38 包含有：高電阻元件 381；節點 n2；熔線 382；和 N 通道 MOS 電晶體 383。

另外，在各個計數器 34~36，當被輸入之信號 /CNTE 被活性化成為低位準時，就輸出具有週期為被輸入之信號之週期之 2 倍之信號，當被輸入之信號 /CNTE 被非活性化成為高位準時，就直接輸出被輸入之信號。

因此，分頻器 251 被構建成經由切斷熔線 372，382 可以使從分頻器 251 輸出之信號 REFSE 之週期變短。

亦即，在所有之熔線 372，382 均被連接之初期狀態，因為熔線電路 37，38 所含之 N 通道 MOS 電晶體 373，383 分別進行 ON，所以從熔線電路 37，38 分別將被活性化之低位準之信號 /CNTE 供給到計數器 35，36。

因此在這種情況，計數器 35，36 均輸出具有週期為被輸入之信號之週期之 2 倍之信號。

其中，例如當只有熔線 372 被切斷時，因為從熔線電路 37 所包含之節點 n1 將非活性化之高位準之信號 /CNTE 供給到計數器 35，所以計數器 35 不對被輸入之信號 OUT1 之週期進行變化，直接將其輸出作為信號 OUT2。因此，當只有熔

五、發明說明(3)

線 372 被切斷時，從分頻器 251 輸出週期只為 $1/2$ (當與未切斷之情況比較時) 之短信號 REFSE。

另外，計數器 34 正常時輸出具有週期為被輸入之信號 IN 之週期之 2 倍之信號 OUT1，經由使信號 BBUE 之反相信號 RESET 活性化成為高位準用來使計數器 34~36 被重設。

但是在上述方式之半導體記憶裝置中，因為將電路構建成為通常在復置週期之長短方向具有餘裕，所以必需利用雷射熔斷用來切斷熔線藉以調節復置週期。該利用雷射熔斷之切斷作業需要一定之時間，而且當發生熔斷失誤時會有電路變成不良等之問題。

[發明之概要]

本發明之目的是提供半導體積體電路，在用以完成良品之復置週期之調節中，可以減少所需要之利用雷射熔斷之切斷次數。

依照本發明之一態樣之半導體積體電路具備有：第 1 電路；第 2 電路，連接到第 1 電路；第 1 熔線電路，連接到第 1 電路，在初期狀態用來產生第 1 活性化信號藉以使第 1 電路活性化，和當內藏之第 1 熔線被切斷時用來產生第 1 非活性化信號藉以使第 1 電路非活性化；和第 2 熔線電路，連接到第 2 電路，在初期狀態用來產生第 2 非活性化信號藉以使第 2 電路非活化，和當內藏之第 2 熔線被切斷時用來產生第 2 活性化信號藉以使第 2 電路活性化。

依照本發明之另一態樣之半導體積體電路具備有振盪電路；和調整電路，經由切斷至少為 1 個之熔線用來增減振

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

盪電路之振盪頻率。

因此，本發明之優點是經由切斷熔線可以有效的進行半導體積體電路之初期設定。

經由下面聯合附圖之對本發明之詳細說明當可對本發明之上述和其他目的、特徵、態樣和優點具有更清楚之瞭解。

[附圖之簡單說明]

圖1表示本發明之實施形態之分頻器之構造。

圖2表示本發明之實施形態之環式振盪器之構造。

圖3表示習知之半導體記憶裝置之全體構造。

圖4表示圖3所示之分頻器之構造。

[較佳實施例之說明]

下面將參照附圖用來詳細的說明本發明之實施形態。另外，圖中之相同部份用來表示相同或相當之部份。

本發明之實施形態之半導體記憶裝置與圖3所示之半導體記憶裝置相同，其不同之部份是設有分頻器251和環式振盪器250分別如圖1和圖2所示。

如圖1所示，本發明之實施形態之分頻器251具備有：電源節點30；接地節點32；計數器34；計數器35，連接到計數器34；計數器36，連接到計數器35；計數器40，連接到計數器36；熔線電路50，分別連接到計數器35，36；熔線電路52，連接到計數器40；和反相器39，用來使被供給之信號BBUE反相，藉以將反相後之信號RESET供給到計數器34~36，40。

其中，熔線電路50包含有：熔線52；P通道MOS電晶體，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (5)

連接在熔線 502 和電源節點 30 之間，在其閘極被供給有接地電壓；N 通道 MOS 電晶體 503，連接在熔線 502 和接地節點 32 之間，在其閘極被供給有高位準之信號 S_H ；節點 n_3 ，連接到計數器 35；N 通道 MOS 電晶體 504，連接在熔線 502 和接地節點 32 之間，以其閘極連接到節點 n_3 ；和反相器 505，其輸入端連接到 N 通道 MOS 電晶體 503，504 之吸極，其輸出端連接到節點 n_3 。

另外，該熔線電路 52 包含有：熔線 522；P 通道 MOS 電晶體 521，連接在熔線 522 和電源節點 30 之間，在其閘極被供給有接地電壓；N 通道 MOS 電晶體 523，連接在熔線 522 和接地節點 32 之間，在其閘極被供給有高位準之信號 S_H ；節點 n_4 ；反相器 526，其輸出端連接到計數器 40，其輸入端連接到節點 n_4 ；N 通道 MOS 電晶體 524，連接在熔線 522 和接地節點 32 之間，以其閘極連接到節點 n_4 ；和反相器 525，其輸入端連接到 N 通道 MOS 電晶體 523，524 之吸極，其輸出端連接到節點 n_4 。

下面將說明該分頻器 251 之動作。

首先，在熔線 502 未被切斷之初期狀態，熔線電路 50 將高位準之信號 $CNTE$ 從電源節點 30 供給到反相器 505，因此活性化之低位準之信號 $/CNTE$ 供給到計數器 35，36。然後，在熔線 502 被切斷之狀態，該熔線電路 50 經由使 N 通道 MOS 電晶體 503 變成 ON 用來將低位準之信號 $CNTE$ 供給到反相器 505，藉以對計數器 35，36 供給非活性化之高位準之信號 $/CNTE$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(6)

另外一方面，在熔線522未被切斷之初期狀態，因為熔線電路52將高位準之信號從電源節點30供給到反相器525，所以從反相器526將非活性化之高位準之信號/CNTE供給到計數器40。另外，在熔線522被切斷之狀態，熔線電路52使N通道MOS電晶體523變成ON用來將低位準之信號供給到反相器525，所以對計數器40供給活性化之低位準之信號/CNTE。

其中，各個計數器34~36,40，經由被供給來自對應之熔線電路50,52之活性化之低位準之信號/CNTE，用來活性化，和經由被供給非活性化之高位準之信號/CNTE，用來非活性化。另外，各個計數器34~36,40在活性狀態輸出具有週期為被輸入之信號之2倍之信號，和在非活性狀態以不變的週期直接輸出被輸入之信號。

另外，正常時對計數器34供給活性化之低位準之信號/CNTE。

利用上述之方式，在熔線502,521全部被連接之初期狀態，計數器34~36被活性化和計數器40被非活性化。因此，在這時計數器34輸出具有週期為被入之信號IN之2倍之信號OUT1，計數器35輸出具有週期為被輸入之信號OUT1之2倍之信號OUT2，計數器36輸出具有週期為被輸入之信號OUT2之2倍之信號OUT3，但是計數器40對於被輸入之信號OUT3不變其週期的作為信號REFSE進行輸出。因此，該分頻器251之初期設定是輸出具有週期為被輸入之信號IN之8倍之信號REFSE。

五、發明說明(7)

另外，利用環式振盪器250對各個計數器34~36,40供給信號CNTUP，該信號CNTUP用來控制計數器之動作。另外，對各個計數器34~36,40供給信號RESET(其獲得是利用反相器39使自行復置模態時之高位準之信號BBUE反相)，當該信號RESET變成高位準時，亦即，在通常動作模態時，使各個計數器34~36,40被重設。

另外，當檢測到信號/WEIN為高位準而且信號/CASIN比信號/RASIN先被活性化之CBR時序時，利用自行復置模態變換電路21用來將半導體記憶裝置變換成為自行復置模態，藉以使信號BBUE活性化成為高位準。

採用具有此種構造之分頻器251時，經由切斷熔線502可以縮短所輸出之信號REFSE之週期(復置週期)，另外一方面，經由切斷熔線522可以使所輸出之信號REFSE之週期變長。亦即，在初期設定之狀況下，分頻器251輸出具有週期為信號IN之8倍之信號REFSE，連接到計數器35之熔線電路50所包含之熔線502假如有1個被切斷時，分頻器251就輸出具有週期為信號IN之4倍之信號REFSE。另外一方面，假如熔線522被切斷時，分頻器251就輸出具有週期為信號IN之16倍之週期。

其中，最好是將被輸出之信號REFSE之週期初期設定成為復置週期所希望之值，在這種情況不需要利用雷射熔斷用來進行熔線之切斷。但是，在使復置週期比初期設定值短之情況時，可以切斷熔線502，在使復置週期比初期設定位長之情況時，可以切斷熔線522。另外一方面，在如

五、發明說明(8)

圖4所示之習知之分頻器521中，復置週期之設定必需利用雷射熔斷用來進行熔線之切斷，和利用熔線372、382之切斷只能縮短復置週期。

因此，圖1所示之本實施形態之分頻器251因為利用熔線熔斷可以用來調整復置週期使其變短或變長，而圖4所示之習知之分頻器251利用熔線熔斷只能使復置週期變短，因此本發明之實施形態可以使雷射熔斷作業之次數減少，可以減少雷射熔斷所需要之時間和由於熔斷失誤發生電路不良之機率。

另外，從分頻器251輸出之信號REFSE供給到RAS緩衝器9，用來決定自行復置模態之信號/RAS之取入時序(復置週期)。另外，在自行復置模態，在回應信號/RASIN時以內部位址產生電路23產生內部位址，將其供給到列位址緩衝器11。

圖2是電路圖，用來表示本實施形態之環式振盪器250之構造。如圖2所示，該環式振盪器250具備有：振盪電路60；信號線L1；電流鏡電路61，經由信號線L1連接到振盪電路60；轉移開62，連接到信號線L1；N通道MOS電晶體63，連接在轉移開62和接地節點32之間；反相器64；熔線電路50，用來進行轉移開62之ON/OFF變換；轉移開65，連接到信號線L1；N通道MOS電晶體66，連接在轉移開65和接地節點32之間；反相器67；和熔線電路52，用來進行轉移開65之ON/OFF變換。

其中該振盪電路60包含有：反相器鍊，由n個反相器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

INV1~INVn所構成；P通道MOS電晶體600，在其閘極被供給有信號BBUE，用來進行反相器鍊之初期設定；和AND電路605，用來獲得反相器INVn之輸出信號和信號BBUE之邏輯積，藉以將信號CNTUP供給到分頻器251；反相器INV1~INVn分別包含有N通道MOS電晶體601，602，603，604以其閘極連接到信號線L1。

另外，該電流鏡電路61包含有：節點n5，連接到信號線L1；和N通道MOS電晶體610，在其閘極被供給有電壓V_{REF}。

另外，熔線電路50具有與圖1所示之熔線電路50相同之構造，熔線電路52具有與圖1所示之熔線電路52相同之構造。

下面將說明該環式振盪器250之動作。

首先，在通常動作模態從自行復置變換電路21將低位準之非活性化之信號BBUE供給到P通道MOS電晶體600之閘極，所以P通道MOS電晶體600進行ON用來將反相器INV1之輸出節點之電位固定在高位準。因此，在通常動作模態該環式振盪器250不進行振盪。另外，同時在通常動作模態，AND電路605被非活性化，用來將低位準之信號CNTUP供給到分頻器251。

另外一方面，在自行復置模態，因為自行復置變換電路21產生高位準之信號BBUE，所以P通道MOS電晶體600進行OFF，環式振盪器250開始振盪。另外，AND電路605亦被活性化，所以反相器INVn之輸出信號作為信號CNTUP的供給到分頻器251。

五、發明說明(10)

其中，該環式振盪器250之振盪頻率之決定是依照各個反相器INV1~INVn之動作電流之流動速度(回應速度)。該回應速度與各個反相器INV1~INVn所包含之N通道MOS電晶體601~604之ON強度相關，該ON強度之決定是依照信號線L1之電位。另外，信號線L1之電位與電流鏡電路61所包含之節點n5之輸出電流之大小相關，該輸出電流之大小之決定是依照供給到N通道MOS電晶體610之閘極之電壓 V_{REF} 之大小。

另外一方面，該熔線電路50在熔線502被連接之初期狀態因為轉移閘62進行ON，所以信號線L1之電位下降，另外，在熔線502被切斷之狀態因為轉移閘62進行OFF，所以保持信號線L1之電位。與此相對的，該熔線電路52在熔線522被連接之初期狀態因為轉移閘65進行OFF，所以保持信號線L1之電位，和在熔線522被切斷之狀態因為轉移閘65進行ON，所以信號線L1之電位下降。

因此，在具有此種構造之環式振盪器250中，最好設計成為信號線L1之電位具有所希望之值在初期狀態可以產生具有所希望之週期之信號CNTUP，在希望使信號CNTUP之週期變長之情況時可以切斷熔線522，相反的，在希望使信號CNTUP之週期變短之情況時可以切斷熔線502。

如上所述，依照本實施形態之環式振盪器250時，經由切斷熔線502，522可以用來調節信號線L1之電位使其變高或變低藉以調整振盪頻率。

雖然上面已經詳細的描述和說明本發明，但宜瞭解者上

五、發明說明(11)

述之說明只作舉例之用而無意用來限制本發明，本發明之精神和範圍只受所附之申請專利範圍之限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半 導 體 積 體 電 路)

一種半導體積體電路具備有：第1和第2計數器(35,36,40)，在接受到低位準之信號(/CNTE)時被活性化，用來輸出具有週期為被輸入之信號之2倍之信號；第1熔線電路(50)，連接到第1計數器(35,36)；和第2熔線電路(52)，連接到第2計數器(40)；在切斷第1熔線電路(50)所包含之熔線(502)之情況時使第1計數器(35,36)非活性化，另外一方面，在切斷第2熔線電路(52)所包含之熔線(522)之情況時使第2計數器(40)活性化。利用這種方式可以有效的調節用以決定復置週期之信號(REFSE)之週期。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路，其特徵是具備有：

第1電路；

第2電路，連接到上述之第1電路；

第1熔線電路，連接到上述之第1電路，在初期狀態用來產生第1活性化信號藉以使上述之第1電路活性化，和當內藏之第1熔線被切斷時用來產生第1非活性化信號藉以使上述之第1電路非活性化；和

第2熔線電路，連接到上述之第2電路，在初期狀態用來產生第2非活性化信號藉以使上述之第2電路非活性化，和當內藏之第2熔線被切斷時用來產生第2活性化信號藉以使上述之第2電路活性化。

2. 如申請專利範圍第1項之半導體積體電路，其中

上述之第1電路是計數電路，經由接受上述之第1活性化信號用來變化被輸入之信號之週期；和

上述之第2電路是計數電路，經由接受上述之第2活性化信號用來變化被輸入之信號之週期。

3. 如申請專利範圍第2項之半導體積體電路，其中

上述之第1熔線電路包含有：

上述之第1熔線；

電源節點，連接到上述之第1熔線；

第1輸出節點，連接到上述之第1熔線；

接地節點；和

第1電晶體，連接在上述之第1輸出節點和上述之接地接點之間；

六、申請專利範圍

上述之第2熔線電路包含有：

上述之第2熔線；

上述之電源節點，連接到上述之第2熔線；

第2輸出節點，連接到上述之第2熔線；

反相器，連接在上述之第2輸出節點和上述之第2電路之間；

上述之接地節點；和

第2電晶體，連接在上述之第2輸出節點和上述之接地節點之間。

4. 一種半導體積體電路，其特徵是具備有：

振盪裝置；和

調整裝置，經由切斷至少為1個之熔線用來增減上述之振盪裝置之振盪頻率。

5. 如申請專利範圍第4項之半導體積體電路，其中

上述之振盪裝置包含有由多個反相器構成之反相器鍊(chain)；和

上述之調整裝置用來增減上述之各個反相器之動作電流。

6. 如申請專利範圍第5項之半導體積體電路，其中

上述之調整裝置包含有：

定電流產生電路；

第1熔線電路，在初期狀態使上述之定電流產生電路之輸出電位低第1指定值，和經由切斷第1熔線用來維持上述之輸出電位；和

第2熔線電路，在初期狀態維持上述之輸出電位，和經

六、申請專利範圍

由切斷第2熔線用來使上述之輸出電位低第2指定值；

上述之動作電流依照上述之輸出電位被增減。

7. 如申請專利範圍第6項之半導體積體電路，其中

上述之第1熔線電路包含有：

上述之第1熔線；

電源節點，連接到上述之第1熔線；

第1輸出節點，連接到上述之第1熔線；

接地節點；和

第1電晶體，連接在上述之第1輸出節點和上述之接地節點之間；

上述之第2熔線電路包含有：

上述之第2熔線；

上述之電源節點，連接到上述之第2熔線；

第2輸出節點，連接到上述之第2熔線；

反相器，連接在上述之第2輸出節點和上述之第2電路之間；

上述之接地節點；和

第2電晶體，連接在上述之第2輸出節點和上述之接地節點之間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

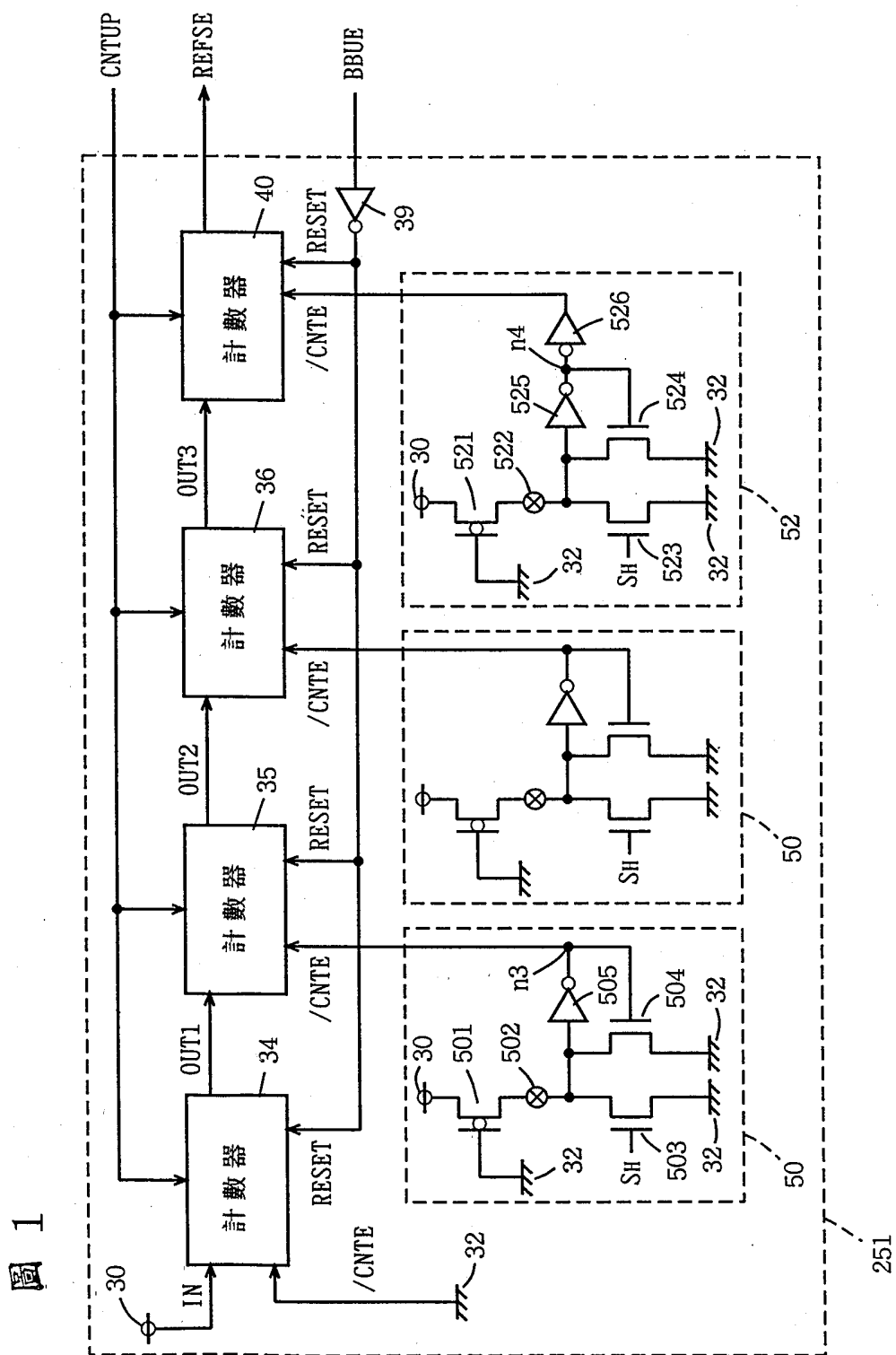


圖 2

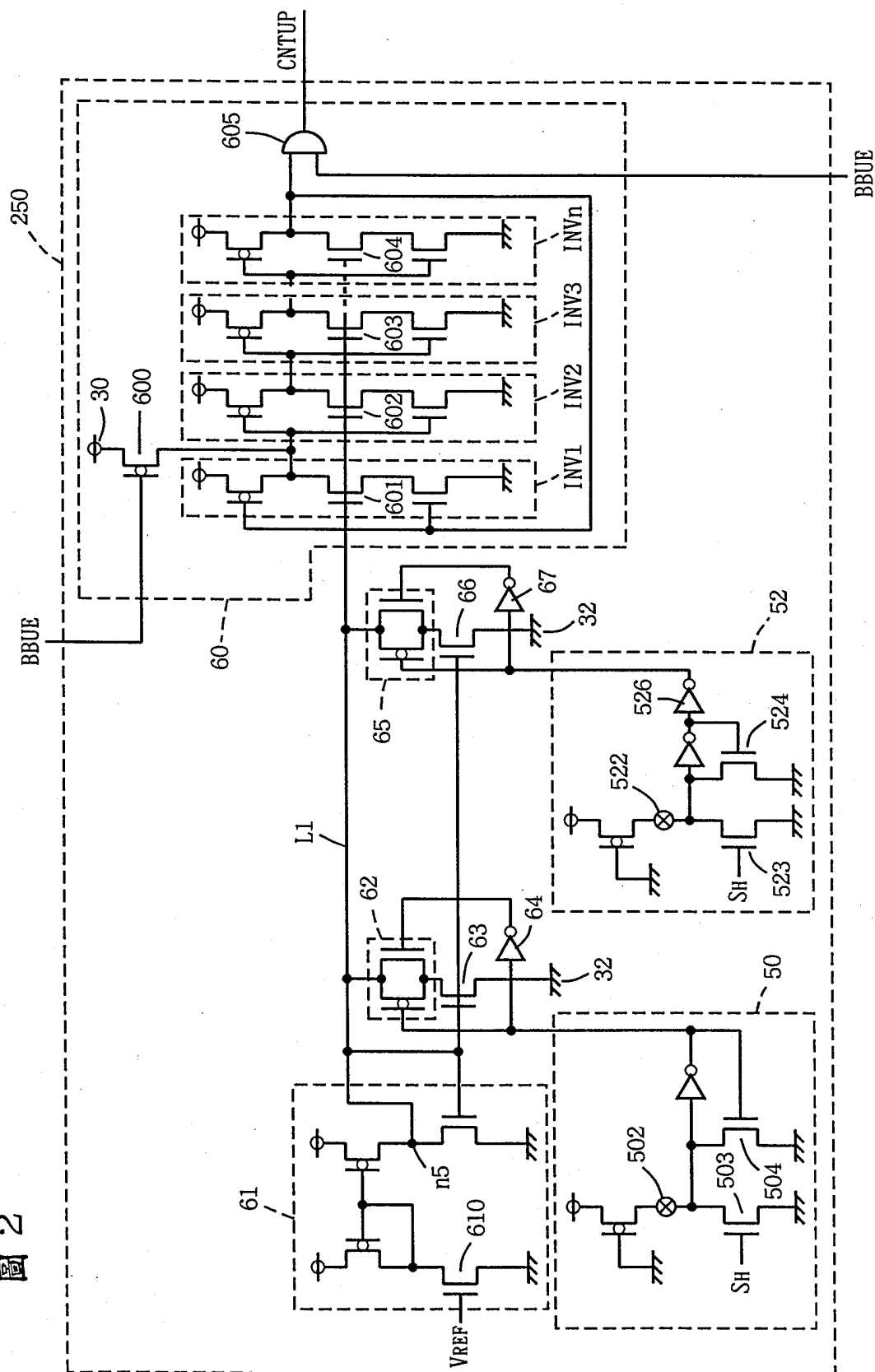


圖 3

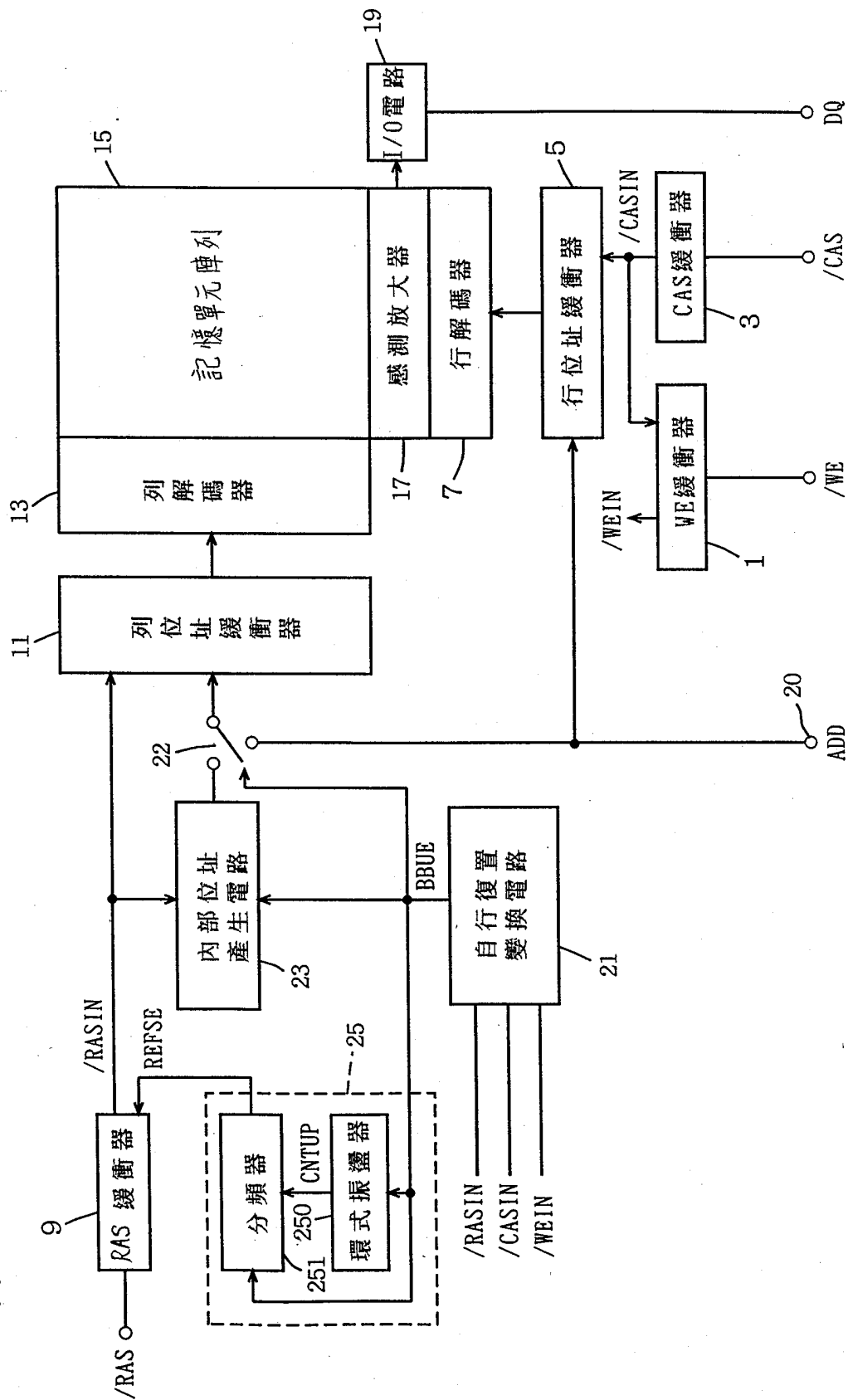


圖 4

