

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 10월 13일 (13.10.2016)



(10) 국제공개번호
WO 2016/163731 A1

- (51) 국제특허분류:
H01L 23/28 (2006.01) *H01L 23/488* (2006.01)
- (21) 국제출원번호: PCT/KR2016/003565
- (22) 국제출원일: 2016년 4월 6일 (06.04.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0050950 2015년 4월 10일 (10.04.2015) KR
- (71) 출원인: 삼성에스디아이 주식회사 (SAMSUNG SDI CO., LTD.) [KR/KR]; 17084 경기도 용인시 기흥구 공세로 150-20, Gyeonggi-do (KR).
- (72) 발명자: 김재현 (KIM, Jae Hyun); 16073 경기도 의왕시 고산로 56, Gyeonggi-do (KR). 박성수 (PARK, Sung Su); 16073 경기도 의왕시 고산로 56, Gyeonggi-do (KR). 나우철 (NA, Woo Chul); 16073 경기도 의왕시 고산로 56, Gyeonggi-do (KR). 이은정 (LEE, Eun Jung); 16073 경기도 의왕시 고산로 56, Gyeonggi-do (KR).
- (74) 대리인: 특허법인 아주 (AJU KIM CHANG & LEE); 06627 서울시 서초구 사임당로 174, 강남미래타워 12-13층, Seoul (KR).

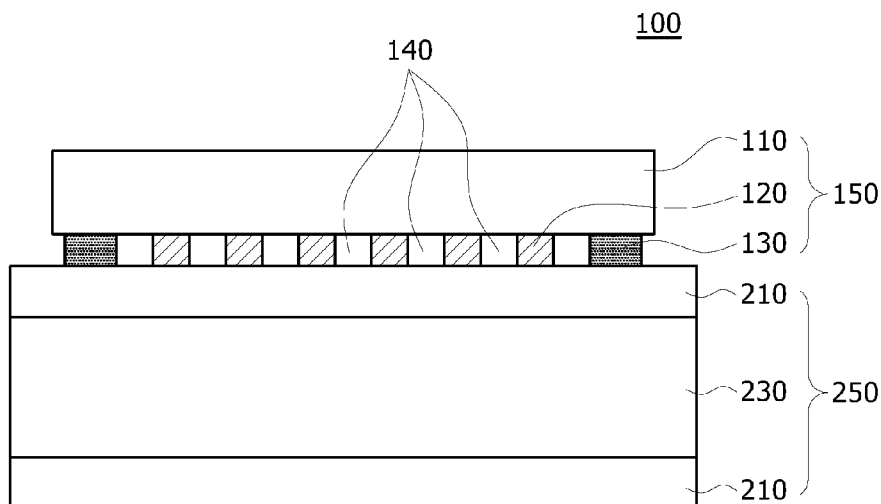
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: DUMMY CHIP PACKAGE AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 더미 칩 패키지 및 이를 제조하는 방법



(57) Abstract: The present invention relates to a dummy chip package comprising: a dummy chip, which comprises a dummy chip body portion and a bump formed on the lower portion of the dummy chip body portion; and a substrate, which is formed on the lower portion of the bump, wherein the gap between the dummy chip body portion and the substrate is filled with an epoxy molding compound. According to the invention, it is possible to evaluate in real time whether bump gap filling and void formation are conducted or not.

(57) 요약서: 본 발명은 더미 칩 몸체부 및 상기 더미 칩 몸체부 하부에 형성된 범프를 포함하는 더미 칩; 및 상기 범프 하부에 형성된 기판; 을 포함하고, 상기 더미 칩 몸체부와 상기 기판 사이의 갭이 에폭시 몰딩 컴파운드로 밀봉된 것을 특징으로 하는 더미 칩 패키지에 관한 발명으로 범프 사이의 갭의 밀봉 (Bump Gap Filling) 및 공극 (Void) 형성 여부에 대해 실시간으로 평가할 수 있다.



WO 2016/163731 A1

명세서

발명의 명칭: 더미 칩 패키지 및 이를 제조하는 방법

기술분야

- [1] 본 발명은 더미 칩 패키지, 이를 제조하는 방법 및 이를 이용한 몰딩 평가 방법에 관한 것이다. 보다 구체적으로 에폭시 몰딩 컴파운드(EMC: epoxy molding compound)의 범프 사이의 갭의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부에 대해 실시간으로 목시 평가할 수 있는 더미 칩 패키지 및 이를 제조하는 방법에 관한 것이다.

[2]

배경기술

- [3] 일반적으로 웨이퍼에 여러 가지 반도체 공정을 수행하여 반도체 칩을 형성하고, 각각의 반도체 칩을 기판에 실장하기 위하여 칩 범핑(Chip Bumping), 칩의 후면 가공(Chip Back Grinding), 칩 재단(Chip Sawing)의 공정 후 인쇄회로기판의 실장공정(Mounting)에 의하여 인쇄회로기판의 범프(Bump)를 통해 칩이 인쇄회로기판에 연결된다. 한편, 패키지 기판은 반도체 칩이 실장된 것으로서 반도체 칩과 기판을 전기적으로 연결시키는 범프 및 기판 상부에 형성되어 기판을 몰딩하는 몰딩 부재를 포함한다. 몰딩 부재는 반도체 칩을 충격, 수분, 먼지 등의 외부 환경으로부터 보호할 수 있도록 주로 에폭시 몰딩 컴파운드(EMC: epoxy molding compound)로 형성된다. 몰딩 공정에 의해 패키지에 EMC가 범프 사이의 갭(Gap)을 모두 채워야 하며, 공극(Void)이 없어야 한다. 이러한 EMC로 범프 사이의 갭(Gap)을 채우는 동시에 칩을 캡슐화하는 방법이 몰드 언더필(Molded Underfill) 공정 중의 하나이다. 한편, 이러한 몰드 언더필에 의한 패키지 기판 제조 공정의 실장과 관련하여, 범프 사이의 갭의 밀봉 및 공극 형성 여부의 평가가 필요한데 이러한 평가는 실제 패키지를 분석하고 확인하여야 하므로 상당한 시간과 경비가 소요된다.
- [4] 이와 관련하여, 한국공개특허 제2008-0095677호는 플립칩 패키지 및 그 패키지 제조방법을 개시하고 있다.

[5]

발명의 상세한 설명

기술적 과제

- [6] 본 발명의 목적은 상술한 문제점을 해결하기 위하여 반도체 칩 패키지를 초음파영상장비(SAT: Scanning Acoustic Tomograph)를 이용한 단면 분석 없이 범프 사이의 갭의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부에 대해 실시간으로 평가하여 개발 기간을 단축할 수 있고, 고가의 반도체 칩을 폐기하는 일 없이 경제적 측면, 자원 절감 등의 측면에서 유용한 더미 칩 패키지 및 이를 제조하는 방법을 제공하는데 그 목적이 있다.

[7]

과제 해결 수단

[8] 본 발명의 일 관점인 더미 칩 패키지는 더미 칩 몸체부 및 상기 더미 칩 몸체부 하부에 형성된 범프를 포함하는 더미 칩; 및 상기 범프 하부에 형성된 기판; 을 포함하고, 상기 더미 칩 몸체부와 상기 기판 사이의 갭이 에폭시 몰딩 컴파운드로 밀봉된다.

[9] 상기 범프가 구리(Cu)를 포함하고, 두께가 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$, 직경은 약 $50\mu\text{m}$ 내지 약 $300\mu\text{m}$ 일 수 있다.

[10] 상기 더미 칩 몸체부는 에폭시 수지를 포함할 수 있다.

[11] 상기 더미 칩은 복수의 단일 더미 칩이 간격을 두고 기판 상부에 배열될 수 있다.

[12] 상기 더미 칩 몸체부는 황색 지수(YI)가 약 30 내지 약 100일 수 있다.

[13] 상기 기판은 절연층; 및 절연층의 상부에 형성되는 도전층을 포함하고, 상기 도전층은 상기 범프에 접할 수 있다.

[14] 상기 도전층은 구리(Cu)를 포함하고, 상기 절연층은 에폭시수지를 포함할 수 있다.

[15] 본 발명의 다른 관점인 더미 칩 패키지 제조방법은 더미 칩 몸체부 하부에 범프를 형성하는 단계; 상기 범프 하부에 기판을 형성하는 단계; 및 상기 더미 칩 몸체부와 상기 기판 사이의 갭을 에폭시 몰딩 컴파운드로 밀봉하는 단계를 포함한다.

[16]

발명의 효과

[17] 본 발명은 반도체 칩 패키지의 범프 사이의 갭의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부에 대한 확인을 실시간으로 평가하여 개발 기간을 단축할 수 있고, 반도체 칩을 1회용 더미 칩으로 대체하여 고가의 반도체 칩을 폐기하는 일 없이 경제적 측면, 자원 절감 등의 측면에서 유용한 더미 칩 패키지 및 이를 제공하는 방법을 제공하였다.

[18]

도면의 간단한 설명

[19] 도 1은 본 발명의 구성 중 에폭시 몰딩 컴파운드로 몰딩 되기 전의 더미 칩 패키지의 단면도이다.

[20] 도 2는 본 발명의 일 실시예의 더미 칩 패키지의 단면도이다.

[21] 도 3은 본 발명의 다른 실시예의 더미 칩 패키지의 단면도이다.

[22] 도 4는 본 발명의 또 다른 실시예의 더미 칩 패키지의 단면도이다.

[23] 도 5는 본 발명의 더미 칩 패키지가 복수로 구성된 더미 패키지의 평면도이다.

[24]

발명의 실시를 위한 최선의 형태

- [25] 첨부한 도면을 참고하여 실시예에 의해 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 도면 부호를 붙였다.
- [26] 본 명세서에서 '상부'와 '하부'는 편의상 도면을 기준으로 한 것으로, 보는 시각에 따라 '상부'가 '하부'로 '하부'가 '상부'로 변경될 수 있다.
- [27] 본 명세서에서 "더미 칩(dummy chip)"은 범프 사이의 갭의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부에 대한 확인을 실시간으로 평가하기 위한 반도체 칩 패키지 테스트용 반도체 칩의 대용품으로 더미 칩 몸체부와 범프를 포함한다. 그리고, "더미 칩 패키지(dummy chip package)"는 상기 더미 칩을 포함한 반도체 칩이 실장된 패키지의 대용품을 의미한다.
- [28] 반도체 칩 패키지는 반도체 칩, 반도체 칩이 실장되는 것으로서 반도체 칩과 패키지 기판을 전기적으로 연결시키는 범프, 및 기판 상부에 형성되어 칩과 기판을 몰딩하는 몰딩 부재를 포함할 수 있다. 본 발명의 더미 칩 패키지도 기판, 더미 칩, 및 더미 칩과 기판을 몰딩하는 몰딩 부재를 포함하게 된다.
- [29] 몰딩 부재는 주로 에폭시 몰딩 컴파운드(EMC: epoxy molding compound)에 의해 형성된다. 이러한 에폭시 수지 조성물로 플립칩의 갭(Gap)을 채우는 동시에 칩을 캡슐화 하는 방법이 몰드 언더필(Molded Underfill) 공정 중의 하나이다.
- [30] 도 1은 본 발명의 구성으로 에폭시 몰딩 컴파운드로 몰딩 되기 전의 더미 칩 패키지의 단면이다.
- [31] 에폭시 몰딩 컴파운드로 몰딩하기 전에 더미 칩 패키지는 더미 칩 몸체부 하부에 범프와 기판이 형성된다.
- [32] 구체적으로 에폭시 몰딩 컴파운드로 몰딩하기 전의 더미 칩 패키지(100)는 더미 칩 몸체부(110) 및 상기 더미 칩 몸체부(110) 하부에 형성된 범프(120)를 포함하는 더미 칩(150); 및 상기 범프(120) 하부에 형성된 기판(250)으로 구성된다.
- [33]
- [34] 더미 칩
- [35] 더미 칩(150)은 반도체 칩 패키지 제조 공정 중 실제 반도체 칩을 대신하여 기판에 실장하게 되는 일종의 모조 칩을 말한다.
- [36] 더미 칩(150)은 반도체 칩 패키지를 테스트하기 위한 반도체 칩의 대용품으로서, 더미 칩 몸체부(110)와 기판 사이에 형성된 범프(120)를 제외한 공간, 즉 더미 칩 몸체부(110), 범프(120) 및 기판(250)의 배열로 이루어진 빈 공간인 갭(140)의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부의 확인 테스트를 위한 목적으로 사용된다.
- [37] 더미 칩(150)은 더미 칩 몸체부(110)와 범프(120)를 포함한다.

[38]

[39] 더미 칩 몸체부

[40] 더미 칩(150)을 구성하는 더미 칩 몸체부(110)를 통하여, 더미 칩 몸체부(110)와 기판(250) 사이에 형성된 범프(120)를 제외한 갭(140)의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부의 확인을 할 수 있다. 이를 위해서 더미 칩 몸체부(110)는 투명 또는 반투명 재질로 이루어질 수 있다. 구체적으로 더미 칩 몸체부(110)는 페놀 수지, 실리콘 수지, 아크릴 수지, 에폭시 수지(epoxy resin)를 포함할 수 있고, 보다 구체적으로 에폭시 수지를 포함할 수 있다. 구체예에서는 상기 에폭시 수지는 투명성을 향상시키기 위하여 산 무수물계 경화제 및 알코올 중 1종 이상을 더 포함할 수 있다.

[41] 더미 칩 몸체부(110)의 투명도는 투과율로 확인할 수 있다. 투과율은 Nippon Denshoku Kogyo(주)에서 제조된 탁도계(모델명: NDH 2000)를 이용하여 측정하였다. 투과율은 광 투과율로서, 가시광선 영역(예: 파장 380nm 내지 780nm)에서 약 50% 내지 약 90%일 수 있다. 상기 범위에서 더미 칩 몸체부를 통해 갭(140)의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부의 확인이 목시적으로 실시간 가능한 효과가 있다.

[42] 더미 칩 몸체부(110)의 투명도는 황색지수로 확인할 수 있다. 황색지수(YI)는 Konica Minolta(주)에서 제조된 색차계(장치명: CM-3700D)를 이용하여 더미 칩 몸체부의 시편에 대해 5회 측정한 후 평균값을 적용하였다. 황색지수는 약 30 내지 약 100일 수 있다. 상기 범위에서 더미 칩 몸체부를 통해 갭(140)의 밀봉 및 공극 형성 여부의 확인이 목시적으로 실시간 가능한 효과가 있다.

[43] 더미 칩 몸체부(110)는 두께가 약 30 μ m 내지 약 1,600 μ m일 수 있다. 상기 범위에서 갭(140)의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부의 확인 테스트를 위한 반도체 칩의 대용품으로 사용될 수 있다.

[44] 상기 더미 칩 몸체부(110)는 더미 칩 몸체부(110)의 말단에 접합부(130)가 형성되어 기판(250)과 접합될 수 있다. 더미 칩 몸체부(110)의 평면 형태가 사각형일 경우 접합부(130)는 모서리 부분에 형성될 수 있다. 접합부(130)는 바람직하게 뿔납 분말에 플럭스를 혼합하여 페이스트 상태(풀 모양)로 만든 솔더 페이스트가 사용될 수 있으며 다른 접합 재료로도 사용 가능할 수 있다.

[45]

[46] 범프

[47] 범프(120)는 반도체 칩 패키지에서 반도체 칩과 기판의 연결 수단 또는 외부와 전기적 신호를 교환하기 위한 접속단자로서 사용된다. 본 발명에서 범프(120)는 더미 칩 몸체부(110)와 기판(250)의 연결 수단으로 더미 칩 패키지를 구성한다.

[48] 범프(120)는 더미 칩 패키지를 구성하는 상기 더미 칩 몸체부(110)의 하부에 형성된다. 또한 기판(250)의 상부에 형성될 수 있다. 구체적으로 범프(120)는 기판(250) 중 도전층(210)과 접하게 된다. 예를 들면, 범프(120)는 기판(250) 중 도전층(210)과 직접적으로 접하여 형성된다. 이러한 경우, 범프(120)와

도전층(210) 간의 전기적 도통이 잘 될 수 있다. 상기 "직접적으로 접하여 형성"은 범프(120)와 도전층(210) 간의 임의의 다른 층이 개재되지 않음을 의미한다.

- [49] 범프(120)는 더미 칩 몸체부(110)의 하부에 소정의 간격으로 이격되어 형성되어 있다. 이 경우, 범프(120), 더미 칩 몸체부(110)의 하부면, 기판(250) 중 도전층(210)이 이루는 갭은 에폭시 몰딩 컴파운드로 밀봉될 수 있다.
- [50] 범프(120)는 금속 재료, 수지에 금속 입자가 혼입된 도전성 수지, 또는 수지 표면에 금속 재료를 피복한 수지-금속복합재료로 구별된다. 상기 금속은 구체적으로 금(gold), 구리(Cu), 니켈(Ni), 주석 합금(SnPb, SnAg)과 같은 도전성 금속물질을 포함하며, 더 구체적으로 구리(Cu)를 포함할 수 있다.
- [51] 구체적으로 범프(120)는 더미 칩 몸체부(110)의 일면에 구리(Cu)를 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$ 의 두께로 형성한 후 이를 마스크 얼라인하고 에칭하여 형성할 수 있다. 또는 기판 상부에 구리(Cu)를 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$ 의 두께로 형성한 후 이를 마스크 얼라인하고 에칭하여 형성할 수 있다. 범프의 직경은 약 $50\mu\text{m}$ 내지 약 $300\mu\text{m}$ 이다. 상기 두께 및 직경의 범위에서 더미 칩 몸체부를 통해 갭(140)의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부의 확인이 목시적으로 실시간 가능한 효과가 있다.
- [52] 보다 구체적으로, 더미 칩 몸체부(110)의 일면 또는 양면이나 기판 상부에 구리층을 형성하고 구리층 위에 솔더 레지스트를 형성한 후, 솔더 레지스트로 선정된 회로 마스크 패턴에 따라 UV의 광원이 조사되는 노광 공정, UV 광원을 받지 못한 구리층 부분을 제거하는 현상 공정, 에칭을 하여 솔더 레지스트가 형성되지 않은 구리층이 부식되는 식각 공정을 진행하여 선택적으로 구리층이 노출되도록 한다. 식각 공정에서 노광 및 현상 공정에서 제거되지 않은 잔류물이 제거되고 표면처리가 이루어진다. 도시되지 않았지만 범프 하부에 금속층이 추가로 형성될 수 있다. 이러한 범프 하부 금속층은 니켈(Ni), 팔라듐(Pd), 백금(Pt) 및 그 합금을 포함할 수 있으며, 전기도금에 의해 형성 될 수 있다.
- [53] 도 1에 도시되지 않았지만 더미 칩 몸체부(110)의 상부에도 범프가 형성될 수 있다.
- [54]
- [55] 기판
- [56] 기판(250)은 단면, 양면 또는 다층으로 구성된 인쇄회로기판(Printed Circle Board; PCB)일 수 있다.
- [57] 기판(250)은 구체예로 절연층(230), 및 절연층(230)의 양면에 형성되는 도전층(210)을 포함할 수 있다.
- [58] 절연층(230)은 매트릭스 수지에 보강재가 함침된 복합재, 페놀수지, 세라믹 등을 포함할 수 있다. 상기 매트릭스 수지는 에폭시 수지, 페놀수지 등이 사용될 수 있다. 상기 보강재로는 유리 섬유, 유리 섬유포, 종이 등이 사용될 수 있다.
- [59] 절연층(230)의 두께는 약 $30\mu\text{m}$ 내지 약 $1,600\mu\text{m}$ 로 형성될 수 있다. 상기

범위에서 기관의 전체 두께를 최소화할 수 있고, 고밀도 미세화로 패턴 구현이 가능하며, 부가적으로 기관의 유연성을 부여할 수 있는 효과를 가지게 된다.

[60] 도전층(210)은 절연층(230)의 일면 또는 양면에 형성될 수 있다. 구체예에서는 도전층(210)은 절연층(230)의 상부에만 형성될 수 있다. 또 다른 구체예에서는 상기 도전층(210)은 절연층(230)의 상부와 하부 양면에 형성될 수 있다. 예를 들면, 도 1의 경우와 같이, 도전층(210)은 절연층(230)의 상부 및 하부에 모두 형성될 수 있다.

[61] 구체예에서 상기 도전층(210)의 두께는 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$ 의 범위로 형성될 수 있다. 상기 범위에서 도전층에 형성된 회로배선의 패턴 밀도를 향상시키는 효과를 가지게 된다.

[62] 도전층(210)의 재질은 전도성 물질로서, 금속, 구체적으로 구리(Cu), 금(Au), 알루미늄(Al), 은(Ag) 중 적어도 하나를 포함할 수 있으며, 더 구체적으로 구리를 포함할 수 있다. 도전층은 단층 또는 다층으로 형성될 수 있다.

[63] 도전층(210)은 패턴이 형성될 수 있다. 예를 들면, 상기 도전층은 전도성 물질로 도전층을 형성한 다음, 감광막 도포, 노광, 에칭, 감광막 스트립 등의 공정을 통해 인쇄회로 패턴을 형성할 수 있다.

[64] 도시되지 않았지만 상기 기관은 도전층을 보호하기 위한 보호층이 도전층 상부 또는 하부에 형성될 수 있다. 보호층은 도전층의 부식을 방지하기 위해 보호하는 재질로 형성될 수 있다. 상기 보호층은 상기 도전층이 습도나 수분에 의해 부식되지 않도록 절연성 재질로 형성될 수 있다. 상기 보호층은 절연성 잉크인 에컨대, 에폭시 수지와 같은 솔더 레지스트 재질로 형성될 수 있다.

[65] 또한, 도 1에 도시되지 않았지만 기관(250)의 하부면(또는 상부면)에 외부 단자들이 형성될 수 있고 상기 외부 단자들은 외부 장치와 전기적으로 연결될 수 있다.

[66] 도 2는 본 발명 일 실시예의 더미 칩 패키지의 단면도이다. 도 2를 참조하면, 본 발명 일 실시예의 더미 칩 패키지(200)는 더미 칩 몸체부(110); 더미 칩 몸체부(110) 하부에 형성된 범프(120); 및 범프(120) 하부에 형성된 기관(250)을 포함하고, 더미 칩 몸체부(110)와 기관(250) 간의 갭(140)은 에폭시 몰딩 컴파운드(350)로 봉지될 수 있다.

[67] 도 3는 본 발명 다른 실시예의 더미 칩 패키지의 단면도이다. 도 3을 참조하면, 본 발명 또 다른 실시예의 더미 칩 패키지(300)는 더미 칩 몸체부(110); 더미 칩 몸체부(110) 하부에 형성된 범프(120); 및 범프(120) 하부에 형성된 기관(250)을 포함하고, 더미 칩 몸체부(110)와 기관(250) 간의 갭(140)과 더미 칩 몸체부(110)의 상부면 전체가 에폭시 몰딩 컴파운드(350)로 봉지될 수 있다.

[68] 도 4는 본 발명 또 다른 실시예의 더미 칩 패키지의 단면도이다. 도 4를 참조하면, 본 발명 또 다른 실시예의 더미 칩 패키지(400)는 더미 칩 몸체부(110); 더미 칩 몸체부(110) 하부에 형성된 범프(120); 및 범프(120) 하부에 형성된 기관(250)을 포함하고, 더미 칩 몸체부(110)와 기관(250) 간의 갭(140), 및 더미 칩

몸체부(110)의 상부면을 제외한 더미 칩 몸체부(110)의 측면 전체가 에폭시 몰딩 컴파운드(350)로 봉지될 수 있다.

[69] 도 1 내지 도 4에서 더미 칩 몸체부, 범프, 및 기판의 두께와 범프의 개수는 임의로 도시된 것으로서, 변경될 수 있다.

[70] 반도체 칩 패키지 공정을 통해 실제 반도체 칩을 기판에 실장하는 대신 더미 칩을 실장하여 본 발명의 더미 칩 패키지를 제조할 수 있으며 이 더미 칩 패키지는 반도체 칩 패키지 테스트용으로 사용된다.

[71] 구체적으로 적용하고자 하는 실제 반도체 패키징 공정을 통해 더미 칩 패키지(목적에 맞는 필요 수량)를 제조한 후, 더미 칩 패키지를 구성하는 투명 또는 반투명 상태의 더미 칩을 통해 갭의 밀봉(Bump Gap Filling) 상태 및 공극(Void) 형성 여부를 목시로 광학 현미경을 이용하여 관찰할 수 있다. 즉, 갭의 밀봉(Bump Gap Filling) 상태 및 공극(Void) 형성 여부를 실제 반도체 칩을 사용하지 않고, 초음파영상장비(SAT: Scanning Acoustic Tomograph) 장비를 이용한 단면 분석 없이 직접 눈으로 관찰할 수 있다.

[72] 따라서, 반도체 칩 패키지 제조 공정상 불량 여부를 고가의 반도체 칩을 폐기하는 일없이 확인할 수 있어 경제적 측면에서 비용 절감의 효과를 가져오게 된다.

[73]

[74] 도 5는 단일 더미 칩 패키지가 복수로 구성된 더미 칩 패키지의 평면도이다. 구체적으로 기판(150)에 복수의 더미 칩 몸체부(110)가 정렬되어 있으며 상기 더미 칩 몸체부(110) 및 기판(250)의 사이에 접합부(130)가 형성될 수 있다. 접합부(130)는 더미 칩 몸체부(110)의 평면 형태가 사각형일 경우 모서리 부분에 형성될 수 있다. 접합부(130)는 바람직하게 뿔납 분말에 플럭스를 혼합하여 페이스트 상태(풀모양)로 만든 솔더 페이스트가 사용될 수 있다. 접합부(130)는 투명 또는 반투명 재질의 더미 칩 몸체부(110)에 의해 해당 위치 및 형태를 확인할 수 있다. 도시되지 않았지만 상기 더미 칩 몸체부(110)와 상기 기판(250) 사이에는 복수의 범프(120)가 형성된다. 더미 칩을 복수로 기판 상부에 배열하여 더미 칩 패키지를 구성하면 반도체 칩 패키지 제조 공정상 불량 여부에 관한 테스트를 위하여 한번에 복수의 더미 칩 패키지를 이용하여 갭의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부에 대한 확인을 실시간으로 평가할 수 있다.

[75]

[76] 이하, 본 발명의 일 실시예에 따른 더미 칩 패키지의 제조방법을 설명한다.

[77] 본 발명의 일 실시예에 따른 더미 칩 패키지의 제조 방법은 더미 칩 몸체부 하부에 범프를 형성하는 단계; 상기 범프 하부에 기판을 형성하는 단계; 및 상기 더미 칩 몸체부와 상기 기판 사이의 갭을 에폭시 몰딩 컴파운드로 밀봉하는 단계를 포함한다. 이러한 제조방법을 통해 반도체 칩 패키지의 범프 사이의 갭의 밀봉(Bump Gap Filling) 및 공극(Void) 형성 여부에 대한 확인을 실시간으로 평가할 수 있는 더미 칩 패키지를 얻을 수 있다.

- [78] 구체적으로 범프(120)는 더미 칩 몸체부(110)의 일면에 구리(Cu)를 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$ 의 두께로 형성한 후 이를 마스크 얼라인하고 에칭하여 형성할 수 있다. 또는 기판 상부에 구리(Cu)를 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$ 의 두께로 형성한 후 이를 마스크 얼라인하고 에칭하여 형성할 수 있다. 범프의 직경은 약 $50\mu\text{m}$ 내지 약 $300\mu\text{m}$ 이다.
- [79] 상기 더미 칩 몸체부 하부에 범프를 형성하는 단계에서는 구체적으로 더미 칩 몸체부(110)의 하부에 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$ 의 두께로 구리층을 형성하고 이를 마스크 얼라인하고 에칭하여 범프를 형성하게 된다. 상기 범프의 형성 공정은 이에 제한되지 않는다. 범프의 직경은 약 $50\mu\text{m}$ 내지 약 $300\mu\text{m}$ 일 수 있다.
- [80] 상기 더미 칩 몸체부와 상기 기판 사이의 갭을 에폭시 몰딩 컴파운드로 밀봉하는 단계에서는 도 2 내지 도 4에 도시된 바와 같이 더미 칩 몸체부와 기판 사이에만 에폭시 몰딩 컴파운드로 봉지되거나, 더미 칩 몸체부와 기판 간의 갭과 더미 칩 몸체부의 상부면 전체가 에폭시 몰딩 컴파운드로 봉지되거나, 또는 더미 칩 몸체부와 기판 간의 갭, 및 더미 칩 몸체부의 상부면을 제외한 더미 칩 몸체부의 측면 전체가 에폭시 몰딩 컴파운드로 봉지될 수 있다.

[81]

발명의 실시를 위한 형태

[82] 실시예

[83] 하기 실시예에서는 본원발명에 의해 제조된 더미 칩 패키지에 대하여 이하에서 서술하는 측정 방법으로서 하기 표 1의 물성을 평가하였다.

[84] (1) 투과율(%)

[85] 에폭시를 포함하는 더미 칩 몸체부를 $10\text{mm} \times 10\text{mm}$ 로 자른 후 두께를 하기 표 1과 같이하여 Nippon Denshoku Kogyo(주)에서 제조된 투과율 측정기(Model 명: NDH 2000)에 Loading 후 측정을 하였다. (측정 광원 할로겐 Lamp, 독일(나르바 회사 제품), 20W)

[86] (2) 황색지수(YI)

[87] 에폭시를 포함하는 더미 칩 몸체부를 $10\text{mm} \times 10\text{mm}$ 로 자른 후 두께를 하기 표 1과 같이하여 Konica Minolta(주)에서 제조된 색차계(장치명: CM-3700D)를 이용하여 각 시편에 대해 5회 측정한 후 평균값을 적용하였다.

[88] [표1]

	두께(mm)	투과율(%)	황색지수
실시예 1	0.12	69.60	56.68
실시예 2	0.53	61.93	89.84
실시예 3	1.01	55.02	90.10

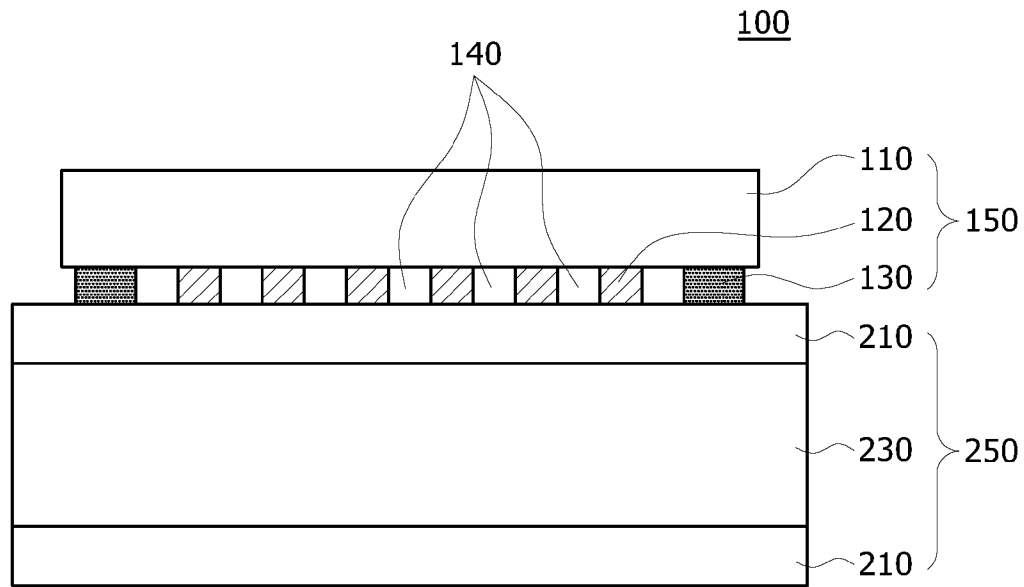
[89] 이상 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이

속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다.

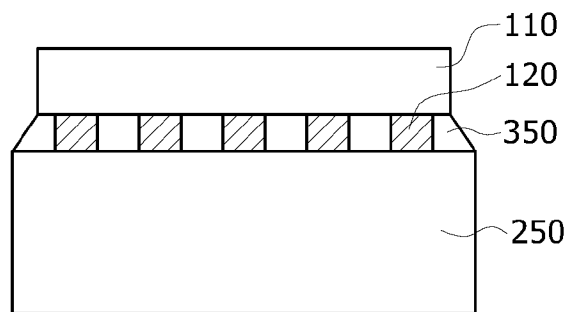
청구범위

- [청구항 1] 더미 칩 몸체부 및 상기 더미 칩 몸체부 하부에 형성된 범프를 포함하는 더미 칩; 및
상기 범프 하부에 형성된 기관;
을 포함하고,
상기 더미 칩 몸체부와 상기 기관 사이의 갭이 에폭시 몰딩 컴파운드로 밀봉된 것을 특징으로 하는 더미 칩 패키지.
- [청구항 2] 제1항에 있어서, 상기 범프가 구리(Cu)를 포함하고,
상기 범프가 두께가 약 $10\mu\text{m}$ 내지 약 $100\mu\text{m}$, 직경은 약 $50\mu\text{m}$ 내지 약 $300\mu\text{m}$ 인 것을 특징으로 하는 더미 칩 패키지.
- [청구항 3] 제1항에 있어서, 상기 더미 칩 몸체부는 에폭시 수지를 포함하는 것을 특징으로 하는 더미 칩 패키지.
- [청구항 4] 제1항에 있어서, 상기 더미 칩은 복수의 단일 더미 칩이 간격을 두고 기관 상부에 배열된 것을 특징으로 하는 더미 칩 패키지.
- [청구항 5] 제1항에 있어서, 상기 더미 칩 몸체부는 황색 지수(YI)가 약 30 내지 약 100 인 것을 특징으로 하는 더미 칩 패키지.
- [청구항 6] 제1항에 있어서, 상기 기관은 절연층; 및 상기 절연층의 상부에 형성된 도전층을 포함하고, 상기 도전층은 상기 범프에 접하는 더미 칩 패키지.
- [청구항 7] 제6항에 있어서, 상기 도전층은 구리(Cu)를 포함하고, 상기 절연층은 에폭시 수지를 포함하는 더미 칩 패키지.
- [청구항 8] 더미 칩 몸체부 하부에 범프를 형성하는 단계;
상기 범프 하부에 기관을 형성하는 단계; 및
상기 더미 칩 몸체부와 상기 기관 사이의 갭을 에폭시 몰딩 컴파운드로 밀봉하는 단계를 포함하는 더미 칩 패키지 제조방법.

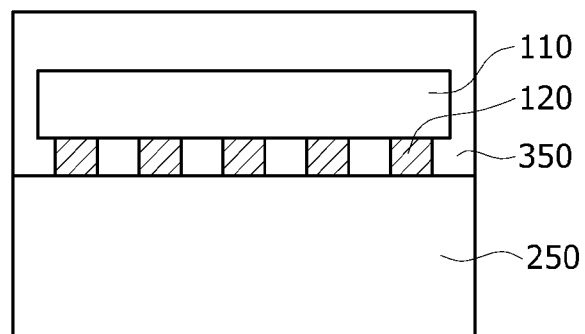
[도1]



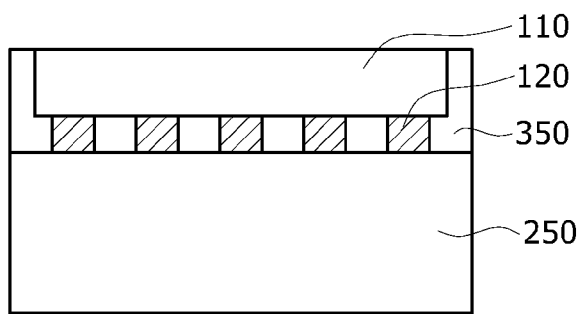
[도2]

200

[도3]

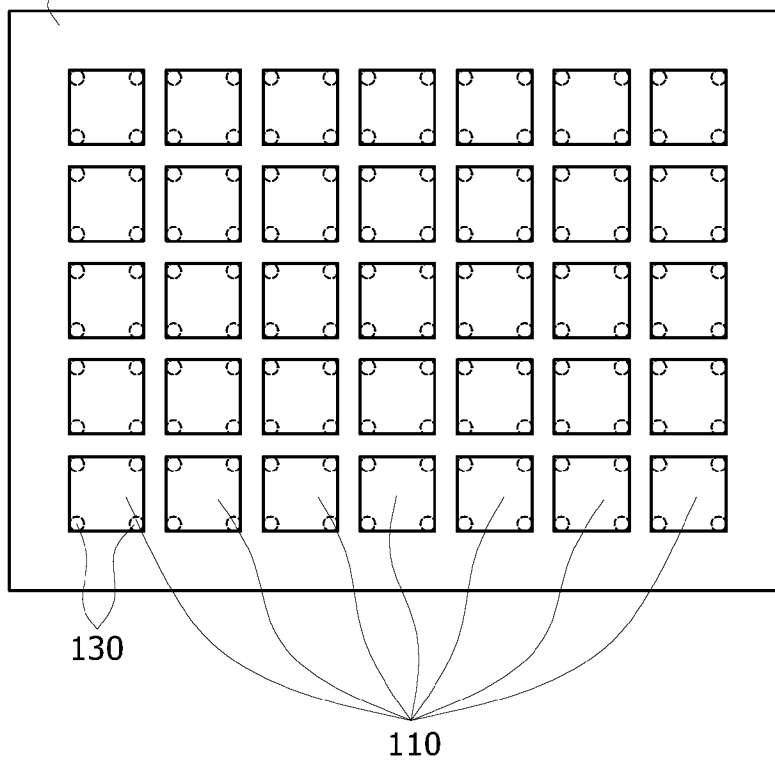
300

[도4]

400

[도5]

250



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/003565**A. CLASSIFICATION OF SUBJECT MATTER****H01L 23/28(2006.01)i, H01L 23/488(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/28; H01L 21/60; H01L 21/56; H01L 23/00; H01L 21/02; H01L 21/66; H01L 23/488

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: dummy, bump, underfill, EMC, void, test

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2012-0110456 A (AHN, Young Jin) 10 October 2012 See abstract, paragraphs [0003], [0007], [0019], [0022] and figure 1.	1-8
A	KR 10-2001-0010860 A (CHIPPAC KOREA CO., LTD.) 15 February 2001 See abstract, claim 1 and figures 1-4.	1-8
A	KR 10-1998-0066687 A (SAMSUNG ELECTRONICS CO., LTD.) 15 October 1998 See abstract, claims 1-3 and figures 1-2.	1-8
A	KR 10-2008-0022454 A (SAMSUNG ELECTRONICS CO., LTD.) 11 March 2008 See abstract, claims 1-10 and figures 1-6.	1-8
A	KR 10-2010-0011386 A (SEO, Kyoung Seong et al.) 03 February 2010 See abstract, claim 1 and figures 1-5.	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 JUNE 2016 (29.06.2016)

Date of mailing of the international search report

29 JUNE 2016 (29.06.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/003565

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0110456 A	10/10/2012	KR 10-1238949 B1	04/03/2013
KR 10-2001-0010860 A	15/02/2001	KR 10-0300497 B1	01/11/2001
KR 10-1998-0066687 A	15/10/1998	NONE	
KR 10-2008-0022454 A	11/03/2008	KR 10-0843202 B1	02/07/2008
		US 2008-0054261 A1	06/03/2008
		US 2012-0105089 A1	03/05/2012
		US 8120024 B2	21/02/2012
		US 8647976 B2	11/02/2014
KR 10-2010-0011386 A	03/02/2010	KR 10-1007320 B1	13/01/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/28(2006.01)i, H01L 23/488(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/28; H01L 21/60; H01L 21/56; H01L 23/00; H01L 21/02; H01L 21/66; H01L 23/488

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: dummy, bump, underfill, EMC, void, test

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2012-0110456 A (안영진) 2012.10.10 요약, 단락 [0003], [0007], [0019], [0022] 및 도면 1 참조.	1-8
A	KR 10-2001-0010860 A (주식회사 칩팩코리아) 2001.02.15 요약, 청구항 1 및 도면 1-4 참조.	1-8
A	KR 10-1998-0066687 A (삼성전자 주식회사) 1998.10.15 요약, 청구항 1-3 및 도면 1-2 참조.	1-8
A	KR 10-2008-0022454 A (삼성전자주식회사) 2008.03.11 요약, 청구항 1-10 및 도면 1-6 참조.	1-8
A	KR 10-2010-0011386 A (서경성 등) 2010.02.03 요약, 청구항 1 및 도면 1-5 참조.	1-8

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 06월 29일 (29.06.2016)

국제조사보고서 발송일

2016년 06월 29일 (29.06.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0110456 A	2012/10/10	KR 10-1238949 B1	2013/03/04
KR 10-2001-0010860 A	2001/02/15	KR 10-0300497 B1	2001/11/01
KR 10-1998-0066687 A	1998/10/15	없음	
KR 10-2008-0022454 A	2008/03/11	KR 10-0843202 B1	2008/07/02
		US 2008-0054261 A1	2008/03/06
		US 2012-0105089 A1	2012/05/03
		US 8120024 B2	2012/02/21
		US 8647976 B2	2014/02/11
KR 10-2010-0011386 A	2010/02/03	KR 10-1007320 B1	2011/01/13