

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 11 日 (11.06.2020)



(10) 国际公布号
WO 2020/114072 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/78** (2006.01)
H01L 29/423 (2006.01) **H01L 21/28** (2006.01)
- (21) 国际申请号: PCT/CN2019/110318
- (22) 国际申请日: 2019 年 10 月 10 日 (10.10.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811467502.X 2018 年 12 月 3 日 (03.12.2018) CN
- (71) 申请人: 珠海格力电器股份有限公司 (**GREE ELECTRIC APPLIANCES, INC. OF ZHUHAI**) [CN/CN]; 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。
- (72) 发明人: 肖婷 (**XIAO, Ting**); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 史波 (**SHI, Bo**); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 曾丹 (**ZENG, Dan**); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 廖勇波 (**LIAO, Yongbo**); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 敖利波 (**AO, Libo**); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。
- (74) 代理人: 广州华进联合专利商标代理有限公司 (**ADVANCE CHINA IP LAW OFFICE**); 中国

广东省广州市天河区珠江东路 6 号 4501 房, Guangdong 510623 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条 (3))。

(54) Title: GROOVE TYPE POWER DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 沟槽型功率器件及其形成方法

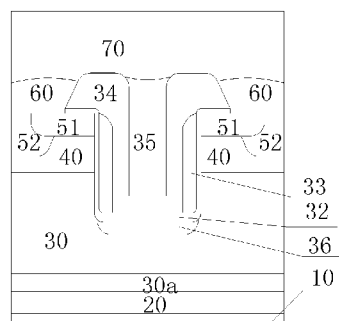


图 4

(57) Abstract: Disclosed in the present application are a groove type power device and a manufacturing method therefor. The device comprises a plurality of cells, wherein each cell comprises a cellular groove, a polysilicon layer formed on a side wall of the cellular groove, and a filler metal layer filled in the cellular groove; and the filler metal layers, the polysilicon layers and inner walls of the cellular grooves are correspondingly insulated. By forming a polysilicon (gate) on the side wall of the cellular groove, a polysilicon-filler metal layer-polysilicon composite structure is formed, thus being conducive to improving Cgc reverse capacitance in a usage process of the device, improving the switching characteristics of a chip, and also reducing the switching loss.

(57) 摘要: 本申请公开了一种沟槽型功率器件及其形成方法, 该器件包括有若干个元胞, 每个所述元胞包括: 元胞沟槽、形成于所述元胞沟槽侧壁上的多晶硅层、以及填充在所述元胞沟槽内的填充金属层; 其中, 所述填充金属层、所述多晶硅层、以及所述元胞沟槽的内壁之间分别绝缘设置。通过在元胞沟槽的侧壁上形成多晶硅(栅), 形成多晶硅-填充金属层-多晶硅的复合结构, 有利于改善器件使用过程中的 Cgc 反向电容, 改善芯片开关特性, 同时能降低开关损耗。

WO 2020/114072 A1

沟槽型功率器件及其形成方法

相关申请

本申请要求 2018 年 12 月 03 日申请的，申请号为 201811467502.X，名称为“沟槽型功率器件及其形成方法”的中国专利申请的优先权，在此将其全文引入作为参考。

技术领域

本申请涉及半导体的领域，具体而言，涉及一种沟槽型功率器件及其形成方法。

背景技术

业内人士都知道，沟槽功率器件具有高集成度、导通电阻低、开关速度快和开关损耗小的特点，被广泛应用于各类电源管理及开关转换电路中。随着各国对节能减排越来越重视，对功率器件的损耗及转换效率要求也越来越高。其中，导通损耗主要受导通电阻的影响，特征导通电阻越小，导通损耗越小；而开关损耗主要受栅极电荷影响，栅极电荷越小，开关损耗也越小。因此，降低导通电阻和栅极电荷是降低功率器件功耗的两个有效途径，通过降低功率器件的功耗可以更加高效地使用能源。

在半导体功率器件的制备过程中，降低特征导通电阻通常有两种方法：一是通过提高单胞密度，增加单胞的总有效宽度，但是，单胞密度提高后，相应的栅电荷会增加，无法做到既降低导通电阻又降低栅电荷；二是通过提高外延片掺杂浓度、减小外延层厚度来实现，但会降低源漏极之间的击穿电压。

发明内容

本申请的目的是提供一种沟槽型功率器件及其形成方法，以降低开关损耗。

为此，在本申请中提供了一种槽型功率器件，包括有若干个元胞，每个所述元胞包括：元胞沟槽、形成于所述元胞沟槽侧壁上的多晶硅层、以及填充在所述元胞沟槽内的填充金属层；其中，所述填充金属层、所述多晶硅层、以及所述元胞沟槽的内壁之间分别绝缘设置。

在其中一个实施例中，所述元胞包括形成在所述多晶硅层与所述元胞沟槽侧壁之间的绝缘栅氧化层；以及形成在所述多晶硅层和所述填充金属层之间的绝缘氧化层。

在其中一个实施例中，所述填充金属层与源极金属层或漏极金属层直接接触。

在其中一个实施例中，所述元胞设置在半导体基板内，所述元胞包括与所述半导体基

板导电类型相同和/或不同的掺杂区,所述掺杂区通过金属材料层与源极金属层或漏极金属层连接。

在其中一个实施例中,所述金属材料层与所述填充金属层绝缘间隔。

在其中一个实施例中,所述金属材料层与所述填充金属层之间通过绝缘栅氧化层绝缘设置。

在其中一个实施例中,所述金属材料层与所述填充金属层的材质相同。

在其中一个实施例中,所述元胞设置在半导体基板内,所述元胞沟槽的底部与所述半导体基板之间形成有阱区,且所述填充金属层与所述阱区之间绝缘设置。

同时,在本申请中还提供了一种沟槽型功率器件的形成方法,所述器件包括有若干个元胞,形成所述元胞包括以下步骤:

刻蚀形成元胞沟槽;

在所述元胞沟槽的内壁上生长绝缘栅氧化层;

在所述绝缘栅氧化层上,所述元胞沟槽的侧壁上形成多晶硅层;

在所述多晶硅层上,形成包覆所述多晶硅层的绝缘氧化层;和

在所述绝缘氧化层上形成填充金属层,充满所述元胞沟槽。

在其中一个实施例中,形成所述元胞的步骤中,在生长绝缘栅氧化层之前,还包括对元胞沟槽底壁进行离子注入,以形成阱区。

应用本申请的沟槽型功率器件及其形成方法,通过在元胞沟槽的侧壁上形成多晶硅(栅),形成多晶硅-填充金属层-多晶硅的复合结构,有利于改善器件使用过程中的 C_{gc} 反向电容,改善芯片开关特性,同时能降低开关损耗。

此外,通过在元胞单元下部形成阱区,使得在元胞沟槽内填充的填充金属层、氧化层和阱区形成场板结构,能够有效改善元胞沟槽底部电场聚集,有效压制底部电场,提高器件可靠性。

附图说明

图 1 为根据相关技术的沟槽型功率器件剖面图;

图 2 为根据本申请的一种沟槽型功率器件剖面图;

图 3 为根据本申请的沟槽型功率器件中元胞沟槽周围的电容分布图;

图 4 为根据本申请的另一种沟槽型功率器件剖面图;

图 5 为根据本申请的沟槽型功率器件中元胞沟槽周围的电场分布图;

图 6 为根据本申请的沟槽型功率器件的制备流程图;

图 7-15 为根据本申请的沟槽型功率器件的各步骤剖面图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下通过实施例，并结合附图，对本申请的光伏组件清洁系统进行进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

如图 1 所示，图 1 示出了一种根据相关技术的沟槽型功率器件剖面图，在图 1 所示的沟槽型功率器件中包括有若干个元胞，每个所述元胞包括：元胞沟槽和完整的填充在所述元胞沟槽内的多晶硅层 33'；每个所述元胞还包括位于元胞沟槽外围的体区 40' 与掺杂区 51'；其中所述多晶硅层 33' 上覆盖有绝缘氧化层 34'，所述绝缘氧化层 34' 上方形成金属电极层 70'。在图 1 所示的这种沟槽型功率器件中，位于元胞沟槽内部的多晶硅层 33' 与位于外围的半导体基板 30'、体区 40'、以及掺杂区 51' 之间会形成较大的反向电容，这些反向电容的存在将会在一定程度上限值开关特性的提升。

基于这种现状的存在，在申请的第一实施方式中，提供了一种沟槽型功率器件，如图 2 所示，该沟槽型功率器件包括第一金属电极层 10、第一半导体类型的衬底 20、第二半导体类型的衬底 30、在第一半导体类型衬底 20 和第二半导体类型的衬底 30 之间存在第二半导体类型的缓冲层 30a。在第二半导体类型的衬底 30 作为半导体基板中形成有若干个结构重复的元胞。在每个所述元胞包括：元胞沟槽 31、形成于所述元胞沟槽侧壁上的多晶硅层 33、以及填充在所述元胞沟槽内的填充金属层 35。所述填充金属层 35、所述多晶硅层 33、以及所述元胞沟槽 31 的内壁之间分别绝缘设置。

在沟槽型功率器件中，Cies、Coes 和 Cres 是影响 IGBT 器件的开通和关断时间，以及开通和关断延迟时间，从而影响 IGBT 的开关损耗，Cies、Coes 和 Cres 的计算公式如下：

$$C_{ies}=C_{ge}+C_{gc}$$

$$C_{oes}=C_{ce}+C_{gc}$$

$$C_{res}=C_{gc}$$

如图 3 所示，图 3 为根据本申请的沟槽型功率器件元胞沟槽周围的电容分布图。由图 3 可以看出，Cgc（门极-集电极电容，也称为米勒电容）有效降低；而且在相同面积内，Cce（集电极-发射极电容）会相对减少。由此可推出 Cies（输入电容）、Coes（输出电容）、Cres（米勒电容）都会降低，寄生电容降低，能有效降低开关损耗。此外，由图 3 还可以看出，在本申请沟槽型功率器件中元胞沟槽底部 Cgc 电容没有了，总的 Cgc 降低，减少开关损耗；同时在相同面积中，受工艺条件限制，此沟槽结构比常规沟槽结构设计宽，相比

Cce 电容也会减少。

如图 2 所示, 所述元胞还包括形成在所述多晶硅层 33 与所述元胞沟槽 31 侧壁之间的绝缘栅氧化层 32; 以及形成在所述多晶硅层 33 和所述填充金属层 35 之间的绝缘氧化层 34。绝缘栅氧化层 32 和绝缘氧化层 34 可选择沟槽型功率器件所采用的常规材料, 只要能够实现将所述填充金属层 35、所述多晶硅层 33、以及所述元胞沟槽 31 的内壁之间分别绝缘设置即可。

根据本申请所述的沟槽型功率器件, 形成在元胞沟槽侧壁上的多晶硅层 33 的单侧厚度可以根据单个元胞的尺寸合理设置。在一实施例中, 所述多晶硅层 33 的单侧厚度为 $0.3\mu\text{m}$ - $1.5\mu\text{m}$ 。多晶硅层 33 的厚度是指垂直于元胞沟槽 31 侧壁方向的厚度。

根据本申请所述的沟槽型功率器件, 只要在元胞沟槽 31 内填充所述填充金属层 35 即可在一定程度上实现本申请的目的。在一实施例中, 沿垂直于元胞沟槽 31 侧壁的方向, 所述填充金属层 35 与单侧所述多晶硅层 33 的厚度比为 10:1-1:1。

如图 2 所示, 在每个元胞中包括形成在以第二半导体类型的衬底 30 中的体区 40。所述体区 40 具有与第二半导体类型的衬底 30 不同的导电类型。在每个元胞中还包括形成在体区 40 中的第一半导体类型和/或第二半导体类型的掺杂区 51、52(掺杂区也称为注入区)。第一半导体类型和/或第二半导体类型的掺杂区 51、52 的部分表面裸露形成所述元胞的外露表面。当体区 40 中同时存在第一半导体类型和/或第二半导体类型的掺杂区 51、52 时, 第一半导体类型和/或第二半导体类型的掺杂区 51、52 部分交叠。第二半导体类型的掺杂区 52 可靠近所述元胞沟槽 31 的侧壁设置。在一实施例中, 所述第二半导体类型的掺杂区 52 的部分表面作为所述元胞沟槽 31 的侧壁。

如图 2 所示, 在所述第二半导体类型的衬底 30 上形成有若干个元胞的表面上还形成有金属材料层 60。每个元胞中的第一半导体类型和/或第二半导体类型的掺杂区 51、52 与所述金属材料层 60 直接接触。在一实施例中, 所述金属材料层 60 与填充金属层 35 之间绝缘设置。在一实施例中, 所述金属材料层 60 与填充金属层 35 之间通过绝缘栅氧化层 32 绝缘隔开。在本申请中, 金属材料层 60 和填充金属层 35 的材质可以相同或不同。在一实施例中, 金属材料层 60 和填充金属层 35 的材质相同, 例如均选取金属钨。

如图 2 所示, 在所述金属材料层 60 上方形成有第二金属电极层 70, 其中金属填充层 35 与第二金属电极层 70 直接接触。

在上述实施方式中, 第一金属电极层 10 和第二金属电极层 70 互为源极金属层和漏极金属层; 第一半导体类型和第二半导体类型互为 N 型半导体和 P 型半导体; 其中对于第一金属电极层 10 和第二金属电极层 70, 以及第一半导体类型的材料和第二半导体类型的材

料采用沟槽型功率器件即可。

在本申请的第二实施方式中，提供了一种沟槽型功率器件，如图 4 所示，这种沟槽型功率器件具有与第一实施方式中所提供的沟槽型功率器件相似的结构，两者的主要区别在于，在该第二实施方式中，除了在元胞沟槽 31 的侧壁上形成多晶硅层 33，在元胞沟槽 31 内部形成填充金属层 35 之外，所述元胞沟槽 31 的底部与所述半导体基板（第二半导体类型的衬底 30）之间形成有阱区 36，且所述填充金属层 35 与所述阱区 36 之间绝缘设置。

如图 5 所示，图 5 示出了根据本申请第二实施方式的沟槽型功率器件中元胞沟槽周围的电场分布图。如图 5 所示，仅在沟槽侧壁形成多晶硅栅极，然后在元胞沟槽的内部形成填充金属层（例如金属钨），进而形成钨塞填充结构的金属场板；从而即使采用宽沟槽设计结构，也能够降低了该元胞沟槽底部的表面电场；而且。通过在沟槽下方形成阱区有利于进一步降低电场的作用。

在上述沟槽型功率器件中，只要在所述元胞沟槽 31 的底部与所述半导体基板（第二半导体类型的衬底 30）之间形成有阱区 36 就能在一定程度上降低电场的作用。在一实施例中，阱区 36 的厚度不大于 $10\mu\text{m}$ ，其中阱区的厚度是指垂直于元胞沟槽的底部方向的厚度。对于位于所述元胞沟槽 31 的底部的阱区 36 的离子注入率可以根据元胞沟槽底部的表面电场可以进行合理选择。在一实施例中，位于所述元胞沟槽 31 的底部的阱区 36 的离子注入率为 $1.0\text{E}13\text{--}3.5\text{E}17$ 。

在本申请的第三种实施方式中，提供了一种沟槽型功率器件的形成方法，如图 6 所示，所述器件包括有若干个元胞，形成所述元胞包括以下步骤：

- S1、刻蚀形成元胞沟槽；
- S2、在所述元胞沟槽的内壁上生长绝缘栅氧化层；
- S3、在所述绝缘栅氧化层上，所述元胞沟槽的侧壁上形成多晶硅层；
- S4、在所述多晶硅层上，形成包覆所述多晶硅层的绝缘氧化层；和
- S5、在所述绝缘氧化层上形成填充金属层，充满所述元胞沟槽。

在一实施例中，形成所述元胞的步骤中，在生长绝缘栅氧化层之前，还包括对元胞沟槽底壁进行离子注入，以形成阱区。

接下来，结合附图 7 至 15，以 N 沟道为例详细描述本申请专利所述的一种沟槽型功率器件的形成方法，其步骤为：

1) 选择包括第一半导体类型的衬底 20、第二半导体类型的缓冲片 30a、以及第二半导体类型的衬底 30 的硅衬底晶圆，形成如图 7 所示结构；通过光刻工艺处理硅衬底晶圆以形成每个元胞的元胞沟槽结构的图形；接着采用反应等离子刻蚀工艺，在带有元胞沟槽图

形的硅片上刻蚀出元胞沟槽 31，形成如图 8 所示的结构；

2) 采用热氧化工艺在形成有元胞沟槽 31 的硅衬底晶圆上生长一层绝缘栅氧化层 32，形成如图 9 所示的结构；

3) 采用化学气相沉积工艺在绝缘栅氧化层 32 表面沉积一层多晶硅薄膜，作为 IGBT 器件的栅极，形成如图 10 所示的结构；

4) 采用反应等离子刻蚀工艺，刻蚀多晶硅薄膜，在元胞沟槽 31 的侧壁上形成多晶硅层，也称为多晶硅侧壁栅极，形成如图 11 所示的结构；

5) 采用离子注入工艺和热扩散工艺，在元胞沟槽 31 的底壁注入离子形成 P 型阱区；在元胞沟槽 31 的侧壁外围注入离子形成 P 型体区；在 P 型体区注入离子形成 N+掺杂区和 P+掺杂区，形成如图 12 所示的结构；

6) 采用化学气相沉积工艺在前述制备的结构体的表面沉积一层氧化绝缘层 34，作为电性隔离层，随后进行接触孔图形光刻，和采用反应等离子刻蚀工艺进行接触孔氧化层刻蚀，形成如图 13 所示的结构；

7) 采用化学气相沉积工艺在前述制备的结构体的表面沉积一层金属钨薄膜，并填充到接触孔和沟槽栅结构中。随后采用刻蚀工艺，将表面多余的金属钨刻蚀，形成金属材料层 60 和填充金属层 35，从而形成接触孔钨塞结构和沟槽栅钨塞场板结构，形成如图 14 所示的结构；

8) 采用磁控溅射工艺在表面沉积一层厚金属铝，并通过光刻、刻蚀工艺，形成 IGBT 器件的栅极和发射极引出金属，形成如图 15 所示的结构；

9) 进行背面减薄和标准的 FS-IGBT 背面工艺。

在形成 P 沟道的沟槽型功率器件中，工艺与前述 N 沟道的沟槽型功率器件基本相同，主要在于材料的选择，注入离子的选择有所区别，这些区别参照行业内的常规选择即可。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对本申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求

- 1.一种沟槽型功率器件，其特征在于，包括有若干个元胞，每个所述元胞包括：
元胞沟槽；
形成于所述元胞沟槽侧壁上的多晶硅层；以及
填充在所述元胞沟槽内的填充金属层；
其中，所述填充金属层、所述多晶硅层、以及所述元胞沟槽的内壁之间分别绝缘设置。
- 2.根据权利要求1所述的器件，其特征在于，所述元胞还包括：
形成在所述多晶硅层与所述元胞沟槽侧壁之间的绝缘栅氧化层；以及
形成在所述多晶硅层和所述填充金属层之间的绝缘氧化层。
- 3.根据权利要求1所述的器件，其特征在于，所述填充金属层与源极金属层或漏极金属层直接接触。
- 4.根据权利要求3所述的器件，其特征在于，所述元胞设置在半导体基板内，所述元胞包括与所述半导体基板导电类型相同和/或不同的掺杂区，所述掺杂区通过金属材料层与源极金属层或漏极金属层连接。
- 5.根据权利要求3所述的器件，其特征在于，所述金属材料层与所述填充金属层绝缘间隔。
- 6.根据权利要求3所述的器件，其特征在于，所述金属材料层与所述填充金属层之间通过绝缘栅氧化层绝缘设置。
- 7.根据权利要求2所述的器件，其特征在于，所述金属材料层与所述填充金属层的材质相同，均为金属钨。
- 8.根据权利要求1所述的器件，其特征在于，所述元胞设置在半导体基板内，所述元胞沟槽的底部与所述半导体基板之间形成有阱区，且所述填充金属层与所述阱区之间绝缘设置。
- 9.一种沟槽型功率器件的形成方法，所述器件包括有若干个元胞，其特征在于，形成所述元胞包括以下步骤：
刻蚀形成元胞沟槽；
在所述元胞沟槽的内壁上生长绝缘栅氧化层；
在所述绝缘栅氧化层上，所述元胞沟槽的侧壁上形成多晶硅层；
在所述多晶硅层上，形成包覆所述多晶硅层的绝缘氧化层；和
在所述绝缘氧化层上形成填充金属层，充满所述元胞沟槽。
10. 根据权利要求9所述的方法，其特征在于，形成所述元胞的步骤中，在生长绝缘

栅氧化层之前，还包括对元胞沟槽底壁进行离子注入，以形成阱区。

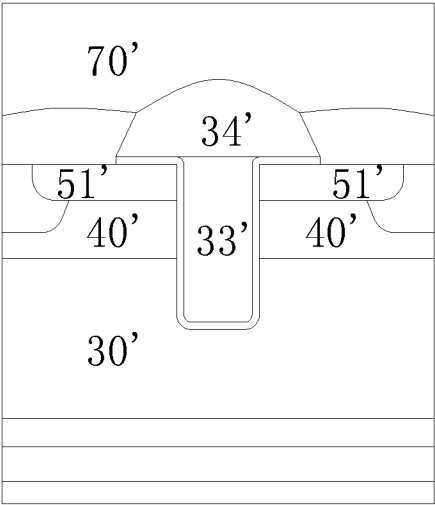


图 1

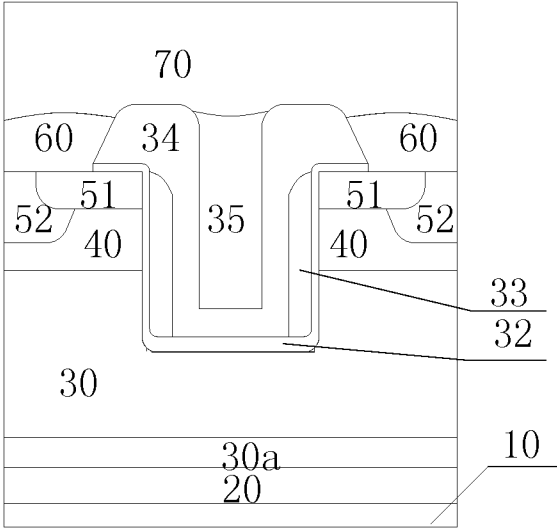


图 2

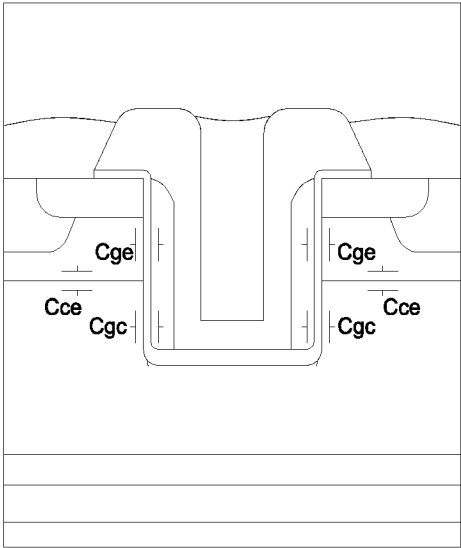


图 3

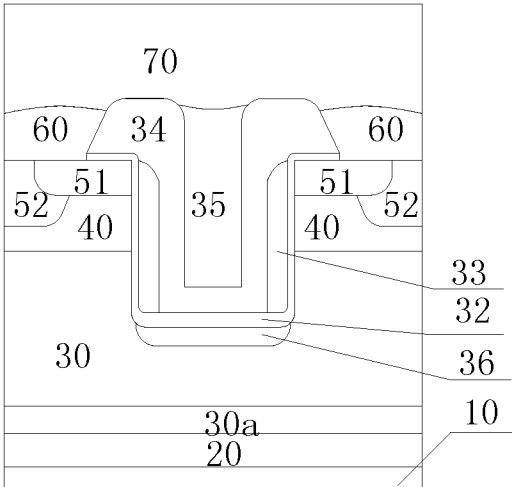


图 4

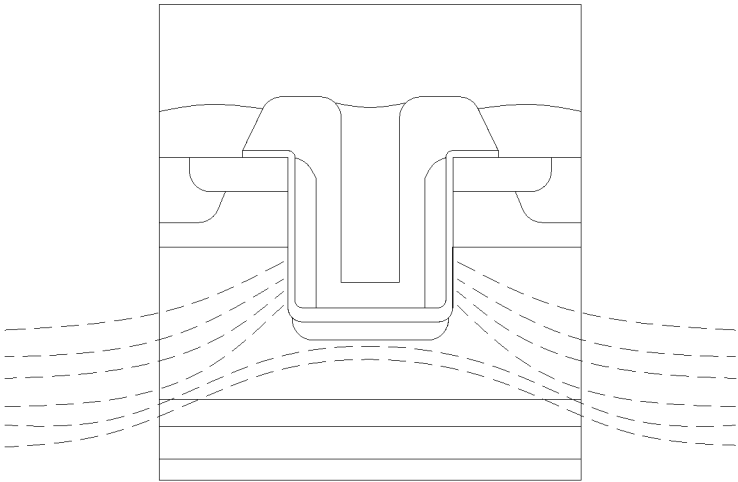


图 5

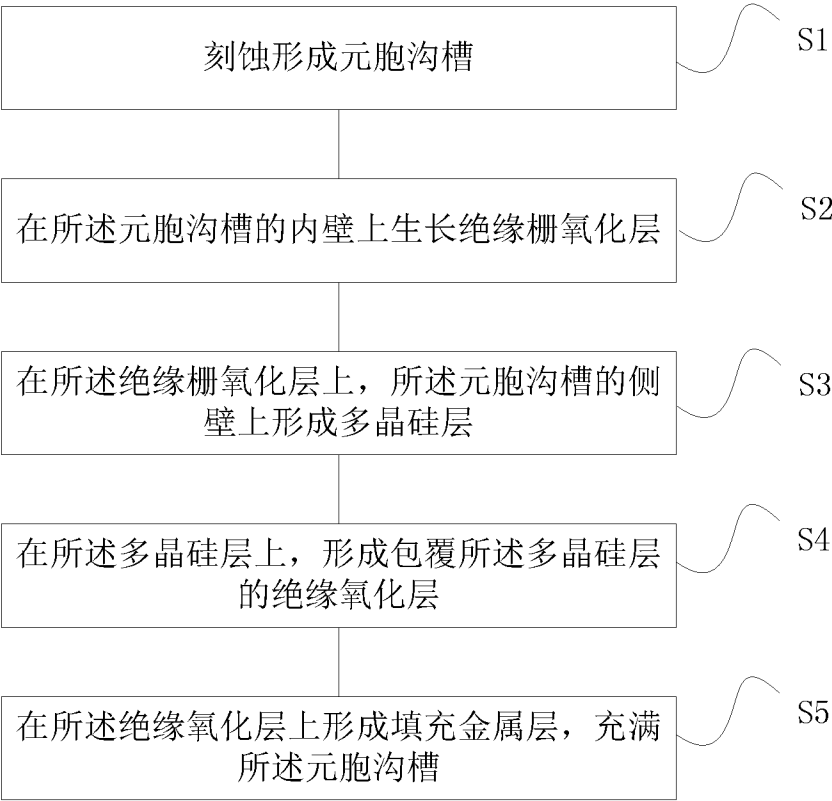


图 6

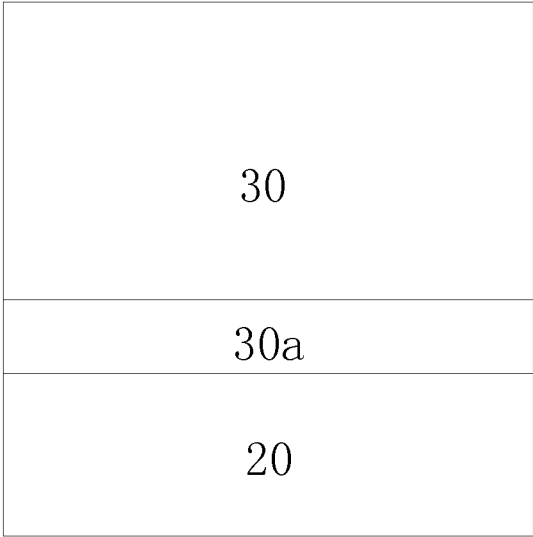


图 7

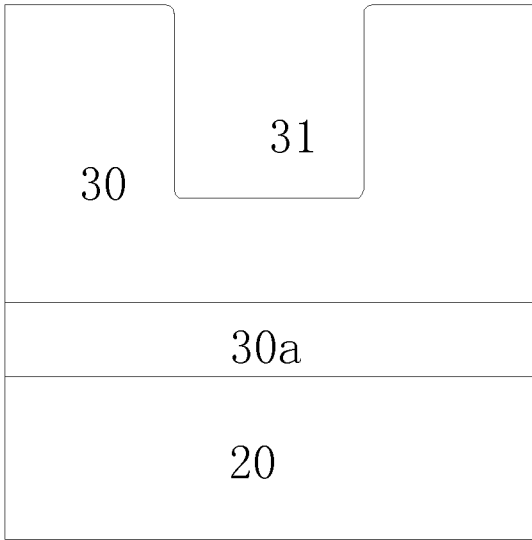


图 8

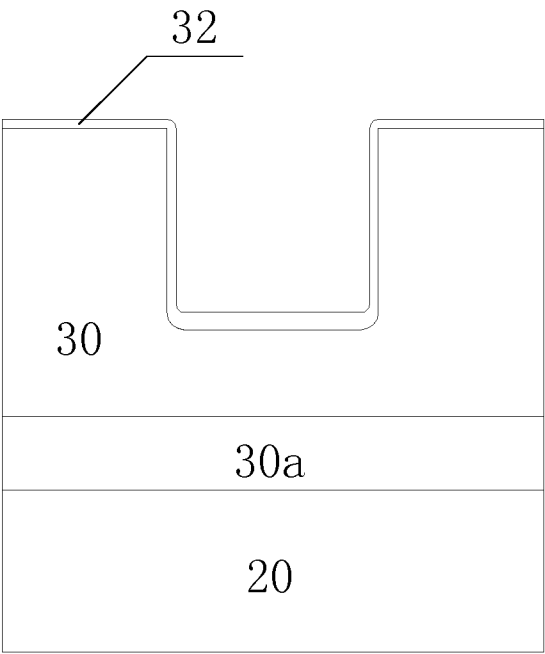


图 9

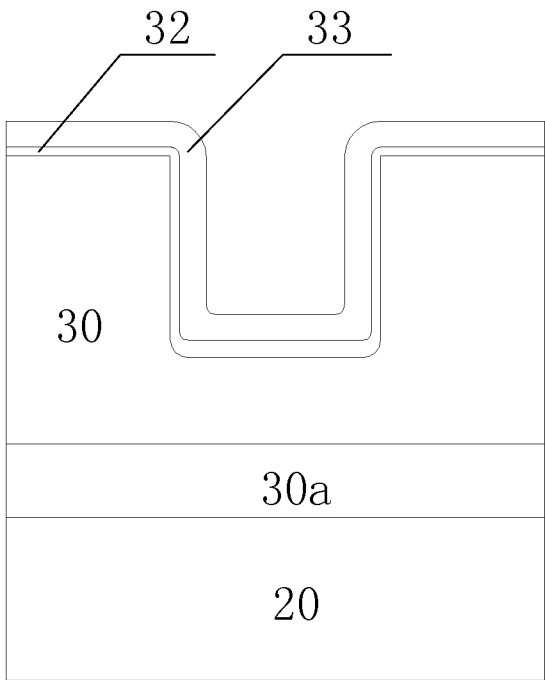


图 10

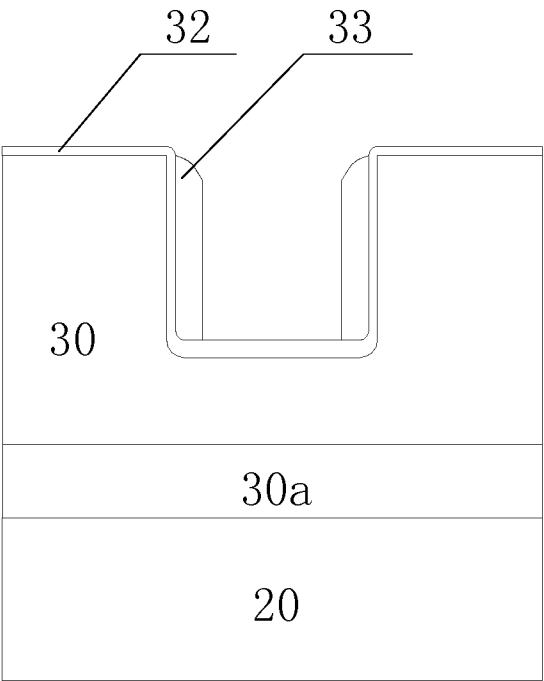


图 11

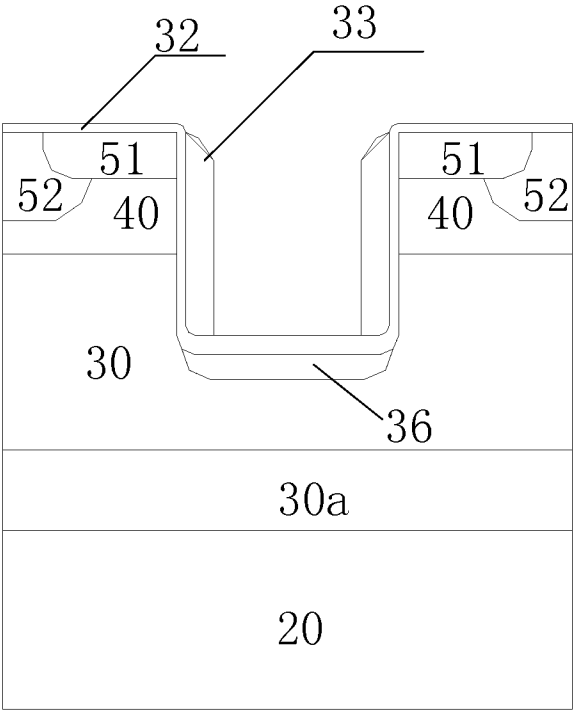


图 12

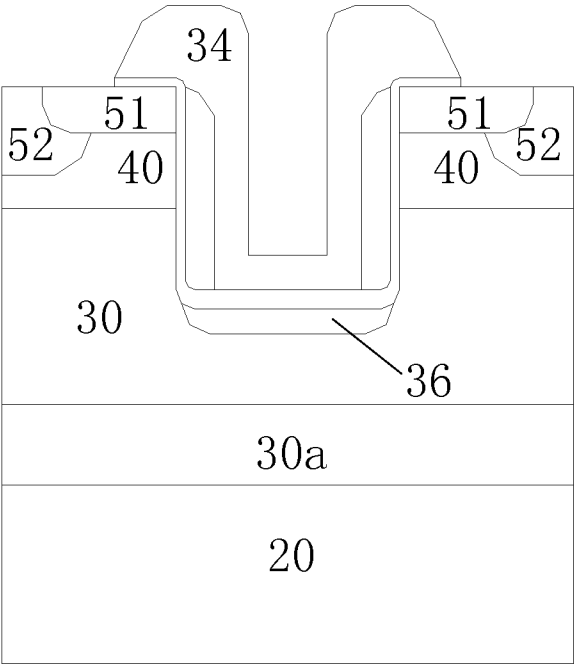


图 13

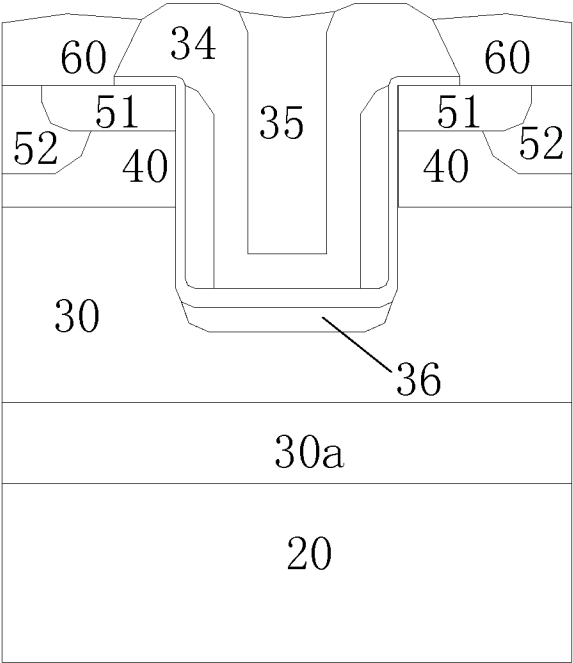


图 14

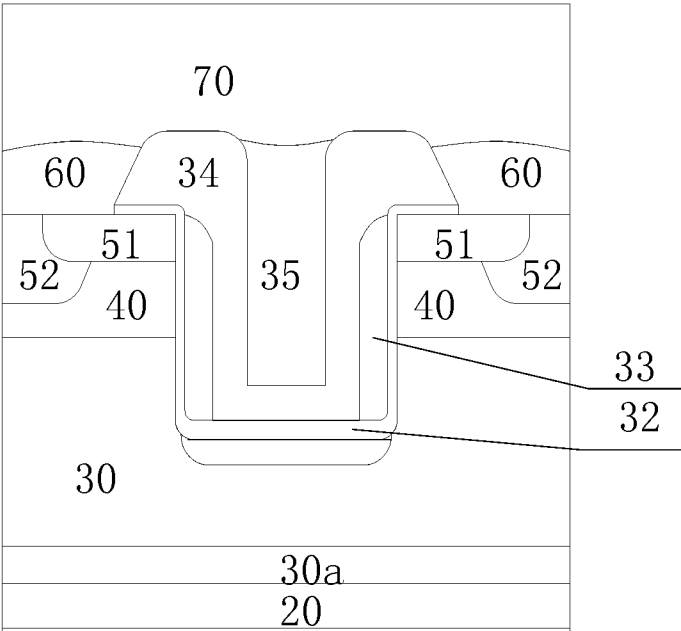


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/110318

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 29/78(2006.01)i; H01L 21/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI, IEEE: 栅极, 金属, opo, 半导体, 氧化物, 沟槽, 多晶硅, gate, metal, semiconductor, oxide, trench, polysilicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104779166 A (FUDAN UNIVERSITY) 15 July 2015 (2015-07-15) description, paragraphs [0024]-[0046], and figures 1-6	1-10
A	CN 102779842 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 14 November 2012 (2012-11-14) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 January 2020

Date of mailing of the international search report

16 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/110318

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104779166	A	15 July 2015	CN	104779166	B	17 November 2017
CN	102779842	A	14 November 2012	None			

国际检索报告

国际申请号

PCT/CN2019/110318

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 29/78(2006.01)i; H01L 21/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS, CNKI, IEEE:栅极, 金属, opo, 半导体, 氧化物, 沟槽, 多晶硅, gate, metal, semiconductor, oxide, trench, polysilicon

C. 相关文件

类 型*

引用文件, 必要时, 指明相关段落

相关的权利要求

X

CN 104779166 A (复旦大学) 2015年 7月 15日 (2015 - 07 - 15)
说明书第【0024】-【0046】段, 图1-6

1-10

A

CN 102779842 A (电子科技大学) 2012年 11月 14日 (2012 - 11 - 14)
全文

1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 1月 6日

国际检索报告邮寄日期

2020年 1月 16日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

闫东

电话号码 010-62412286

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/110318

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104779166	A	2015年 7月 15日	CN 104779166 B	2017年 11月 17日
CN	102779842	A	2012年 11月 14日	无	