(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 13/14

(45) 공고일자 1999년01월15일
(11) 등록번호 특0166650
(24) 등록일자 1998년09월24일

(21) 출원번호 특1995-020623
(22) 출원일자 1995년07월13일
(65) 공개번호 특1996-018938
(43) 공개일자 1996년06월17일
(30) 우선권주장 94-277671 1994년11월11일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3미쓰비시 일렉트릭 세미컨덕터 소프트웨어 컴퍼니 리미티드 에노모토 타쓰야
일본국 효고 이따미시 츄오구 3쪼메 1-17
(72) 발명자 야마사키 타까시
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 기따이따미 세이샤꾸쇼
사사하라 히로시
일본국 효고 이따미시 츄오구 3쪼메 1-17 미쓰비시 일렉트릭 세미컨덕터 소프트웨어 컴퍼니 리미티드
코마쯔 타다히꼬
일본국 효고 이따미시 츄오구 3쪼메 1-17 미쓰비시 일렉트릭 세미컨덕터 소프트웨어 컴퍼니 리미티드
(74) 대리인 김영길

심사관 : 오홍수

(54) 멀티플렉스용 입출력 포트를 가진 마이크로 프로세서

요약

마이크로 컴퓨터 또는 원 칩 컴퓨터는 분리된 어드레스 핀과 데이터 핀을 가졌고, 특정한 제어신호가 공급된 경우, 어드레스 핀은 어드레스와 데이터 신호를 위한 멀티플렉스 핀으로 작용한다.

더 나아가서, 멀티플렉스 핀에 공급될 어드레스 신호를 위한 비트와 데이터 신호를 위한 비트의 조합이 외부 버스의 비트 폭에 따라 변경된다.

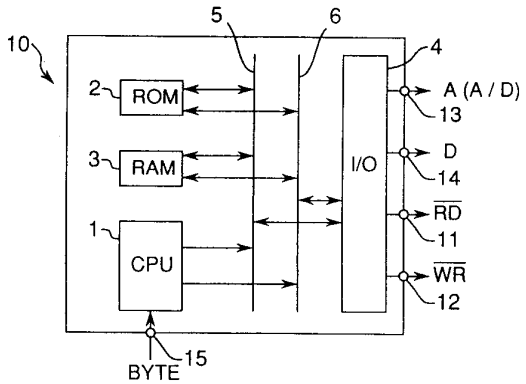
예를들어, 이전에 사용된 것과 같이 데이터 비트 D_i는 어드레스 비트 A_i와 조합을 이룬다.

더 나아가서, 데이터 비트 D_{i-1}은 어드레스 비트에 대해 1비트 쉬프트시킴으로써 어드레스 비트 A_i와 조합을 이룬다.

이러한 두 가지 조합중의 하나가 선택될 수 있다.

만일 마이크로 컴퓨터가 16비트 어드레스 핀을 가졌으면, 독립된 어드레스와 데이터 핀을 가진 8비트 메모리에 접속될 수 있으며, 한편 그것은 어드레스와 데이터 신호를 분리하기 위한 외부 회로를 사용하지 않고 멀티플렉스 핀을 가진 8비트 주변 부품에도 접속될 수 있다.

대표도



명세서

[발명의 명칭]

멀티플렉스용 입출력 포트를 가진 마이크로프로세서

[도면의 간단한 설명]

제1도는 마이크로컴퓨터의 구성도.

제2도는 주변 부품을 가진 마이크로컴퓨터 시스템의 구성도.

제3도는 제1도에 나타낸 멀티플렉스용 핀을 위한 입출력 포트의 일부를 나타낸 회로도.

제4a~4d도는 제3도에 나타낸 제어신호 발생기의 회로도.

제5도는 데이터 신호를 위한 입출력 포트의 일부를 나타낸 회로도.

제6a, 6b도는 8비트의 비트폭을 위한 어드레스 신호와 데이터 신호의 타이밍 챠트.

제7a와 7b도는 16비트의 비트폭을 위한 어드레스 신호와 데이터 신호의 타이밍 챠트.

제8도는 외부 메모리 부품을 가진 마이크로컴퓨터의 접속도.

제9도는 수정된 경우를 예시한 어드레스 신호와 데이터 신호의 타이밍 챠트.

[발명의 상세한 설명]

본 발명은 마이크로컴퓨터의 원 칩 마이크로컴퓨터에 관한 것으로서, 구체적으로는 그들의 입출력 포트에 관한 발명이다.

마이크로컴퓨터는 ROM(Read Only Memory) 또는 RAM(Random Access Memory)과 같은 외부 메모리에 접속될 수 있다.

원 칩 컴퓨터는 메모리 확장 모드를 가졌으며, 외부 메모리는 SRAM(Static RAM) EEROM(Electrically Erasable Rom)과 같은 것들이 사용된다.

원 칩 컴퓨터는 외부 어드레스 버스와 외부 데이터 버스에 접속될 어드레스 신호와 데이터 신호를 위한 핀을 포함한 입출력 포트를 가지고 있어서, 어드레스 신호와 데이터 신호는 상기 외부버스를 통하여 전송된다.

메모리는 어드레스 신호를 위한 핀과 데이터 신호를 위한 핀을 분리해서 가지고 있다.

그리하여, 마이크로프로세서 또는 마이크로컴퓨터의 어드레스 신호를 위한 핀과 데이터 신호를 위한 핀은 외부 어드레스 버스와 외부 데이터 버스를 통하여 메모리의 대응하는 부분에 각각 연결된다.

그리하여, 원 칩 마이크로컴퓨터의 어드레스와 데이터 신호를 위해 할당된 핀의 수가 많으며, 이것은 원 칩 마이크로컴퓨터에 포함될 수 있는 입출력 포트의 수를 제한하게 된다.

원 칩 컴퓨터는 가능하면 많은 수의 입출력 포트를 가지는 것이 바람직하다.

그 때문에, 어드레스와 데이터 핀의 수를 감소시키기 위하여, 시분할로 어드레스와 데이터를 전송하기 위한 멀티플렉스 핀이 설치되고, 그들은 멀티플렉스 버스에 접속된다.

그리하여, 어드레스와 데이터 신호를 위해 필요한 핀의 수가 감소되고, 반면에 입출력 포트의 수가 증가될 수 있다.

한편, 메모리는 어드레스 신호를 위한 핀과 데이터 신호를 위한 핀을 분리해서 가지고 있다.

그러므로, 어드레스와 데이터 신호를 분리하기 위해서는 외부 회로가 멀티플렉스 버스와 메모리 사이에 접속될 필요가 있고, 이것은 시스템의 비용을 증가시킨다.

이 점이 그런 멀티플렉스 버스의 결점이 된다.

게이트 어레이 또는 ASSP(Application Specific Standard Product; 특정 응용 표준 제품)와 같은 주변장치가 이따금 어드레스와 데이터 신호를 위한 멀티플렉스 핀을 채택하여서 입출력 포트의 수를 증가시키기도 한다.

그러한 경우, 마이크로컴퓨터로부터 멀티플렉스 버스에 어드레스와 데이터 버스를 접속하기 위하여 외부 회로가 필요하고, 이것은 컴퓨터 시스템의 비용을 증가시킨다.

본 발명의 목적은 어드레스 신호와 데이터 신호를 위한 멀티플렉스 핀의 유무에 관계없이, 어드레스와 데이터 신호를 분리하는 외부 회로를 사용하지 않고서 외부 장치에 접속될 수 있는 마이크로컴퓨터 또는 원 칩 마이크로컴퓨터를 제공하는 것이다.

본 발명에 따른 마이크로컴퓨터는 CPU(Central Processing Unit : 중앙처리장치)와, CPU에 연결되어 있고 어드레스 신호와 데이터 신호와 제어신호를 위한 내부버스와, 내부버스를 통하여 CPU에 연결되어 있는 입출력 포트를 포함한다.

상기 입출력 포트는, 제1 외부버스에 접속되어 있고 어드레스 신호와 데이터 신호를 위한 제1 입출력 회로와, 제2 외부버스에 접속되어 있고 데이터 신호를 위한 제2 입출력 회로를 각각 구비하고 있다.

상기 제1 입출력 회로는 제어신호를 공급하는 제어기로부터 특정한 제어신호가 수신되면 멀티플렉스 입출력 회로로서 동작할 수 있다.

상기 제어기는 제어신호, 예를 들어, 멀티플렉스인가 또는 논멀티플렉스인가를 나타내는 신호와, 멀티플

렉스에 사용되는 타이밍 신호와 $\overline{\text{읽기/쓰기}}$ 신호와, 제1 외부버스의 비트폭을 나타내는 신호에 따라, 제어신호를 발생한다.

예를 들어, 어드레스 신호 또는 데이터 신호 A_i/D_{i-1}(단, i = 1 ~ 8, A_i는 i번째 비트 어드레스 신호를 나타내고, D_{i-1}은 i-1번째 비트의 데이터 신호를 나타냄)는, 상기 제1 외부버스의 비트폭이 회로부에 의해서 처리되는 데이터의 비트 수와 같은 경우에, 시분할로 출력된다.

본 발명의 장점은, 마이크로컴퓨터가 멀티플렉스용 핀을 가졌기 때문에, 다양한 외부버스 폭으로, 예를 들어, 어드레스와 데이터 신호를 분리하기 위한 외부회로를 사용하지 않고 여러 종류의 주변장치에 접속될 수 있다는 점이다.

본 발명의 이들과 다른 목적들이 첨부되는 도면과 더불어 그의 바람직한 실시예를 통하여 행해지는 다음의 설명으로부터 분명해질 것이다.

도면을 참조하면, 같은 참조부호는 여러 면에서 같거나 대응하는 부분을 표시한다.

먼저, 본 발명의 실시예의 마이크로컴퓨터(10)가 설명된다.

제1도는 마이크로컴퓨터(10)의 내부구조를 나타낸 것으로서, CPU(1), ROM(2), RAM(3) 및 입출력 포트(4)가 내부버스에 접속되어 있다.

제1도에서, 어드레스와 데이터 신호를 위한 내부 어드레스 버스(5)와 내부 데이터 버스(6)가 나타나 있다.

제어신호도 내부버스를 통하여 공급되지만, 여기에, 버스는 간결하게 하기 위하여 명쾌하게 나타내지 않았다.

입출력 포트(4)는 $\overline{RL}$핀(11), $\overline{WR}$핀(12), 제1핀(13), 제2핀(14) 및 BYTE핀(15)를 포함한다.

핀(11,12)은 읽기 제어신호 $\overline{RL}$와 쓰기 제어신호 $\overline{WR}$을 공급한다.

제1핀(13:도면에서 A(A/D)로 표시됨)은 멀티플렉스용 핀으로서, 특정한 조건 아래에서는 어드레스와 데이터 신호를 위한 시분할 멀티플렉스 핀(A/D)으로서 동작하거나 다른 경우에는 어드레스 핀(A)으로서 동작할 수 있다.

반면에, 제2핀(14)은 데이터 핀으로서 동작한다.

상기 마이크로컴퓨터의 특징은, 어드레스와 데이터 핀으로서 멀티플렉스용 핀(13)이 제공되는 점이다.

핀(13)에 접속될 버스의 비트 수를 설정하기 위하여 신호 BYTE(바이트)가 공급된다.

이 예에서는, BYTE핀(15)으로 부터 그 신호 BYTE가 공급된다.

그러나, CPU(1)에 의해서 BYTE 신호를 설정하는 것도 가능한다.

8비트 버스가 핀(13)에 접속되는 경우, 신호 BYTE는 'H' 레벨로 설정되고, 반면에 16비트 버스가 핀(13)에 접속되는 경우에는 신호 BYTE가 'L' 레벨로 설정된다.

제2도는 마이크로컴퓨터(10), 외부 메모리(20) 및 ASSP(30)을 구비한 컴퓨터 시스템이다.

상술한 것과 같이, 마이크로컴퓨터(10)는 16개의 제1핀 또는 멀티플렉스용 핀(13)과 16개의 제2핀(14)을 갖는다.

메모리(20)는 어드레스 신호를 위한 8개의 어드레스 핀(21)과 데이터 신호를 위한 8개의 데이터 핀(22)을 가지고 있고, 반면에 ASSP(30)는 어드레스와 데이터 신호를 위한 8개의 멀티플렉스 핀(31)을 가진다.

제1버스(41)는 마이크로컴퓨터(10)의 제1핀(13)을 메모리(20)의 어드레스 핀에 접속하고, 반면에 제2버스(42)는 제2핀(14)을 데이터 핀(22)에 접속한다.

더 나아가서, 제1버스(41)는 제3버스(43)를 통하여 ASSP(30)의 멀티플렉스 핀(31)에 접속되어 있다.

읽기 및 쓰기 제어신호인 $\overline{RL}$와 $\overline{WR}$은 출력 인에이블 핀($\overline{OE}$)과 쓰기 인에이블 핀($\overline{WE}$)에 연결된다(만일 메모리(20) 또는 ASSP가 읽기 전용소자이면, 신호 $\overline{WR}$은 공급될 필요가 없음).

마이크로컴퓨터(1)는 어드레스 신호만을 버스(41)에 출력시키는 모드와, 다음에 설명되는 것과 같이, 어드레스 신호와 데이터 신호를 버스(41)를 통하여 번갈아 전송하는 멀티플렉스 모드를 갖는다.

제2도에서 신호 BYTE는 접지 레벨로 설정되어 있으며, 이것은 버스(41)의 비트폭이 16임을 의미한다.

그러므로, 마이크로컴퓨터는 분리되어 설치된 어드레스 핀과 데이터 핀을 가진 메모리에 접속될 수 있고, 반면에 어드레스 신호와 데이터 신호를 분리하기 위한 외부회로를 사용하지 않고 많은 핀을 가진 주변장치에도 접속될 수 있다.

마이크로컴퓨터(10)의 다른 특징은, 제1핀(13)이 멀티플렉스 핀으로서 동작할 때, 제1핀(13)에 나타나는 어드레스 신호의 순서는 버스(41)의 비트폭에 따라서 데이터 신호의 대응부와 지정된 관계를 가지도록 설

정될 수 있다.

마이크로컴퓨터(10)는 8비트 데이터를 저장하는 메모리 또는 다른 주변장치에 접속될 수 있고, 16비트 데이터를 저장하는 장치에도 접속될 수 있다.

이 실시예에서, 예를 들어, 만일 핀(13)의 수가 8이고 반면에 핀(31)의 수도 8이면, 같은 비트가 서로 대응하도록 배열된다.

즉, 어드레스 비트(A0, A1, A2, …, A7)는 데이터 비트(D0, D1, D2, …, D7)에 대응하도록 배열된다.

예를 들면, 어드레스 비트(A0)는 데이터 비트(D0)와 같은 멀티플렉스용 핀(13)에 할당된다.

멀티플렉스 핀에서 데이터 신호에 대한 어드레스 신호의 대응에서 이러한 형태의 어드레스 비트-데이터 비트의 대응은 종래의 기술에서도 이미 채택되어 있다.

다른 한편으로, 핀(31)의 수가 8인 반면에 핀(13)의 수가 16이면, 어드레스 신호와 데이터 신호의 비트 위치는 변경될 수 있다.

예를 들면, 어드레스 비트(A1, A2, A3, …, A8)는 데이터 비트(D0, D1, D2, …, D7)에 대응하도록 배열되거나, 비트 위치가 한 자리씩 이동된다.

이 경우에, 데이터 비트(D0)와 어드레스 비트(A1)는 같은 멀티플렉스용 핀(13)에 할당된다.

이러한 새로운 형태의 비트 배열을 사용함으로서, 8비트 데이터를 위한 메로리가 16비트 데이터로 사용될 수 있다.

다음에 설명될 제8도에 나타낸 마이크로컴퓨터 시스템의 예는 이 실시예의 장점을 이용한다.

이 실시예에서, 비트 위치가 한 자리씩 이동되어 있지만, 데이터 신호와 어드레스 신호 사이의 어떠한 대응관계도 채용될 수 있다.

제3도는 제1(또는 멀티플렉스용) 핀(13) 제어기(108) 및 논리회로로 구성된 회로부(130)를 포함하는 입출력 포트(4)의 입출력 회로(100)의 일부를 나타낸 것으로서, 그 회로부(130)는 소자(101~107, 109~111)을 포함하고, 여기서 버스(41)의 비트폭에 따라 비트 배열은 변경될 수 있다. 상술한 것과 같이, 핀(13)은 특정한 조건 아래에서 어드레스와 데이터 신호(A/D)를 위한 멀티플렉스 핀으로서 동작할 수 있다.

제3도는, 예시를 쉽게 하기 위하여, 핀(13)중에서 어드레스 비트(A1)와 데이터 비트(D0와 D1)에 관련된 한 개 핀의 일부만을 나타낸 것으로서, 입출력 회로(100)는 제어신호 발생기(108) 외에 16개 핀(13)의 각각에 대해서도 그와 같은 부분을 포함한다. 입출력 회로(100)에서 제3도에 나타낸 회로부(130)는 내부 어드레스 버스(5)에 있는 내부 어드레스선(A1)과 내부 데이터 버스(6)에 있는 내부 데이터선(D0, D1)에 접속되고, 반면에 이것은 또 멀티플렉스용 핀(13)의 일부인 핀(112)를 통하여 외부버스(41)에 접속된다.

제4a~4d도에 있는 제어신호 발생기(108)는 마이크로컴퓨터(10)에 의해 발생된 제어신호(내부 타이밍 신호 E, 칩 선택신호 CS, 읽기/쓰기 신호 $R/\overline{W}$)와 외부에서 공급된 신호 BYTE에 따라서 상기 입출력회로(100)를 위한 제어신호 'a'~'f'를 발생한다.

신호 CS는 논멀티플렉스인가 멀티플렉스인가를 선택하기 위하여 사용된다.

신호 BYTE는 연결될 버스(41)의 비트 수를 8 또는 16으로 설정하기 위하여 사용된다.

타이밍 신호 E는 번갈아서 출력될 어드레스와 데이터 신호를 멀티플렉스 시키기 위하여 사용된다.

읽기/쓰기 신호 $R/\overline{W}$ 는 H레벨에서는 읽기 사이클을 의미하고 L레벨에서는 쓰기 사이클을 의미한다.

제어선호 'b'가 수신될 때, 제1전송 게이트(109)는 내부 어드레스 버스선(A1)으로부터 나온 신호를 전송하고, 반면에 제2,3 전송 게이트(110, 111)는 각각 제어신호 'c'와 'd'가 수신될 때, 내부 데이터 버스선(D0, D1)으로부터 나온 신호를 전송한다.

어떤 시각에서 제어신호 'b', 'c' 및 'd' 중의 하나만이 공급되고, 전송 게이트(109~111)의 하나로부터 나오는 하나의 출력신호만이 NAND 게이트(102)와 NOR 게이트(103)의 한 입력으로 공급되며, 반면에 제어신호 'a'는 NAND 게이트(102)의 다른 입력에 공급되고 또 인버터(101)를 거쳐서 NOR 게이트(103)의 다른 입력에 공급된다.

NAND 게이트(102)와 NOR 게이트(103)의 출력은 각각 P채널 MOS 트랜지스터(104)와 N채널 MOS 트랜지스터(105)의 게이트에 접속된다.

트랜지스터(104, 105)는 서로 직렬로 접속되고 그들의 접속점은 핀(112)에 연결되어 있다.

트랜지스터(104, 105)는 또한 Vcc와 접지 사이에 연결된다.

그리하여, 트랜지스터(104, 105)는 제어신호 'a'가 공급될 때, 신호를 내부선(A1, D0, D1)으로부터 핀(112)으로 전송한다.

한편, 핀(112)은 3상태 버퍼(106, 107)에 접속되어 있어서, 제어신호 'e'와 'f'가 수신될 때, 신호를 핀(112)으로부터 내부 데이터 버스 선(D0, D1)으로 전송한다.

제4a~4d또는 버스 제어신호 'a'~'f'를 발생하는 제어기(108)의 일부를 나타낸 것이다.

제4a도에 나타낸 것과 같이, 내부 타이밍 신호 E의 반전신호, 칩 선택신호 CS 및 읽기/쓰기 신호 $R/\overline{W}$

는 제어신호 'a'를 발생하기 위하여NAND 게이트(200)에 입력된다.

제4b도에 나타낸 것과 같이, 내부 타이밍 신호 E의 반전 신호와 칩 선택신호 CS는 제어신호 'b'를 발생하기 위하여 NAND 게이트(201)에 입력된다.

제4c도에 나타낸 것과 같이, 내부 타이밍 신호 E의 반전신호, 칩 선택신호 CS 및 신호 BYTE는 제어신호 'c'를 발생하기 위하여 AND 게이트(202)에 입력된다.

제어신호 'c'와 읽기/쓰기 신호 $R/\overline{W}$ 는 제어신호 'e'를 발생하기 위하여 NAND 게이트(203)에 입력된다.

제4d도에 나타낸 것과 같이, 내부 타이밍 신호 E, 칩 선택신호 CS 및 신호 BYTE의 반전 신호는 제어신호 'd'를 발생하기 위하여 NAND 게이트(204)에 입력된다.

상기 신호 'd'와 읽기/쓰기 신호 $R/\overline{W}$ 는 제어신호 'f'를 발생하기 위하여 NAND 게이트(205)에 입력된다.

테이블 1은 마이크로컴퓨터(10)에 의해서 설정되는 여러 조건에 따른 버스 제어신호 'a'~'f'를 나타낸 것이다.

[표 1]

테이블 1. 버스 제어신호 'a'~'f'를 발생하기 위한 조건

	설 정 조 건	제어신호					
		a	b	c	d	e	f
A	E=H	H	H	L	L	L	L
B	E=L, CS=L	H	H	L	L	L	L
C	E=L, CS=H R=H, BYTE=H	L	L	H	L	H	L
D	E=L, CS=H W=L, BYTE=H	H	L	H	L	L	L
E	E=L, CS=H R=H, BYTE=L	L	L	L	H	L	H
F	E=L, CS=H W=L, BYTE=L	H	L	L	H	L	L

제5도는 어드레스 신호를 위한 핀(14)에서 각 데이터 비트가 입출력 포트(4)에 공급되기 위한 입출력 회로의 예이다.

이것은 읽기/쓰기 신호 $R/\overline{W}$ 에 의해 제어되는 16어드레스 비트(D0~D15)를 위한 쌍방향 버퍼를 포함하는 종래의 입출력 회로이다.

이 다음에서는, 8비트 버스 또는 16비트 버스가 핀(13)에 접속될 때, 입출력 포트(4)가 멀티플렉스 핀이 없는 메모리(20)와 멀티플렉스 어드레스/데이터 핀(A/D)이 있는 ASSP(30)에 대해 어떻게 동작하는가를 설명한다.

여기에는 4가지의 경우가 있다.

첫째 경우에는, 신호 BYTE가 'H' 레벨로 설정되거나 핀(13)이 8비트 버스에 접속되고, 칩 선택신호 CS가 'L' 레벨로 설정되거나 메모리(20)가 액세스되는 것이다.

이 경우에 대한 타이밍 챠트가 제 6a도에 표시되어 있다.

이 경우에, 어드레스 비트(A0~A7)는 데이터 비트(D0~D7)에 대응하는데, 제6a도의 왼쪽에 나타낸 것과 같다.

입출력 회로(4)는 1비트 어드레스 신호 A1을 내부 어드레스 버스(5)로부터 핀(112)로 출력시킨다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'a'와 'b' 및 'L' 레벨의 'c'~'f'를 공급한다.

신호 'b'가 'H' 레벨로 설정되고 'c'와 'd' 가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(109)는 열려있고, 반면에 다른 전송 게이트(110, 111)는 닫혀 있다.

제어신호 'a'가 'H' 레벨로 설정되어 있기 때문에, 부품(101~105)로 구성된 출력회로는 턴온되어서 신호 A1이 핀(112)로 출력된다.

더 나아가서, 제어신호 'e'와 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106, 107)가 활성화되지 않거나 핀(112)이 내부버스 선(D1, D2)에 연결되지 않는다.

일반적으로, 어드레스 데이터(A0~A7)는 버스(41)를 통하여 메모리(20)로 출력된다.

둘째 경우에서, 신호 BYTE가 'H' 레벨로 설정되거나 핀(13)이 8비트 데이터 버스에 접속되고, 칩 선택신호 CS가 'H' 레벨로 설정되거나 멀티플렉스 핀을 가진 ASSP(30)가 액세스된다.

제6b도는 이 경우에 대한 타이밍 챠트를 나타낸 것이다.

이 경우에, 어드레스 비트(A0~A7)는 데이터 비트(D0~D7)에도 대응하는데, 제6b도의 왼쪽에 나타낸 것과 같으며, 또는 A0/D0~A7/D7이 8개의 멀티플렉스 핀(13)의 각각에 나타나는 신호를 표시한다.

타이밍 신호 E가 멀티플렉스 기능을 위하여 'H' 레벨로 설정되는가 또는 'L' 레벨로 설정되는가에 따라서 입출력 회로(4)는, 제6b도에 나타낸 것과 같이, 다르게 동작한다.

타이밍 신호가 'H'레벨로 설정된 경우, 어드레스 신호 A1은 핀(112)로 보내진다.

즉, 제어신호 발생기(108)는, 상술한 경우와 같은 방법으로, 'H' 레벨의 제어신호 'a'와 'b' 및 'L' 레벨의 'c'~'f'를 공급한다.

신호 'b'가 'H' 레벨로 설정되고 'c'와 'd'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(109)는 열려있고, 반면에 다른 전송 게이트(110, 111)는 닫혀 있다.

제어신호 'a'가 'H' 레벨로 설정되어 있기 때문에, 부품(101~105)로 구성된 출력회로는 턴온되어서 신호 A1이 핀(112)으로 출력된다.

더 나아가서, 제어신호 'e'와 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106, 107)가 활성화되지 않거나 핀(112)이 내부버스 선(D1, D2)에 연결되지 않는다.

일반적으로, 어드레스 데이터(A0~A7)는 버스(41)를 통하여 ASSP(30)로 출력된다.

한편, 타이밍 신호 E가 'L' 레벨로 설정된 때는 내부 읽기/쓰기 신호 $R/\overline{W}$ 가 'H' 레벨 또는 'L' 레벨로 설정되는 두 가지의 경우가 있다.

내부 읽기신호 R이 'H' 레벨로 설정되거나 CPU(1)가 ASSP(30)로부터 데이터를 읽는 경우에, 핀(112)에 나타난 데이터 신호는 내부 데이터 버스의 제1선(D1)으로 보내진다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'c'와 'f' 및 'L' 레벨의 제어신호 'a' 'b' 'd' 'e'를 공급한다.

신호 'c'가 'H' 레벨로 설정되고 'b'와 'd'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(110)는 열려 있고, 반면에 다른 전송 게이트(109, 111)는 닫혀 있다.

제어신호 'a'가 'L' 레벨로 설정되어 있기 때문에, 부품(101~105)로 구성된 출력 회로는 턴오프되어 있다.

한편, 신호 'e'가 'H' 레벨로 설정되고 신호 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106)이 턴온되는 반면 다른 버퍼(107)는 활성화되지 않는다.

그러므로, 핀(112)는 내부버스선(D1)에 연결되지 않게 된다.

일반적으로, 데이터 비트(D0~D7)는 ASSP(30)로 부터 받게 된다.

더 나아가서, 내부 쓰기 신호 $\overline{W}$ 가 'L' 레벨로 설정되거나 CPU(1)가 ASSP(30)에 데이터 쓰기를 할 경우, 제1 버스 선(D1)에 나타난 데이터 신호는 핀(112)로 보내진다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'a'와 'c' 및 'L' 레벨의 'b', 'd'~'f'를 공급한다.

신호 'c'가 'H' 레벨로 설정되고 'b'와 'd'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(110)는 열려 있고, 반면에 다른 전송 게이트(109, 111)는 닫혀 있다.

제어신호 'a'가 'H' 레벨로 설정되어 있기 때문에, 부품(101~105)로 구성된 출력 회로는 턴온되어서 버스 선(D1)으로부터 핀(112)으로 데이터를 공급한다.

한편, 제어신호 'e'와 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106, 107)가 활성화되지 않게 된다.

일반적으로, 데이터 비트(D0~D7)는 ASSP(30)로 보내진다.

다음에는, 다른 경우로서 신호 BYTE가 'L' 레벨로 설정되거나 핀(13)이 16비트 버스에 연결된 경우를 설명한다.

제3경우에는, 칩 선택신호 CS가 'L' 레벨로 설정되거나 메모리(20)가 액세스된다. 제7a도는 이 경우에 대한 타이밍 챠트를 나타낸다.

입출력 회로(4)는 1비트 어드레스 신호 A1을 내부 어드레스 버스(5)로부터 핀(112)으로 출력시킨다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'a'와 'b' 및 'L' 레벨의 제어신호 'c'~'f'를 공급한다.

신호 'b'가 'H' 레벨로 설정되고 'c'와 'd'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(109)는 열려 있고, 반면에 다른 전송 게이트(110, 111)는 닫혀 있다.

제어신호 'a'가 'H' 레벨로 설정되어 있기 때문에, 부품(101~105)으로 구성된 출력 회로는 턴온되어서 신호 A10이 핀(112)으로 출력된다.

더 나아가서, 제어신호 'e'와 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106, 107)가 활성화되지 않거나 핀(112)는 내부버스 선(D1, D2)에 연결되지 않게 된다.

일반적으로, 어드레스 비트(A0~A16)는 메모리(20)로 보내진다.

제4경우에는, 신호 BYTE가 'L' 레벨로 설정되거나 핀(13)이 16비트 버스에 연결되고 칩 선택신호 CS가 'H' 레벨로 설정되거나 멀티플렉스 핀을 가진 ASSP(30)가 액세스된다.

제7b도는 이 경우에 대한 타이밍 챠트를 나타낸다.

이 경우에, 어드레스 비트(A1~A8)는 데이터 비트(D0~D7)에 대응하는데, 제7b도의 왼쪽에 나타낸 것과 같다.

입출력 회로(4)는 타이밍 신호 E가 'H' 레벨로 설정되는가 또는 'L' 레벨로 설정되는가에 따라서 멀티플렉스를 수행하기 위하여 다르게 동작한다.

타이밍 신호 E가 'H' 레벨로 설정된 경우, 어드레스 신호 A10이 핀(112)으로 보내진다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'a'와 'b' 및 'L' 레벨의 제어신호 'c'~'f'를 공급한다.

신호 'b'가 'H' 레벨로 설정되고 'c'와 'd'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(109)는 열려 있고, 반면에 다른 전송 게이트(110, 111)는 닫혀 있다.

제어신호 'a'가 'H' 레벨로 설정되어 있기 때문에, 부품(101~105)으로 구성된 출력 회로는 턴온되어서 신호 A1인 핀(112)으로 출력된다.

더 나아가서, 제어신호 'e'와 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106, 107)가 활성화되지 않거나 핀(112)는 내부버스 선(D1, D2)에 연결되지 않게 된다.

일반적으로, 어드레스 비트(A0~A16)는 ASSP(3)로 보내진다.

이와는 대조적으로, 타이밍 신호 E가 'L' 레벨로 설정된 경우, 내부 읽기/쓰기 신호 $R/\overline{W}$ 가 'H' 또는 'L' 레벨로 설정되는 두가지의 경우가 있다.

내부 읽기 신호 R이 'H' 레벨이거나 CPU(55)가 ASSP(12)로 부터 데이터를 읽는 경우, 핀(112)에 나타나는 데이터 신호는 내부 데이터 버스의 0번째 선(D0)으로 보내진다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'd'와 'f' 및 'L' 레벨의 제어신호 'a'~'c' 와 'e'를 공급한다.

신호 'd'가 'H' 레벨로 설정되고 'b'와 'c'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(111)는 열려 있고, 반면에 다른 전송 게이트(109, 110)는 닫혀 있다.

상기 신호 'a'가 'L' 레벨로 설정되어 있기 때문에, 부품(101~105)으로 구성된 출력 회로는 턴오프되어 있다.

한편, 제어신호 'f'는 'H' 레벨로 설정되어 있고 'e'는 'L' 레벨로 설정되어 있기 때문에, 버퍼(107)가 턴온되는 반면 다른 버퍼(106)는 활성화되지 않는다.

그러므로, 핀(112)은 내부버스 선 (D0)에 연결되지 않게 된다.

일반적으로, 데이터 비트(D0~D7)는 읽혀지지만, 비트 대응은 제6b도와 제7b도를 비교함으로서 이해 될 수 있는 것과는 다르다.

내부 쓰기 신호 $\overline{W}$ 가 'L' 레벨이거나 CPU(55)가 ASSP(12)에 데이터를 써 넣는 경우, 0번째 버스 선(D0)에 나타나는 데이터 신호는 핀(112)으로 보내진다.

즉, 제어신호 발생기(108)는 'H' 레벨의 제어신호 'a'와 'd' 및 'L' 레벨의 제어신호 'b' 'c' 'd' 와 'f'를 공급한다.

신호 'd'가 'H' 레벨로 설정되고 'b'와 'c'가 'L' 레벨로 설정되어 있기 때문에, 전송 게이트(111)는 열려 있고, 반면에 다른 전송 게이트(109, 110)는 닫혀 있다.

신호 'a'가 'L' 레벨로 설정되어 있기 때문에, 부품(101~105)으로 구성된 출력회로는 턴온되어서 버스 선(D0)으로 부터 핀(112)으로 데이터를 공급한다.

한편, 신호 'e'와 'f'가 'L' 레벨로 설정되어 있기 때문에, 버퍼(106, 107)가 활성화되지 않게 된다.

이와 같이, 일반적으로, 데이터 비트(D0~D7)가 기록된다.

제4의 경우에서 데이터 신호가 버스로 출력되는 경우, 데이터 신호는 16비트 버스에 대해서, 제7b도에 나타낸 것과 같이, 다르게 동작하는데, CPU(1)는 이 데이터 신호가 ASSP(30)에 의해서 정상적으로 수신될 수 있도록 변환해야 한다.

테이블 1은 데이터 신호 '0'~'5'를 ASSP(30)로부터 읽거나 ASSP(30)에 써넣기 위하여 마이크로컴퓨터(10)에 의한 변환을 나타낸 것이다.

예를 들면, 10이 CPU(1)에 의해서 데이터 1로 출력된다.

즉, 데이터 신호가 1비트만큼 쉬프트되고, 반면에 0번째 비트가 테이블 2에서 A0 또는 0으로 사용된다.

이런 데이터 변환은 CPU(1)에 의해서 쉽게 다루어질 수 있다.

테이블 2. 어드레스와 데이터 비트의 조합을 위한 비트 배열에 대한 데이터

CPU ASSP

0	000000000	00000000
1	000000010	00000001
2	000000100	00000010
3	000000110	00000011
4	000001000	00000100
5	000001010	00000101

제8도는 16비트 멀티플렉스용 핀(13)과 16비트 데이터 핀(14)을 가진 마이크로컴퓨터(10)가 각각 8비트 어드레스 핀(21)과 8비트 데이터 핀(22)를 가진 두개의 메모리 장치(23,24)를 포함하는 메모리 시스템(20)에 접속된 시스템을 나타낸 것이다.

메모리 장치(23,24)가 8비트 데이터를 저장할지라도, 그것들은 하위 8비트와 상위 8비트를 각각 저장함으로써 16비트 데이터를 저장하기 위하여 결합된다.

이 경우에 핀(13)은 멀티플렉스 핀(A0~A15)으로서 동작한다.

마이크로컴퓨터(10)는 신호 D15~D8을 위한 핀에서 상위 8비트 데이터를 출력시키기 위한 신호 버스 하이 인에이블(BHE : bus high enable)를 공급할 수 있다(16비트 데이터를 위한 마이크로컴퓨터는 보통 BHE 신호와 비슷한 신호를 공급한다.).

그런 다음, 신호 BYTE와 어드레스 비트 A0가 칩 선택을 위해 사용된다.

즉, 어드레스 핀 A0가 메모리 장치(23)의 칩 선택 입력 CS1에 연결되고, 신호 BHE는 다른 메모리 장치(24)의 칩 선택 입력 CS2에 공급된다.

어드레스 비트(A1~A8)는 두 개의 메모리 장치(23,24)의 어드레스 핀에 공통으로 연결되고, 반면에 하위 8비트 데이터 버스(421)와 상기 데이터 버스의 상위 8비트 데이터 버스(422)는 D0~D7 및 D8~D15 데이터 핀과 메모리 장치(23,24)사이에 접속된다.

어드레스 신호 A0가 H 레벨로 설정되어서 핀 A0~A7에서 마이크로컴퓨터(10)의 핀(A1~A8)으로 부터 8비트 어드레스를 수신하고 데이터 버스(421)를 통해서는 그 데이터 핀으로 하위 8비트 데이터를 수신하는 경우, 하위 8비트를 위한 메모리 장치(23)가 활성화된다.

더 나아가서, 신호 BHE가 H 레벨로 설정되어서 핀 A0~A7에서 마이크로컴퓨터(10)의 핀(A1~A8)으로부터 8비트 어드레스와 데이터 버스(422)를 통해서는 그 데이터 핀으로 상위 8비트 데이터를 수신하는 경우, 상위 8비트를 위한 다른 메모리 장치(24)가 활성화된다.

이와 같이, 16비트 데이터가 비트 A8~A1로 표시된 어드레스에서 액세스될 수 있다.

본 실시예에서, 메모리(20)와 ASSP(30)는 8비트 데이터를 처리하고, 반면에 마이크로컴퓨터(10)는 버스(41,42)의 비트 수가 8인가 또는 16인가에 따라서 핀(31)에서 시분할을 위한 어드레스 신호(A)와 데이터 신호(D)의 출력 타이밍을 변경시킬 수 있다.

입출력 포트(4)에서 어드레스 비트와 데이터 비트의 조합은 여러 가지로 변경될 수 있다.

제9도는 다른 조합에 대한 타이밍 챠트를 나타낸 것으로서, 어드레스 비트 A1~A7이 데이터 비트 D1~D7과 조합을 이룬 것이다.

한편, 어드레스 비트 A0는, 제6b도에 나타낸 경우와 같이, 데이터 비트와 조합을 이루지 않았고, 어드레스 비트 A8은 데이터 비트 D0와 조합을 이루고 있다.

테이블 3은 CPU(1)에 의해서 공급된 '0'~'5'를 위한 데이터를 나타낸 것이다.

테이블 3. 어드레스 비트와 데이터 비트의 다른 조합을 위한 비트 배열의 데이터

CPU ASSP

0	000000000	00000000

1 100000000 00000001

2 000000010 00000010

3 100000010 00000011

4 000000100 00000100

5 100000100 00000101

16비트 버스를 위한 마이크로컴퓨터(10)는 16비트 데이터와 8비트 데이터를 위한 주변장치에 접속될 수 있다.

더 나아가서, 32비트 버스에 대한 마이크로컴퓨터가 사용된다면, 32, 16, 또는 8비트 데이터를 위한 주변장치가 여기에 접속되는 것도 가능하다.

본 발명이 수반되는 도면을 참조로 하여 바람직한 실시예에 관련하여 충분히 설명되어 있을지라도, 여러가지의 변경이나 수정이 이 분야에 능숙한 기술자에게는 금방 알 수 있는 것이다.

이러한 변경이나 수정도 그들이 크게 벗어나지 않는 한 첨부된 청구범위에 의해 한정되는 것 만큼 본 발명의 사상에 포함되는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1

중앙처리장치와, 그 중앙처리장치에 연결되어 있고 어드레스 신호, 데이터 신호 및 제어신호를 위한 내부버스와, 그 내부버스를 통하여 그 중앙처리장치에 연결되어 있는 입출력 포트를 포함하고, 그 입출력 포트는, 제1 외부버스에 접속되어 있고 어드레스 신호와 데이터 신호를 위한 제1입출력 회로와, 제2 외부버스에 접속되어 있고 데이터 신호를 위한 제2 입출력 회로를 구비하고 있으며, 그 제1 입출력 회로는, 제어신호를 공급하는 제어기와, 그 제어기로부터 특정한 신호가 수신되면 어드레스 신호 또는 데이터 신호를 출력시키는 회로부를 구비하고 있는 마이크로컴퓨터에 있어서, 상기 회로부에 의해 출력되는 어드레스 신호와 데이터 신호의 조합이 상기 제어기에 의해서 변경될 수 있는 것을 특징으로 하는 마이크로컴퓨터.

청구항 2

제1항에 있어서, 멀티플렉스인가 또는 논멀티플렉스인가를 나타내는 신호와, 멀티플렉스에 사용되는 타이밍 신호와, 읽기/쓰기 신호와, 상기 제1 외부버스의 비트폭을 나타내는 신호에 따라, 상기 제어기가 제어신호를 발생하는 것을 특징으로 하는 마이크로컴퓨터.

청구항 3

제2항에 있어서, 상기 중앙연산처리 장치가, 상기 제1 외부버스의 비트폭을 나타내는 신호를 설정하는 핀을 포함하는 것을 특징으로 하는 마이크로컴퓨터.

청구항 4

제1항에 있어서, 상기 제1 외부버스의 비트폭이 상기 회로부에 의해서 처리되는 데이터의 비트 수와 같은 경우에, 상기 회로부가 어드레스 신호 또는 데이터 신호를 A_i/D_{i-1} (단, $i = 1 \sim 8$, A_i는 i번째 비트 어드레스 신호를 나타내고, D_{i-1}은 i-1번째 비트의 데이터 신호를 나타냄)로 출력하는 것을 특징으로 하는 마이크로컴퓨터.

청구항 5

제4항에 있어서, 상기 회로부에 접속될 상기 제1 외부버스가 16비트 버스일 경우, 상기 회로부는 16비트 데이터를 처리할 수 있는 것을 특징으로 하는 마이크로컴퓨터.

청구항 6

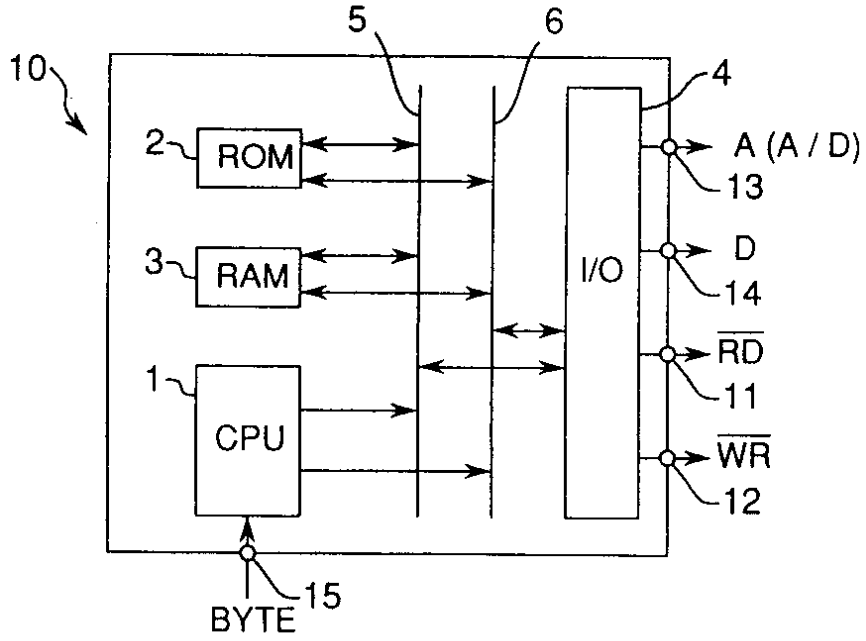
제4항에 있어서, 0번째의 어드레스 신호 A_0와 바이트 하이 인에이블 신호가 칩 선택신호로 사용되는 것을 특징으로 하는 마이크로컴퓨터.

청구항 7

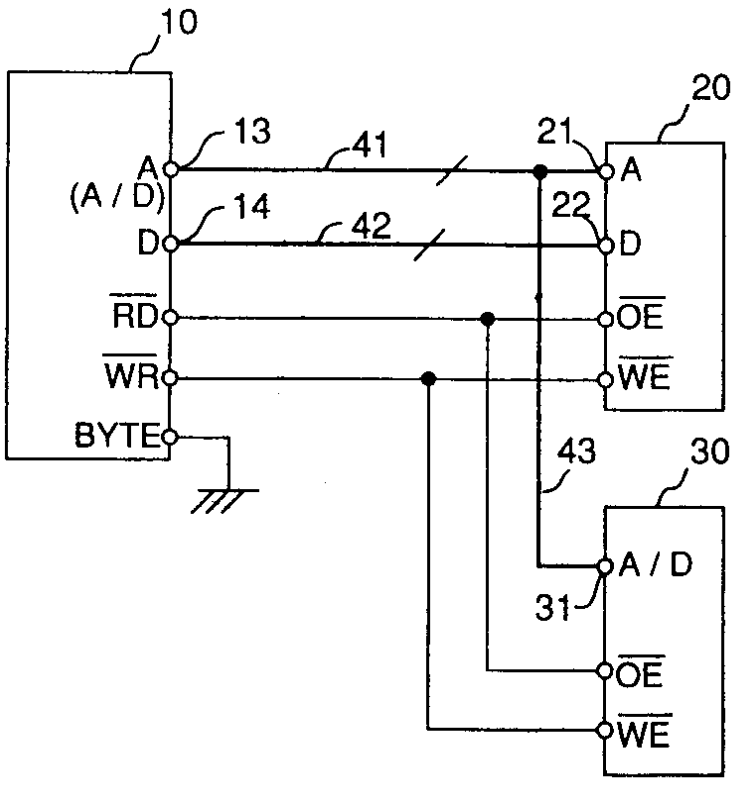
제1항에 있어서, 상기 회로부에 접속될 상기 제1 외부버스가 8비트 버스일 경우, 상기 회로부는 16비트 데이터를 처리할 수 있는 것을 특징으로 하는 마이크로컴퓨터.

도면

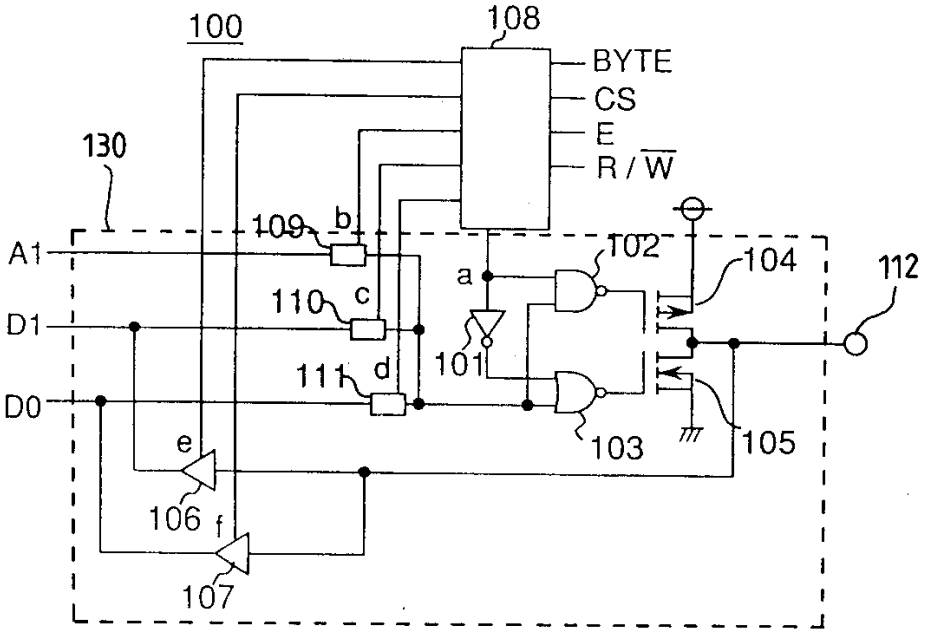
도면1


10
5
6
4
2
ROM
A (A / D)
13
3
RAM
I/O
D
14
RD
1
CPU
11
WR
12
BYTE
15

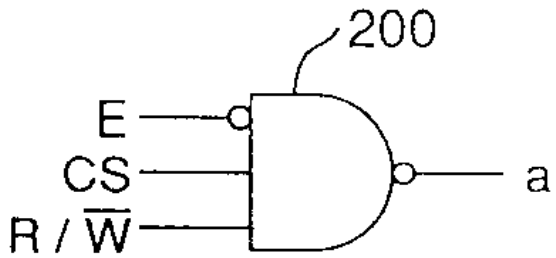
도면2


10
20
13
41
21
A
(A / D)
A
14
22
42
D
D
RD
OE
WR
WE
BYTE
43
30
A / D
31
OE
WE

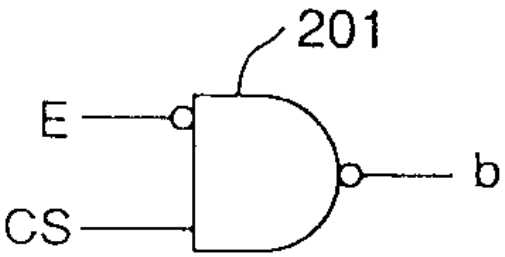
도면3



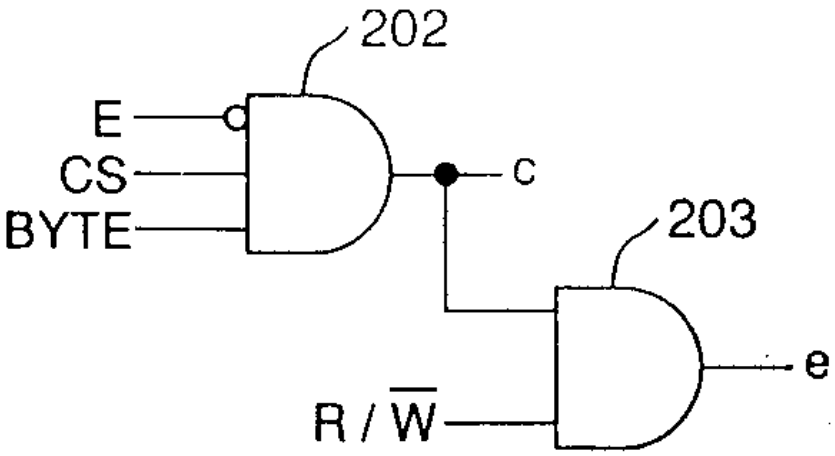
도면4a



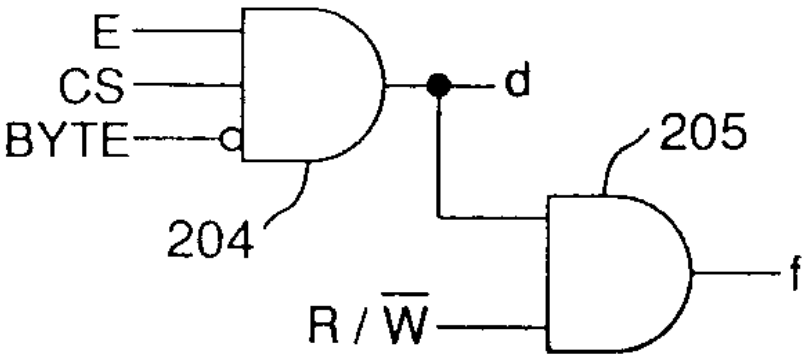
도면4b



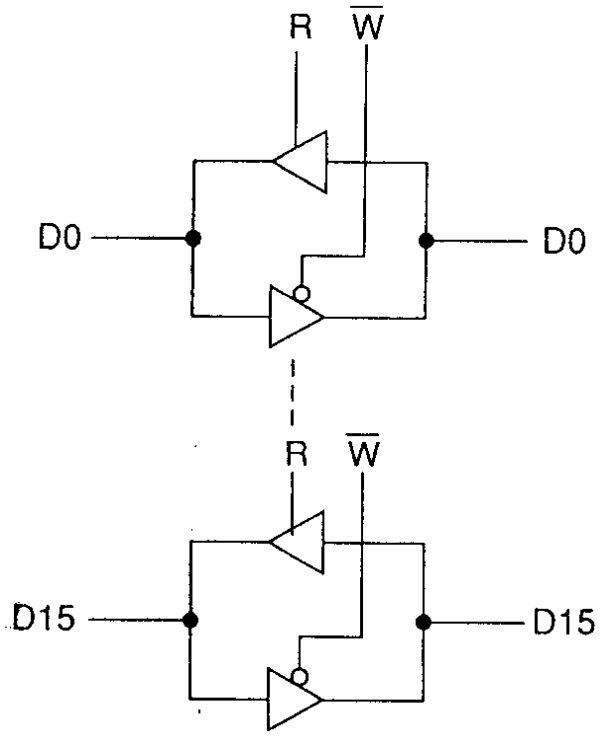
도면4c



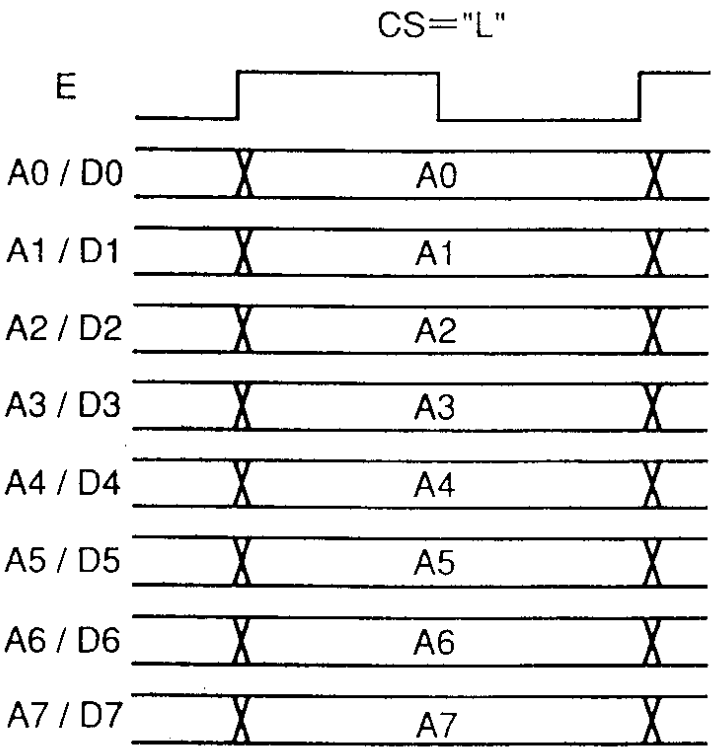
도면4d



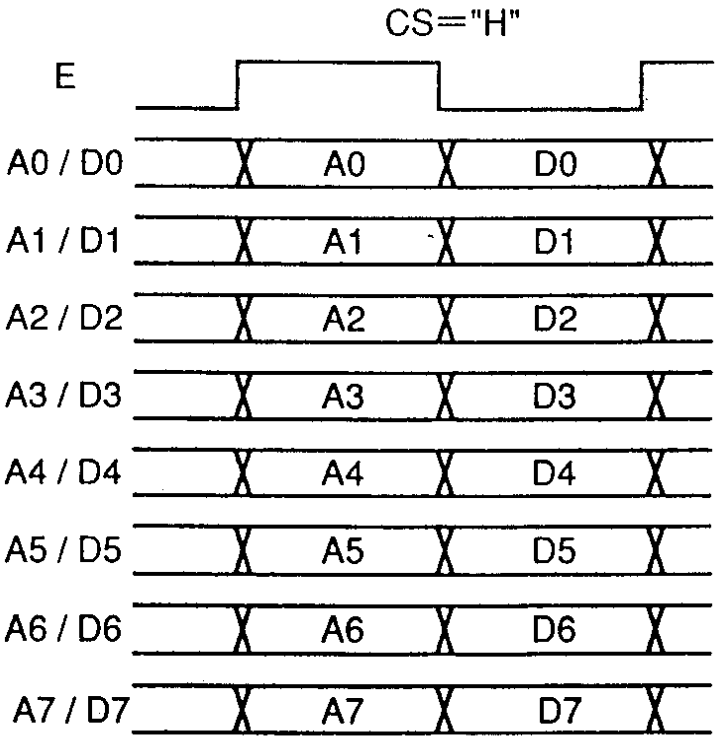
도면5


R
W
D0
D0
R
W
D15
D15

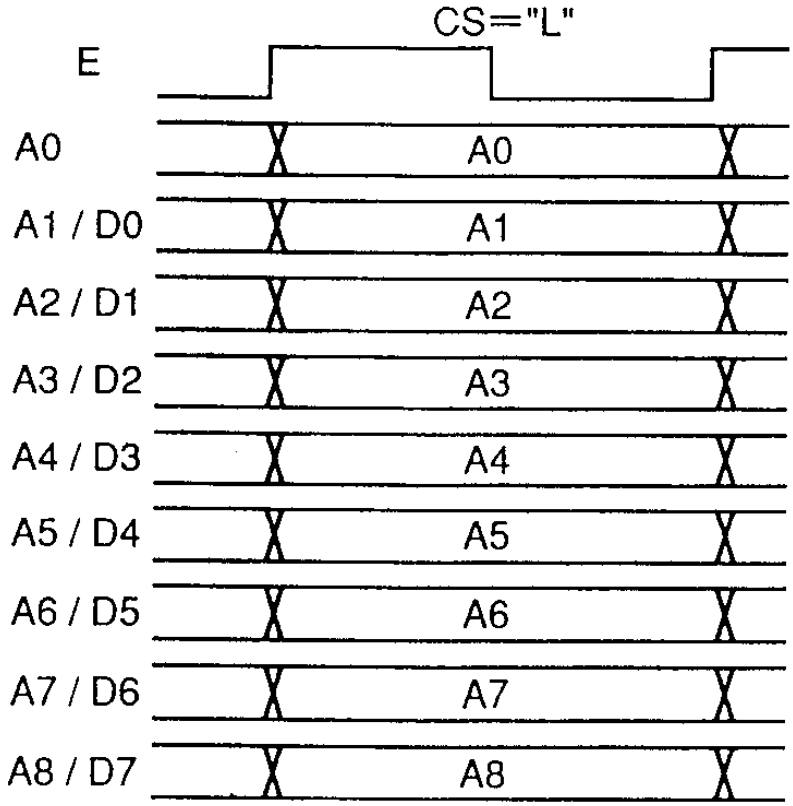
도면6a


CS="L"
E
A0 / D0
A0
A1 / D1
A1
A2 / D2
A2
A3 / D3
A3
A4 / D4
A4
A5 / D5
A5
A6 / D6
A6
A7 / D7
A7

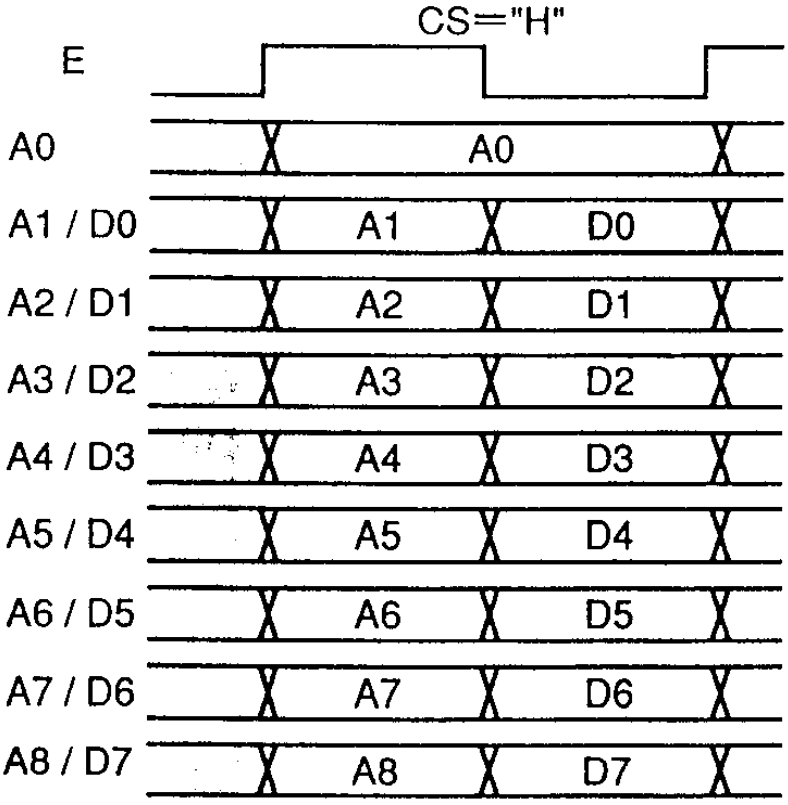
도면6b


CS="H"
E
A0 / D0
A0
D0
A1 / D1
A1
D1
A2 / D2
A2
D2
A3 / D3
A3
D3
A4 / D4
A4
D4
A5 / D5
A5
D5
A6 / D6
A6
D6
A7 / D7
A7
D7

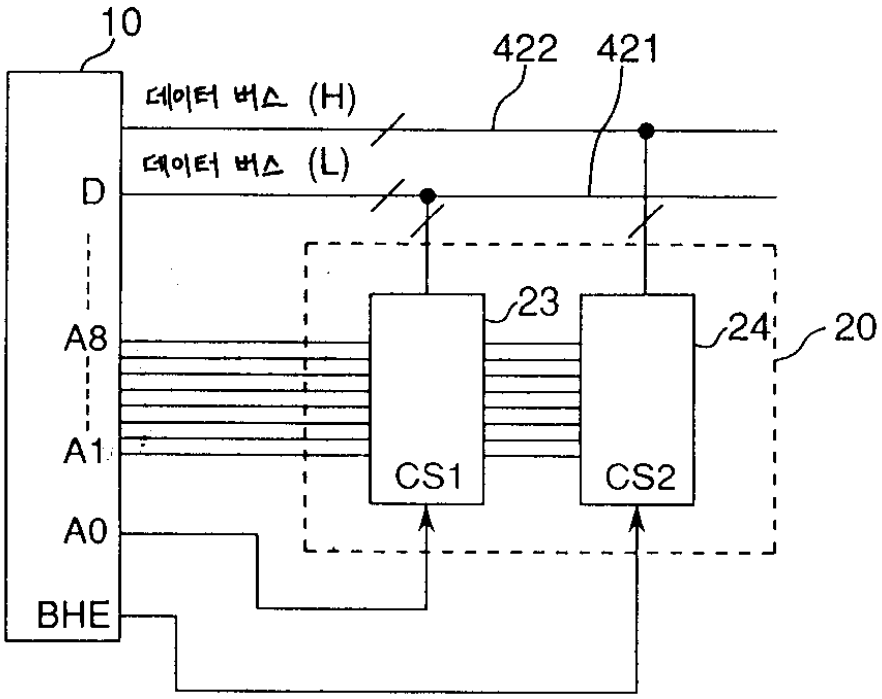
도면7a


CS="L"
E
A0
A0
A1 / D0
A1
A2 / D1
A2
A3 / D2
A3
A4 / D3
A4
A5 / D4
A5
A6 / D5
A6
A7 / D6
A7
A8 / D7
A8

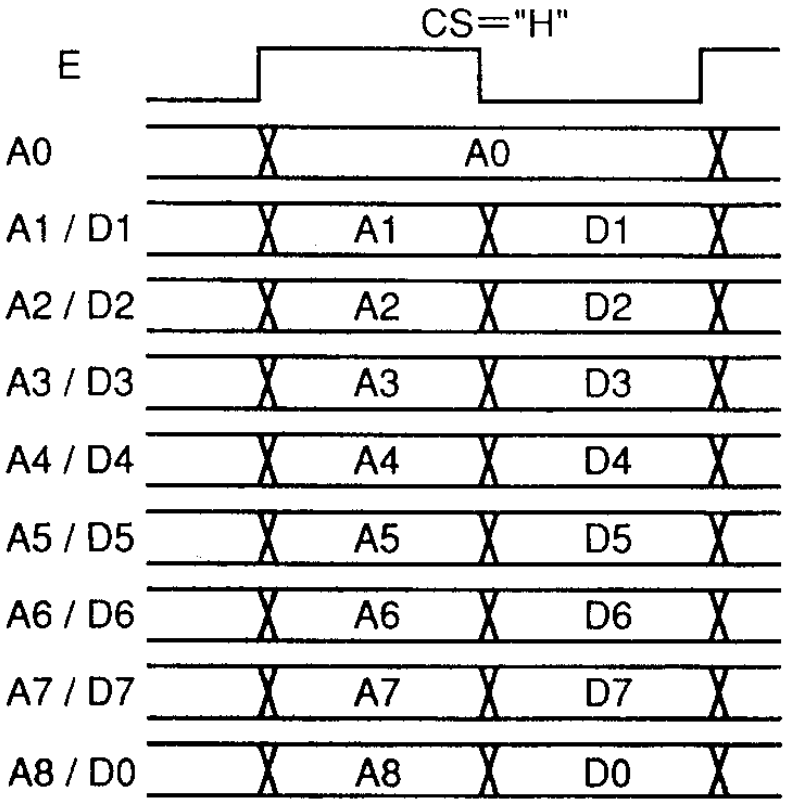
도면7b


CS="H"
E
A0
A0
A1 / D0
A1
D0
A2 / D1
A2
D1
A3 / D2
A3
D2
A4 / D3
A4
D3
A5 / D4
A5
D4
A6 / D5
A6
D5
A7 / D6
A7
D6
A8 / D7
A8
D7

도면8


10
422
421
데이터 버스 (H)
데이터 버스 (L)
D
A8
A1
A0
BHE
23
24
20
CS1
CS2

도면9


CS="H"
E
A0
A0
A1 / D1
A1
D1
A2 / D2
A2
D2
A3 / D3
A3
D3
A4 / D4
A4
D4
A5 / D5
A5
D5
A6 / D6
A6
D6
A7 / D7
A7
D7
A8 / D0
A8
D0