(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月30日(30.11.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/203671 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 29/78* (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号： PCT/JP2016/065645

(22) 国際出願日： 2016年5月26日(26.05.2016)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 新電元工業株式会社 (**SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.**) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目２番１号 Tokyo (JP).

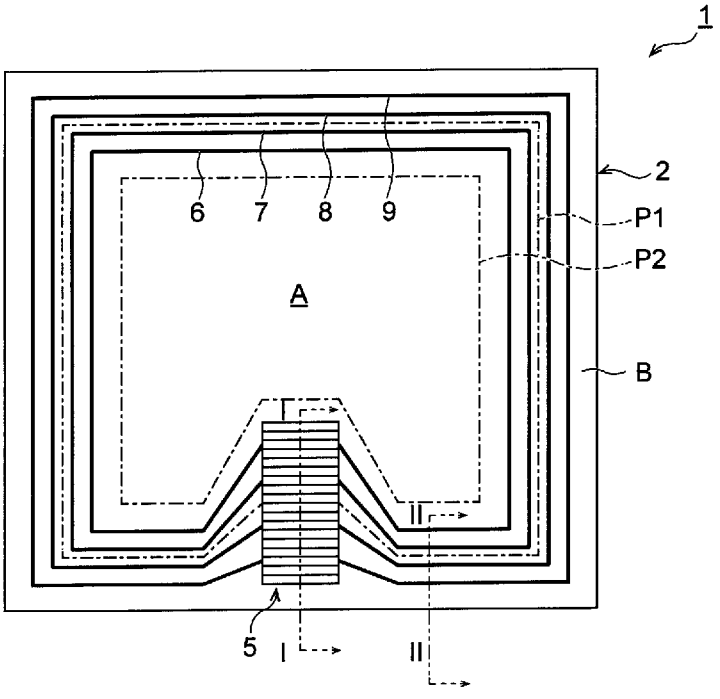
(72) 発明者: 小谷 涼平(**KOTANI Ryohei**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 松原 寿樹(**MATSUBARA Toshiki**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 石塚 信隆(**ISHIZUKA Nobutaka**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 三川 雅人(**MIKAWA Masato**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 押野 浩(**OSHINO Hiroshi**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP).

(74) 代理人: 永井 浩之, 外 (**NAGAI Hiroshi** et al.); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

WO 2017/203671 A1

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** [Problem] To provide a semiconductor device in which decrease in withstand voltage can be suppressed and reliability can be improved. [Solution] In a semiconductor device 1 according to an embodiment of the present invention: ends of conductor parts 6, 7 are electrically connected to an overvoltage protection diode 5 such that a diffusion layer 3 near an insulating film 4 is depleted while a reverse bias is applied thereto; and/or ends of conductor parts 8, 9 are electrically connected to the overvoltage protection diode 5 such that a surrounding semiconductor region 10 near the

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

insulating film 4 is depleted while a reverse bias is applied thereto.

(57) 要約:【課題】耐圧の低下を抑制し、信頼性を向上させることが可能な半導体装置を提供する。【解決手段】実施形態の半導体装置１では、逆バイアス印加状態において絶縁膜４近傍の拡散層３が空乏化するように導体部６，７の端部が過電圧保護ダイオード５に電気的に接続され、および／または、逆バイアス印加状態において絶縁膜４近傍の周辺半導体領域１０が空乏化するように導体部８，９の端部が過電圧保護ダイオード５に電気的に接続されている。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、いわゆるＭＯＳ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）構造を有する半導体装置が知られている。このＭＯＳ構造を有する半導体装置（以下「ＭＯＳ型半導体装置」という。）には、例えば、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）や、ＭＯＳＦＥＴ（ＭＯＳ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）がある。

[0003] 従来、ＭＯＳ型半導体装置では過電圧保護対策として、直列接続されたツェナーダイオードが設けられる。具体的には、ＭＯＳ型半導体装置の耐圧よりも低い電圧でブレークダウンするように設計されたツェナーダイオードをコレクターゲート間に設けている（例えば特許文献１参照）。

[0004] ＭＯＳ型半導体装置では、耐圧を確保するために半導体基板の周縁部に耐圧領域を設け、この耐圧領域に沿って導体部（フィールドプレートとも呼ばれる。）を形成する。この導体部は、半導体基板上に形成された絶縁膜の上に設けられる。これにより、耐圧領域の表面電位を安定化させて半導体装置の信頼性を向上させている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００９－１１１３０４号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、上記の半導体装置において、導体部と半導体基板との間に介在するシリコン酸化膜等の絶縁膜中には、Ｎａイオン等の可動イオンが含まれ

る。このため、例えばＩＧＢＴのコレクタ電極を高電位に接続し且つエミッタ電極を接地した場合、絶縁膜中の可動イオンが移動することによって、半導体装置の耐圧が局所的に低下するおそれがあった。

[0007] そこで、本発明は、耐圧の低下を抑制し、信頼性を向上させることが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る半導体装置は、

半導体基板の一方の主面と他方の主面との間に主電流が流れる半導体装置であって、

前記半導体基板の前記一方の主面には、活性領域と、前記活性領域を取り囲み、前記半導体基板の周縁部を含む耐圧領域とが設けられ、

前記半導体装置は、

前記耐圧領域の前記一方の主面に選択的に形成され、前記活性領域を取り囲む第２導電型の拡散層と、

前記拡散層上、および当該拡散層の外側に位置する第１導電型の周辺半導体領域上に形成された絶縁膜と、

前記活性領域側から前記半導体基板の周縁部へ向かって前記絶縁膜上に交互に隣接配置された第１導電型の半導体層と第２導電型の半導体層とを有する過電圧保護ダイオードと、

前記絶縁膜上に前記耐圧領域に沿って形成された第１の導体部および第２の導体部と、を備え、

前記第１の導体部は、前記絶縁膜を介して前記拡散層の上方に配置され、前記第２の導体部は、前記絶縁膜を介して前記周辺半導体領域の上方に配置されており、

逆バイアス印加状態において前記絶縁膜近傍の前記拡散層が空乏化するように前記第１の導体部の端部が前記過電圧保護ダイオードに電気的に接続され、および／または、前記逆バイアス印加状態において前記絶縁膜近傍の前記周辺半導体領域が空乏化するように前記第２の導体部の端部が前記過電圧

保護ダイオードに電気的に接続されていることを特徴とする。

[0009] また、前記半導体装置において、

前記第１導電型がＮ型であり、前記第２導電型がＰ型であり、

前記第１の導体部の端部は、前記逆バイアス印加状態において前記第１の導体部の電位が自身の直下における前記拡散層の電位よりも高くなるように前記過電圧保護ダイオードの側面の第１の部位に電気的に接続され、

前記第２の導体部の端部は、前記逆バイアス印加状態において前記第２の導体部の電位が自身の直下における前記周辺半導体領域の電位よりも低くなるように前記過電圧保護ダイオードの前記側面の第２の部位に電気的に接続されているようにしてもよい。

[0010] また、前記半導体装置において、

前記第１の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記半導体基板の側端側に寄るように設けられているようにしてもよい。

[0011] また、前記半導体装置において、

前記第２の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記活性領域側に寄るように設けられているようにしてもよい。

[0012] また、前記半導体装置において、

前記第２の導体構成部は、前記過電圧保護ダイオードに近づくにつれて太くなるようにしてもよい。

[0013] また、前記半導体装置において、

前記第１導電型がＰ型であり、前記第２導電型がＮ型であり、

前記第１の導体部の端部は、前記逆バイアス印加状態において前記第１の導体部の電位が自身の直下における前記拡散層の電位よりも低くなるように前記過電圧保護ダイオードの側面の第１の部位に電気的に接続され、

前記第２の導体部の端部は、前記逆バイアス印加状態において前記第２の導体部の電位が自身の直下における前記周辺半導体領域の電位よりも高くなるように前記過電圧保護ダイオードの前記側面の第２の部位に電気的に接続されているようにしてもよい。

[0014] また、前記半導体装置において、

前記第１の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記活性領域側に寄るように設けられているようにしてもよい。

[0015] また、前記半導体装置において、

前記第２の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記半導体基板の側端側に寄るように設けられているようにしてもよい。

[0016] また、前記半導体装置において、

前記第２の導体構成部は、前記過電圧保護ダイオードに近づくにつれて太くなるようにしてもよい。

[0017] また、前記半導体装置において、

前記半導体基板はシリコン基板であり、前記絶縁膜はシリコン酸化膜であるようにしてもよい。

[0018] また、前記半導体装置において、

前記第１の導体部および／または前記第２の導体部は、隣接する前記第１導電型の半導体層と前記第２導電型の半導体層の接合境界を跨ぐようにして前記過電圧保護ダイオードに接続されていてもよい。

[0019] また、前記半導体装置において、

前記拡散層中に形成された第１導電型の拡散領域と、

前記拡散領域上に形成されたエミッタ電極と、

前記過電圧保護ダイオード上に形成されたゲート電極と、

前記半導体基板の前記他方の主面に形成された第２導電型のコレクタ領域と、

前記コレクタ領域上に形成されたコレクタ電極と、

をさらに備えてもよい。

[0020] また、前記半導体装置において、

前記拡散層中に形成された第１導電型の拡散領域と、

前記拡散領域上に形成されたエミッタ電極と、

前記過電圧保護ダイオード上に形成されたゲート電極と、

前記半導体基板の前記他方の主面に形成された第１導電型のドレイン領域と、

前記ドレイン領域上に形成され、前記ドレイン領域とショットキー障壁を形成するコレクタ電極と、

をさらに備えることを特徴とする請求項１～１０のいずれかに記載の半導体装置。

[0021] また、前記半導体装置において、

前記拡散層中に形成された第１導電型の拡散領域と、

前記拡散領域上に形成されたソース電極と、

前記過電圧保護ダイオード上に形成されたゲート電極と、

前記半導体基板の前記他方の主面に形成された第１導電型のドレイン領域と、

前記ドレイン領域上に形成されたドレイン電極と、

をさらに備えてもよい。

[0022] また、前記半導体装置において、

前記耐圧領域の前記一方の主面に選択的に形成され、前記拡散層を取り囲む１本または複数本の第２導電型のガードリングをさらに備えてもよい。

発明の効果

[0023] 本発明では、逆バイアス印加状態において絶縁膜近傍の拡散層が空乏化するように第１の導体部の端部が過電圧保護ダイオードの側面に電気的に接続され、および／または、逆バイアス印加状態において絶縁膜近傍の周辺半導体領域が空乏化するように第２の導体部の端部が過電圧保護ダイオードの側面に電気的に接続されている。これにより、逆バイアス印加時においては、空乏化した半導体領域の不純物の電荷によって上記絶縁膜中に分極電荷が生

じる。この分極電荷に、絶縁膜中の可動イオンがトラップされるため、可動イオンの移動が抑制されることになる。よって、本発明によれば、逆バイアス印加時における耐圧の低下を抑制し、信頼性を向上させることができる。

図面の簡単な説明

[0024] [図1]第１の実施形態に係る半導体装置１（ＩＧＢＴ）の平面図である。

[図2]図１のＩ－Ｉ線に沿う断面図である。

[図3]図１のＩＩ－ＩＩ線に沿う断面図である。

[図4]導体部６，７，８，９と過電圧保護ダイオード５との間の接続領域を拡大した平面模式図である。

[図5]逆バイアス印加状態における各領域の電位の一例を示す図である。

[図6A]実施形態に係る導体部３１～３５と過電圧保護ダイオード５の一部を示す平面図である。

[図6B]図６Ａの領域Ｒを拡大した平面図である。

[図7]２本のガードリング２５が設けられた半導体装置１の断面図である。

[図8]拡散層３の導電型がＮ型、周辺半導体領域１０の導電型がＰ型になった場合における、逆バイアス印加状態における各領域の電位の一例を示す図である。

[図9]第２の実施形態に係る半導体装置１Ａ（縦型ＭＯＳＦＥＴ）の断面図である。

[図10]第１の実施形態の変形例に係る半導体装置１Ｂ（ＩＧＢＴ）の断面図である。

発明を実施するための形態

[0025] 以下、図面を参照しつつ本発明の実施形態に係る半導体装置について説明する。

[0026] （第１の実施形態）

本発明の第１の実施形態について説明する。第１の実施形態に係る半導体装置１は、ＩＧＢＴである。

[0027] 半導体装置１では、半導体基板２の上面２ａ（一方の主面）と下面２ｂ（

他方の主面）との間に主電流が流れる。なお、半導体基板２は、本実施形態ではシリコン基板である。ただし、本発明はこれに限るものではなく、その他の半導体基板（例えばＳｉＣ基板、ＧａＮ基板等）であってもよい。また、半導体基板２の導電型は、本実施形態ではＮ型であるが、これに限定されない。

[0028] 図１に示すように、半導体基板２の上面２ａには、主電流が流れる活性領域Ａと、この活性領域Ａを取り囲む耐圧領域Ｂとが設けられている。耐圧領域Ｂは、半導体基板２の周縁部を含む。ここで、「周縁部」とは、半導体基板２の側面を含む、半導体基板２の周縁の部分のことである。なお、図１では、絶縁膜１５、表面保護膜１６、エミッタ電極２１、ゲート電極２２、ストッパ電極２４は図示していない。

[0029] 図１～図３に示すように、半導体装置１は、Ｐ型の拡散層３と、絶縁膜４と、過電圧保護ダイオード５と、導体部６，７，８，９と、Ｐ型のコレクタ領域１２と、Ｎ型の拡散領域１３と、Ｎ型のストッパ領域１４と、エミッタ電極２１と、ゲート電極２２と、コレクタ電極２３と、ストッパ電極２４とを備えている。なお、半導体基板２の上面２ａには、ゲートパット（図示せず）が設けられる。

[0030] 拡散層３は、耐圧領域Ｂの上面２ａに選択的に形成されており、活性領域Ａを取り囲んでいる。この拡散層３は、ｐ型ベース領域とも呼ばれる。なお、図１の境界Ｐ１とＰ２で囲まれた領域がｐ型ベース領域である。境界Ｐ２が活性領域Ａと耐圧領域Ｂの境界となっている。なお、拡散層３の深さは、例えば２μｍ～１０μｍである。拡散層３の不純物濃度は、例えば$1\times10^{14}cm^{-3}$～$1\times10^{16}cm^{-3}$である。

[0031] 絶縁膜４は、図２に示すように、拡散層３上、および周辺半導体領域１０上に形成されている。ここで、周辺半導体領域１０は、拡散層３の外側に位置するＮ型の半導体領域である。この周辺半導体領域１０の不純物濃度は、例えば$1\times10^{13}cm^{-3}$～$1\times10^{15}cm^{-3}$である。

[0032] 絶縁膜４は、例えばフィールド酸化膜である。本実施形態では、絶縁膜４

は、シリコン酸化膜（SiO_2膜）である。絶縁膜４の厚さは、例えば２００ｎｍ～２０００ｎｍである。

[0033] 過電圧保護ダイオード５は、活性領域Ａ側から半導体基板２の周縁部へ向かって絶縁膜４上に交互に隣接配置されたＮ型の半導体層５ａとＰ型の半導体層５ｂとを有する。この過電圧保護ダイオード５は、複数のツェナーダイオードが直列接続されたものである。

[0034] 拡散領域１３は、拡散層３中に形成されたＮ型の半導体領域である。図２に示すように、この拡散領域１３上にエミッタ電極２１が形成されている。なお、拡散領域１３の不純物濃度は、例えば$1\times10^{19}cm^{-3}$～$1\times10^{21}cm^{-3}$である。

[0035] Ｎ型のストッパ領域１４は、半導体基板２の側端における上面２ａに形成されている。ストッパ領域１４の不純物濃度は周辺半導体領域１０よりも高い。ストッパ領域１４上に、ストッパ電極２４が形成されている。このストッパ電極２４は、過電圧保護ダイオード５の他端に電気的に接続されている。

[0036] ゲート電極２２は、絶縁膜４を介して拡散層３の上方に設けられている。このゲート電極２２は、本実施形態では、過電圧保護ダイオード５上に形成されている。より詳しくは、図２に示すように、ゲート電極２２は過電圧保護ダイオード５の活性領域Ａ側の一端に電気的に接続されている。

[0037] Ｐ型のコレクタ領域１２は、半導体基板２の下面２ｂに形成されている。このコレクタ領域１２の不純物濃度は、例えば$1\times10^{17}cm^{-3}$～$1\times10^{19}cm^{-3}$である。図２に示すように、コレクタ領域１２上にコレクタ電極２３が形成されている。なお、コレクタ領域１２の上にＮ型のバッファ領域１１が設けられてもよい。このバッファ領域１１の不純物濃度は、例えば$1\times10^{16}cm^{-3}$～$1\times10^{18}cm^{-3}$である。

[0038] また、図１および図２に示すように、半導体装置１は、過電圧保護ダイオード５を被覆する絶縁膜１５と、半導体装置１の上面２ａ側全体を被覆する表面保護膜１６とをさらに備えている。絶縁膜１５は、例えばＢＰＳＧ（Ｂ

ｏｒｏｎ Ｐｈｏｓｐｈｏｒｏｕｓ Ｓｉｌｉｃａｔｅ Ｇｌａｓｓ）膜である。表面保護膜１６は、図２に示すように、半導体基板２の上面２ａ側全体を被覆している。表面保護膜１６は、例えばポリイミド膜である。

[0039] 次に、耐圧領域Ｂに設けられた導体部６，７，８，９について詳しく説明する。

[0040] 図１に示すように、導体部６，７（第１の導体部）および導体部８，９（第２の導体部）は、絶縁膜４上に耐圧領域Ｂに沿って形成されている。導体部６，７，８，９（より正確には、導体構成部６ａ，７ａ，８ａ，９ａ）は、互いに平行に形成されている。導体部６，７，８，９は、例えばポリシリコンまたはアルミニウム等から構成される。なお、導体部の本数は４本に限るものではない。

[0041] 図３に示すように、導体部６，７は、絶縁膜４を介して拡散層３の上方に配置されており、導体部８，９は、絶縁膜４を介して周辺半導体領域１０の上方に配置されている。

[0042] 図４に示すように、導体部６，７，８，９は、導体構成部６ａ，７ａ，８ａ，９ａ（第１の導体構成部）と、導体構成部６ｂ，７ｂ，８ｂ，９ｂ（第２の導体構成部）と、導体構成部６ｃ，７ｃ，８ｃ，９ｃ（第３の導体構成部）とを有している。なお、図４は、導体部６，７，８，９の概略構成を説明するための模式図であり、図１の平面図と対応するものではない。

[0043] 導体構成部６ａ，７ａ，８ａ，９ａは、導体部６，７，８，９のうち、半導体基板２の周縁部（側端）に沿って延在する部分である。導体構成部６ｂ，７ｂ，８ｂ，９ｂは、導体構成部６ａ，７ａ，８ａ，９ａに一端が接続され、過電圧保護ダイオード５の近傍まで延在している。導体構成部６ｃ，７ｃ，８ｃ，９ｃは、導体構成部６ｂ，７ｂ，８ｂ，９ｂと過電圧保護ダイオード５を電気的に接続する。

[0044] 図４に示すように、導体構成部６ｂ，７ｂ，８ｂ，９ｂは、導体構成部６ａ，７ａ，８ａ，９ａよりも幅広に形成されている。また、導体構成部６ｃ，７ｃ，８ｃ，９ｃは、導体構成部６ｂ，７ｂ，８ｂ，９ｂの他端（過電圧

保護ダイオード５側の端部）の幅よりも幅狭に形成されている。そして、導体構成部６ｃ，７ｃ，８ｃ，９ｃは、拡散層３と周辺半導体領域１０間のｐｎ接合境界Ｐ１側に寄るように設けられている。すなわち、図４において、導体構成部６ｃ、７ｃは右側に寄るように設けられ、導体構成部８ｃ，９ｃは左側に寄るように設けられている。より一般的には、導体構成部６ｃ，７ｃは半導体基板２の側端側（高電位側）に寄るように設けられ、導体構成部８ｃ，９ｃは、半導体基板２の活性領域Ａ側（低電位側）に寄るように設けられている。

[0045] 次に、図５を参照して、上記半導体装置１の逆バイアス印加状態における各領域の電位について具体的に説明する。ここで、「逆バイアス印加状態」は、第１の実施形態では、コレクタ電極２３が高電位（例えば直流電源の正極）に接続され、エミッタ電極２１が接地され、ゲート電極２２にＩＧＢＴがオンしない程度の低電圧が印加された状態のことである。また、図５中の数値は、コレクタ電極２３に４００Ｖの高電位を接続し、エミッタ電極２１を接地し、ゲート電極２２に１０～２０ＶのＯＦＦ電圧を印加した場合の例を示している。

[0046] 逆バイアス印加状態において、図５に示すように、絶縁膜４近傍の拡散層３が空乏化するように、導体部６，７の端部は過電圧保護ダイオード５の側面に電気的に接続されている。より具体的には、逆バイアス印加状態において導体部６，７の電位が自身の直下における拡散層３の電位よりも高くなるように、導体部６，７の端部は過電圧保護ダイオード５の側面の第１の部位に電気的に接続されている。これは、導体構成部６ｃ、７ｃがｐｎ接合境界Ｐ１側（すなわち、高電位側）に寄るように設けられていることに対応する。

[0047] 同様に、逆バイアス印加状態において絶縁膜４近傍の周辺半導体領域１０が空乏化するように、導体部８，９の端部は過電圧保護ダイオード５の側面に電気的に接続されている。より具体的には、逆バイアス印加状態において導体部８，９の電位が自身の直下における周辺半導体領域１０の電位よりも

低くなるように、導体部８，９の端部は過電圧保護ダイオード５の当該側面の第２の部位に電気的に接続されている。これは、導体構成部８ｃ、９ｃがｐｎ接合境界Ｐ１側（すなわち、低電位側）に寄るように設けられていることに対応する。

[0048] 上記のように導体部６，７，８，９の端部が過電圧保護ダイオード５に接続されることにより、図５のように絶縁膜４の近傍に空乏領域が発生する。

[0049] すなわち、導体構成部６ａの電位（１２５Ｖ）は、導体構成部６ａの直下における拡散層３の電位（１００Ｖ）より高いため、絶縁膜４近傍におけるＰ型の拡散層３が空乏化する。同様に、導体構成部７ａの電位（２２５Ｖ）は、導体構成部７ａの直下における拡散層３の電位（２００Ｖ）より高いため、絶縁膜４近傍の拡散層３が空乏化する。そして、このように空乏化した半導体領域における不純物の電荷（すなわち、アクセプタの負電荷）によって、絶縁膜４中に正の分極電荷が生じる。

[0050] 導体構成部８ａの電位（２７５Ｖ）は、導体構成部８ａの直下における周辺半導体領域１０の電位（３００Ｖ）より低いため、絶縁膜４近傍におけるＮ型の周辺半導体領域１０が空乏化する。同様に、導体構成部９ａの電位（３７５Ｖ）は、導体構成部９ａの直下における周辺半導体領域１０の電位（４００Ｖ）より低いため、絶縁膜４近傍の周辺半導体領域１０が空乏化する。そして、このように空乏化した半導体領域における不純物の電荷（すなわち、ドナーの正電荷）によって、絶縁膜４中に負の分極電荷が生じる。

[0051] 上記のようにして絶縁膜４中に分極電荷が生じる。この分極電荷に、絶縁膜４中のＮａイオン等の可動イオンがトラップされるため、可動イオンの移動が抑制されることになる。これにより、本実施形態によれば、耐圧の低下を抑制し、信頼性を向上させることができる半導体装置１を提供することができる。

[0052] 上記のように、導体部６，７は、導体構成部６ｂ，７ｂにより過電圧保護ダイオード５の高電位側（半導体基板２の側端側）に変位して接続され、導体部８，９は、導体構成部８ｂ，９ｂにより過電圧保護ダイオード５の低電

位側（活性領域Ａ側）に変位して接続される。

[0053] なお、導体部６，７，８，９の全てが上記構成を有することは必須ではなく、必要に応じて導体部６，７，８，９のうち少なくともいずれか一つが上記構成を有するようにしてもよい。

[0054] また、導体部の形状について、図４で説明したものの他にも様々なものが想定可能である。例えば、図６Ａでは、５本の導体部、すなわち、導体部３１，３２，３３（第１の導体部）および導体部３４，３５（第２の導体部）が図示されている。これら導体部３１，３２，３３，３４，３５は、導体構成部３１ａ，３２ａ，３３ａ，３４ａ，３５ａ（第１の導体構成部）と、導体構成部３１ｂ，３２ｂ，３３ｂ，３４ｂ，３５ｂ（第２の導体構成部）と、導体構成部３１ｃ，３２ｃ，３３ｃ，３４ｃ，３５ｃ（第３の導体構成部）とを有する。

[0055] 図６Ａに示すように、導体構成部３１ｂ，３２ｂ，３３ｂ，３４ｂ，３５ｂは、活性領域Ａに近づきつつ過電圧保護ダイオード５の近傍まで延在している。換言すれば、導体構成部３１ｂ，３２ｂ，３３ｂ，３４ｂ，３５ｂは、過電圧保護ダイオード５から遠ざかるにつれて半導体基板２の側端に寄るように設けられている。これにより、導体構成部３１ａ，３２ａ，３３ａ，３４ａ，３５ａ間の距離を短くして活性領域Ａの面積を広く確保しつつ、図５で説明したのと同様に、逆バイアス印加状態における空乏化領域を形成することができる。

[0056] また、導体構成部３１ｂ，３２ｂ，３３ｂ，３４ｂ，３５ｂは、図６Ａに示すように、過電圧保護ダイオード５に近づくにつれて太くなるように形成されている。これにより、過電圧保護ダイオード５の延在方向（図６Ａの上下方向）に導体構成部３１ｃ，３２ｃ，３３ｃ，３４ｃ，３５ｃとの接続点から離れるにつれて、逆バイアス印加状態における電位差が大きくなる。電位差とは、導体部６，７の電位と直下の拡散層３の電位との差、あるいは、逆バイアス印加状態における導体部８，９の電位と直下の周辺半導体領域１０の電位との差のことである。

[0057] 例えば、図６Ｂにおいて、導体構成部３１ｂの端点Ｅ１における電位差は導体構成部３１ｃ側の端点Ｅ２における電位差よりも大きくなるため、絶縁膜４中に分極電荷が大きくなって可動イオンの移動をより効果的に抑制することができる。

[0058] 図６Ａおよび図６Ｂに示すように、導体構成部３１ｃ～３５ｃは、過電圧保護ダイオード５の半導体層５ａまたは半導体層５ｂに接続されている。例えば導体構成部３１ｃ～３５ｃがポリシリコン等の半導体から構成される場合、導体構成部３１ｃ～３５ｃは、半導体層５ａおよび半導体層５ｂのうち、自身の導電型と同じ導電型の半導体層に接続されている。また、導体構成部３１ｃ～３５ｃは、互いに異なる導電型であってもよい。

[0059] なお、導体部３１，３２，３３および／または導体部３４，３５は、隣接する半導体層５ａと半導体層５ｂの接合境界を跨ぐようにして過電圧保護ダイオード５に接続されてもよい。すなわち、導体部３１～３５は、隣接する半導体層５ａと半導体層５ｂの両方に接続されてもよい。ここで、隣接する半導体層５ａと半導体層５ｂの接合境界を跨ぐとは、隣接する２つの半導体層を跨ぐ場合に限らず、隣接する３つ以上の半導体層（例えば、隣接する半導体層５ａ、半導体層５ｂおよび半導体層５ａ）を跨ぐ場合も含まれる。このように導体部３１～３５は少なくとも一部分で自身の同じ導電型の半導体層に接続することで、導体部３１～３５の下方に位置する半導体領域の表層部分を空乏化させることが可能である。

[0060] また、半導体装置１には、図７に示すように、高耐圧化のために、Ｐ型のガードリング２５が拡散層３を取り囲むように設けられていてもよい。このガードリング２５は、耐圧領域Ｂの上面２ａに選択的に形成されている。ガードリングの本数は、２本に限らず、１本または３本以上であってもよい。ガードリング２５の上方に導体部が配置される場合、当該導体部は過電圧保護ダイオード５のうち高電位側に変位した部位に電気的に接続される。

[0061] また、半導体装置１の各半導体領域の導電型は上記したものと逆であってもよい。すなわち、拡散層３がＮ型、周辺半導体領域１０がＰ型であっても

よい。この場合、図８に示すように、逆バイアス印加状態において導体部６，７の電位が自身の直下における拡散層３の電位よりも低くなるように、導体部６，７の端部は過電圧保護ダイオード５の側面の第１の部位に電気的に接続される。同様に、逆バイアス印加状態において導体部８，９の電位が自身の直下における周辺半導体領域１０の電位よりも高くなるように、導体部８，９の端部は過電圧保護ダイオード５の当該側面の第２の部位に電気的に接続される。このことは、導体構成部６ｃ，７ｃ，８ｃ，９ｃはそれぞれ、ｐｎ接合境界Ｐ１から遠ざかるように設けられることを意味する。

[0062] したがって、一般的に言えば、Ｐ型半導体領域の上方に位置する導体部は、過電圧保護ダイオード５のうち高電位側に変位した部位に電気的に接続され、Ｎ型半導体領域の上方に位置する導体部は、過電圧保護ダイオード５のうち低電位側に変位した部位に電気的に接続される。これにより、逆バイアス印加状態において、導体部の下方に位置する半導体領域の表層部分を空乏化させることができる。

[0063] 上記のように、本実施形態では、導体部６，７，８，９の過電圧保護ダイオード５への接続先を直下の半導体層の導電型に応じて変えることで、絶縁膜４近傍の周辺半導体領域１０が空乏化するように積極的に導体部６，７，８，９の電位を制御する。これにより、絶縁膜４の可動イオンの移動を十分に抑制することができる。

[0064] なお、ＩＧＢＴの構成は上記の半導体装置１に限らない。例えば、変形例に係る半導体装置１Ｂは、図１０に示すように、Ｐ型のコレクタ領域１２に代えてＮ型のドレイン領域１２Ｂを有し、かつ、このドレイン領域１２Ｂとショットキー障壁を形成するコレクタ電極２３を有するものであってもよい。この場合、コレクタ電極２３は、白金、モリブデン等からなるバリアメタルを有する。

[0065] （第２の実施形態）

次に、本発明の第２の実施形態について説明する。第２の実施形態に係る半導体装置１Ａは、縦型ＭＯＳＦＥＴである。半導体装置１Ａの平面図は、

図１と同様である。図９は、半導体装置１Ａの断面図であり、第１の実施形態で説明した図２に対応する。なお、図９において、第１の実施形態と同じ構成要素には同じ符号を付している。以下、第１の実施形態との相違点を中心に説明する。

[0066] 半導体装置１Ａは、Ｐ型の拡散層３と、絶縁膜４と、過電圧保護ダイオード５と、導体部６，７，８，９と、Ｎ型のドレイン領域１２Ａと、Ｎ型の拡散領域１３と、Ｎ型のストッパ領域１４と、ソース電極２１Ａと、ゲート電極２２と、ドレイン電極２３Ａと、ストッパ電極２４とを備えている。ドレイン領域１２Ａは、半導体基板２の下面２ｂに形成されており、このドレイン領域１２Ａ上にドレイン電極２３Ａが形成されている。また、ソース電極２１Ａは、拡散領域１３上に形成されている。

[0067] 半導体装置１Ａにおいて、導体部６，７の端部は逆バイアス印加状態において絶縁膜４近傍の拡散層３が空乏化するように過電圧保護ダイオード５の側面に電気的に接続されており、また、導体部８，９の端部は絶縁膜４近傍の周辺半導体領域１０が空乏化するように過電圧保護ダイオード５の側面に電気的に接続されている。なお、第２の実施形態において、「逆バイアス印加状態」は、ドレイン電極２３Ａが高電位（例えば直流電源の正極）に接続され、ソース電極２１Ａが接地され、ゲート電極２２に縦型ＭＯＳＦＥＴがオンしない程度の低電圧が印加された状態のことである。

[0068] 第２の実施形態によれば、第１の実施形態の場合と同様の作用が得られるため、耐圧の低下を抑制し、信頼性を向上させることができる半導体装置１Ａを提供することができる。

[0069] 上記の記載に基づいて、当業者であれば、本発明の追加の効果や種々の変形を想到できるかもしれないが、本発明の態様は、上述した個々の実施形態に限定されるものではない。異なる実施形態にわたる構成要素を適宜組み合わせてもよい。特許請求の範囲に規定された内容及びその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及び部分的削除が可能である。

符号の説明

[0070] １，１Ａ，１Ｂ　半導体装置

２　半導体基板

２ａ　上面

２ｂ　下面

３　拡散層

４　絶縁膜

５　過電圧保護ダイオード

５ａ，５ｂ　半導体層

６，７，８，９，３１，３２，３３，３４，３５　導体部

６ａ，７ａ，８ａ，９ａ，６ｂ，７ｂ，８ｂ，９ｂ，６ｃ，７ｃ，８ｃ，９ｃ　導体構成部

１０　周辺半導体領域

１１　バッファ領域

１２　コレクタ領域

１２Ａ，１２Ｂ　ドレイン領域

１３　拡散領域

１４　ストッパ領域

１５　絶縁膜

１６　表面保護膜

２１　エミッタ電極

２１Ａ　ソース電極

２２　ゲート電極

２３　コレクタ電極

２３Ａ　ドレイン電極

２４　ストッパ電極

２５　ガードリング

Ａ　活性領域

Ｂ　耐圧領域

Ｅ１，Ｅ２　端点

Ｐ１，Ｐ２　（拡散層３の）境界

Ｒ　領域

請求の範囲

[請求項1] 半導体基板の一方の主面と他方の主面との間に主電流が流れる半導体装置であって、

前記半導体基板の前記一方の主面には、活性領域と、前記活性領域を取り囲み、前記半導体基板の周縁部を含む耐圧領域とが設けられ、

前記半導体装置は、

前記耐圧領域の前記一方の主面に選択的に形成され、前記活性領域を取り囲む第２導電型の拡散層と、

前記拡散層上、および当該拡散層の外側に位置する第１導電型の周辺半導体領域上に形成された絶縁膜と、

前記活性領域側から前記半導体基板の周縁部へ向かって前記絶縁膜上に交互に隣接配置された第１導電型の半導体層と第２導電型の半導体層とを有する過電圧保護ダイオードと、

前記絶縁膜上に前記耐圧領域に沿って形成された第１の導体部および第２の導体部と、を備え、

前記第１の導体部は、前記絶縁膜を介して前記拡散層の上方に配置され、前記第２の導体部は、前記絶縁膜を介して前記周辺半導体領域の上方に配置されており、

逆バイアス印加状態において前記絶縁膜近傍の前記拡散層が空乏化するように前記第１の導体部の端部が前記過電圧保護ダイオードに電気的に接続され、および／または、前記逆バイアス印加状態において前記絶縁膜近傍の前記周辺半導体領域が空乏化するように前記第２の導体部の端部が前記過電圧保護ダイオードに電気的に接続されていることを特徴とする半導体装置。

[請求項2] 前記第１導電型がＮ型であり、前記第２導電型がＰ型であり、

前記第１の導体部の端部は、前記逆バイアス印加状態において前記第１の導体部の電位が自身の直下における前記拡散層の電位よりも高くなるように前記過電圧保護ダイオードの側面の第１の部位に電気的

に接続され、

前記第２の導体部の端部は、前記逆バイアス印加状態において前記第２の導体部の電位が自身の直下における前記周辺半導体領域の電位よりも低くなるように前記過電圧保護ダイオードの前記側面の第２の部位に電気的に接続されていることを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記第１の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記半導体基板の側端側に寄るように設けられていることを特徴とする請求項２に記載の半導体装置。

[請求項4] 前記第２の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記活性領域側に寄るように設けられていることを特徴とする請求項２に記載の半導体装置。

[請求項5] 前記第２の導体構成部は、前記過電圧保護ダイオードに近づくにつれて太くなることを特徴とする請求項３または４に記載の半導体装置。

[請求項6] 前記第１導電型がＰ型であり、前記第２導電型がＮ型であり、

前記第１の導体部の端部は、前記逆バイアス印加状態において前記第１の導体部の電位が自身の直下における前記拡散層の電位よりも低くなるように前記過電圧保護ダイオードの側面の第１の部位に電気的に接続され、

前記第２の導体部の端部は、前記逆バイアス印加状態において前記第２の導体部の電位が自身の直下における前記周辺半導体領域の電位よりも高くなるように前記過電圧保護ダイオードの前記側面の第２の部位に電気的に接続されていることを特徴とする請求項１に記載の半導体装置。

[請求項7] 前記第１の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記活性領域側に寄るように設けられていることを特徴とする請求項６に記載の半導体装置。

[請求項8] 前記第２の導体部は、

前記半導体基板の周縁部に沿って延在する第１の導体構成部と、

前記第１の導体構成部に一端が接続され、前記過電圧保護ダイオードの近傍まで延在する第２の導体構成部と、

前記第２の導体構成部と前記過電圧保護ダイオードを電気的に接続する第３の導体構成部と、を有し、

前記第２の導体構成部は、前記第１の導体構成部よりも幅広に形成され、

前記第３の導体構成部は、前記第２の導体構成部の他端の幅よりも幅狭に形成され、かつ前記半導体基板の側端側に寄るように設けられていることを特徴とする請求項６に記載の半導体装置。

[請求項9] 前記第２の導体構成部は、前記過電圧保護ダイオードに近づくにつれて太くなることを特徴とする請求項７または８に記載の半導体装置。

[請求項10] 前記半導体基板はシリコン基板であり、前記絶縁膜はシリコン酸化膜であることを特徴とする請求項１～９のいずれかに記載の半導体装置。

[請求項11] 前記第１の導体部および／または前記第２の導体部は、隣接する前記第１導電型の半導体層と前記第２導電型の半導体層の接合境界を跨ぐようにして前記過電圧保護ダイオードに接続されていることを特徴とする請求項１～１０のいずれかに記載の半導体装置。

[請求項12] 前記拡散層中に形成された第１導電型の拡散領域と、

前記拡散領域上に形成されたエミッタ電極と、

前記過電圧保護ダイオード上に形成されたゲート電極と、

前記半導体基板の前記他方の主面に形成された第２導電型のコレクタ領域と、

前記コレクタ領域上に形成されたコレクタ電極と、

をさらに備えることを特徴とする請求項１～１１のいずれかに記載の半導体装置。

[請求項13] 前記拡散層中に形成された第１導電型の拡散領域と、

前記拡散領域上に形成されたエミッタ電極と、

前記過電圧保護ダイオード上に形成されたゲート電極と、

前記半導体基板の前記他方の主面に形成された第１導電型のドレイン領域と、

前記ドレイン領域上に形成され、前記ドレイン領域とショットキー障壁を形成するコレクタ電極と、

をさらに備えることを特徴とする請求項１～１１のいずれかに記載の半導体装置。

[請求項14] 前記拡散層中に形成された第１導電型の拡散領域と、

前記拡散領域上に形成されたソース電極と、

前記過電圧保護ダイオード上に形成されたゲート電極と、

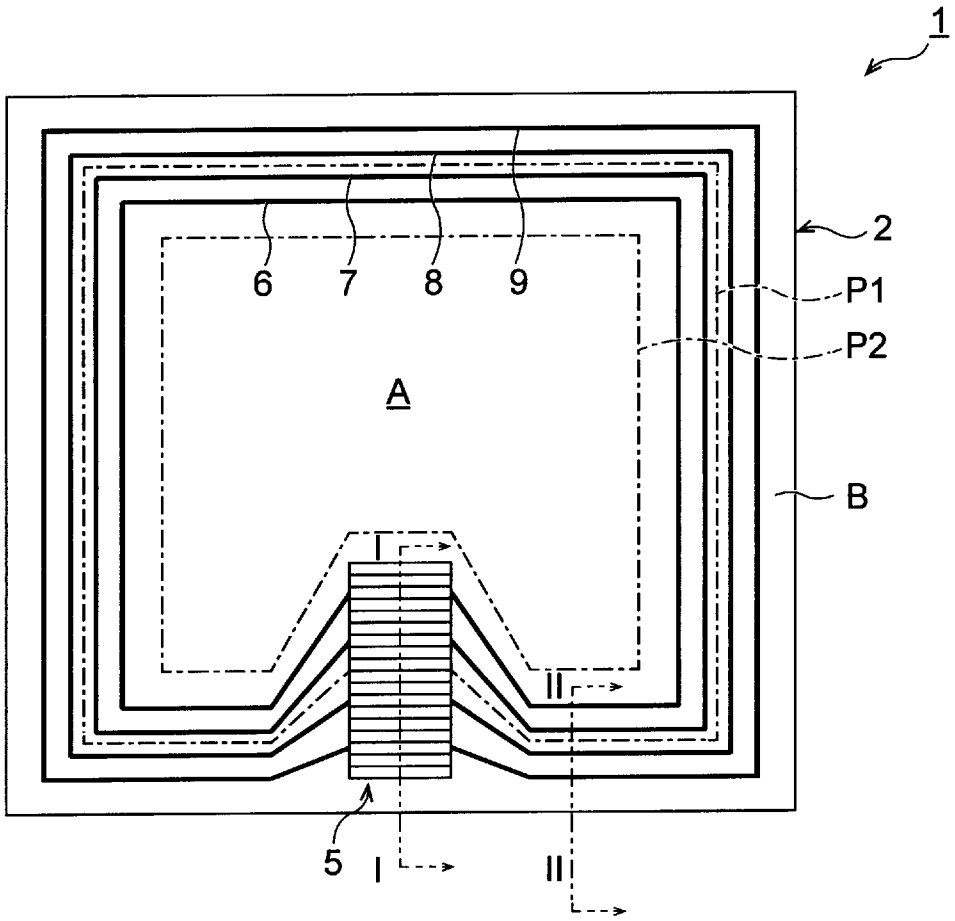
前記半導体基板の前記他方の主面に形成された第１導電型のドレイン領域と、

前記ドレイン領域上に形成されたドレイン電極と、

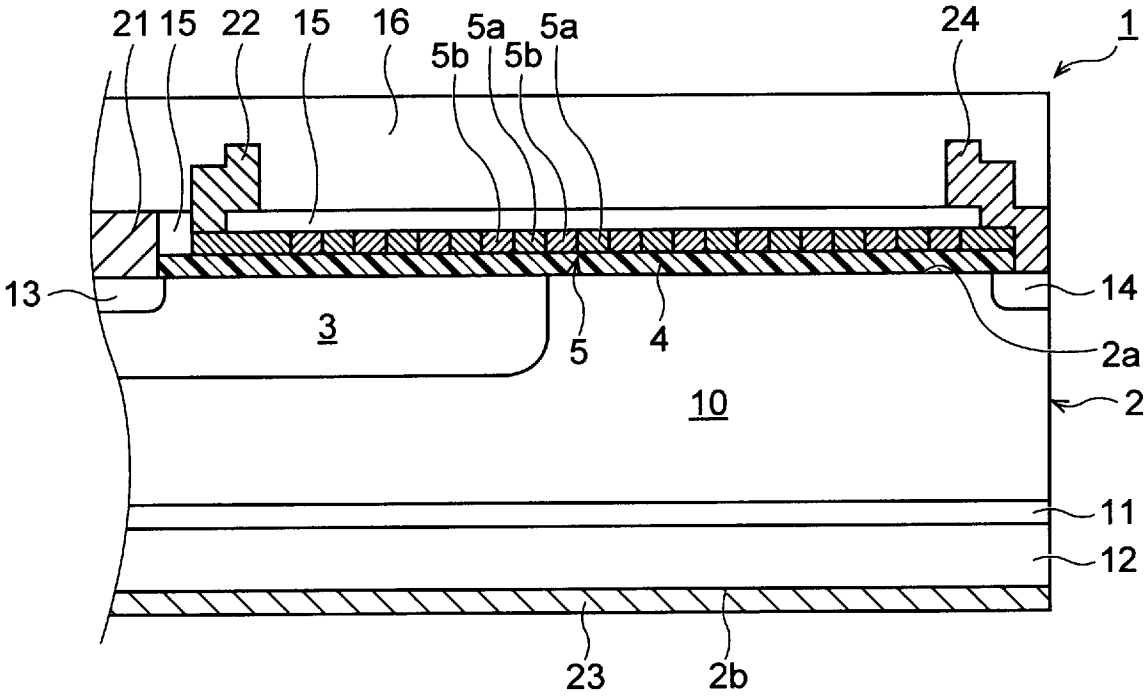
をさらに備えることを特徴とする請求項１～１１のいずれかに記載の半導体装置。

[請求項15] 前記耐圧領域の前記一方の主面に選択的に形成され、前記拡散層を取り囲む１本または複数本の第２導電型のガードリングをさらに備えることを特徴とする請求項１～１４のいずれかに記載の半導体装置。

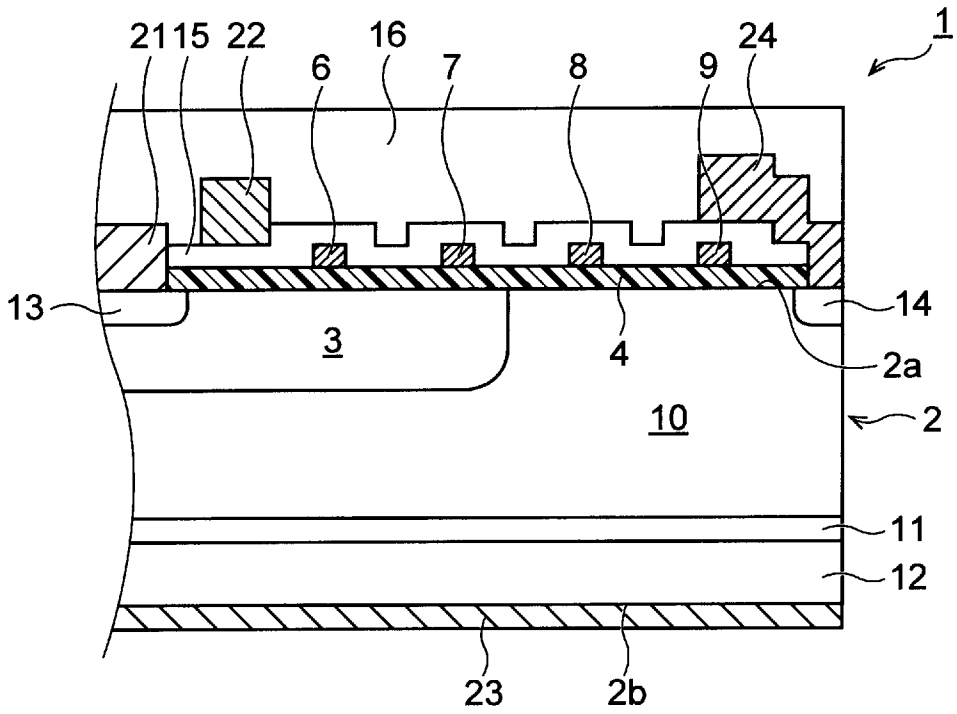
[図1]


1
2
6
7
8
9
P1
P2
A
B
I
II
5
I
II

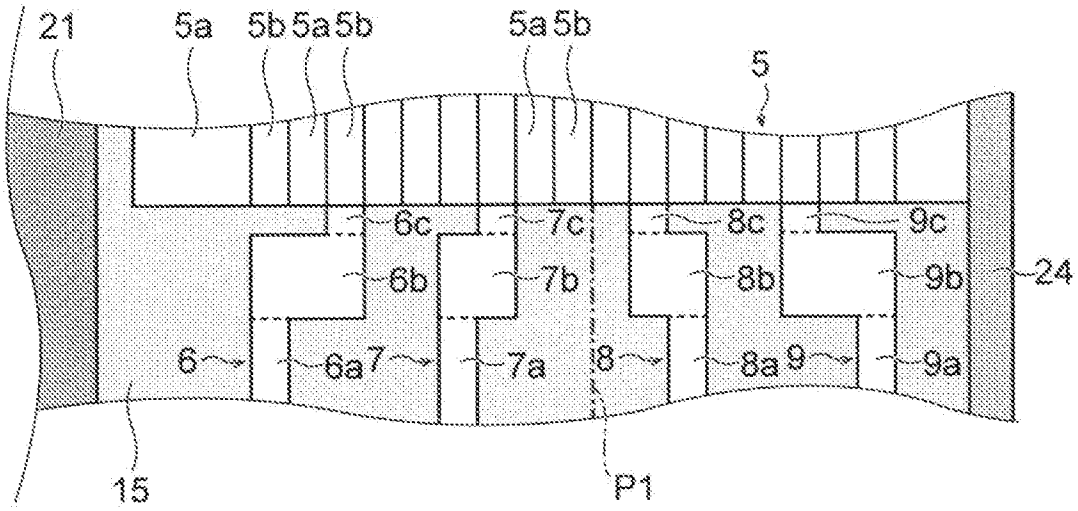
[図2]


21
15
22
15
16
5a
5b
5b
5a
24
1
13
3
5
4
14
2a
10
2
11
12
23
2b

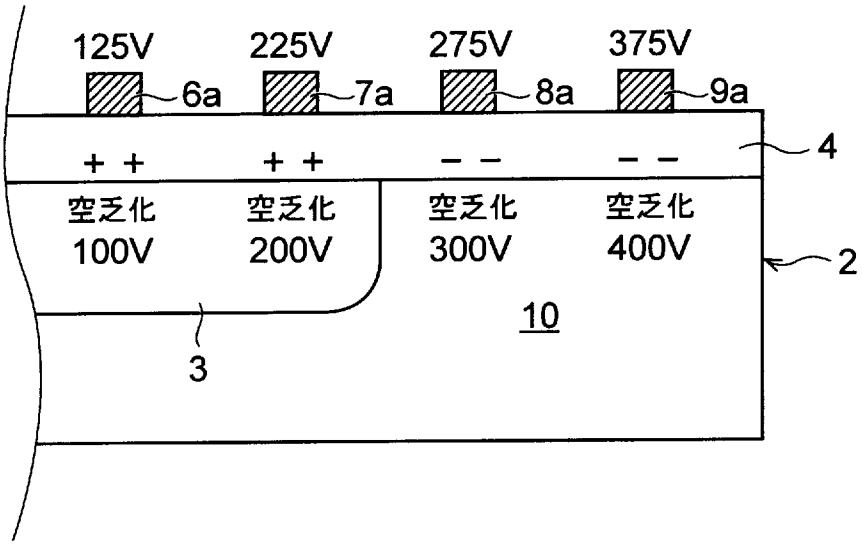
[図3]


21
15
22
16
6
7
8
9
24
1
13
3
4
14
2a
10
2
11
12
23
2b

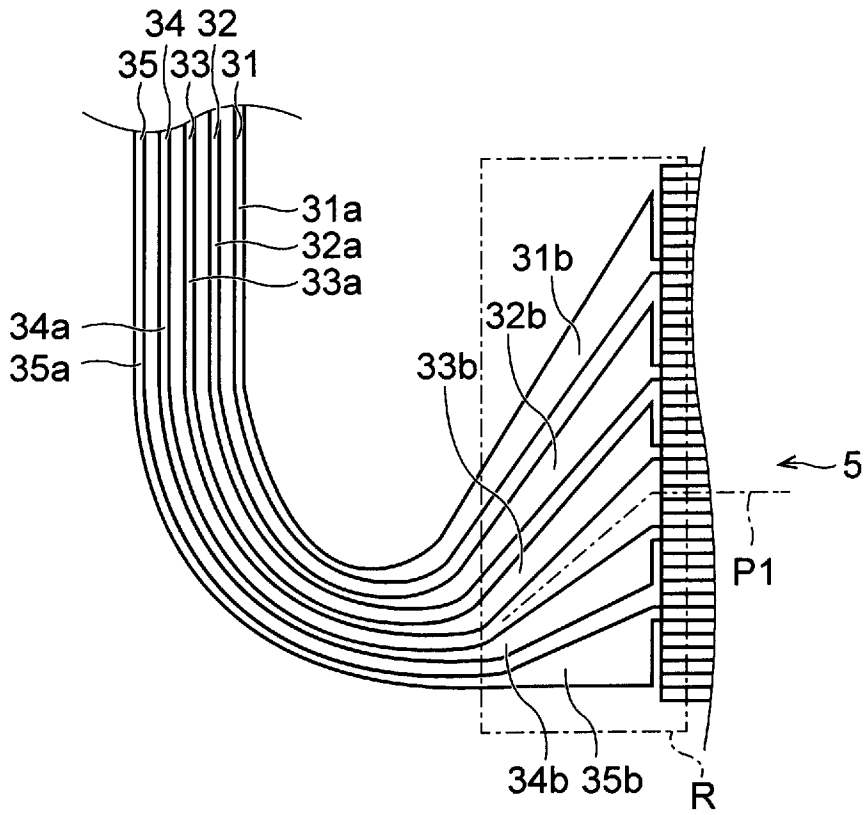
[図4]


21
5a
5b
5a
5b
5a
5b
5
6c
7c
8c
9c
6b
7b
8b
9b
24
6
6a
7
7a
8
8a
9
9a
15
P1

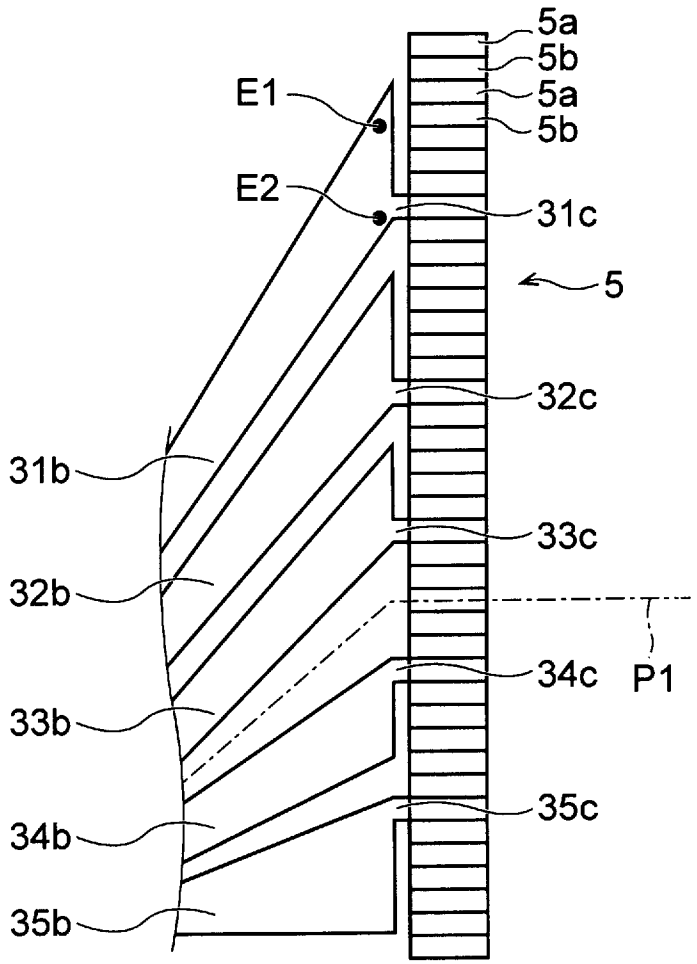
[図5]


125V
225V
275V
375V
6a
7a
8a
9a
4
+ +
+ +
− −
− −
空乏化
100V
空乏化
200V
空乏化
300V
空乏化
400V
2
10
3

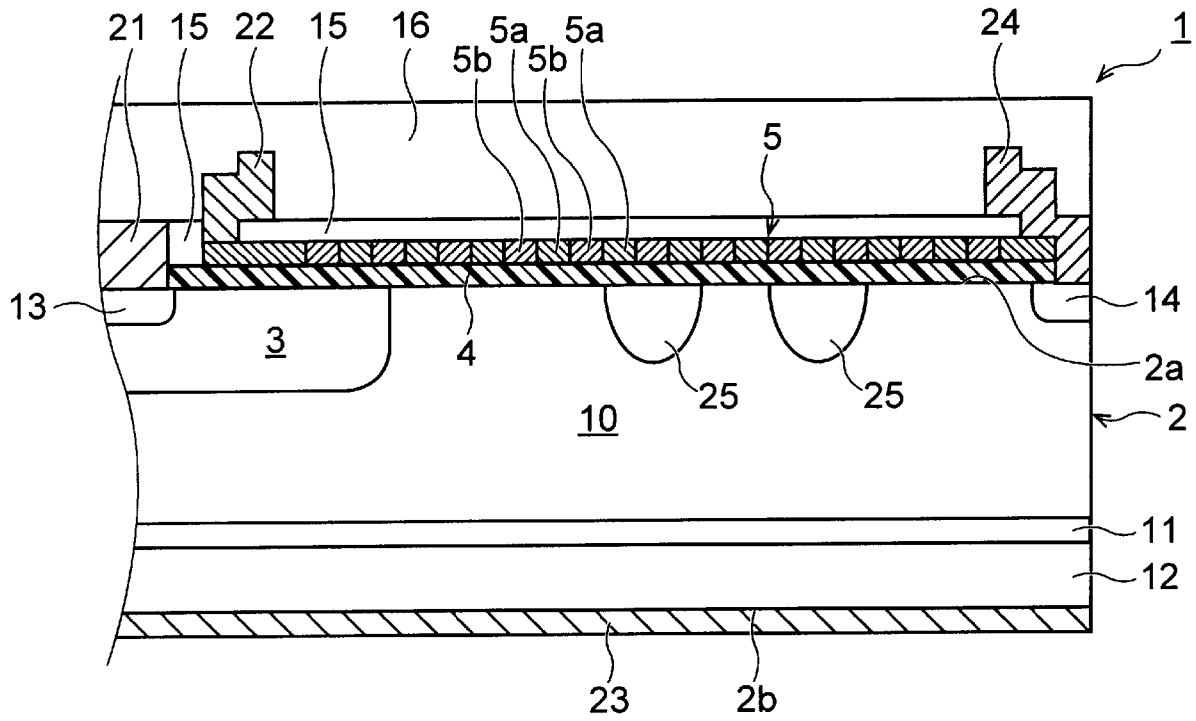
[図6A]


34 32
35 33 31
31a
32a
33a
34a
35a
31b
32b
33b
5
P1
34b 35b
R

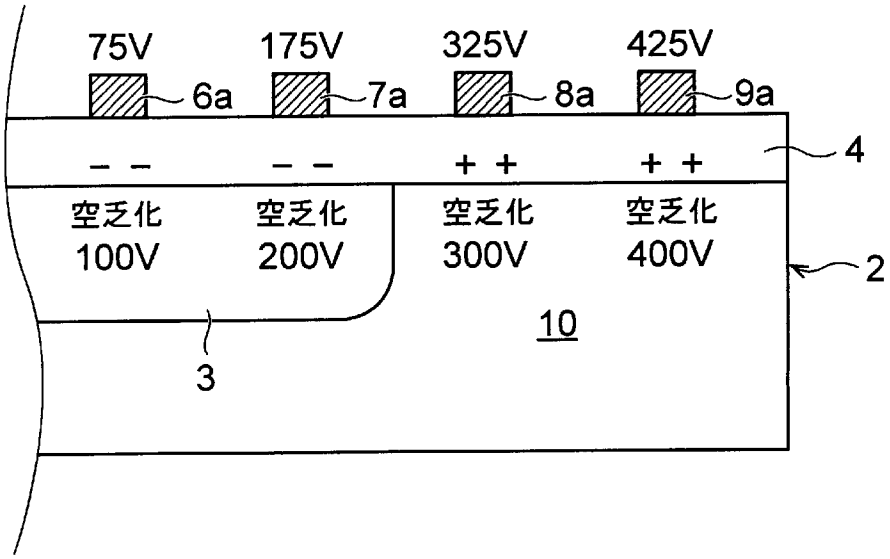
[図6B]



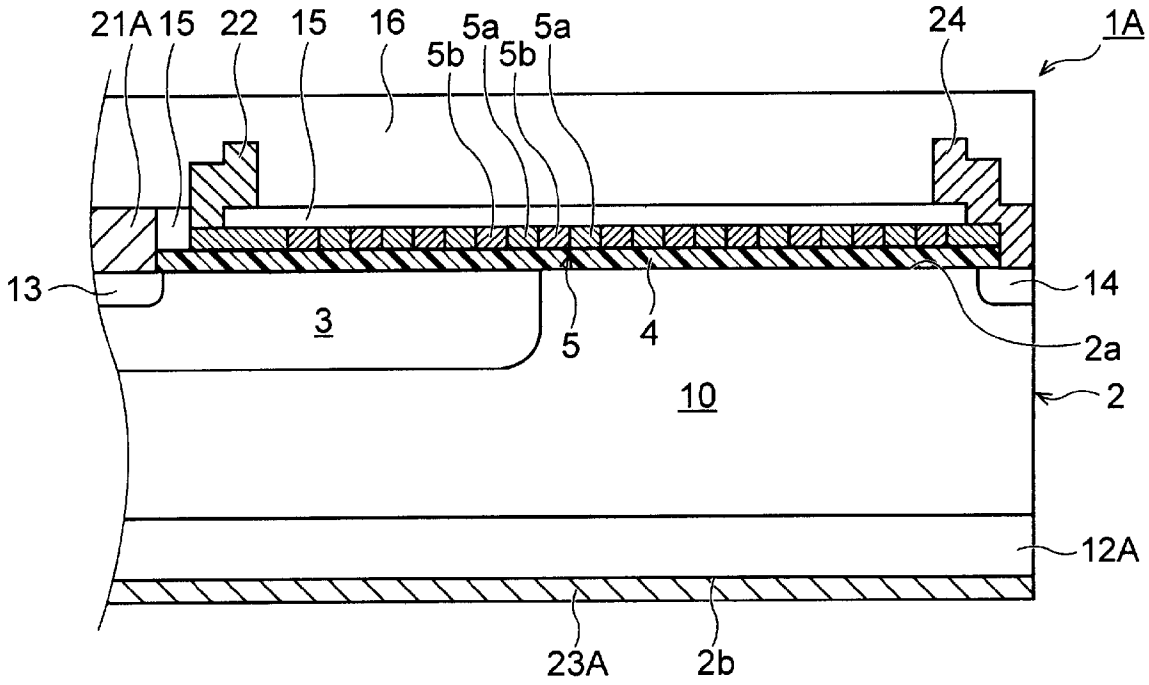
[図7]


21
15
22
15
16
5a
5b
5a
5b
24
1
5
13
3
4
25
25
14
2a
10
2
11
12
23
2b

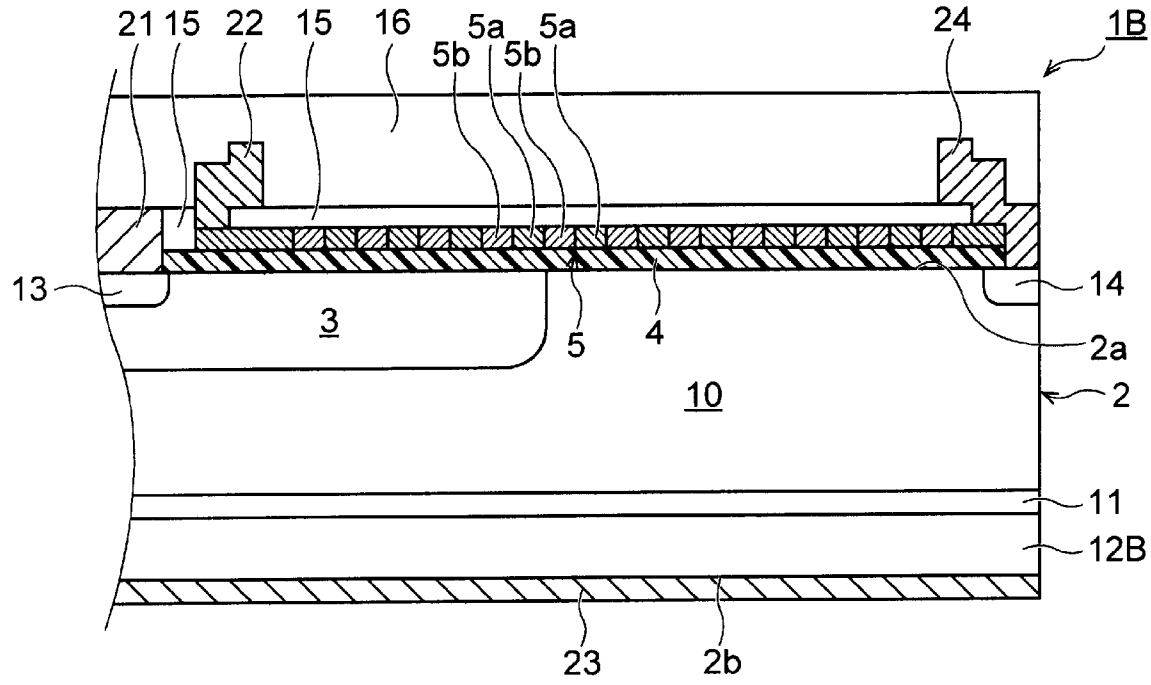
[図8]


75V
175V
325V
425V
6a
7a
8a
9a
4
空乏化
100V
空乏化
200V
空乏化
300V
空乏化
400V
2
10
3

[図9]


21A
15
22
15
16
5a
5b
5a
5b
24
1A
13
3
5
4
14
2a
10
2
12A
23A
2b

[図10]


21
15
22
15
16
5a
5b
5a
5b
24
1B
13
3
5
4
14
2a
10
2
11
12B
23
2b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/065645

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/04(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/04, H01L29/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-217152 A (Mitsubishi Electric Corp.), 11 August 2005 (11.08.2005), paragraphs [0018] to [0045]; fig. 1 to 8 & US 2005/0167694 A1 paragraphs [0042] to [0072]; fig. 1 to 8 & DE 102004059453 A1 & CN 1649169 A & CN 101266976 A & CN 101677099 A	1,2,6,10,12 11,13-15 3-5,7-9
Y A	JP 2003-188381 A (Denso Corp.), 04 July 2003 (04.07.2003), paragraphs [0013] to [0034]; fig. 1 to 3 (Family: none)	1,2,6,10-15 3-5,7-9
Y A	US 6762440 B1 (INFINEON TECHNOLOGIES AG), 13 July 2004 (13.07.2004), column 2; fig. 7 & WO 2001/054168 A2 & DE 10001865 A1	1,2,6,10-15 3-5,7-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 August 2016 (02.08.16)	16 August 2016 (16.08.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/065645

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-187071 A (Shindengen Electric Mfg. Co., Ltd.), 02 October 2014 (02.10.2014), paragraph [0037] (Family: none)	13-15 3-5,7-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６５６４５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/04(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/04, H01L29/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2005-217152 A (三菱電機株式会社) 2005.08.11, 0018段落	1,2,6,10,12
Y	ないし0045段落、図1ないし図8 & US 2005/0167694 A1,0042段落	11,13-15
A	ないし0072段落、図1ないし図8 & DE 102004059453 A1 & CN 1649169 A & CN 101266976 A & CN 101677099 A	3-5,7-9
Y	JP 2003-188381 A (株式会社デンソー) 2003.07.04, 0013段落	1,2,6,10-15
A	ないし0034段落、図1ないし図3（ファミリーなし）	3-5,7-9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０２．０８．２０１６	１６．０８．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３６１
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	US 6762440 B1 (INFINEON TECHNOLOGIES AG) 2004.07.13, 第２欄、	1,2,6,10-15
A	図７ & WO 2001/054168 A2 & DE 10001865 A1	3-5,7-9
Y	JP 2014-187071 A (新電元工業株式会社) 2014.10.02, 0037段落	13-15
A	（ファミリーなし）	3-5,7-9