

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4232520号
(P4232520)

(45) 発行日 平成21年3月4日(2009.3.4)

(24) 登録日 平成20年12月19日(2008.12.19)

(51) Int.Cl.	F I	
G09G 3/20 (2006.01)	G09G 3/20	641E
G02F 1/133 (2006.01)	G09G 3/20	624B
G09G 3/30 (2006.01)	G09G 3/20	631R
G09G 3/36 (2006.01)	G09G 3/20	641A
	G09G 3/20	641K
請求項の数 7 (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2003-114352 (P2003-114352)	(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年4月18日(2003.4.18)	(74) 代理人	100098084 弁理士 川▲崎▼ 研二
(65) 公開番号	特開2004-86153 (P2004-86153A)	(74) 代理人	100095728 弁理士 上柳 雅誉
(43) 公開日	平成16年3月18日(2004.3.18)	(74) 代理人	100107261 弁理士 須澤 修
審査請求日	平成15年4月18日(2003.4.18)	(72) 発明者	伊藤 昭彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(31) 優先権主張番号	特願2002-190250 (P2002-190250)	審査官	橋本 直明
(32) 優先日	平成14年6月28日(2002.6.28)		
(33) 優先権主張国	日本国(JP)		最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

所定の期間を第1のサブフィールド群と第2のサブフィールド群とに分割し、
前記第1のサブフィールド群をそれぞれ複数のサブフィールドから構成し、
前記第1のサブフィールド群に属するサブフィールドに、第1階調データのうち、下位ビットの各々の重みに対応した期間長としたものを含ませ、
前記第2のサブフィールド群に、複数のグループ期間の繰り返しを含ませるとともに、前記複数のグループ期間の各々を、前記第1階調データのうち、上位ビットの各々の重みに対応した期間長としたサブフィールドにそれぞれ分割し、
それぞれの画素が前記上位ビット及び前記下位ビットのビット数と等しい容量のメモリを有する電気光学装置の駆動方法であって、
前記第1階調データのうち、下位ビットを前記メモリに書き込む第1のステップと、
前記第1のサブフィールド群を構成するサブフィールドの各々において、前記メモリに書き込んだ下位ビットに基づいた状態に前記画素を制御する第2のステップと、
前記第1階調データのうち、上位ビットを、前記メモリに書き込む第3のステップと、
前記複数のグループ期間に属するサブフィールドの各々において、前記メモリに書き込んだ上位ビットに基づいた状態に前記画素を制御する動作を、前記第2のサブフィールド群に含まれる複数のグループ期間の各々についてそれぞれ実行する第4のステップと、
を有することを特徴とする電気光学装置の駆動方法。

【請求項2】

前記第 1 のステップにおける前記下位ビットの書き込みは、前記第 1 のサブフィールド群の先頭であって、前記下位ビットとは無関係なサブフィールドにおいて行われ、

前記第 3 のステップにおける前記上位ビットの書き込みは、前記第 2 のサブフィールド群の先頭であって、前記複数のグループ期間に属しないサブフィールドにおいて行われることを特徴とする請求項 1 に記載された電気光学装置の駆動方法。

【請求項 3】

前記第 1 のサブフィールド群の先頭にあるサブフィールドでは、前記メモリに書き込んだ下位ビットに拘わらず、前記画素を所定の状態に制御する

ことを特徴とする請求項 2 に記載された電気光学装置の駆動方法。

【請求項 4】

前記第 2 のサブフィールド群の先頭にあるサブフィールドでは、前記メモリに書き込んだ上位ビットに拘わらず、前記画素を所定の状態に制御する

ことを特徴とする請求項 2 に記載された電気光学装置の駆動方法。

【請求項 5】

前記第 1 のステップにおける前記下位ビットの書き込みは、前記第 1 のサブフィールド群を構成する複数のサブフィールドに亘って行われ、

前記第 3 のステップにおける前記上位ビットの書き込みは、前記第 2 のサブフィールド群を構成する複数のサブフィールドに亘って行われる

ことを特徴とする請求項 1 に記載された電気光学装置の駆動方法。

【請求項 6】

前記画素の状態は、

前記画素のオン状態と前記画素のオフ状態を少なくとも含む

ことを特徴とする請求項 1 から 5 のいずれかに記載された電気光学装置の駆動方法。

【請求項 7】

前記第 1 のステップから前記第 4 のステップまでが実行される第 1 の動作モードとは異なる第 2 の動作モードを有し、

前記第 2 の動作モードにおいて、

前記第 1 階調データよりもビット数が少ない第 2 階調データを、前記メモリに書き込む第 5 のステップと、

前記第 2 の動作モードにおけるサブフィールドの各々において、前記メモリに書き込んだ第 2 階調データと前記第 2 の動作モードで各サブフィールドを規定する階調信号とに基づいた状態に前記画素を制御する第 6 ステップと、

をさらに有する

ことを特徴とする請求項 1 から 6 のいずれかに記載された電気光学装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気光学装置の駆動方法、電気光学装置および電子機器に係り、特に、メモリを内蔵した画素を用いたサブフィールド駆動による階調制御に関する。

【0002】

【従来の技術】

従来より、中間調表示方式の 1 つとして、サブフィールド駆動が知られている。時間軸変調方式の一種であるサブフィールド駆動では、所定の期間（例えば、動画の場合には 1 画像の表示単位である 1 フレーム）を複数のサブフィールドに分割し、表示すべき階調に応じたサブフィールドの組み合わせで画素が駆動される。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフィールドの組み合わせによって特定される。この方式では、電圧階調法のように、液晶等の電気光学素子に対する印加電圧を表示階調数分だけ用意する必要がないので、データ線駆動用ドライバの回路規模を縮小できる。また、D/A 変換回路やオペアンプ等の特性のばらつき、或いは、各種の配線抵抗の不均一性等に起因した表示品質の低下を抑制できるという利点もある。

10

20

30

40

50

【 0 0 0 3 】

特許文献 1 には、メモリを内蔵した画素を用いたサブフィールド駆動について開示されている。具体的には、それぞれの画素は、複数ビットの階調データを記憶するメモリと、この画素内メモリの後段に接続されたパルス幅制御回路とを有する。パルス幅制御回路は、画素内メモリに記憶されたデータに応じて、画素の表示状態をオン状態に設定するオン電圧または画素の表示状態をオフ状態に設定するオフ電圧を択一的に画素電極に印加する。1 フレームに占めるオン電圧の印加時間の割合、すなわち、デューティ比は、画素内メモリに記憶されている階調データに基づいて特定される。ある画素に関して、その画素内メモリに階調データを一旦書き込んでしまえば、メモリに記憶されたデータに応じた階調表示が継続される。したがって、原理的に、階調を変更する必要がない画素に対しては、データの書き込みを再度行う必要はなく、階調を変更すべき画素に対しては、その画素のみを書込対象として、その都度、新たな階調データをメモリに書き込めばよい。

10

【 0 0 0 4 】

【特許文献 1】

特開 2 0 0 2 - 0 8 2 6 5 3 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

ところで、所定の期間内（例えば 1 フレーム）において、画素の表示状態をオン状態に設定するサブフィールドが局所的に偏在していると、実際の表示階調にばらつきが生じるため、階調性の低下を招く。この点は、特に多階調化した場合に顕著な問題となる。

20

【 0 0 0 6 】

そこで、本発明の目的は、メモリを内蔵した画素を用いたサブフィールド駆動において、階調性の改善を図り、一層の高画質化を実現することである。

【 0 0 0 7 】

【課題を解決するための手段】

かかる課題を解決するために、第 1 の発明は、所定の期間を複数のサブフィールドに分割し、階調データに応じたサブフィールドの組み合わせによって階調表示を行うとともに、それぞれの画素が階調データを記憶するメモリを有する電気光学装置の駆動方法を提供する。この駆動方法において、第 1 のステップでは、階調データの少なくとも一部を、それぞれの画素が有するメモリに書き込む。第 2 のステップでは、それぞれのサブフィールドを規定する階調信号に基づいて、メモリに書き込まれたデータを複数回繰り返し読み出すとともに、読み出されたデータに応じた電圧を、画素に対して複数回繰り返し印加することによって、階調データに応じた階調表示を行う。ここで、画素に印加する電圧は、メモリより読み出されたデータに応じた時間密度を有することが好ましい。

30

【 0 0 0 8 】

ここで、上記第 2 のステップにおいて、電圧印加の繰り返し回数は、メモリからデータを読み出した回数相当であることが好ましい。また、この第 2 のステップにおいて、繰り返される電圧印加のそれぞれで、メモリに書き込まれたデータを読み出す順番を入れ替えてもよい。

【 0 0 0 9 】

第 2 の発明は、所定の期間を複数のサブフィールドに分割し、階調データに応じたサブフィールドの組み合わせによって階調表示を行うとともに、それぞれの画素が階調データを記憶するメモリを有する電気光学装置の駆動方法を提供する。この駆動方法において、第 1 のステップでは、階調データの少なくとも一部を、それぞれの画素が有するメモリに書き込む。第 2 のステップでは、メモリに書き込まれたデータと、それぞれのサブフィールドを規定する階調信号とに基づいて、それぞれのサブフィールドにおける画素の駆動状態を特定するとともに、複数の連続したサブフィールドにおける画素の一連の駆動パターンを複数回繰り返すことによって、階調データに応じた階調表示を行う。

40

【 0 0 1 0 】

ここで、上記第 2 のステップにおいて、駆動パターンの繰り返し回数は、複数の連続した

50

サブフィールドにおける階調信号の一連の遷移パターンの繰り返し回数相当であることが好ましい。また、この第2のステップにおいて、繰り返される駆動パターンのそれぞれで、階調信号を遷移させる順番を入れ替えてもよい。

【0011】

また、第1または第2の発明において、上記第1のステップにおける階調データの書き込みを、最初のサブフィールドにおいて行ってもよい。この場合、最初のサブフィールドでは、メモリに書き込まれる階調データに拘わらず、画素に対して所定の電圧が印加されることが望ましい。また、上記第1のステップにおけるメモリに対する階調データの書き込みを、複数のサブフィールドに亘って行ってもよい。

【0012】

第3の発明は、所定の期間を第1のサブフィールド群と第2のサブフィールド群とに分割し、第1のデータと第2のデータとに応じたサブフィールドの組み合わせによって階調表示を行うとともに、それぞれの画素が階調データを記憶するメモリを有する電気光学装置の駆動方法を提供する。ここで、第1のデータは、階調データの一部を構成するデータである。また、第2のデータは、階調データの一部を構成し、第1のデータとは異なるデータである。この駆動方法において、第1のステップでは、第1のデータを、それぞれの画素が有するメモリに書き込む。第2のステップでは、第1のサブフィールド群を構成するそれぞれのサブフィールドを規定する第1の階調信号に基づいて、メモリに書き込まれた第1のデータを読み出すとともに、読み出された第1のデータに応じた電圧を画素に対して印加する。第3のステップでは、第2のデータをメモリに書き込む。第4のステップでは、第2のサブフィールド群を構成するそれぞれのサブフィールドを規定する第2の階調信号に基づいて、メモリに書き込まれた第2のデータを複数回繰り返し読み出すとともに、読み出された第2のデータに応じた電圧を画素に対して複数回繰り返し印加する。ここで、第2のステップにおいて、画素に印加する電圧は、読み出された第1のデータに応じた時間密度を有することが好ましく、また、第4のステップにおいて、画素に印加する電圧は、読み出された第2のデータに応じた時間密度を有することが望ましい。

【0013】

ここで、第3の発明において、第1のサブフィールド群の全体的な重み付けよりも、第2のサブフィールド群の全体的な重み付けの方が大きいことが好ましい。この場合、第1のサブフィールド群を構成するそれぞれのサブフィールドにおける画素の駆動状態は、階調データの内の下位データに応じて特定され、第2のサブフィールド群を構成するそれぞれのサブフィールドにおける画素の駆動状態は、階調データの内の上位データに応じて特定されることが望ましい。

【0014】

また、第3の発明において、第1のステップにおける第1のデータの書き込みを、第1のサブフィールド群における最初のサブフィールドにおいて行い、第3のステップにおける第2のデータの書き込みを、第2のサブフィールド群における最初のサブフィールドにおいて行ってもよい。また、第1のステップにおける第1のデータの書き込みと、第3のステップにおける第2のデータの書き込みとを、第1のサブフィールド群における最初のサブフィールドにおいて行ってもよい。さらに、第1のステップにおける第1のデータの書き込みと、第3のステップにおける第2のデータの書き込みとを、第2のサブフィールド群における最初のサブフィールドにおいて行ってもよい。さらに、第1のステップにおける第1のデータの書き込みと、第3のステップにおける第2のデータの書き込みとを、第2のサブフィールド群における最初のサブフィールドにおいて行ってもよい。これらの場合において、最初のサブフィールドでは、メモリに書き込まれる第1のデータまたは第2のデータに拘わらず、画素に対して所定の電圧を印加することが好ましい。一方、第1のステップにおける第1のデータの書き込みを、第1のサブフィールド群を構成する複数のサブフィールドに亘って行い、第3のステップにおける第2のデータの書き込みを、第2のサブフィールド群を構成する複数のサブフィールドに亘って行ってもよい。さらに、第3の発明において、画素に印加する電圧は、画素の表示状態をオン状態にするオン電圧と

10

20

30

40

50

画素の表示状態をオフ状態にするオフ電圧とを少なくとも含んでいてもよい。

【0015】

また、第3の発明において、第1のステップから第4のステップまでが実行される第1の動作モードとは異なる第2の動作モードをさらに有してもよい。この第2の動作モードは、階調データよりもビット数が少ない第2の階調データを、メモリに書き込む第5のステップと、メモリに書き込まれた第2の階調データを読み出すとともに、読み出された第2の階調データと、第2の動作モードにおける各サブフィールドを規定する階調信号とに応じた時間密度を有する電圧を、画素に対して印加する第6のステップとを有する。

【0016】

第4の発明は、所定の期間を複数のサブフィールドに分割し、階調データに応じたサブフィールドの組み合わせによって階調表示を行う電気光学装置を提供する。この電気光学装置は、表示部と、走査線駆動回路と、データ線駆動回路と、階調信号生成回路とを有する。表示部は、複数の走査線と複数のデータ線との各交差に対応して設けられた複数の画素を有し、画素のそれぞれが、画素電極と、階調データの少なくとも一部を記憶するメモリと、パルス幅生成回路とを有する。走査線駆動回路は、データの書込対象となる画素に対応する走査線を選択する。データ線駆動回路は、走査線駆動回路によって走査線が選択されている間に、書込対象となる画素に対応するデータ線を介して、書込対象となる画素が有するメモリにデータを書き込む。階調信号生成回路は、それぞれのサブフィールドを規定する階調信号を生成する。また、パルス幅生成回路は、階調信号に基づいて、メモリに書き込まれたデータを複数回繰り返し読み出し、読み出されたデータに応じた電圧を画素電極に対して複数回繰り返し印加することによって、階調データに応じた階調を画素に表示させる。ここで、画素に印加する電圧は、メモリより読み出されたデータに応じた時間密度を有することが好ましい。

【0017】

ここで、第4の発明において、階調信号生成回路は、複数の連続したサブフィールドにおける階調信号の一連の遷移パターンを複数回繰り返し出力することが好ましい。この場合、パルス幅変調回路は、階調信号の遷移パターンの繰り返し回数に応じて、メモリに書き込まれたデータを複数回繰り返し読み出す。そして、パルス幅変調回路は、メモリからデータを読み出した回数に応じて、画素に対する電圧の印加を繰り返すことが望ましい。

【0018】

また、第4の発明において、階調信号生成回路は、階調性の一層の改善を図るために、繰り返される遷移パターンのそれぞれにおいて、階調信号を遷移させる順番を入れ替えることが好ましい。

【0019】

また、第4の発明において、走査線駆動回路は、サブフィールド群における最初のサブフィールドで、走査線を順次選択し、データ線駆動回路は、最初のサブフィールドにおいて、走査線駆動回路と協働して、メモリに対するデータの書き込みを行ってもよい。この場合、パルス幅変調回路は、最初のサブフィールドでは、メモリに書き込まれるデータに拘わらず、画素電極に対して所定の電圧を印加することが好ましい。また、走査線駆動回路は、サブフィールド群における複数のサブフィールドに亘って走査線を順次選択し、データ線駆動回路は、複数のサブフィールドにおいて、走査線駆動回路と協働して、メモリに対するデータの書き込みを行ってもよい。この場合、階調信号生成回路は、走査線のそれぞれの選択期間に応じて、階調信号の遷移タイミングをずらした複数のシフト階調信号を生成する階調信号シフト回路を有することが望ましい。

【0020】

また、第4の発明において、パルス幅生成回路は、少なくとも、画素の表示状態をオン状態にするオン電圧または画素の表示状態をオフ状態にするオフ電圧を画素電極に印加することが好ましい。

【0021】

第5の発明は、上述した第4の発明に係る電気光学装置を有する電子機器を提供する。

【 0 0 2 2 】

第6の発明は、所定の期間を複数のサブフィールドに分割し、階調データに応じたサブフィールドの組み合わせによって階調表示を行うとともに、それぞれの画素が階調データを記憶するメモリを有する電気光学装置の駆動方法において、階調データの少なくとも一部を、それぞれの画素が有するメモリに書き込む第1のステップと、それぞれのサブフィールドを規定する階調信号に基づいて、前記メモリに書き込まれたデータを複数回繰り返し読み出すとともに、当該読み出されたデータに応じた電流を前記画素に対して複数回繰り返し供給することによって、前記階調データに応じた階調表示を行う第2のステップとを有することを特徴とする。

【 0 0 2 3 】

第7の発明は、所定の期間を第1のサブフィールド群と第2のサブフィールド群とに分割し、階調データの一部を構成する第1のデータと、前記階調データの一部を構成し、前記第1のデータとは異なる第2のデータとに応じたサブフィールドの組み合わせによって階調表示を行うとともに、それぞれの画素が前記階調データを記憶するメモリを有する電気光学装置の駆動方法において、前記第1のデータを、それぞれの画素が有するメモリに書き込む第1のステップと、前記第1のサブフィールド群を構成するそれぞれのサブフィールドを規定する第1の階調信号に基づいて、前記メモリに書き込まれた第1のデータを読み出すとともに、当該読み出された第1のデータに応じた電流を前記画素に対して供給する第2のステップと、前記第2のデータを前記メモリに書き込む第3のステップと、前記第2のサブフィールド群を構成するそれぞれのサブフィールドを規定する第2の階調信号に基づいて、前記メモリに書き込まれた第2のデータを複数回繰り返し読み出すとともに、当該読み出された第2のデータに応じた電流を前記画素に対して複数回繰り返し供給する第4のステップとを有することを特徴とする。

【 0 0 2 4 】

【発明の実施の形態】

(第1の実施形態)

図1は、本実施形態に係る電気光学装置の構成図である。表示部100には、それぞれがX方向(行方向)に延在するm本の走査線112と、それぞれがY方向(列方向)に延在するn本のデータ線114とが形成されている。画素110は、走査線112とデータ線114との各交差に対応して設けられており、これらをマトリクス状に配列することによって表示部100が構成されている。なお、図示した1本のデータ線114は、実際には、複数本のデータ線のセットで構成されており、それぞれの画素110には、階調データを記憶する画素内メモリが内蔵されている。これらの点を含めて、画素110の具体的な構成については後述する。

【 0 0 2 5 】

タイミング信号生成回路200には、図示しない上位装置より、垂直同期信号Vs、水平同期信号Hs、入力階調データD0~D5のドットクロック信号DCLK、およびモード信号MODEといった外部信号が供給される。ここで、モード信号MODEは、表示階調数を、多階調モードである第1の動作モード、または、第1のモードよりも表示階調数が少ない第2の動作モードのいずれかを指示する信号である。第1の動作モードは、例えば、多階調の動画表示に適したモードである。また、第2の動作モードは、例えば、キャラクタ表示といった低階調の静止画表示に適したモードであり、第1の動作モードと比較して消費電力が少ない。本実施形態では、一例として、第1の動作モードの階調数を64とし、第2の動作モードの階調数を、それよりも少ない8とする。発振回路150は、読出タイミングの基本クロックRCLKを生成し、これをタイミング信号生成回路200に供給する。

【 0 0 2 6 】

タイミング信号生成回路200は、外部信号Vs, Hs, DCLK, MODEに基づいて、交流化信号FR、スタートパルスDY、クロック信号CLY、ラッチパルスLP、クロック信号CLX、選択信号SEL1, SEL2等を含む各種の内部信号を生成する。こ

10

20

30

40

50

で、交流化信号FRは、1フレーム毎、或いは周期的に極性反転する信号である。スタートパルスDYは、後述する各サブフィールドSFの開始タイミングに出力されるパルス信号であり、このパルスDYによって、それぞれのサブフィールドSFの切り替わりが制御される。クロック信号CLYは、走査側(Y側)における水平走査期間(1H)を規定する信号である。ラッチパルスLPは、水平走査期間の最初に出力されるパルス信号であって、クロック信号CLYのレベル遷移時、すなわち、立ち上がり時および立ち下がり時に出力される。クロック信号CLXは、画素110(正確には画素内メモリ)へのデータ書込用のドットクロック信号である。第1の選択信号SEL1は、階調信号P0~P2を生成する際のベースクロックCK3として用いられるクロックCK1, CK2のいずれかを選択する信号である。第2の選択信号SEL2は、6ビットの入力階調データD0~D5の一部を選択する信号である。

10

【0027】

走査線駆動回路130は、それぞれのサブフィールドSFの最初に供給されるスタートパルスDYを、クロック信号CLYにしたがって転送し、それぞれの走査線112に対して走査信号G1, G2, G3, ..., Gmとして順次排他的に供給する。これにより、走査線駆動回路130は、走査線112の線順次走査を行い、例えば、同図における最上の走査線112から最下の走査線112に向って、走査線112を1本ずつ順次選択していく。

【0028】

データ変換回路300は、上位装置から入力される6ビットの階調データD0~D5をフレームメモリに一時的に格納する。それとともに、データ変換回路300は、適宜のタイミングで、下位3ビットのデータD0~D2または上位3ビットのデータD3~D5のいずれかをフレームメモリから選択的に読み出し、これをデータ線駆動回路140に出力する。3ビットの階調データD0~D2, D3~D5のどちらが出力されるかは、第2の選択信号SEL2によって指示される。すなわち、選択信号SEL2がLレベルの場合には、下位3ビットの階調データD0~D2が出力され、これがHレベルの場合には、上位3ビットの階調データD3~D5が出力される。

20

【0029】

第2の選択信号SEL2のレベル状態は、動作モードによって異なる。モード信号MODEによって第1の動作モードが指示されている場合、第2の選択信号SEL2は、所定の期間t1だけLレベルに設定された後、Hレベルに切り替わり、このHレベルが所定の期間t2だけ維持される。したがって、前半の期間t1では、入力階調データD0~D5の内、下位データD0~D2のみがフレームメモリから読み出され、読み出されたデータD0~D2がデータ線駆動回路140に出力される。そして、前半の期間t1に続く後半の期間t2において、フレームメモリに格納された上位データD3~D5が読み出され、読み出されたデータD3~D5がデータ線駆動回路140に出力される。これに対して、モード信号MODEによって第2の動作モードが指示されている場合、第2の選択信号SEL2はHレベルのまま維持される。したがって、この場合には、上位データD3~D5のみが出力される。なお、前半の期間t1は、後述する第1のサブフィールド群の合計期間に相当し、後半の期間t2は、後述する第2のサブフィールド群の合計期間に相当する。そして、前半の期間t1と後半の期間t2とを合計した期間が、1フレームに相当する。

30

40

【0030】

データ線駆動回路140は、1水平走査期間(1H)において、今回データを書き込む画素行に対するデータの一斉出力と、次の1Hでデータを書き込む画素行に関するデータの点順次的なラッチとを並行して行う。ある水平走査期間において、データ線114の本数相当分のデータが順次ラッチされる。そして、次の水平走査期間において、これらのラッチされたデータが、データ信号d1, d2, d3, ..., dnとして、それぞれのデータ線114に一斉に出力される。第1の動作モードの場合、1フレーム内において、下位データD0~D2のラッチ・出力が終了した後に、上位データD3~D5のラッチ・出力が開始される。

【0031】

50

データ線駆動回路 140 は、Xシフトレジスタ、第1のラッチ回路および第2のラッチ回路で構成された回路系を3系統分有する（これにより3ビットの階調データD0～D2（またはD3～D5）のラッチ・出力が可能になる）。1ビットシリアルデータの処理系でみた場合、Xシフトレジスタは、1水平走査期間の最初に供給されるラッチパルスLPをクロック信号CLXにしたがって転送し、ラッチ信号S1, S2, S3, ..., Snとして順次排他的に供給する。第1のラッチ回路は、ラッチ信号S1, S2, S3, ..., Snの立ち下がりにおいて、1ビットデータを順次ラッチする。第2のラッチ回路は、第1のラッチ回路によりラッチされた1ビットデータをラッチパルスLPの立ち下がりにおいてラッチし、HレベルまたはLレベルの2値データd1, d2, d3, ..., dnとして、データ線114に平行に出力する。

10

【0032】

本実施形態において、それぞれの画素110の画素電極には、データ線114に供給されたデータに応じた電圧が直接印加されるのではなく、これとは別系統で供給されるオフ電圧Voffまたはオン電圧Vonが印加される。データ線114に供給されるデータは、画素電極に印加される電圧Voff, Vonを選択するために用いられる。一方、この画素電極と対向する対向電極には、電圧LCOMが印加される。液晶を交流駆動するために、電圧LCOMを1フレーム或いは周期的に極性反転する電圧（例えば0[V], 3[V]）、オフ電圧Voffをこれとは同相の電圧（例えば0[V], 3[V]）、オン電圧Vonをこれとは逆相の電圧（例えば3[V], 0[V]）にそれぞれ設定する。なお、これらの駆動電圧Voff, Von, LCOMは、タイミング信号生成回路200から出力された交流化信号FRに基づいて、

20

【0033】

クロック生成回路170は、外部信号である垂直同期信号Vsと同期した、周波数の異なる2種類のクロックCK1, CK2を生成する。これらのクロックCK1, CK2の周波数比は、第1のサブフィールド群に関する重み付け（長さ）と第2のサブフィールド群に関する重み付けとを規定する。本実施形態において、第1のクロックCK1の周波数は、第2のクロックCK2の周波数の2倍に設定されている。また、第1のサブフィールド群全体は、第1のクロックCK1のk周期分に相当するのに対して、第2のサブフィールド群全体は、第2のクロックCK2の(4×k)周期分に相当する。したがって、後述するように、第2のサブフィールド群の全体的な重み付けは、第1のサブフィールド群の全体的な重み付けよりも大きくなり、本実施形態では8倍に設定されている。

30

【0034】

クロック選択回路180は、第1の選択信号SEL1に基づいて、2つのクロックCK1, CK2のいずれかを選択し、これをベースクロックCK3として階調信号生成回路160に出力する。具体的には、選択信号SEL1がHレベルの場合には、ベースクロックCK3として、周波数の高い第1のクロックCK1が選択される。一方、選択信号SEL1がLレベルの場合には、ベースクロックCK3として、第1のクロックCK1よりも周波数が低い第2のクロックCK2が選択される。

【0035】

第1の選択信号SEL1のレベル状態は動作モードによって異なる。モード信号MODEによって第1の動作モードが指示されている場合、第1の選択信号SEL1は、1フレームにおける前半の期間t1だけHレベルに設定された後、Lレベルに切り替わり、このLレベルが期間t2だけ維持される。したがって、ベースクロックCK3は、前半の期間t1では高周波な第1のクロックCK1相当になり、後半の期間t2では低周波な第2のクロックCK2相当になる。これに対して、第2の動作モードが指示されている場合、第1の選択信号SEL1はLレベルのまま維持される。したがって、この場合には、ベースクロックCK3は、低周波な第2のクロックCK2相当になる。このようにして生成されたベースクロックCK3に基づいて、階調信号生成回路160は、それぞれのサブフィールドSFを規定する3つの階調信号P0～P2を生成する。

40

【0036】

50

つぎに、図2を参照しながら、第1の動作モードにおけるサブフィールド駆動の概要について説明する。なお、同図に示した各サブフィールドSFの重み付けの設定、分割数、或いは、階調データに応じた組み合わせ方は一例であって、本発明はこれに限定されるものではない。第1の動作モードでは、64階調表示を行うべく、1画像の表示単位である1フレーム(1F)が17個のサブフィールドSFに分割されている。前半のサブフィールドSF1~SF4を「第1のサブフィールド群」とし、後半のサブフィールドSF5~SF17を「第2のサブフィールド群」とする。第1のサブフィールド群と第2のサブフィールド群との重み付け(表示期間)の比は、基本的に1:8に設定されている。ただし、これらの重み付けは、例えば1:8.1といったように、液晶の特性を考慮した上で適宜調整することもある。

10

【0037】

第1のサブフィールド群に関して、3つのサブフィールドSF2~SF4の重み付けの比は、基本的に、2:1:4に設定されている。ただし、これらのサブフィールドSF2~SF4の重み付けは、液晶の特性を考慮した上で、例えば20%程度の範囲内で適宜調整してもよい(例えば、2.1:0.9:4.1)。サブフィールドSF2~SF4における画素110の表示状態(オン状態/オフ状態)は、下位3ビットの階調データD0~D2によって決定される。図2の例において、D0が"1"の場合はサブフィールドSF3が、D1が"1"の場合はサブフィールドSF2が、D2が"1"の場合にはサブフィールドSF4がそれぞれオン状態に設定される。

【0038】

一方、第1のサブフィールド群の8倍の重み付けを有する第2のサブフィールド群に関して、サブフィールドSF(3n)~SF(3n+2)(n=2,3,4,5)の重み付けの比は、サブフィールドSF2~SF4と同様、基本的に、2:1:4に設定されている。例えば、n=2のグループに属するサブフィールドSF6~SF8の比(SF6:SF7:SF8)は、2:1:4である。ここで、サブフィールドSF(3n)(すなわち、SF6, SF9, SF12, SF15)の重み付けはいずれも実質的に同一であって、サブフィールドSF2の2倍(最短のサブフィールドSF3の4倍)の重み付けを有する長さに設定されている。サブフィールド(3n+1)(すなわち、SF7, SF10, SF13, SF16)の重み付けはいずれも実質的に同一であり、最短のサブフィールドSF3の2倍の重み付けを有する長さに設定されている。サブフィールドSF(3n+2)(すなわち、SF8, SF11, SF14, SF17)の重み付けはいずれも実質的に同一であり、サブフィールドSF4の2倍(最短のサブフィールドSF3の8倍)の重み付けを有する長さに設定されている。なお、それぞれのサブフィールドSF(3n)~SF(3n+2)の重み付けは、液晶の特性を考慮した上で、例えば20%程度の範囲内で適宜調整してもよい(例えば、2.1:0.9:4.1)。また、これと同様の理由で、サブフィールド番号を3で割った場合に剰余が同一になるグループ(例えば、剰余=0のSF6, SF9, SF12, SF15)に関して、それぞれの重み付けを調整することも可能である。

20

30

【0039】

以下、ある階調表示を行う際に、画素110の表示状態をオン状態に設定、すなわち、画素110を駆動する電圧を印加するサブフィールドSFを「オン・サブフィールドSFon」という。また、画素110の表示状態をオフ状態に設定、すなわち、画素110を駆動させない電圧を印加するサブフィールドSFを「オフ・サブフィールドSFoff」という。

40

【0040】

第2のサブフィールド群を構成するサブフィールドSF(3n)~SF(3n+2)に関して、画素110の駆動状態は、上位3ビットの階調データD3~D5によって決定される。ここで留意すべきは、上述した剰余が同一になるサブフィールドSFに関して、画素110の駆動状態は必ず同一に設定される点である。例えば、サブフィールドSF6がオン・サブフィールドSFonに設定される場合には、これと同一剰余(すなわち剰余0系)となるサブフィールドSF9, SF12, SF15もオン・サブフィールドSFonに設定される。ま

50

た、サブフィールドS F 7がオン・サブフィールドS F onに設定される場合、剰余1系のサブフィールドS F 10, S F 13, S F 16もオン・サブフィールドS F onに設定される。剰余2系のサブフィールドS F 8, S F 11, S F 14, S F 17についても同様である。その結果、図2に示したように、3つのサブフィールドS F 6~S F 8における画素110の一連の駆動パターンが、第2のサブフィールド群全体で4回繰り返されることになる。例えば、上位3ビット(D5D4D3)が"010"の場合、3つのサブフィールドS F 6~S F 8によって規定される画素110の駆動パターンは(オン・オフ・オフ)になるが、この駆動パターン(オン・オフ・オフ)はS F 9~S F 11, S F 12~S F 14, S F 15~S F 17においても同様に繰り返される。このような繰り返しは、3つのサブフィールドS F 6~S F 8における階調信号P0~P2の遷移順序(排他的にHレベルになる順序)を示す遷移パターンが、S F 9~S F 11, S F 12~S F 14, S F 15~S F 17において繰り返されることに起因して生じる。

10

【0041】

また、第1のサブフィールド群における最初のサブフィールドS F 1と、第2のサブフィールド群における最初のサブフィールドS F 5とに関しては、階調データD0~D5に拘わらず、所定の電圧(例えばオン電圧)を画素110に印加して、画素110を所定の状態(例えばオン状態)に設定する。このようなサブフィールドS F 1, S F 5を設ける理由は、液晶等の電気光学材料に関する電圧-透過率特性(または電圧-反射率特性)において、透過率(または反射率)が立ち上がり始める閾値電圧 V_{th} を与えるためである。なお、コントラスト特性の改善を図るといふ観点でいえば、階調"0"の場合だけは、最初のサブフィールドS F 1, S F 5をオフ状態に設定し、1フレーム全体をオフ状態に設定してもよい。或いは、サブフィールドS F 1をオフ状態、サブフィールドS F 5をオン状態にしてもよい。

20

【0042】

画素110の表示階調は、基本的に、画素110の表示状態をオン状態に設定するオン・サブフィールドS F onの組み合わせに応じた実効電圧により決定されるが、この組み合わせは、階調データD0~D5によって一義的に特定される。具体的には、下位3ビットの階調データD0~D2によって、第1のサブフィールド群を構成する各サブフィールドS F 2~S F 4のオン状態またはオフ状態が決定される。例えば、図2において、下位3ビット(D2D1D0)が"001"の場合には、重み付け"1"のサブフィールドS F 3がオン・サブフィールドS F onになり、"010"の場合には、重み付け"2"のサブフィールドS F 2がオン・サブフィールドS F onになる。

30

【0043】

一方、上位3ビットのデータD3~D5によって、第2のサブフィールド群を構成する各サブフィールドS F 6~S F 17のオン状態/オフ状態が決定される。ここで、サブフィールドS F 6~S F 8における階調信号P0~P2の遷移状態は、P1, P0, P2の順序で排他的にHレベルになっており、この遷移パターンが第2のサブフィールド群全体で4回繰り返される点に留意されたい。したがって、例えば、上位3ビット(D5D4D3)が"001"の場合には、階調信号P0が4回Hレベルになり、これに起因して剰余1系のサブフィールドS F 7, 10, 13, 16がオン・サブフィールドS F onになる。この場合、サブフィールドS F 6~S F 8の駆動パターンは(オフ・オン・オフ)となり、この駆動パターン(オフ・オン・オフ)が第2のサブフィールド群全体で4回繰り返される。そして、第2のサブフィールド群全体に占めるオン期間は、"8"(重み付け"2"と4サブフィールド分との積)となる。また、例えば、"010"の場合には、階調信号P1が4回Hレベルになり、これに起因して剰余0系のサブフィールドS F 6, 9, 12, 15がオン・サブフィールドS F onになる。そして、この場合の駆動パターンである(オン・オフ・オフ)が第2のサブフィールド群全体で4回繰り返される。

40

【0044】

本サブフィールド駆動の特徴の一つは、第2のサブフィールド群を複数にグループ($n = 2, 3, 4, 5$)に分割し、1つのグループ(例えば、 $n = 2$ のサブフィールドS F 6~

50

S F 8)の駆動パターン(例えば、オフ・オン・オフ)を所定の期間内で複数回繰り返す点にある。そして、連続した3つのサブフィールドS F 6 ~ S F 8における画素1 1 0の一連の駆動パターンが複数回繰り返されて、所望の階調が表示される。この駆動パターンの繰り返し回数は、3つのサブフィールドS F 6 ~ S F 8における階調信号P 0 ~ P 2の遷移パターンの繰り返し回数に相当する(本実施形態では4回)。これにより、第2のサブフィールド群において、オン・サブフィールドS Fonが分散されるため、第2のサブフィールド群の期間全体において、画素1 1 0の表示状態をオン状態にする期間がほぼ平均化される。オン・サブフィールドS Fonが局所的に偏在すると階調性の低下を招く点は上述したとおりであるが、本サブフィールド駆動では、オン・サブフィールドS Fonを複数に分割して分散させることで、かかる偏在を抑制している。その結果、階調性の改善を図ることができるので、表示品質の一層の向上を図れる。

10

【0045】

また、本サブフィールド駆動の別の特徴は、1フレームにおいて、画素1 1 0に階調データを2回書き込んで、2回のサブフィールド駆動を連続的に行う点にある。具体的には、第1のサブフィールド群に関しては、最初のサブフィールドS F 1で画素1 1 0に下位3ビットのデータD 0 ~ D 2を書き込んだ後、続くサブフィールド群S F 2 ~ S F 4において、データD 0 ~ D 2に応じた画素1 1 0の駆動を行う。つぎに、第2のサブフィールド群に関しては、最初のサブフィールドS F 5で画素1 1 0に上位3ビットのデータD 3 ~ D 5を書き込んだ後、続くサブフィールドS F 6 ~ S F 17において、データD 3 ~ D 5に応じた画素1 1 0の駆動を行う。基本的に、液晶等に作用する実効電圧は、1フレーム全体に占めるオン・サブフィールドS Fonの累積的な長さ(表示期間)に依存するため、この長さが増大するほど階調が大きくなる(ノーマリブラックモードの場合)。本実施形態では、1フレームの前半の期間t 1において、下位3ビットのデータD 0 ~ D 2に基づいて、サブフィールドS F 2 ~ S F 4のオン状態/オフ状態を設定する。そして、その後半の期間t 2において、上位3ビットのデータD 3 ~ D 5に基づいて、サブフィールドS F 6 ~ S F 17のオン状態/オフ状態を設定する。これにより、1フレーム全体の期間(t 1 + t 2)において、6ビットの階調データD 0 ~ D 5による64階調表示が実現される。

20

【0046】

つぎに、画素1 1 0の具体的な構成について説明する。図3は、本実施形態に係るメモリ内蔵型の画素1 1 0の構成を示す回路図である。画像の最小構成単位である画素1 1 0は、メモリ1 3 1、パルス幅制御回路1 3 2、および、電気光学素子である液晶1 3 7で構成されている。メモリ1 3 1は、3ビットデータを記憶すべく、一例として、それぞれが1ビットの記憶容量を有する3個のメモリセル1 3 1 a ~ 1 3 1 cで構成されている。それぞれのメモリセル1 3 1 a ~ 1 3 1 cは、データ線1 1 4を介して供給されたデータ信号d(" d " は、データ信号d 1, d 2, d 3, . . . , d nのいずれかを指す)の " 1 " または " 0 " を記憶する。なお、図1に示した1本のデータ線1 1 4は、3系統のデータ線1 1 4で構成されており、データ信号dとして、上記3ビットデータがそれぞれ供給される。また、図4に示すように、1系統のデータ線1 1 4は、2本のデータ線1 1 4 a, 1 1 4 bを有する。一方のデータ線1 1 4 aには、データ信号dが供給され、他方のデータ線1 1 4 bには、データ信号dのレベルを反転させた反転データ信号/dが供給される。パルス幅制御回路1 3 2は、デコーダ1 3 8、インバータ1 3 3および一對のトランスマッションゲート1 3 4 a, 1 3 4 bで構成されている。このパルス幅制御回路1 3 2は、メモリ1 3 1に書き込まれた階調データD 0 ~ D 2(またはD 3 ~ D 5)と階調信号P 0 ~ P 2とに基づいて、階調データD 0 ~ D 2(またはD 3 ~ D 5)に応じた時間密度を有するパルス信号PWを生成する。そして、このパルス信号PWに応じた時間密度を有する電圧が、画素電極1 3 5に対して印加される。

30

40

【0047】

図4は、1つのメモリセルの回路図である。このメモリセルは、一對のインバータ1 3 0 1, 1 3 0 2と、一對のトランジスタ1 3 0 3, 1 3 0 4とを有するスタティックメモリ

50

(SRAM)構成となっている。インバータ1301, 1302は、一方の出力端が他方の入力端に接続されたフリップフロップ構成を有し、1ビットのデータを記憶する。スイッチング素子として機能するトランジスタ1303, 1304は、データ書込時またはデータ読出時にオン状態となるNチャネルトランジスタである。一方のトランジスタ1303のドレインは、インバータ1301の入力とインバータ1302の出力とが供給される端子(Q出力)に接続されており、そのソース(D入力)は、データ線114aに接続されている。また、他方のトランジスタ1304のドレインは、インバータ1301の出力とインバータ1302の入力とが供給される端子(/Q出力)に接続されており、そのソース(/D入力)は、データ線114bに接続されている。そして、これらのトランジスタ1303, 1304のゲート(G入力)は、走査線112に共通接続されている。

10

【0048】

このような構成において、走査線112の走査信号G("G"は、走査信号G1, G2, G3, …, Gmのいずれかを指す)がHレベルの場合、トランジスタ1303, 1304が共にオン状態となる。これにより、データ線114a(114b)より供給されたデータ信号d(/d)が、一对のインバータ1301, 1302で構成されたメモリ素子に記憶される。記憶されたデータ信号dは、走査信号GがLレベルとなり、トランジスタ1303, 1304が共にオフ状態になった後も保持される。このような走査信号Gによる制御下において、メモリセル110aに記憶された1ビットのデータ信号dは、必要に応じて書き替えられる。

【0049】

20

図3において、パルス幅制御回路132の一部を構成するデコーダ138には、それぞれのメモリセル131a~131cからの3ビット分のQ出力と、階調信号生成回路160から出力された3つの階調信号P0~P2とが入力される。デコーダ138は、これらを入力とした論理演算を行い、その演算結果としてパルス信号PWを出力する。このパルス信号PWは、1フレーム内で、メモリ131に書き込まれた階調データD0~D2に応じたデューティ比(時間密度)を有する信号である。図5は、3ビットデータ(D0~D2またはD3~D5)と階調信号P0~P2との入力に対して、デコーダ138から出力されるパルス信号PWの真理値表である。例えば、3ビットデータ(D2D1D0またはD5D4D3)が"011"で、階調信号(P0P1P2)が"001(LLH)"の場合、パルス信号PWは、"0"、すなわちLレベルになる。

30

【0050】

デコーダ138の後段に設けられた一对のトランスミッションゲート134a, 134bの出力端は、画素電極135に接続されている。この画素電極135と対向電極136との間には、液晶137が挟まれて液晶層が形成されている。対向電極136は、素子基板に形成された画素電極135と対向するように対向基板に一面に形成される透明電極である。上述したように、この対向電極136には駆動電圧LCOMが供給される。

【0051】

デコーダ138から出力されたパルス信号PWは、一方のトランスミッションゲート134aの一部を構成するPチャネルトランジスタのゲートと、他方のトランスミッションゲート134bの一部を構成するNチャネルトランジスタのゲートとに供給される。また、このパルス信号PWは、インバータ133によってレベル反転された後、一方のトランスミッションゲート134aにおけるNチャネルトランジスタのゲートと、他方のトランスミッションゲート134bにおけるPチャネルトランジスタのゲートとに供給される。それぞれのトランスミッションゲート134a, 134bは、PチャネルトランジスタにLレベルのゲート信号が与えられ、かつ、NチャネルトランジスタにHレベルのゲート信号が与えられた場合に、オン状態になる。したがって、一对のトランスミッションゲート134a, 134bは、パルス信号PWのレベルに応じて、いずれかが択一的にオン状態となる。また、一方のトランスミッションゲート134aの入力端には、オフ電圧Voffが供給されており、他方のトランスミッションゲート134bの入力端には、オン電圧Vonが供給されている。

40

50

【 0 0 5 2 】

(第1の動作モード)

第1の動作モードでは、1フレームで2回のデータ書き込みが行われ、第1のサブフィールド群を対象にした画素110の駆動と、第2のサブフィールド群を対象にした画素110の駆動とが1フレームで連続的に行われる。第1のサブフィールド群の駆動を行う場合、図6(a)に示すように、最初のサブフィールドSF1において、全ての画素110内のメモリ131に、下位3ビットの階調データD0～D2が書き込まれる。具体的には、走査線駆動回路130は、サブフィールドSF1において、走査線112を1本ずつ選択していく線順次走査を行う。データ線駆動回路140は、走査線駆動回路130と協働し、ある走査線112が選択されている間に、選択された走査線112に対応する画素行に対して、1画素行分の階調データD0～D2をデータ線114を介して供給する。書込対象となる1行分の画素110に関しては、走査線112の選択によってメモリセル131a～131cのG入力が高レベルになっている。したがって、選択された走査線112とデータ線114との各交差に対応する書込対象となる画素110に関して、メモリ131に階調データD0～D2が書き込まれる。メモリ131に書き込まれた階調データD0～D2は、走査線112の選択終了後も保持される。上述したように、データの書き込みが行われる最初のサブフィールドSF1は必ずオン状態になるが、これに続くサブフィールドSF2～SF4のオン状態/オフ状態は、メモリ131に書き込まれた階調データD0～D2によって決定される。

10

【 0 0 5 3 】

これに対して、第2のサブフィールド群の駆動を行う場合、最初のサブフィールドSF5において、全ての画素110内のメモリ131に、上位3ビットの階調データD3～D5が書き込まれる。すなわち、図6(a)に示したように、走査線駆動回路130は、最初のサブフィールドSF5において、上述した線順次走査を行うとともに、データ線駆動回路140は、走査線駆動回路130と協働し、選択された走査線112に対応する画素行に対して、1画素行分の階調データD3～D5を供給する。データ線114を介して供給された階調データD3～D5は、メモリ131に書き込まれ、走査線112の選択終了後も保持される。これにより、メモリ131の記憶内容は、下位3ビットの階調データD0～D2から上位3ビットの階調データD3～D5へと書き替えられる。このようなデータの書き込みが行われる最初のサブフィールドSF5は必ずオン状態になるが、続くサブフィールドSF6～SF8のオン状態/オフ状態は、メモリ131に書き込まれた階調データD3～D5によって決定される。

20

30

【 0 0 5 4 】

メモリ131に3ビットデータD0～D2(またはD3～D5)が記憶されると、パルス幅制御回路132は、記憶された3ビットデータと、階調信号P0～P2とに応じて、時間密度を規定するパルス信号PWを高レベルまたは低レベルに設定する。このパルス信号PWが高レベルになる期間(オン・サブフィールドSFon)では、トランスマッションゲート134bがオン状態になるため、画素電極135にはオン電圧Vonが印加される。この画素電極135と対向する対向電極136にはオン電圧Vonとは逆相の駆動電圧LCOMが印加されているため、液晶137の印加電圧VLCDは、画素110の表示状態をオン状態にする電圧になる。これに対して、パルス信号PWが低レベルになる期間(オフ・サブフィールドSFoff)では、トランスマッションゲート134aがオン状態になるため、画素電極135にはオフ電圧Voffが印加される。対向電極136にはオフ電圧Voffとは同相の駆動電圧LCOMが印加されているため、液晶137の印加電圧VLCDは、画素110の表示状態をオフ状態にする電圧になる。このように、画素110の駆動は、パルス信号PWの時間密度で画素電極135に電圧(オン電圧Von)を印加することによって行われる。

40

【 0 0 5 5 】

図5の真理値表に示すように、メモリ131に記憶されている3ビットデータ(D2D1D0の順序またはD5D4D3の順序。以下同様。)が"000"の場合、階調信号(P

50

0 P 1 P 2) = " 0 0 0 " のみが P W = " 1 " となる。したがって、この階調信号 " 0 0 0 " に対応するサブフィールド S F 1 (または S F 5) がオン・サブフィールド S F on になり、それ以外はオフ・サブフィールド S F off になる。つぎに、3ビットデータが " 0 0 1 " の場合、階調信号 (P 0 P 1 P 2) = " 0 0 0 " , " 1 0 0 " において、P W = " 1 " となる。したがって、これらに対応するサブフィールド S F 1 , S F 3 (または S F 5 , S F 7 , S F 1 0 , S F 1 3 , S F 1 6) のみがオン・サブフィールド S F on になる。また、3ビットデータが " 0 1 0 " の場合、階調信号 (P 0 P 1 P 2) = " 0 0 0 " , " 0 1 0 " において、P W = " 1 " となる。したがって、これらに対応するサブフィールド S F 1 , S F 2 (または S F 5 , S F 6 , S F 9 , S F 1 2 , S F 1 5) のみがオン・サブフィールド S F on になる。それ以降の階調データについても同様であり、メモリ 1 3 1 に記憶された3ビットデータに応じて、パルス信号 P W が H レベルになるオン・サブフィールド S F on またはパルス信号 P W が L レベルになるオフ・サブフィールド S F off が決定される。

【 0 0 5 6 】

第1の動作モードにおける64階調表示は、1フレームにおいて、メモリ131に3ビットデータを2回書き込むことによって実現される。その際、第2のサブフィールド群の駆動において、階調信号 P 0 ~ P 2 は、4つのサブフィールドグループ (S F 6 ~ S F 8 , S F 9 ~ S F 1 1 , S F 1 2 ~ S F 1 4 , S F 1 5 ~ S F) で同様に遷移する。したがって、サブフィールド S F 5 でメモリ131に記憶された階調データ D 3 ~ D 5 は、まず、サブフィールドグループ S F 6 ~ S F 8 において読み出され、これに応じて画素 1 1 0 のオン状態 / オフ状態が設定される。次に、サブフィールドグループ S F 9 ~ S F 1 1 において、記憶された階調データ D 3 ~ D 5 が再度読み出されて、先のサブフィールドグループ S F 6 ~ S F 8 と同様の駆動パターンでオン状態 / オフ状態の設定が行われる。それ以降のサブフィールド S F 1 2 ~ S F 1 4 , S F 1 5 ~ S F 1 7 においても同様である。このように、第2のサブフィールド群の駆動では、メモリ131に記憶された階調データ D 3 ~ D 5 が4回読み出され、3つのサブフィールドにおける画素 1 1 0 のオン状態 / オフ状態を示す駆動パターンが4回繰り返し実行される。

【 0 0 5 7 】

例えば、6ビットの階調データ (D 5 D 4 D 3 D 2 D 1 D 0 の順序) が " 0 1 0 0 1 1 " の場合 (階調 = 19) 、前半において、下位3ビット (D 2 D 1 D 0) = " 0 1 1 " がメモリ131に書き込まれる。これによって、サブフィールド S F 1 に加えて、" 0 1 1 " に対応するサブフィールド S F 2 , S F 3 がオン・サブフィールド S F on に設定される。続く後半において、上位3ビット (D 5 D 4 D 3) = " 0 1 0 " がメモリ131に書き込まれる。これによって、サブフィールド S F 5 に加えて、" 0 1 0 " に対応するサブフィールド S F 6 , S F 9 , S F 1 2 , S F 1 5 がオン・サブフィールド S F on に設定される。その結果、1フレーム内において画素 1 1 0 がオンする期間は、上記オン・サブフィールド S F on の合計期間相当になり、階調 " 1 9 " が表示される。

【 0 0 5 8 】

(第2の動作モード)

第2の動作モードでは、図7に示すように、第2のサブフィールド群を対象にしたサブフィールド駆動が継続される。上述したように、モード信号 M O D E によって第2の動作モードが指示されている場合、第1の選択信号 S E L 1 は L レベルであり、第2の選択信号 S E L 2 が H レベルになる。したがって、階調データとして上位3ビット D 3 ~ D 5 のみを用い、かつ、第2のサブフィールド群のみが繰り返される、8階調表示用のサブフィールド駆動が行われる。

【 0 0 5 9 】

第1の動作モードと同様、第2の動作モードでは、最初のサブフィールド S F 5 において、全ての画素 1 1 0 内のメモリ131に、上位3ビットの階調データ D 3 ~ D 5 が書き込まれる。このデータ書込が行われる最初のサブフィールド S F 5 は必ずオン状態になるが、続くサブフィールド S F 6 ~ S F 1 7 のオン状態 / オフ状態は、メモリ131に書き込

10

20

30

40

50

まれた階調データD3～D5によって決定される。静止画像を表示する場合、メモリ131に階調データD3～D5を一旦記憶してしまえば、画素110の表示階調を変える必要性が生じない限り、データ書込を再度行う必要はない。したがって、2回目以降のサブフィールドSF5では、線順次走査によるデータ書込を行わず、メモリ131から読み出された3ビットデータのみを用いて、2回目以降のサブフィールド駆動を行ってもよい。これにより、サブフィールドSF5毎にデータ書込を繰り返す方法と比較して、第2の動作モードの実行時における消費電力を低減することができる。ただし、先に書き込んだ階調データD3～D5と同様のデータを、サブフィールドSF5毎に、メモリ131に繰り返し書き込むことも当然可能である。

【0060】

なお、第2の動作モードにおいて、上述した第2のサブフィールド群のみの駆動に代えて、第1のサブフィールド群のみの駆動を行ってもよい。この場合には、第1の選択信号SEL1をHレベル、第2の選択信号SEL2をLレベルにした上で、下位3ビットのデータD0～D2のみを用いて、画素110を駆動する。また、第1および第2のサブフィールド群の双方を用いた駆動を行うことも可能である。この場合、サブフィールド群の設定自体は、第1の動作モードと同様になるが、3ビットの階調データのみを用いることによって、低階調表示が可能となる。

【0061】

このように、本実施形態に係るサブフィールド駆動によれば、階調性の改善を図ることができるという効果がある。なぜなら、第2のサブフィールド群の全体的な期間において、オン・サブフィールドSFonを極力均一に分散させているからである。これを実現するために、本実施形態では、第2のサブフィールド群の駆動において、階調信号P0～P2に基づいて、メモリ131に書き込まれたデータD3～D5を複数回繰り返し読み出す。そして、これらのデータD3～D5に応じた時間密度を有する電圧を画素電極135に対して複数回繰り返し印加する。電圧印加の繰り返し回数は、メモリ131からデータを読み出す回数、換言すれば、階調信号P0～P2の遷移パターンの繰り返し回数に相当する。これにより、第1のサブフィールド群の駆動と併せて、階調データD0～D5に応じた階調表示が実現される。

【0062】

なお、階調性の一層の改善を図るといふ観点でいえば、繰り返される駆動パターンのそれぞれにおいて、階調信号P0～P2を遷移させる順番を適宜入れ替えてもよい。例えば、第2のサブフィールド群において、サブフィールドSF6～SF8でP2，P1，P3の順序でHレベルに遷移させた場合、続くサブフィールドSF9～SF11では、P1，P3，P2の順序でHレベルに遷移させるといった如くである。これにより、メモリ131に書き込まれた階調データD3～D5が読み出される順番が入れ替わるため、第2のサブフィールド群全体において、オン・サブフィールドSFonが一層分散される。

【0063】

また、本実施形態では、階調データD0～D5の一部を構成する互いに異なるビット列を書込単位とし、この書込単位となるデータD0～D2（またはD3～D5）を、メモリ131に1フレーム内で2回書き込む。そして、書込単位となるデータD0～D2（またはD3～D5）に基づいたサブフィールド駆動を、1フレーム内で2回行う。これにより、1フレーム毎に1回のデータの書き込みしか行わない場合と比較して、メモリ131の記憶容量の増大を招くことなく、一層の多階調表示を行うことが可能になる。

【0064】

なお、上述した実施形態では、1フレームにおける階調データの書込回数を2回とし、サブフィールド駆動を2回実行する例について説明した。しかしながら、1フレームにおいて、3回以上データを書き込んで、サブフィールド駆動を3回以上実行することも可能である。この場合には、上述した第1および第2のサブフィールド群に加えて、第3以降のサブフィールド群が付加される。例えば、64階調表示を(D0，D1)と(D2，D3)と(D4，D5)との3回書き込みで達成したり、或いは、512階調表示を(D0～

10

20

30

40

50

D 2) と (D 3 ~ D 5) と (D 6 ~ D 8) との 3 回書き込みで達成するといった如くである。

【 0 0 6 5 】

さらに、本実施形態では、切替可能なモードとして、第 1 の動作モードと第 2 の動作モードとが設定されており、これらは表示内容の特性に応じて適宜切り替えられる。例えば、多階調の動画を表示する場合には第 1 の動作モードを選択し、キャラクタといった低階調の静止画を表示する場合には、表示階調数よりも低消費電力化を優先して、第 2 の動作モードを選択するといった如くである。これにより、表示内容に適した表示制御を行うことが可能になり、表示品質の向上と低消費電力化との両立を図ることができる。

【 0 0 6 6 】

なお、上述した実施形態では、図 6 (a) に示したように、サブフィールド S F 2 ~ S F 4 (またはサブフィールド S F 6 ~ S F 1 7) のオン/オフ設定に先立ち、最初のサブフィールド S F 1 (または S F 5) で、階調データ D 0 ~ D 2 (または D 3 ~ D 5) の書き込みを行う例について説明した。しかしながら、本発明はこれに限定されるものではなく、図 6 (b) に示すように、階調データ D 0 ~ D 2 (または D 3 ~ D 5) の書き込みと、サブフィールド S F 2 ~ S F 4 (または S F 6 ~ S F 1 7) のオン/オフ設定とを並行して行うことも可能である。つまり、メモリ 1 3 1 に対するデータの書き込みを、サブフィールド群 (第 1 のサブフィールド群または第 2 のサブフィールド群) を構成する複数のサブフィールドに亘って行ってもよい。

【 0 0 6 7 】

この場合、同一の遷移タイミングを有する階調信号 P 2 P 1 P 0 で、サブフィールド駆動とデータ書き込みとを並行して行うことはできない。これを実現するには、階調信号生成回路 1 6 0 に、例えば、図 8 に示す階調信号シフト回路 1 6 1 を設ける必要がある。このシフト回路 1 6 1 は、それぞれの走査線 1 1 2 の選択期間に応じて、遷移タイミングをずらした m 個のシフト階調信号 P (0 ~ 2) 1 , P (0 ~ 2) 2 , … , P (0 ~ 2) m を新たに生成し、これを各走査線 1 1 2 に対応する画素行に供給する。つまり、個々の走査線 1 1 2 の選択と同期したサブフィールド S F を、走査線 1 1 2 毎に設定するのである。ここで、P (0 ~ 2) m は、m 本目の走査線 1 1 2 に対応した画素行に対して供給される、3 つのシフト階調信号を示す。

【 0 0 6 8 】

この階調信号シフト回路 1 6 1 は、ベース階調信号 P 0 が入力される第 1 のシフトレジスタ 1 6 1 a と、ベース階調信号 P 1 が入力される第 2 のシフトレジスタ 1 6 1 b と、ベース階調信号 P 2 が入力される第 3 のシフトレジスタ 1 6 1 c とで構成されている。これらのシフトレジスタ 1 6 1 a ~ 1 6 1 c には、1 水平走査期間 (1 H) を規定するクロック信号 G C K が入力される。

【 0 0 6 9 】

図 9 は、シフト階調信号のタイミングチャートである。第 1 のシフトレジスタ 1 6 1 a は、ベース階調信号 P 0 をクロック信号 G C K にしたがって転送し、それぞれの画素行に対応するシフト階調信号 P 0 1 , P 0 2 , … , P 0 m を生成する。そして、それぞれの信号 P 0 1 , P 0 2 , … , P 0 m は、対応する画素行に対して出力される。第 2 のシフトレジスタ 1 6 1 b は、ベース階調信号 P 1 をクロック信号 G C K にしたがって転送し、それぞれの画素行に対応するシフト階調信号 P 1 1 , P 1 2 , … , P 1 m を生成する。それぞれの信号 P 1 1 , P 1 2 , … , P 1 m は、対応する画素行に対して出力される。第 3 のシフトレジスタ 1 6 1 c は、ベース階調信号 P 2 をクロック信号 G C K にしたがって転送し、それぞれの画素行に対応するシフト階調信号 P 2 1 , P 2 2 , … , P 2 m を生成する。それぞれの信号 P 2 1 , P 2 2 , … , P 2 m は、対応する画素行に対して出力される。これにより、それぞれの画素行における走査線 1 1 2 の選択と、その画素行に対するサブフィールド S F の期間とを同期させることができるため、走査線 1 1 2 を順次選択している最中であっても、画素 1 1 0 の駆動を開始することが可能になる。

【 0 0 7 0 】

また、上述した実施形態では、駆動電圧LCOMと、これとは同相のオフ電圧Voffと、これとは逆相のオン電圧Vonとを用いて、液晶を交流駆動させている。しかしながら、液晶の交流駆動方式はこれに限定されるものではなく、他の方式を用いてもよいのは当然である。例えば、画素110の対向電極136に対しては、一定電圧Vc(例えば0[V])を印加する。また、画素電極135に対しては、メモリ131に記憶されたデータに応じて、VcまたはV1(V2)を択一的に印加する。ここで、電圧V1は、電圧Vcと比較して電圧VHだけ高い電圧であり、電圧V2は、電圧Vcと比較して電圧VHだけ低い電圧である。

【0071】

(第2の実施形態)

上述した第1の実施形態では、3ビットの画素内メモリを用い、1フレーム内で階調データの一部分である3ビットデータを2回書き込むことによって、64階調表示を行うサブフィールド駆動について説明した。これに対して、本実施形態では、6ビットの画素内メモリを用い、1フレーム内で6ビットの階調データD0~D5を一括して書き込むことによって、64階調表示を行うサブフィールド駆動について説明する。本実施形態に係る電気光学装置の全体的な構成は、図1とほぼ同様であるが、次の点が異なる。第1に、データ変換回路300は、下位3ビットD0~D2と上位3ビットD3~D5を選択的に出力するのではなく、6ビットの階調データD0~D5を同時に出力する。そのため、本実施形態では、階調データD0~D2, D3~D5の選択を指示する選択信号SEL2が不要となる。第2に、6ビットの階調データD0~D5を一括して画素110に供給する関係上、階調データD0~D5の供給系が6系統設けられている。第3に、画素内メモリが6ビットの記憶容量を有する。そして、第4に、階調信号生成回路160は、6つの階調信号P0~P5を生成する。

【0072】

図10は、本実施形態に係るメモリ内蔵型の画素110の構成を示す回路図である。なお、図3に示した構成要素と同一の要素については同一の符号を付して、詳細な説明を省略する。それぞれの画素110が有するメモリ131は、6ビットの階調データD0~D5を同時に記憶すべく、6つのメモリセル131a~131fで構成されている。また、パルス幅制御回路132は、第1の実施形態と同様に、デコーダ138、インバータ133および一對のトランスマッションゲート134a, 134bで構成されている。ただし、デコーダ138には、6つのメモリセル131a~131dからの出力と、階調信号生成回路160からの6つの階調信号P0~P5とが入力される。このデコーダ138は、階調信号P0~P5に基づいて、階調データD0~D5に応じた時間密度を有するパルス信号PWを生成する。

【0073】

図11は、第1の動作モードにおけるサブフィールド駆動の説明図である。各サブフィールドの重み付けや階調データに応じた組み合わせ方等に関しては、基本的に第1の実施形態と同様であるが、第2のサブフィールド群にサブフィールドSF5が存在しない点が相違する。サブフィールドSF5が不要な理由は、下位3ビットD0~D2のみならず上位3ビットD3~D5も、最初のサブフィールドSF1で一括的にメモリ131に書き込んでしまうからである。最初のサブフィールドSF1において一括的にメモリ131に書き込まれたデータは、次の階調データD0~D5が書き込まれるまで保持される。

【0074】

階調信号P0~P2は、第1のサブフィールド群を構成するサブフィールドSF2~SF4では択一的にHレベルになり、第2のサブフィールド群では全てLレベルに維持される。そして、いずれかの階調信号P0, P1, P2が排他的にHレベルになると、サブフィールドSF2, SF3, SF4のいずれかが指定される。これに対して、階調信号P3~P5は、第1のサブフィールド群では全てLレベルに維持され、第2のサブフィールド群を構成するサブフィールドSF6~SF17では択一的にHレベルになる。そして、いずれかの階調信号P3, P4, P5が排他的にHレベルになると、サブフィールドSF(3n), SF(3n+1), SF(3n+2)のいずれかが指定される(n=2, 3, 4, 5)。画素110

10

20

30

40

50

の表示状態をオン状態に設定するオン・サブフィールドS F onは、メモリ131に書き込まれた6ビットの階調データD0～D5と階調データD0～D5とに基づいて特定される。

【0075】

このように、本実施形態によれば、第1の実施形態と同様に効果を有する他、全ての階調データD0～D5をサブフィールドS F 1において一括的に書き込むため、第1の実施形態におけるサブフィールドS F 5が不要になるという利点がある。なお、このような階調データD0～D5の一括書き込みを、サブフィールドS F 1ではなく、第2のサブフィールド群における最初のサブフィールドS F 5で行ってもよい。この場合、第1のサブフィールド群における最初のサブフィールドS F 1は不要になる。

10

【0076】

なお、上述した各実施形態では、画素電極135に対して、2値電圧(オン電圧V_{on}、オフ電圧V_{off})を択一的に印加することにより、画素110を2つの表示状態(オン状態またはオフ状態)のいずれかに設定する例について説明した。しかしながら、本発明はこれに限定されるものではなく、画素電極135に対して、少なくともオン電圧V_{on}とオフ電圧V_{off}とを含む3つ以上の電圧を印加することにより、画素110の駆動状態を3つ以上に設定してもよい。つまり、電圧階調変調とサブフィールド駆動とを併用した駆動方法に対しても本発明は適用可能である。また、上述した実施形態では、画素内メモリへのデータの書き込みを線順次走査で行うを例について説明したが、本発明はこれに限定されるものではなく、例えば点順次走査やランダムアクセスによって行うことも可能である。

20

【0077】

また、上述した各実施形態では、電気光学素子として液晶(LC)を用いた例について説明した。液晶としては、例えば、TN(Twisted Nematic)型のほか、180°以上のねじれ配向を有するSTN(Super Twisted Nematic)型、BTN(Bi-stable Twisted Nematic)型、強誘電型等のメモリ性を有する双安定型、高分子分散型、ゲストホスト型等を含めて、周知なものを広く用いることができる。また、本発明は、3端子スイッチング素子であるTF T(Thin Film Transistor)以外に、例えばTF D(Thin Film Diode)といった2端子スイッチング素子を用いたアクティブマトリクス型パネルに対しても適用可能である。それとともに、本発明は、スイッチング素子を用いないパッシブマトリクス型パネルに対しても適用可能である。さらに、本発明は、液晶以外の電気光学材料、例えば

30

、エレクトロルミネッセンス(EL)、デジタルマイクロミラーデバイス(DMD)、或いは、プラズマ発光や電子放出による蛍光等を用いた様々な電気光学素子に対しても適用可能である。

【0078】

(第3の実施形態)

例えば、電気光学素子として有機EL素子を用い、かつ、画素2へのデータ書き込みを電流プログラム方式で行うこともできる。ここで、「電流プログラム方式」とは、データ線に対するデータ供給を電流ベースで行う方式をいう。本実施形態に係る電気光学装置の構成も、基本的には第1の実施形態と同様である。

【0079】

図12は、本実施形態に係る有機EL素子を用いた電流プログラム方式の画素110の一例を示す等価回路図である。1つの画素110は、有機EL素子OLED、3つのトランジスタT1、T2、T4およびキャパシタCによって構成されている。第1のスイッチングトランジスタT1のゲートは、走査信号SELが供給された走査線Y_nに接続され、そのソースは、データ電流I_{data}が供給されたデータ線X_mに接続されている。第1のスイッチングトランジスタT1のドレインは、第2のスイッチングトランジスタT2のソースと、駆動トランジスタT4のドレインと、有機EL素子OLEDのアノードとに共通接続されている。第2のスイッチングトランジスタT2のゲートは、第1のスイッチングトランジスタT1と同様に、走査信号SELが供給される走査線Y_nに接続されている。第2のスイッチングトランジスタT2のドレインは、キャパシタCの一方の電極と、駆動トランジスタT4のゲ-

40

50

トとに共通接続されている。キャパシタCの他方の電極および駆動トランジスタT4のソースは、電源電圧V_{dd}に設定された第1の電源線L1に共通接続されている。一方、有機EL素子OLEDのカソードは、電圧V_{ss}に設定された電源線L2に接続されている。

【0080】

図12に示した画素110の制御プロセスは以下ようになる。走査信号SELがHレベルの期間において、スイッチングトランジスタT1, T2が共にオンする。

これにより、データ線X_mと駆動トランジスタT4のドレインとが電氣的に接続されるとともに、駆動トランジスタT4は、自己のゲートと自己のドレインとが電氣的に接続されたダイオード接続となる。プログラミングトランジスタとしての機能も担う駆動トランジスタT4は、データ線X_mより供給されたデータ電流I_{data}を自己のチャンネルに流し、このデータ電流I_{data}に応じたゲート電圧V_gを自己のゲートに発生させる。その結果、駆動トランジスタT4のゲートに接続されたキャパシタCには、発生したゲート電圧V_gに応じた電荷が蓄積されて、データが書き込まれる。その後、走査信号SELがLレベルに立ち下ると、スイッチングトランジスタT1, T2が共にオフする。これにより、データ線X_mと駆動トランジスタT4のドレインとが電氣的に遮断される。しかしながら、キャパシタCの蓄積電荷によって、駆動トランジスタT4のゲートにはゲート電圧V_g相当が印加されるため、駆動トランジスタT4は、ゲート電圧V_gに応じた駆動電流を自己のチャンネルに流し続ける。その結果、この駆動電流の電流経路中に設けられた有機EL素子OLEDは、駆動電流に応じた輝度で発光して、画素110の階調表示が行われる。

【0081】

このように、本実施形態では、画素110が有機EL素子OLEDを含み、かつ、電流プログラム方式によって画素110にデータが書き込まれる電気光学装置においても、上述した各実施形態と同様の効果を得ることができる。

【0082】

また、高品質な階調表示が可能な表示部100（投射型、反射型の別を問わない）を有する電気光学装置は、例えば、プロジェクタ、携帯電話機、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

【0083】

【発明の効果】

本発明では、画素内メモリに記憶された階調データを複数回繰り返し読み出し、読み出したデータに応じた時間密度を有する電圧を画素に対して複数回繰り返し印加することにより、階調データに応じた階調表示を行う。これにより、所定の期間内において、画素を駆動する期間をほぼ平均的に分散させることができる。その結果、階調性を改善でき、表示品質の一層の向上を図れる。

【図面の簡単な説明】

【図1】 第1の実施形態に係る電気光学装置の構成図。

【図2】 第1の動作モードにおけるサブフィールド駆動の説明図。

【図3】 メモリ内蔵型画素の構成を示す回路図。

【図4】 メモリセルの構成を示す回路図。

【図5】 デコーダから出力されるパルス信号の真理値表。

【図6】 第1の動作モードにおける走査タイミングの説明図。

【図7】 第2の動作モードにおけるサブフィールド駆動の説明図。

【図8】 階調信号オフセット回路の構成図。

【図9】 階調信号オフセット走査と表示とを並行して行う場合のタイミングチャート。

【図10】 第2の実施形態に係るメモリ内蔵型画素の構成を示す回路図。

【図11】 第2の実施形態の第1の動作モードにおけるサブフィールド駆動の説明図。

【図12】 第3の実施形態に係る画素の等価回路図。

【符号の説明】

10

20

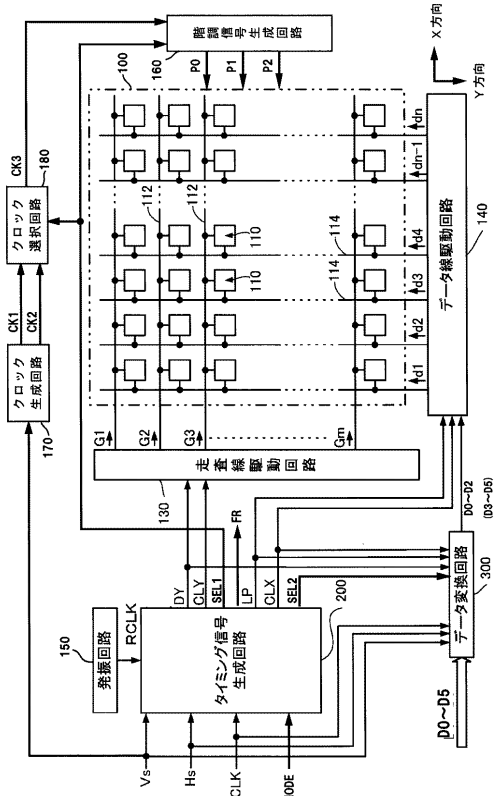
30

40

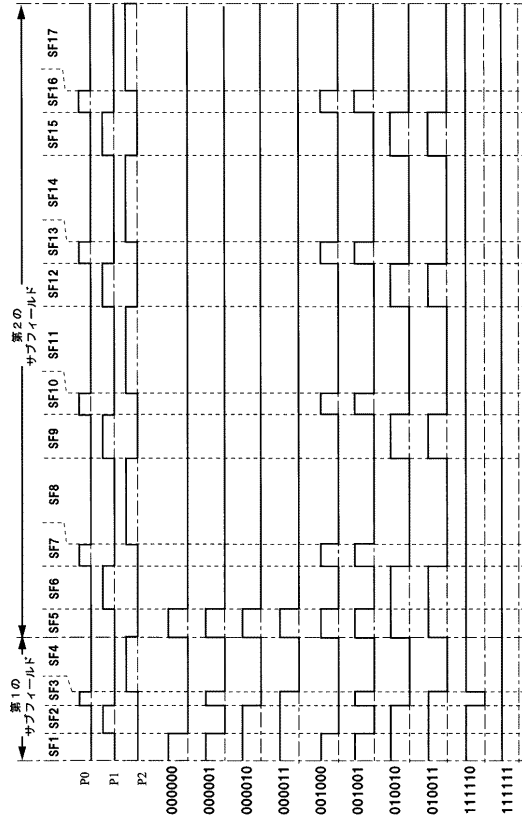
50

1 0 0	表示部	
1 1 0	画素	
1 1 2	走査線	
1 1 4	データ線	
1 1 4 a	第1のデータ線	
1 1 4 b	第2のデータ線	
1 3 0	走査線駆動回路	
1 3 1	メモリ	
1 3 1 a ~ 1 3 1 c	メモリセル	
1 3 2	パルス幅制御回路	10
1 3 3	インバータ	
1 3 4 a , 1 3 4 b	トランスマッションゲート	
1 3 5	画素電極	
1 3 6	対向電極	
1 3 7	液晶	
1 3 8	デコーダ	
1 4 0	データ線駆動回路	
1 5 0	発振回路	
1 6 0	階調信号生成回路	
1 6 1	階調信号シフト回路	20
1 7 0	クロック生成回路	
1 8 0	クロック選択回路	
2 0 0	タイミング信号生成回路	
3 0 0	データ変換回路	
1 3 0 1 , 1 3 0 2	インバータ	
1 3 0 3 , 1 3 0 4	Nチャンネルトランジスタ	

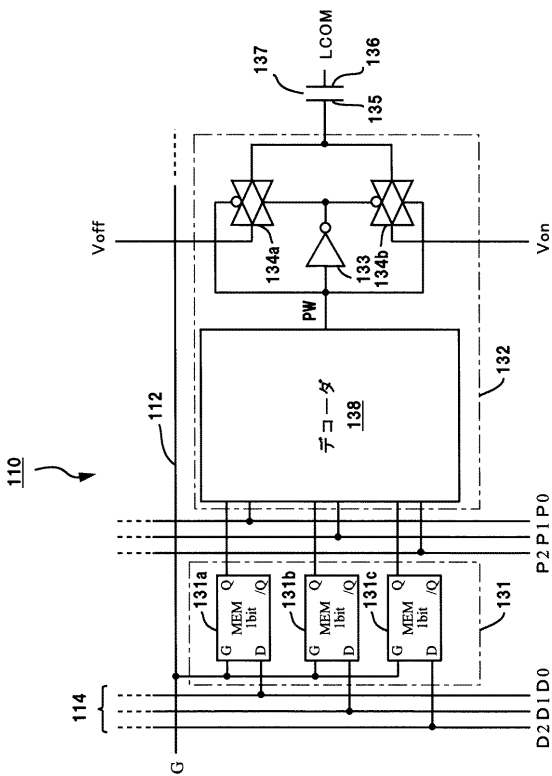
【図1】



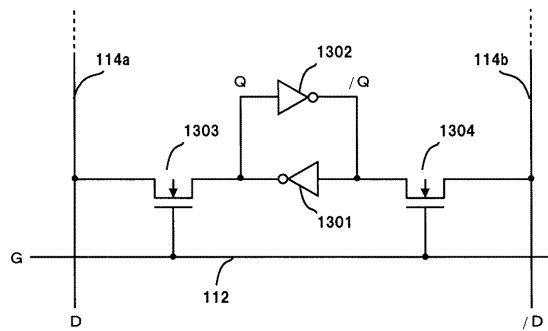
【図2】



【図3】



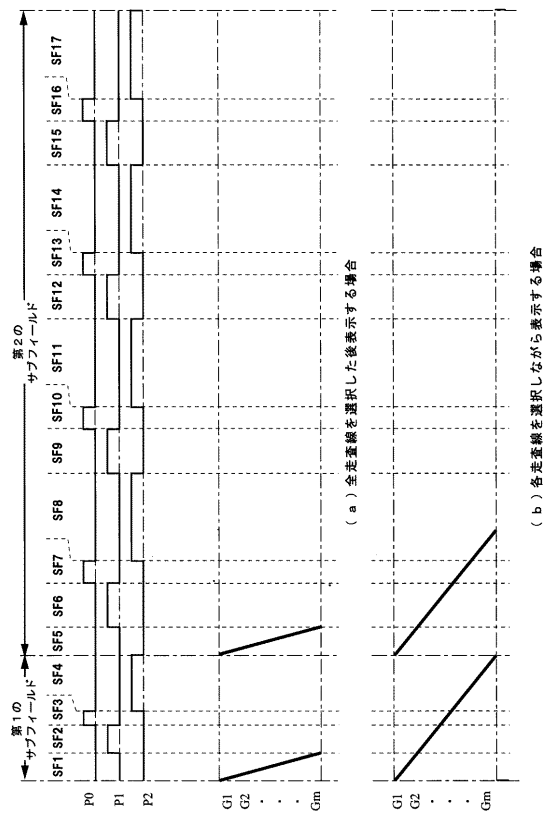
【図4】



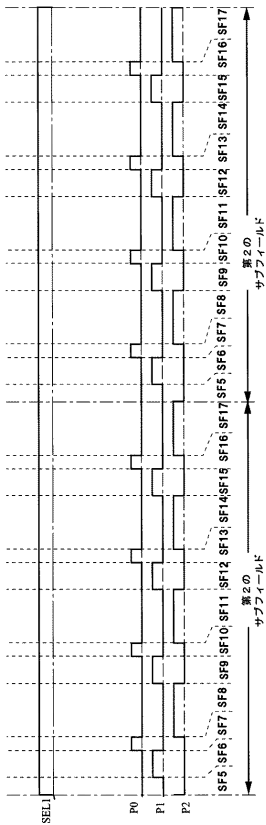
【図5】

		第1のサブフィールド群	SF1	SF2	SF3	SF4
		第2のサブフィールド群	SF5	SF(3n)	SF(3n+1)	SF(3n+2)
	P0		0	0	1	0
	P1		0	1	0	0
	P2		0	0	0	1
LSB(D2D1D0)						
MSB(D5D4D3)						
000			1	0	0	0
001			1	0	1	0
010			1	1	0	0
011			1	1	1	0
100			1	0	0	1
101			1	0	1	1
110			1	1	0	1
111			1	1	1	1

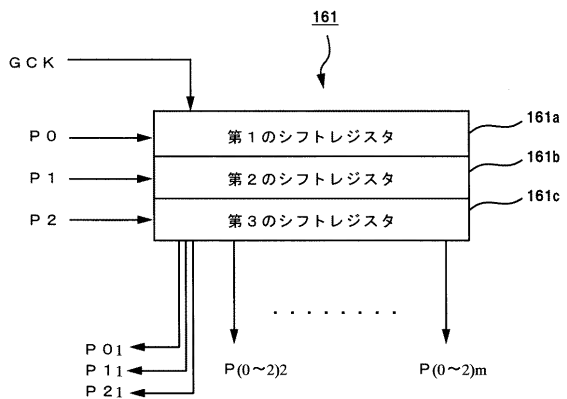
【図6】



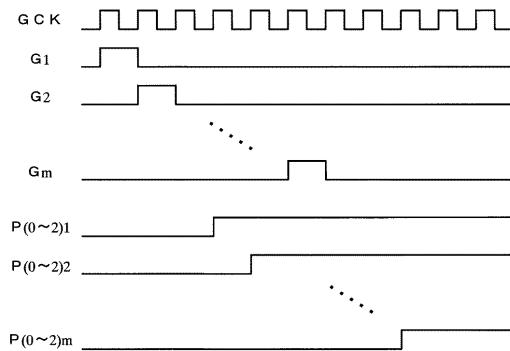
【図7】



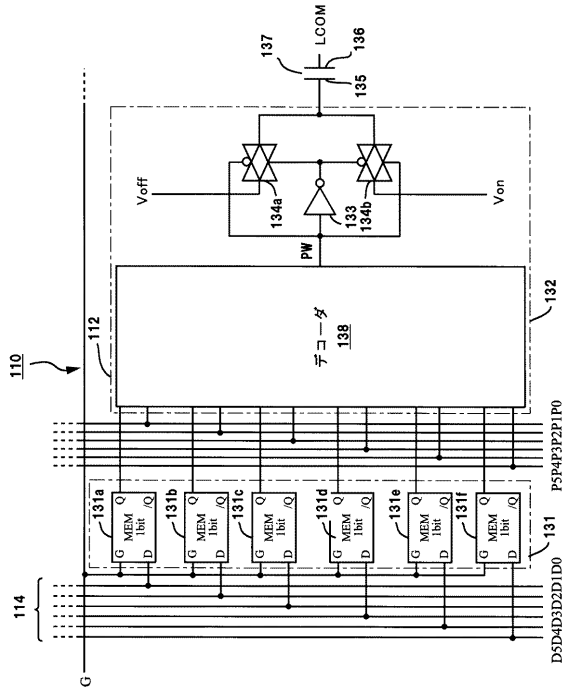
【図8】



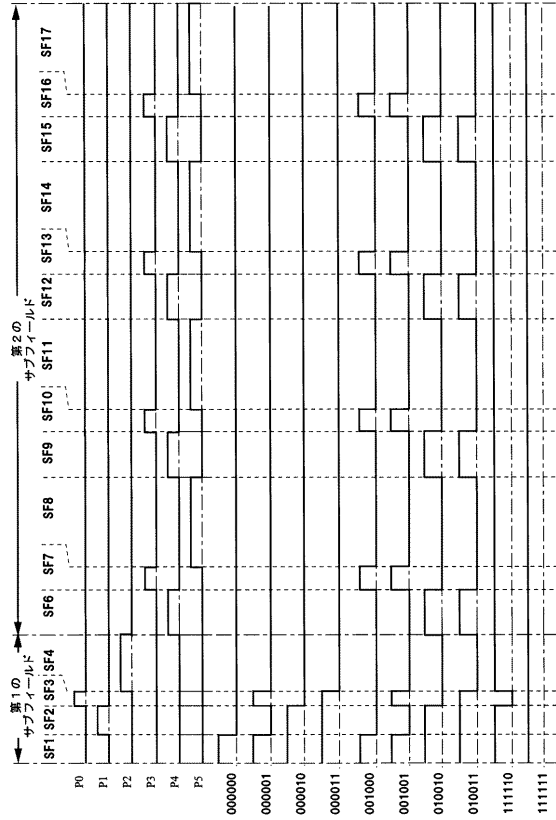
【図9】



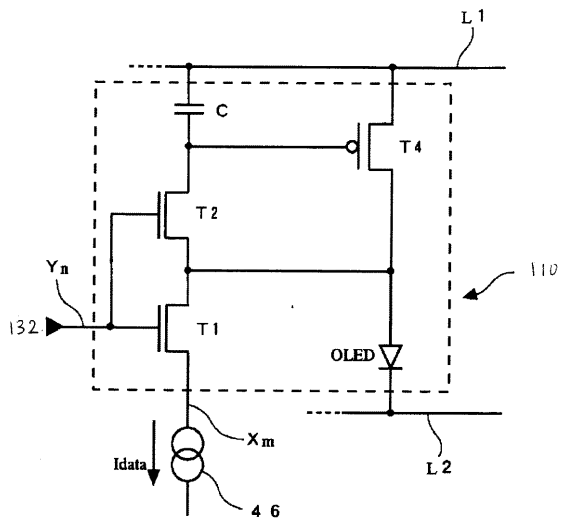
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 0 5
G 0 9 G 3/30 J
G 0 9 G 3/30 K
G 0 9 G 3/36

(56)参考文献 特表平 1 0 - 5 0 5 4 3 6 (J P , A)
欧州特許出願公開第 0 1 1 9 3 6 7 4 (E P , A 1)
特開 2 0 0 3 - 1 3 1 6 2 8 (J P , A)
特開 2 0 0 2 - 2 8 7 7 1 8 (J P , A)
特開 2 0 0 2 - 1 2 3 2 1 8 (J P , A)
特開 2 0 0 2 - 0 8 2 6 5 3 (J P , A)
特開 2 0 0 1 - 1 0 0 7 0 7 (J P , A)
特開 2 0 0 2 - 3 4 1 8 2 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/20
G02F 1/133
G09G 3/30
G09G 3/36