



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I515855 B

(45)公告日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：099135404

(22)申請日：中華民國 99 (2010) 年 10 月 18 日

(51)Int. Cl. : H01L23/495 (2006.01)

H01L23/12 (2006.01)

(30)優先權：2009/10/19 美國

12/581,609

(71)申請人：國家半導體公司(美國) NATIONAL SEMICONDUCTOR CORPORATION (US)
美國(72)發明人：李紹煒 LEE, SHAW WEI (US)；吳音順 NG, EIN SUN (MY)；劉諸錫 LIU, CHUE
SIAM (MY)；李毅金 LEE, YEE KIM (MY)；李漢明 LEE, HAN MENG (MY)

(74)代理人：閻啟泰

(56)參考文獻：

JP H11-150143A

US 7205180B1

US 2002/0024122A1

審查人員：郭子鳳

申請專利範圍項數：12 項 圖式數：5 共 35 頁

(54)名稱

具有提升接地接合穩定性之引線架封裝

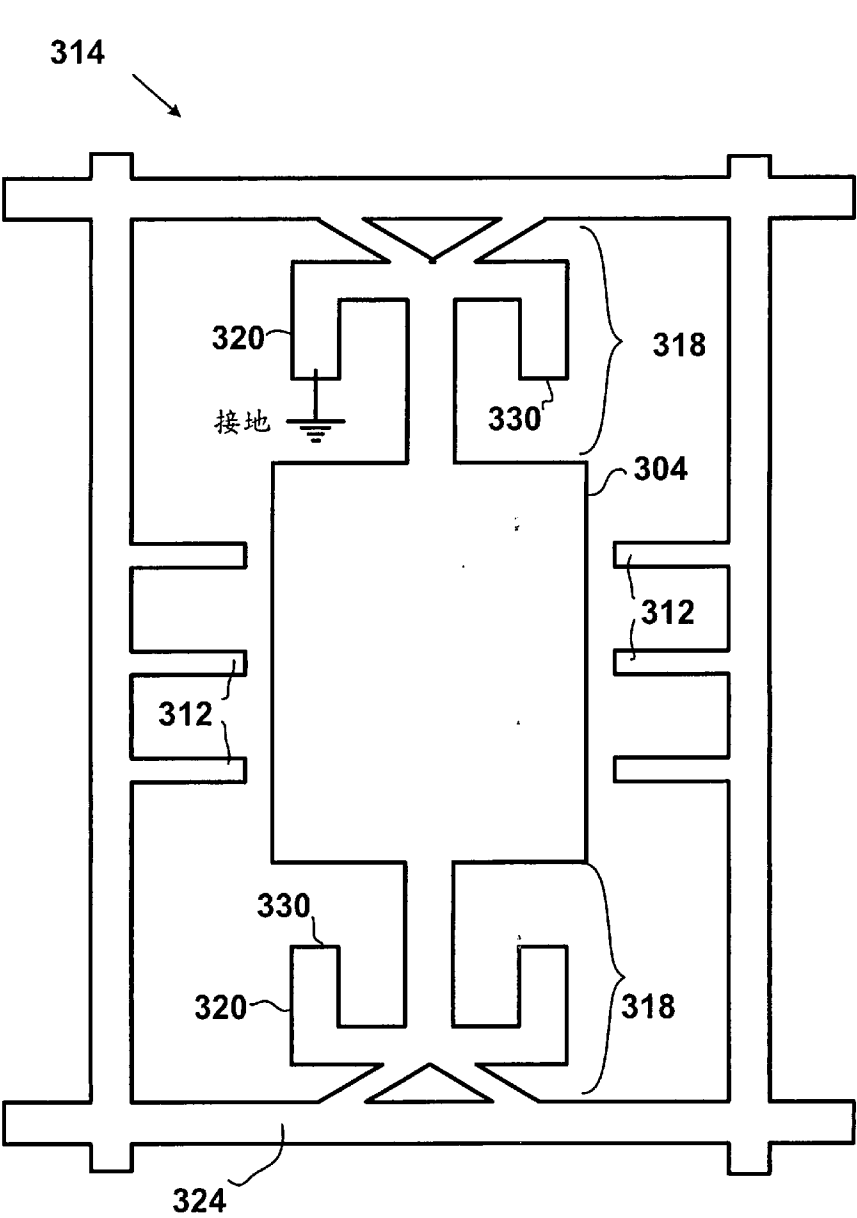
LEADFRAME PACKAGES HAVING ENHANCED GROUND-BOND RELIABILITY

(57)摘要

描述改良線接合一晶粒至接地或其他外部接點之穩定性的各種半導體封裝配置及方法。在一態樣中，該晶粒上之選定接地襯墊線接合至一位於引線架之連接桿部分上的接合區。該連接桿連接至一相對於該連接桿之該接合區而下置的暴露晶粒附著襯墊。在一些具體實例中，該接合區與該等引線係處於該晶粒及該晶粒附著襯墊上方之實質上相同之高度處。該晶粒、該等接合線以及該引線架之至少一部分可使用一塑膠囊封物材料囊封，而留下該晶粒附著襯墊之一接觸表面經暴露以促進將該晶粒附著襯墊電耦接至一外部裝置。

Various semiconductor package arrangements and methods that improve the reliability of wire bonding a die to ground or other outside contacts are described. In one aspect, selected ground pads on the die are wire bonded to a bonding region located on the tie bar portion of the lead frame. The tie bar is connected to an exposed die attach pad that is downset from the bonding region of the tie bar. In some embodiments, the bonding region and the leads are at substantially the same elevation above the die and die attach pad. The die, bonding wires, and at least a portion of the lead frame can be encapsulated with a plastic encapsulant material while leaving a contact surface of the die attach pad exposed to facilitate electrically coupling the die attach pad to an external device.

指定代表圖：



- 符號簡單說明：
- 304 . . . 晶粒附著襯墊
 - 312 . . . 多條引線
 - 314 . . . 引線架裝置區域
 - 318 . . . 連接樑
 - 320 . . . 接合區
 - 324 . . . 支撐樑
 - 330 . . . 指狀部分

圖3A

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99135404

※申請日： 99. 10. 18

※IPC 分類： H01L 23/1495 H2006.01

H01L 23/12 H2006.01

一、發明名稱：(中文/英文)

具有提升接地接合穩定性之引線架封裝

LEADFRAME PACKAGES HAVING ENHANCED
GROUND-BOND RELIABILITY

二、中文發明摘要：

描述改良線接合一晶粒至接地或其他外部接點之穩定性的各種半導體封裝配置及方法。在一態樣中，該晶粒上之選定接地襯墊線接合至一位於引線架之連接桿部分上的接合區。該連接桿連接至一相對於該連接桿之該接合區而下置的暴露晶粒附著襯墊。在一些具體實例中，該接合區與該等引線係處於該晶粒及該晶粒附著襯墊上方之實質上相同之高度處。該晶粒、該等接合線以及該引線架之至少一部分可使用一塑膠囊封物材料囊封，而留下該晶粒附著襯墊之一接觸表面經暴露以促進將該晶粒附著襯墊電耦接至一外部裝置。

三、英文發明摘要：

Various semiconductor package arrangements and methods that improve the reliability of wire bonding a die to ground or other outside contacts are described. In one

FIG. 6

aspect, selected ground pads on the die are wire bonded to a bonding region located on the tie bar portion of the lead frame. The tie bar is connected to an exposed die attach pad that is downset from the bonding region of the tie bar. In some embodiments, the bonding region and the leads are at substantially the same elevation above the die and die attach pad. The die, bonding wires, and at least a portion of the lead frame can be encapsulated with a plastic encapsulant material while leaving a contact surface of the die attach pad exposed to facilitate electrically coupling the die attach pad to an external device.

四、指定代表圖：

(一)本案指定代表圖為：圖 3A。

(二)本代表圖之元件符號簡單說明：

304：晶粒附著襯墊

312：多條引線

314：引線架裝置區域

318：連接桿

320：接合區

324：支撐桿

330：指狀部分

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於基於引線架之半導體封裝。更特定而言，描述提昇晶粒與充當用於封裝之接點之晶粒附著襯墊之間的電連接之穩定性的配置。

【先前技術】

許多半導體封裝利用金屬引線架來提供積體電路晶粒與外部組件之間的電互連。常使用被稱作「接合線」之極小電線來將晶粒上之 I/O 襯墊（常稱作「接合襯墊」）電連接至引線架中之對應引線/接點。典型地，晶粒、接合線及引線架之部分囊封於塑膠中以進行保護，而留下引線架之部分暴露以促進至外部裝置之電連接。

許多引線架包括在封裝之組裝期間支撐晶粒的晶粒附著襯墊（DAP）。在一些此種封裝中，晶粒附著襯墊暴露於封裝之一表面（典型地，底表面）上。暴露之晶粒附著襯墊可幫助進行封裝之熱管理，因為晶粒附著襯墊提供用於耗散由晶粒產生之過量熱的良好熱傳導路徑。在一些暴露之 DAP 封裝中，亦將晶粒附著襯墊用作用於封裝之電接點。最常見的是，將晶粒附著襯墊用作接地襯墊，但在少許封裝中其可用作一電源襯墊，且理論上其可或者用作一信號襯墊。

當晶粒附著襯墊用作電接點時，常使用接合線來將晶粒上之一或多個接地 I/O 襯墊電連接至晶粒附著襯墊（常稱作「向下接合」之程序）。最常見的是，將極精細金或銅線

用作接合線，且引線架係由銅或銅基合金形成。由於金並不良好地黏附至銅，故晶粒附著襯墊之頂表面（及引線架之其他相關部分）典型地鍍有銀薄膜，該銀薄膜較銅而易於黏附至金接合線。偶爾發生之問題為在裝置之使用期間晶粒有時將自晶粒附著襯墊脫層。亦可在晶粒附著襯墊與囊封晶粒之模製化合物之間發生脫層。當發生脫層時，相對於晶粒附著襯墊之晶粒之移動有時可使向下接合線與晶粒附著襯墊分離或以其他方式破壞向下接合線。

亦可在引線處發生類似脫層問題。舉例而言，脫層有時發生在模製材料與引線指狀物之間，尤其在鍍有銀之引線架之區中。模製材料與引線之間的脫層亦可損壞接合線。

在圖 1A 及圖 1B 中圖解地說明適用於具有暴露晶粒附著襯墊之封裝中的代表性引線架。圖 1A 為引線架 100 之俯視平面圖，其中一晶粒附著且電連接至該引線架。圖 1B 為沿剖面線 A-A 截取之圖 1A 之橫截面側視圖。晶粒 102 使用接地接合線 106 線接合至接地之晶粒附著襯墊 104。接地接合線 106 之一端附著至晶粒 102 上之接地 I/O 襯墊 110，而另一端直接附著至晶粒附著襯墊 104。在使用金接地接合線 106 之設計中，接地之晶粒附著襯墊 104 常鍍有銀以便改良接合之品質。另外，接合線 108 將晶粒 102 之 I/O 襯墊 116 連接至引線架 124 之相關聯引線 112，以便按照積體電路設計中的需要電連接晶粒。舉例而言，可使用接合線 108 將晶粒 102 連接至電源、信號線，或任何其他適合電連接。晶粒附著襯墊 104 係藉由連接桿 118 支撐。

儘管習知接地接合方法良好地適用於許多應用中，但仍持續努力改良接地接合之穩定性。

【發明內容】

為達成本發明之前述及其他目標，晶粒上之一或多個選定 I/O 襯墊（例如，接地 I/O 襯墊）電耦接至一攜載晶粒附著襯墊之連接桿之一部分，或一連接至此連接桿之結構。該接合區在該晶粒附著襯墊上方升高。由於將晶粒電連接至該晶粒附著襯墊之接合線在與晶粒附著襯墊不同之平面中接合，故若晶粒自晶粒附著襯墊脫層，則該等接合較不可能被破壞或損壞。相對於接合區而下置（downset）晶粒附著襯墊准許在脫層情況下進行較多相對運動，從而引起具有提昇之電穩定性的接地接合。在一些較佳具體實例中，接地區比相關聯連接桿之其他部分寬。此配置允許多個接地 I/O 襯墊電耦接至晶粒附著襯墊。

一些具體實例可具有一矩形放大接合區，而其他具體實例可具有一熔合之引線形狀。熔合之引線形狀包括自連接桿朝向晶粒附著襯墊向內延伸之至少一指狀部分。放大接合區之增加之表面積允許一連接桿上有多個接地接合位置。且，在一些設計中，引線架可具有多個連接桿及放大接合區，其可定位於晶粒之相對側上或在其他適合位置處。

半導體封裝亦可囊封於塑膠囊封物中以便保護任何相關聯裝置。晶粒附著襯墊之後表面常暴露以促進至外部裝置之電連接。

在審查以下圖式及詳細描述之後，對於熟習此項技術

者而言，本發明之其他設備、方法、特徵及優點將顯而易見或將變得顯而易見。所有此等額外系統、方法、特徵及優點意欲包括於此描述內，包括於本發明之範疇內，且由隨附申請專利範圍保護。

【實施方式】

在以下圖式中，相同參考符號有時用以指示相同結構元件。亦應瞭解，該等圖中之描繪為圖解的且並未按比例繪製。結合隨附圖式，藉由參考以下描述，可最好地理解本發明及其優點。

本發明大體而言係關於用於將晶粒上之選定 I/O 襯墊（例如，接地襯墊）電連接至基於引線架之積體電路封裝中之晶粒附著襯墊的改良型設計及技術。

在以下描述中，闡述眾多特定細節，以便提供對本發明之透徹理解。然而，應理解，可在無一些或全部此等特定細節之情況下實踐本發明。在其他情況下，未詳細描述熟知程序操作，從而不會不必要地混淆本發明。

如在【先前技術】章節中所描述，一些基於引線架之積體電路封裝經設計以使得晶粒藉由將晶粒直接線接合至引線架之接地之晶粒附著襯墊部分而電連接至接地。此程序常被稱作「向下接合」。在向下接合封裝中有時會出現之問題為：晶粒有時可自晶粒附著襯墊脫層，從而潛在地引起晶粒與晶粒附著襯墊之間的相對運動。當發生此移動時，存在向下接合之接合線可自晶粒附著襯墊開裂或以其他方式損壞或破壞之風險，其可引起不良電穩定性。

為解決此問題，本發明描述一種積體電路封裝，其中晶粒上之選定接地 I/O 襯墊使用接合線電耦接至連接桿之線接合導降區。連接桿（其為引線架之一部分）在封裝期間直接連接至晶粒附著襯墊，且機械地支撐晶粒附著襯墊，但大體上自身不欲用作用於封裝之電接點。在來自先前技術之許多設計中，連接桿為僅用以支撐晶粒附著襯墊之薄金屬片。本申請案預期進一步使用連接桿作為用於積體電路封裝之接地平面之部分。晶粒附著襯墊之晶粒安裝表面相對於連接桿之線接合導降區而下置。在一些具體實例中，線接合導降區在封裝內與引線處於相同高度。儘管所描述之具體實例預期使用晶粒附著襯墊作為接地接點，但應理解，可將晶粒附著襯墊用作用於其他功能（諸如電源或信號端子）之接點。

最初參看圖 2A 至圖 2D，展示根據本發明之第一具體實例。圖 2A 說明一引線架面板 224 之一裝置區域 214 之俯視平面圖，其包括引線 212、連接桿 218 以及晶粒附著襯墊 204。除了此等組件之外，放大接合區 220 與連接桿 218 整體地形成。晶粒附著襯墊 204 藉由連接桿 218 攜載且因此電耦接且機械耦接至連接桿 218，連接桿 218 又附著至引線架面板 224 中之支撐桿 223。複數條引線 212 亦機械地附著至引線架 224 且朝向晶粒附著襯墊 204 向內延伸。接合區 220 可藉由經由連接桿 218 電連接至一接地之晶粒附著襯墊 204 而接地。當引線架係由銅或銅合金形成時，大體需要接合區 220 鍍有銀膜以提昇金接合線之黏附性。

在此第一具體實例中，將接合區 220 形成為一矩形區域，其實際上為連接桿 218 之一部分。然而，將瞭解，接合區 220 可形成於連接桿上之其他適合部位處且可採用任何其他適合形狀及大小。接合區 220 典型地比其相關聯之連接桿 218 之其他部分寬。較大區由於各種原因可為有用的，諸如提供用以接合多條線之較大表面積。且，儘管在此具體實例中展示兩個連接桿及放大接合區，但視晶粒之設計所需，每一裝置區域 214 可具有僅一個連接桿及接合區，或者兩個以上連接桿及接合區。圖 2A 說明在晶粒附著襯墊 204 之相對側上將兩個連接桿 218 機械地連接至晶粒附著襯墊 204，但連接桿 218 亦可附著至任何（或所有）晶粒附著襯墊角部。

圖 2B 描繪積體電路封裝 200 之俯視平面圖。在圖 2B 中，晶粒 202 機械地附貼至晶粒附著襯墊 204 之晶粒安裝表面 226。該晶粒包括在晶粒 202 之作用表面上之複數個 I/O 襯墊（接合襯墊）。第一組 I/O 襯墊 216 中之每一 I/O 襯墊設計成將晶粒 202 連接至引線架 224 之相關聯引線 212。I/O 襯墊 216 可用於各種目的，包括將晶粒 202 連接至電源、信號線、接地平面或其他適合功能。如圖 2B 中所說明，I/O 襯墊 216 使用接合線 208 電連接至引線 212。在一較佳具體實例中，接合線 208 係由金製成，但可使用諸如銅之其他適合材料。此外，接合線較佳地以熱超音波方式接合，從而引起在一 I/O 襯墊 216 處之金焊球接合及一對應引線 212 處之針接合。

第二組 I/O 襯墊 210 (「接地 I/O 襯墊」) 中之每一 I/O 襯墊設計成將晶粒 202 電連接至一接地平面，該接地平面在此狀況下為放大接合區 220。在圖 2A 至圖 2D 之具體實例中，接地 I/O 襯墊 210 經由接地接合線 206 接合至連接桿 218 之放大接合區 220。較佳地，接地接合線係由金製成，且該等接合係以超音波方式產生，從而引起在一 I/O 襯墊 210 處之金焊球接合及一對應放大接合區 220 處之針接合。儘管在圖 2B 中將兩條接地接合線 206 連接至每一接合區 220，但在一些具體實例中將僅一個或者兩個以上接地接合線連接至單一接合區可為有用的。積體電路封裝 200 亦可包括囊封物，其未在圖 2B 中展示。

圖 2C 說明沿剖面 B-B 截取的在圖 2B 中呈現之封裝 200 之側視橫截面圖。如圖式中展示，晶粒附著襯墊 204 之晶粒安裝表面 226 較佳以距離 h_1 相對於連接桿 218 之放大接合區 220 而下置。將接地接合線 206 耦接至一升高之放大接合區 220 會改良接地接合之電穩定性。該連接較不易受歸因於晶粒脫層之損壞之影響，因為藉由接地接合線產生之迴路相比於先前技術設計（諸如圖 1 中所展示之先前技術設計）准許有較多的相對運動。晶粒與晶粒附著襯墊之間的相對運動因此較不可能引起對接地接合線 206 之損壞。

圖 2D 為沿剖面 C-C 截取的在圖 2B 中呈現之封裝 200 之側視橫截面圖。引線 212 朝向晶粒 202 向內延伸。儘管在圖 2D 中引線 212 不直接上覆於晶粒 202 上，但熟習此項技術者將瞭解，引線 212 可不同地安置。晶粒附著襯墊 204

之晶粒安裝表面 226 以距離 h_2 相對於引線 212 而下置。距離 h_2 可大於或小於圖 2C 中所展示之距離 h_1 。然而，在一較佳具體實例中，距離 h_1 與 h_2 實質上相等，以使得放大接合區 220 與引線 212 定位於晶粒安裝表面 226 上方之大致相同之高度。

晶粒 202、晶粒附著襯墊 204、引線 212、I/O 襯墊 216、接地 I/O 襯墊 210、接合線 208、接地接合線 206 及連接桿 218 之部分可囊封於囊封物或模製材料 222 內。模製化合物通常為非導電塑膠或樹脂。在圖 2C 及圖 2D 中所說明之具體實例中，引線 212 之外部自囊封之封裝 200 之側面延伸以促進與一適合基板之電連接。

晶粒附著襯墊 204 之底表面經由囊封物 222 暴露以促進將晶粒附著襯墊 204 電耦接至電接地平面。由於晶粒附著襯墊 204 電連接至連接桿 218 之接合區 220，故此情形呈現一種將接地 I/O 襯墊電連接至接地的方法。

接著參看圖 3A 至圖 3C，將描述根據本發明之另一具體實例。此具體實例中之許多特徵實質上類似於圖 2A 至圖 2D 之特徵，但在本文中呈現若干差異。圖 3A 展示一引線架裝置區域 314，其具有在連接桿 318 上之放大接合區 320 且具有朝向晶粒附著襯墊 304 向內延伸之多條引線 312。圖 3A 之放大接合區 320 之形狀（熔合之引線形狀）包括自連接桿 318 朝向晶粒附著襯墊 304 向內延伸之至少一指狀部分 330。接合區 320 之大表面積允許單一連接桿 318 上有多個接地接合位置。接合區 320 又經由連接桿 318 電連接至

晶粒附著襯墊 304。

圖 3B 描繪積體電路封裝 300 之俯視圖，其中一晶粒 302 附著至晶粒附著襯墊 304。類似圖 2B 之具體實例，接合線 308 將選定 I/O 襯墊 316 自晶粒 302 電連接至引線 312。I/O 襯墊 316 可用於各種目的，包括將晶粒 302 連接至電源、信號線、接地平面，或其他適合功能。在一較佳具體實例中，接合線 308 由金製成。此外，接合線 308 較佳地以超音波方式接合，從而引起在一 I/O 襯墊 316 處之金焊球接合及一對應引線 312 處之針接合。

第二組 I/O 襯墊 310 設計成將晶粒 302 電連接至一接地平面。在本具體實例中，接地 I/O 襯墊 310 經由接地接合線 306 接合至連接桿 318 之放大接合區 320。較佳地，接地接合線 306 係由金製成，且該等接合係以超音波方式產生，從而引起在一 I/O 襯墊 310 處之金焊球接合及一對應放大接合區 320 處之針接合。

當適當地按比例繪製時，沿剖面 D-D 及 E-E 截取的在圖 3B 中展示之具體實例之側視圖可實質上分別類似於圖 2C 及圖 2D 之具體實例中所描繪之側視圖。作為該等具體實例之間的一顯著差異，圖 3C 說明沿圖 3B 之剖面 F-F 截取的積體電路封裝 300 之側視橫截面圖。接地接合線 306 將接地 I/O 襯墊 310 電連接至連接桿 318 之放大接合區 320。在圖 3C 之圖式中，接地接合線 306 以超音波方式接合至接合區 320 之指狀部分 330，該指狀部分 330 朝向晶粒向內延伸。

類似圖 2A 至圖 2D 中所展示之具體實例，晶粒附著襯墊 304 之晶粒安裝表面 326 以距離 h_1 相對於放大接合區 320 而下置且以距離 h_2 相對於引線 312 而下置。儘管此等距離無需為相等的，但接合區 320 及引線 312 可處於晶粒附著襯墊 304 之晶粒安裝表面 326 上方之實質上相同之高度。放大接合區 320 之高安置藉由減少接地接合線 306 上之相關聯應力來改良接地接合之穩定性。

類似於上文描述之具體實例，積體電路封裝 300 較佳地封閉於囊封物或模製材料 322 內。晶粒附著襯墊 304 之後表面經由囊封物 322 暴露以連接至一接地平面，如上文詳細揭示。

圖 4A 及圖 4B 呈現用以改良積體電路封裝中之接地接合穩定性之又一做法。在圖 4 中所說明之具體實例中，晶粒 402 上之接地 I/O 襯墊 410 中的一些使用具有固定於焊球上之楔之焊球接合 (BSOB) 技術直接耦接至接地之晶粒附著襯墊 404。如圖 4A 中可見，最初在接地之晶粒附著襯墊 404 之晶粒安裝表面 426 上產生線接合凸塊 432。藉由使用一標準線接合毛細管來將一焊球接合超音波地沈積至接地之晶粒附著襯墊 404 上來製成凸塊 432。並非繼續導線之擠出，而是毛細管截去焊球接合凸塊 432 之頂部附近之導線，以使得僅線接合「焊球」或「凸塊」432 保留在晶粒附著襯墊 404 之頂上。凸塊 432 可使用相比於正常用於線接合之力較大的力產生，其具有壓平凸塊從而增加其接合表面積且增加所得凸塊之強度的效應。

接地 I/O 襯墊 410 接著使用接合線 406 線接合至凸塊 432。接合線 406 可由金、銅或其他適合導電材料形成。在線接合程序期間，在接地 I/O 襯墊 410 處較佳地形成第二焊球接合，且可在凸塊 432 之頂部上形成針接合 434。因此，接合線 406 經由位於凸塊 432 之頂上之針接合 434 電耦接至接地之晶粒附著襯墊 404。在一些具體實例中，凸塊 432 在接地 I/O 襯墊 410 處之焊球接合之約 1/3 高度處。若晶粒附著襯墊 404 鍍有銀，則圖 4 中所揭示之具體實例改良接地接合之穩定性。此係因為焊球接合凸塊 432 相比於針接合較好地黏附至鍍銀之晶粒附著襯墊 404。因此，凸塊 432 提供接合線 406 與晶粒附著襯墊 404 之晶粒安裝表面 426 之間的界面，從而減少接合線 406 中之剪應力且改良穩定性。

在圖 4B 中說明一另外之焊球上固定技術。在此具體實例中，在晶粒 402 上之接地 I/O 襯墊 410 上形成一初始凸塊 442。接著使用接合線 406 將晶粒附著襯墊 404 電連接至 I/O 襯墊 410 上之凸塊 442。在線接合程序期間，在晶粒附著襯墊 404 上形成一第二焊球接合 446。再次，線接合器可利用相比於正常較大之接合力，其具有壓平凸塊從而增加接合強度及表面積的效應。

接著參看圖 5A 至圖 5C，將描述本發明之又一具體實例。如熟習此項技術者將熟悉的，使用支撐裝置區域 514 之陣列 528 之引線架條帶 524 來組裝積體電路封裝常為有用的。此組態允許大量製造積體電路封裝。儘管圖 5A 至圖

5C 描繪類似於圖 2A 至圖 2D 中所呈現之裝置區域的裝置區域，但亦應瞭解，該引線架可支撐圖 3A 至圖 3C 及圖 4 之具體實例，以及任何其他適合具體實例。

圖 5A 描繪具有多重裝置區域 514 之引線架條帶 524 之一部分。通常，裝置區域 514 配置於面板 524 上之至少一個二維陣列 528 上，但各種其他配置為可能的（例如，一維陣列、非線性配置等）。在所說明具體實例中，展示裝置區域 514 之五個二維陣列 528。然而，應瞭解，可提供更多或更少陣列 528。引線架面板 524 典型地由銅或銅基合金形成，但其他適合材料（例如，鋁）可用於各種替代具體實例中。每一裝置區域 514 可含有如在以上具體實例中之任一者中描述之積體電路封裝。在將封裝組裝至引線架 524 上之後，引線架 524 在必要時單一化以產生準備好用於任何所要應用中之多個個別積體電路封裝。該單一化可經配置以犧牲連接桿 518，且可使引線 512 與引線架 524 之晶粒附著襯墊 504 電隔離。

本發明亦可用於任何適合積體電路封裝型式。舉例而言，在圖 2A 至圖 2D 及圖 3A 至圖 3C 之具體實例中，積體電路封裝 200 可用作在晶粒 202 之相對側上具有兩列引線 212 之雙列直插式封裝（dual in-line package, DIP）。當然，所揭示之封裝亦適用於各種其他封裝型式，諸如四方扁平封裝（quad flat packages, QFP）及薄型小尺寸封裝（thin small outline packages, TSOP）。

儘管已詳細描述本發明之僅少許具體實例，但應瞭

解，可按照許多其他形式實施本發明而不脫離本發明之精神或範疇。舉例而言，除了耦接至一電接地平面之外，放大接合區亦可用以耦接至電源或信號輸入。

在預期至連接桿之區之線接合的所說明具體實例中，晶粒附著襯墊相對於引線及連接桿之線接合區兩者而下置。然而，在一些封裝（例如，QFN 或 LLP 封裝）中，可能需要引線之底表面充當與晶粒附著襯墊之底表面共平面的接點。在此等具體實例中，可需要抬升（up-set）晶粒附著襯墊之接合區以使得引線接點與晶粒附著襯墊保持實質上共平面。因此，應將本發明具體實例視為說明性且非限制性的，且本發明不限於本文中給出之細節，而是可在隨附申請專利範圍之範疇及等效物內修改。

【圖式簡單說明】

圖 1A 說明一先前技術積體電路封裝之俯視平面圖，其中晶粒上之接地接合襯墊向下接合至一接地之晶粒附著襯墊。

圖 1B 說明沿剖面 A-A 截取的圖 1A 中所展示之封裝之側視橫截面圖。

圖 2A 說明根據本發明之一具體實例的一引線架裝置區域之俯視平面圖，該引線架裝置區域具有在連接桿上之放大接合區。

圖 2B 說明根據本發明之一具體實例的積體電路封裝之俯視平面圖，該積體電路封裝包括附著至圖 2A 之引線架裝置區域之晶粒，其中該晶粒電耦接至連接桿之放大接合區。

圖 2C 說明根據本發明之一具體實例的圖 2B 之具體實例的沿剖面 B-B 截取之側視橫截面圖，其展示電耦接至連接桿之升高接合區之接地接合線。

圖 2D 說明根據本發明之一具體實例的圖 2B 之具體實例的沿剖面 C-C 截取之側視橫截面圖，其展示電耦接至引線之接合線。

圖 3A 說明根據本發明之另一具體實例的一引線架裝置區域之俯視平面圖，該引線架裝置區域具有在連接桿上之放大接合區。

圖 3B 說明根據本發明之另一具體實例的積體電路封裝之俯視平面圖，該積體電路封裝包括附著至圖 3A 之引線架裝置區域之晶粒，其中該晶粒電耦接至連接桿之放大的接地之區。

圖 3C 說明根據本發明之一具體實例的沿剖面 F-F 截取的圖 3B 之積體電路封裝之側視橫截面圖，其中接地 I/O 襯墊耦接至連接桿之放大接合區。

圖 4A 說明一積體電路封裝之側視橫截面圖，其中一接合線經由具有壓合於焊球上之楔之焊球接合 (BSOB) 直接耦接至晶粒附著襯墊。。

圖 4B 說明一積體電路封裝之側視橫截面圖，其中一接合線經由壓合於焊球上之反向焊球 (RBSOB) 直接耦接至晶粒附著襯墊。。

圖 5A 至圖 5C 以俯視平面圖說明根據本發明之一具體實例的含有多個裝置區域 514 之引線架條帶 524。

【主要元件符號說明】

- 100：引線架
- 102：晶粒
- 104：接地之晶粒附著襯墊
- 106：接地接合線
- 108：接合線
- 110：接地 I/O 襯墊
- 112：引線
- 116：I/O 襯墊
- 118：連接桿
- 200：積體電路封裝
- 202：晶粒
- 204：晶粒附著襯墊
- 206：接地接合線
- 208：接合線
- 210：第二組 I/O 襯墊
- 212：引線
- 214：裝置區域
- 216：第一組 I/O 襯墊
- 218：連接桿
- 220：接合區
- 222：囊封物或模製材料
- 223：支撐桿
- 224：引線架面板

- 226 : 晶粒安裝表面
- 300 : 積體電路封裝
- 302 : 晶粒
- 304 : 晶粒附著襯墊
- 306 : 接地接合線
- 308 : 接合線
- 310 : 接地 I/O 襯墊
- 312 : 多條引線
- 314 : 引線架裝置區域
- 316 : I/O 襯墊
- 318 : 連接桿
- 320 : 接合區
- 322 : 囊封物或模製材料
- 324 : 支撐桿
- 326 : 晶粒安裝表面
- 330 : 指狀部分
- 402 : 晶粒
- 404 : 接地之晶粒附著襯墊
- 406 : 接合線
- 410 : 接地 I/O 襯墊
- 426 : 晶粒安裝表面
- 432 : 線接合凸塊
- 434 : 針接合
- 442 : 初始凸塊

446：第二焊球接合

512：引線

514：裝置區域

518：連接桿

524：引線架條帶

528：陣列

h_1 ：距離

h_2 ：距離

七、申請專利範圍：

1.一種積體電路封裝，其包含：

一引線架，其包括一晶粒附著襯墊、與該晶粒附著襯墊完全地隔離且電性地隔離之複數條引線，及一與該晶粒附著襯墊整體地形成且機械耦接且電耦接至該晶粒附著襯墊之第一連接桿，該第一連接桿包括矩形形狀的第一接合區以作為該第一連接桿之一部份，其中該晶粒附著襯墊具有一相對於該第一接合區而下置之晶粒安裝表面；

一晶粒，其安裝於該晶粒附著襯墊之該晶粒安裝表面上，該晶粒具有多重 I/O 襯墊；

一第一組接合線，其中該第一組接合線中之每一接合線具有一附著至一相關聯 I/O 襯墊之第一端以及一附著至一相關聯引線之第二端，從而將該相關聯 I/O 襯墊電耦接至該相關聯引線；及

一第二組接合線，在該第二組接合線中存在至少一接合線，該第二組接合線中之每一接合線具有一附著至該晶粒上之一相關聯 I/O 襯墊之第一端以及一附著至該第一連接桿上之該第一接合區之第二端，藉此該第一接合線至該第一接合區之附著點相對於一涵蓋該晶粒安裝表面之平面偏移。

2.如申請專利範圍第 1 項之積體電路封裝，其中該晶粒附著襯墊電耦接至接地，且其中附著至該第二組接合線中之一接合線之每一 I/O 襯墊為一接地 I/O 襯墊。

3.如申請專利範圍第 1 項之積體電路封裝，其中該第一

接合區之寬度實質上大於該第一連接桿之其他部分之寬度。

4.如申請專利範圍第 1 項之積體電路封裝，其進一步包含一塑膠囊封物，該塑膠囊封物囊封該晶粒、該等接合線及該引線架之至少一部分，且留下該晶粒附著襯墊之一底表面經暴露以充當一電接點。

5.如申請專利範圍第 1 項之積體電路封裝，其中該封裝為一在該封裝之相對側上具有兩列引線且不具有自該封裝之相對端延伸之引線的雙列直插式封裝，且其中該第一連接桿朝向不具有引線之該封裝之一端延伸。

6.如申請專利範圍第 1 項之積體電路封裝，其中該第二組接合線包括各自耦接至該第一接合區之複數條接合線。

7.如申請專利範圍第 1 項之積體電路封裝，其進一步包含：

一第二連接桿，其與該晶粒附著襯墊整體地形成且具有一第二接合區，其中至少一額外接合線附著至該第二放大接合區。

8.如申請專利範圍第 7 項之積體電路封裝，其中該第一接合區及該第二接合區之頂表面實質上與該等引線之頂表面共平面。

9.如申請專利範圍第 1 項之積體電路封裝，其中該第一接合區之形狀為一熔合之引線形狀，其具有朝向該晶粒向內延伸之至少一指狀部分。

10.一種電子裝置，其包括：

如申請專利範圍第 4 項之一積體電路封裝，其中附著至該第二組接合線中之一接合線的每一 I/O 襯墊為一接地 I/O 襯墊，且該晶粒附著襯墊電耦接至接地，以藉此經由該等接合線、該第一連接桿及該晶粒附著襯墊將該等接地 I/O 襯墊電連接至接地。

11.一種積體電路封裝，其包含：

一引線架，其具有一晶粒附著襯墊、複數條引線及連接至該晶粒附著襯墊的一連接桿，該連接桿包括矩形形狀的一第一接合區以作為該連接桿之一部份；

一晶粒，其安裝於該晶粒附著襯墊上，該晶粒包括複數個 I/O 襯墊；

至少一線接合凸塊，其形成於該晶粒附著襯墊上；

多重接合線，每一接合線電連接至一相關聯 I/O 襯墊，其中第一組該等接合線中之每一者將一相關聯 I/O 襯墊電連接至一相關聯引線，且其中該等接合線中之至少一者為一間接地電性連接至該晶粒附著襯墊之向下接合線，其中每一向下接合線針接合至一相關聯線接合凸塊以將該向下接合線電連接至該晶粒附著襯墊。

12.一種積體電路封裝，其包含：

一引線架，其包括複數條引線、一晶粒附著襯墊以及連接至該晶粒附著襯墊且包括一線接合導降區之至少一連接桿，該連接桿包括矩形形狀的一第一接合區以作為該連接桿之一部份，其中該晶粒附著襯墊及該等引線中之每一者充當用於該封裝之電接點，且該連接桿不充當一用於該

封裝之電接點，且其中晶粒支撐表面相對於該線接合導降區而下置；

一晶粒，其安裝於該晶粒附著襯墊上，該晶粒包括複數個 I/O 襯墊，該複數個 I/O 襯墊包括至少一接地 I/O 襯墊；

多重接合線，每一接合線電連接至一相關聯 I/O 襯墊，其中第一組該等接合線中之每一者將一相關聯 I/O 襯墊電連接至一相關聯引線，且其中該等接合線中之至少一者為一接地接合線，該接地接合線將一相關聯接地 I/O 襯墊連接至該連接桿之該線接合導降區，從而將該接地接合線間接地電連接至該晶粒附著襯墊，藉此該接地接合線至該線接合導降區之一附著點相對於一涵蓋該晶粒安裝表面之平面垂直地偏移；及

一囊封物，其囊封該晶粒、該等接合線以及該引線架之至少一部分，其中該晶粒附著襯墊之一底表面暴露於該封裝之一底表面上以促進將該晶粒附著襯墊電耦接至一電接地，從而經由該接地接合線、該連接桿及該晶粒附著襯墊將該等接地 I/O 襯墊電連接至接地。

八、圖式：

(如次頁)

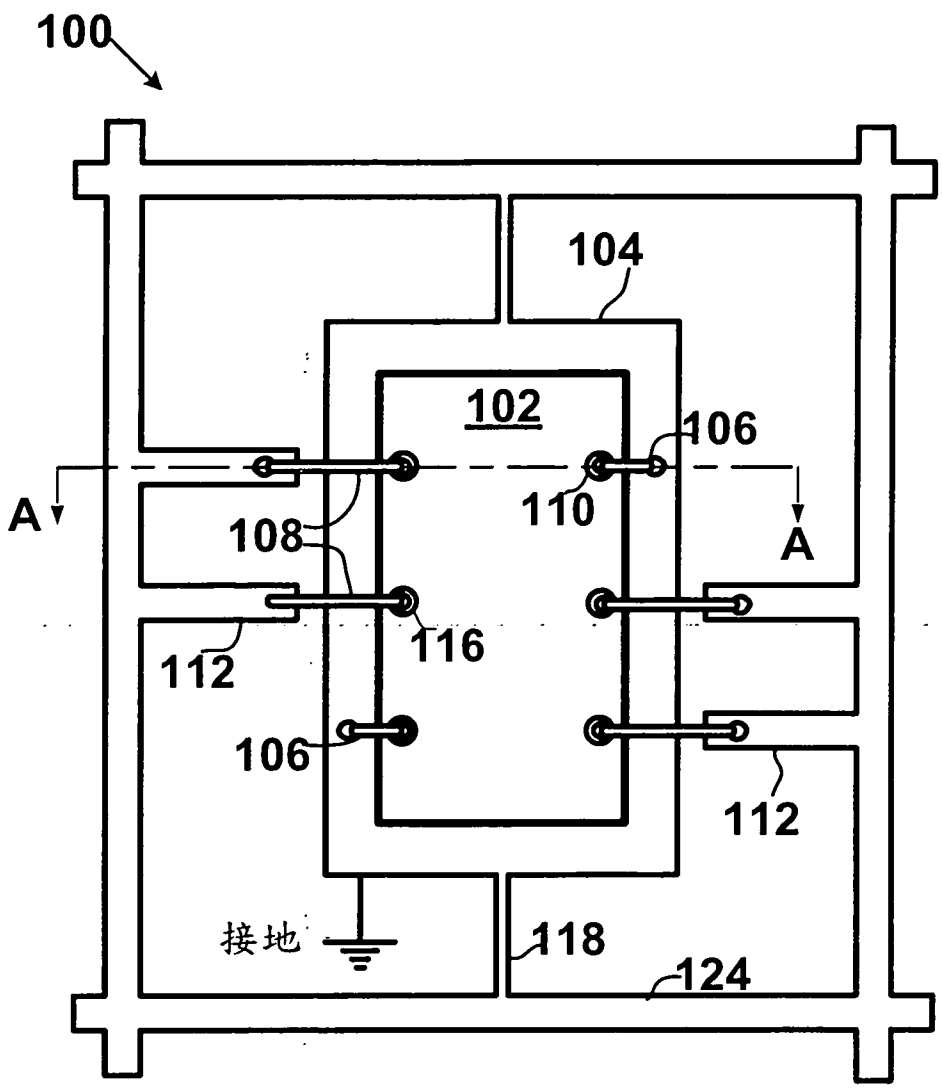


圖 1A

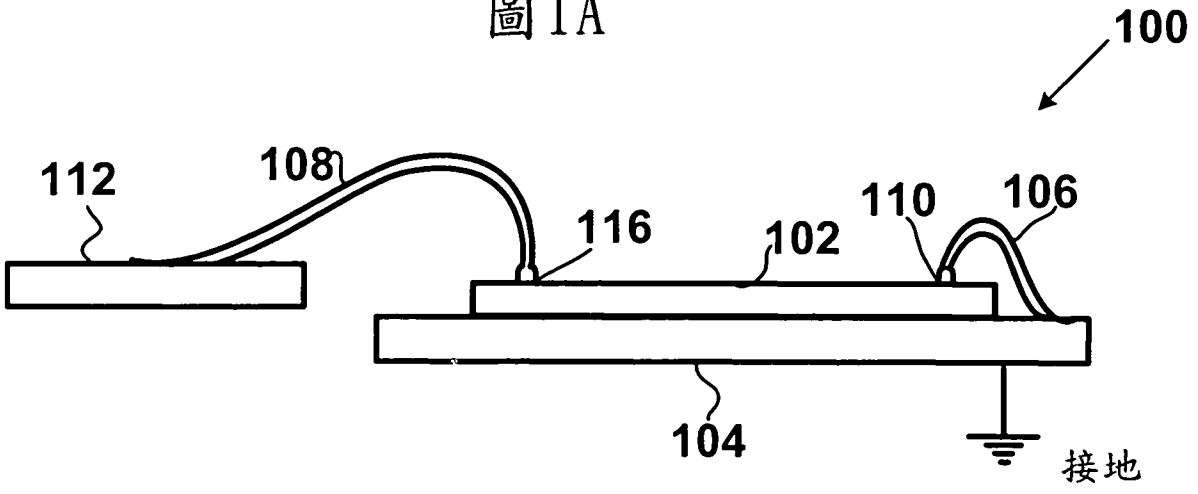


圖 1B

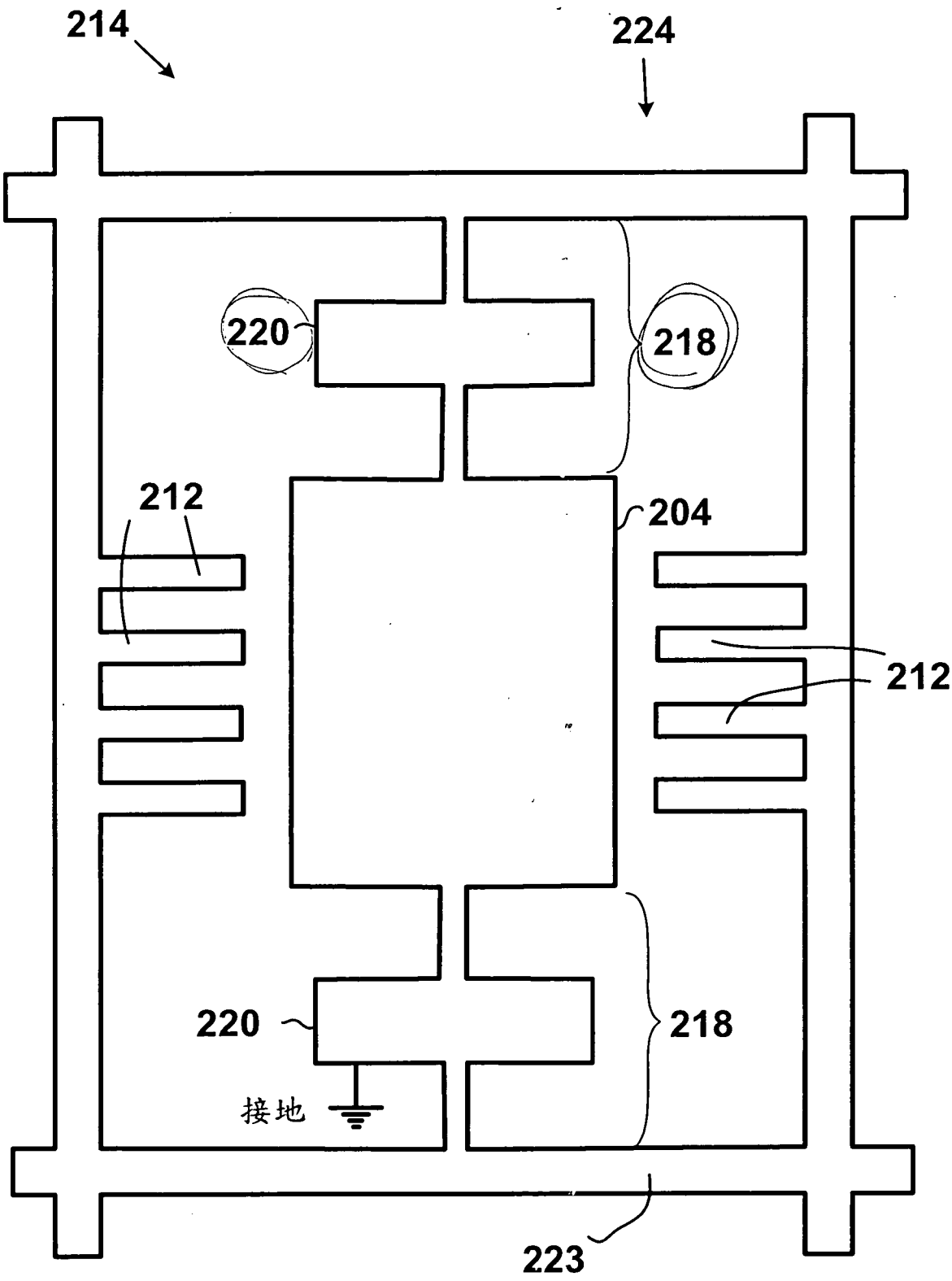


圖2A

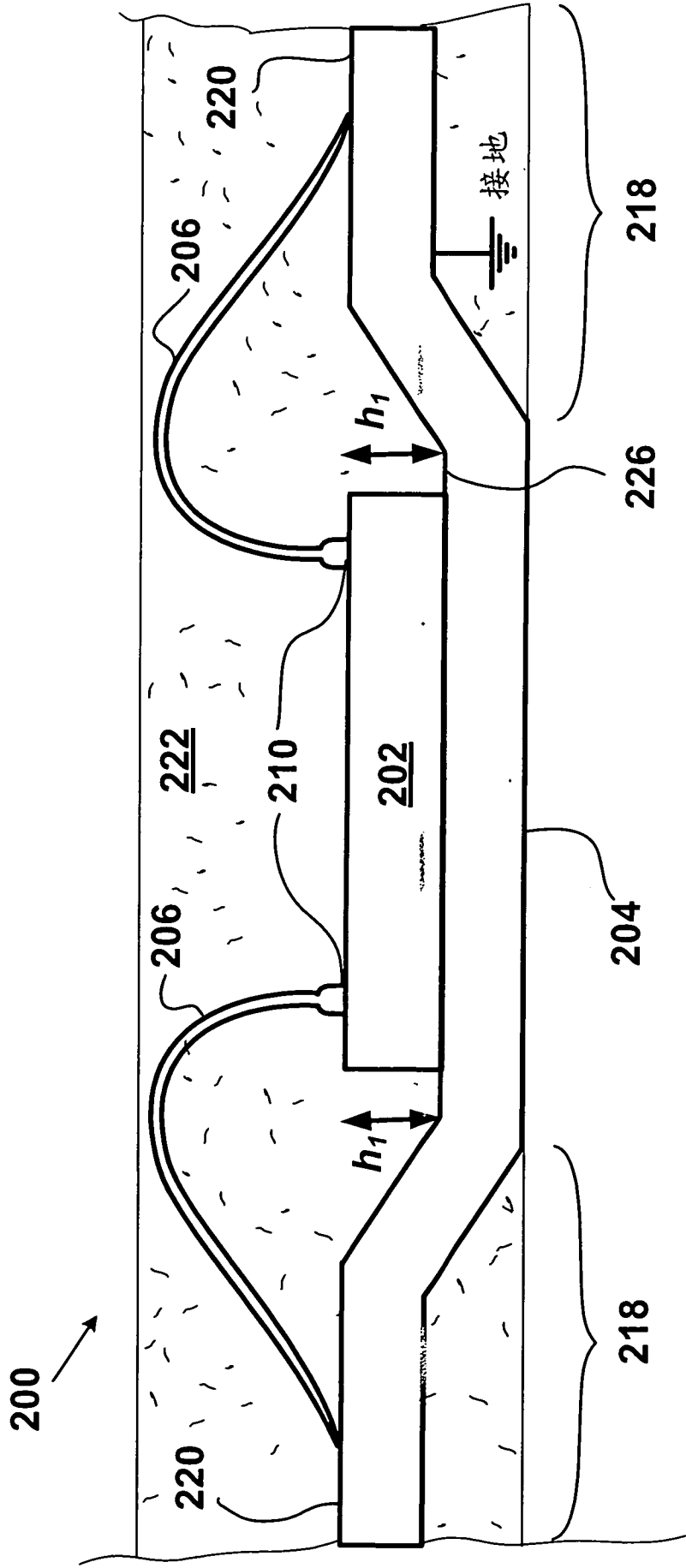


圖2C

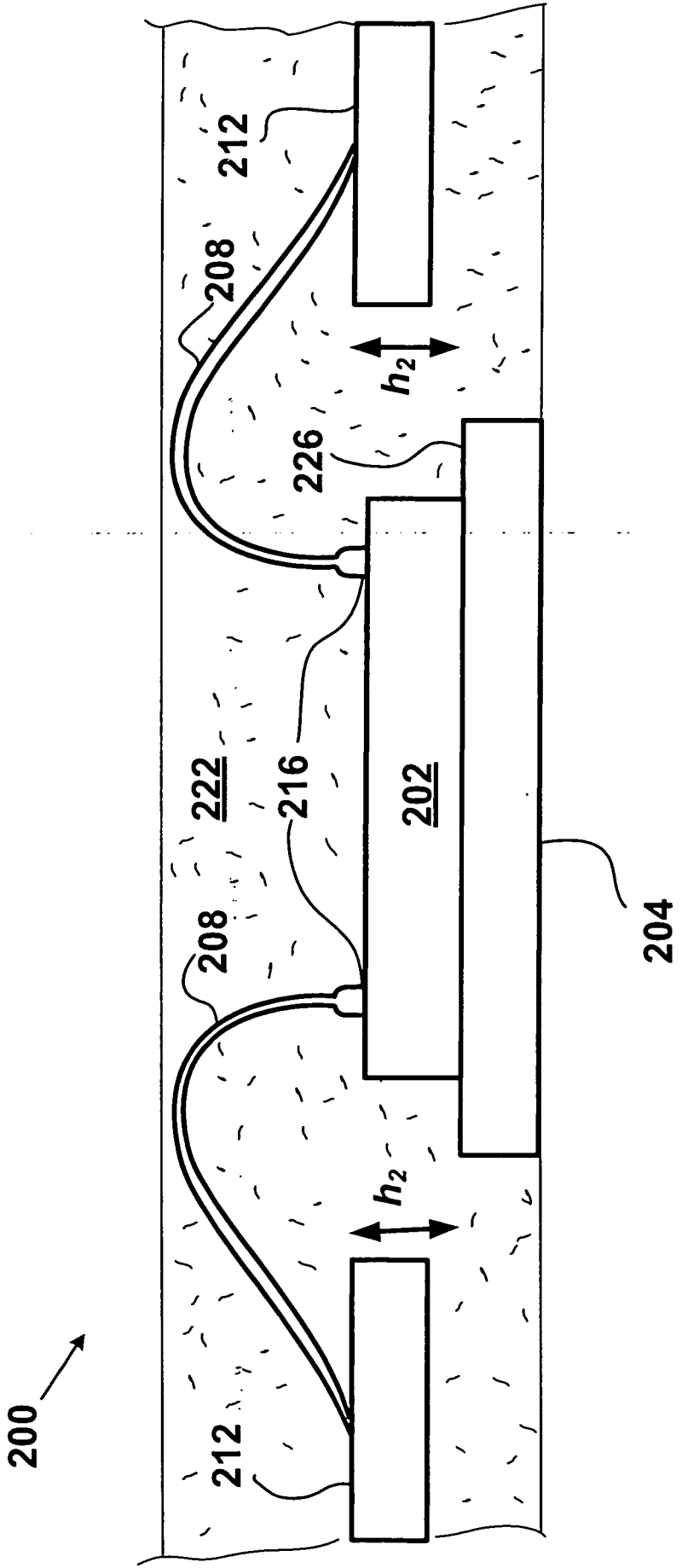


圖 2D

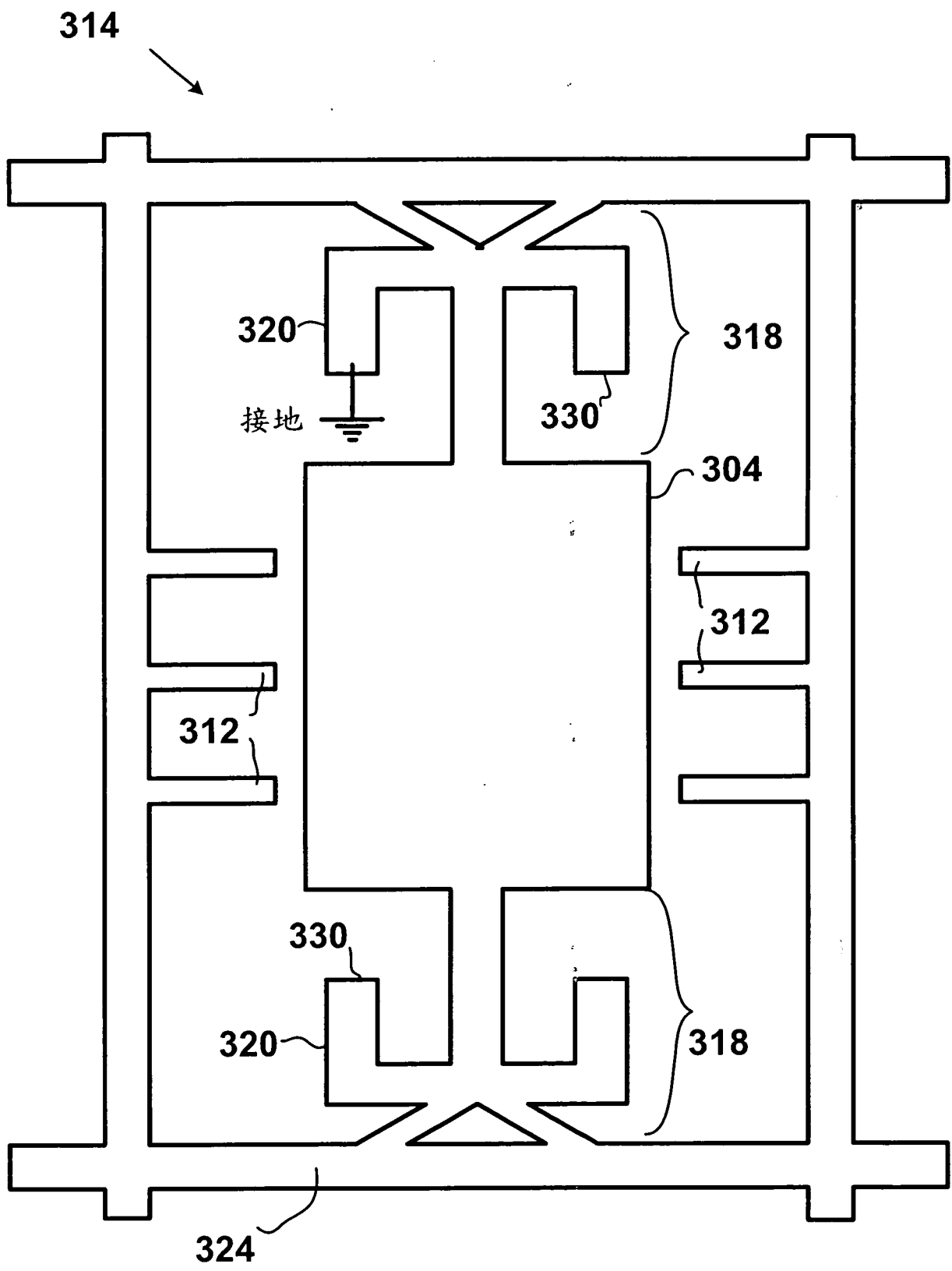


圖 3A

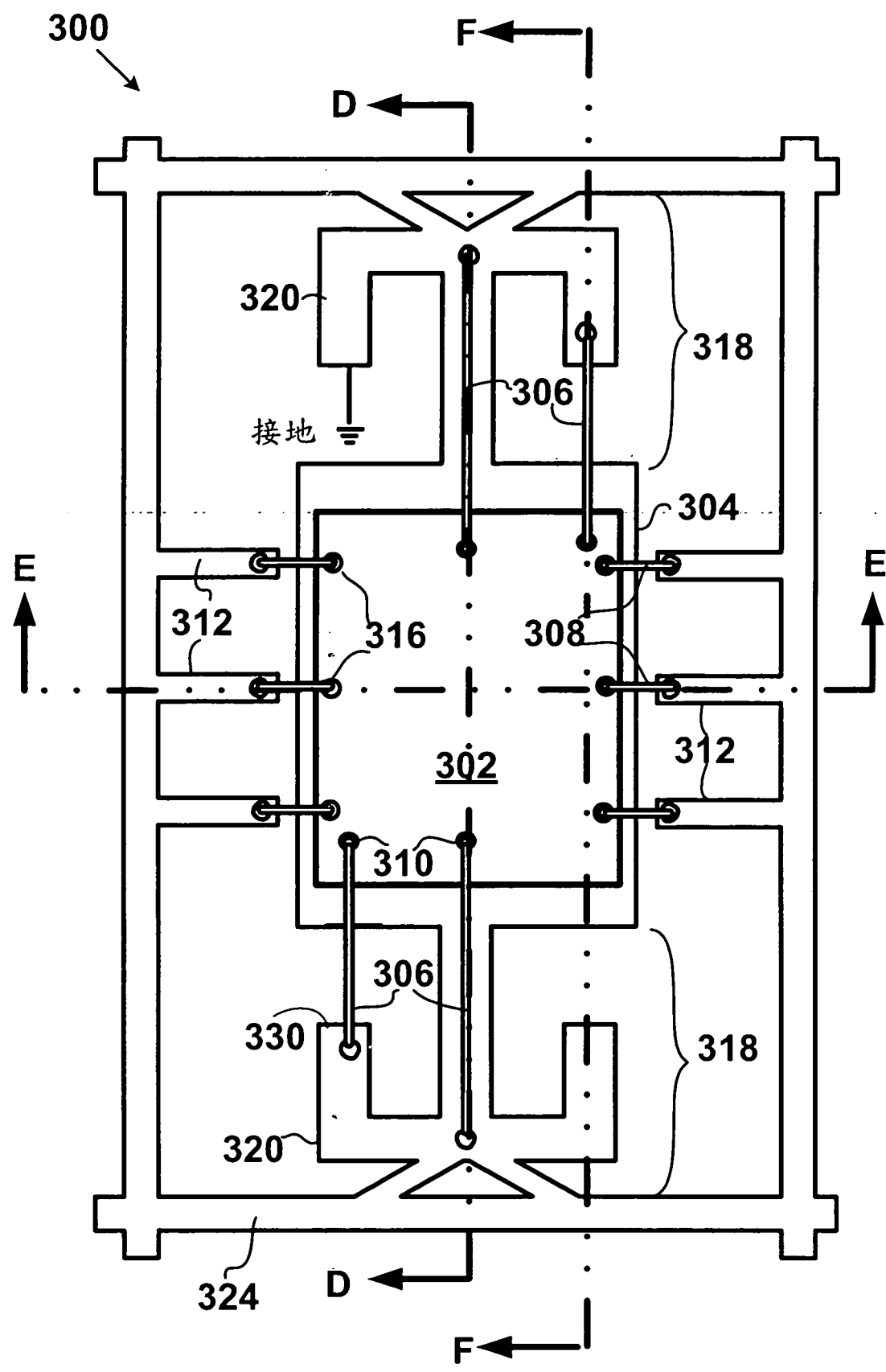


圖 3B

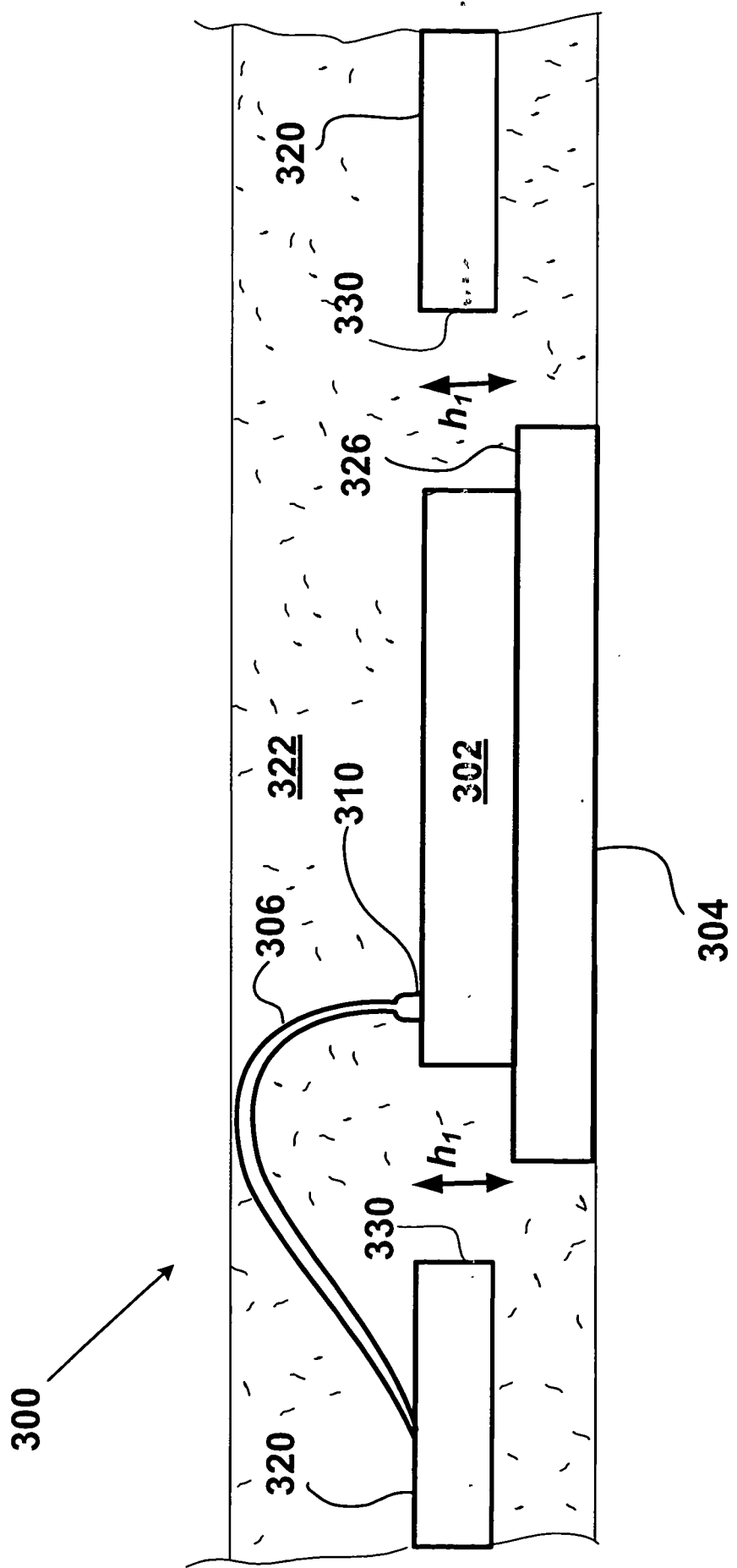


圖 3C

400

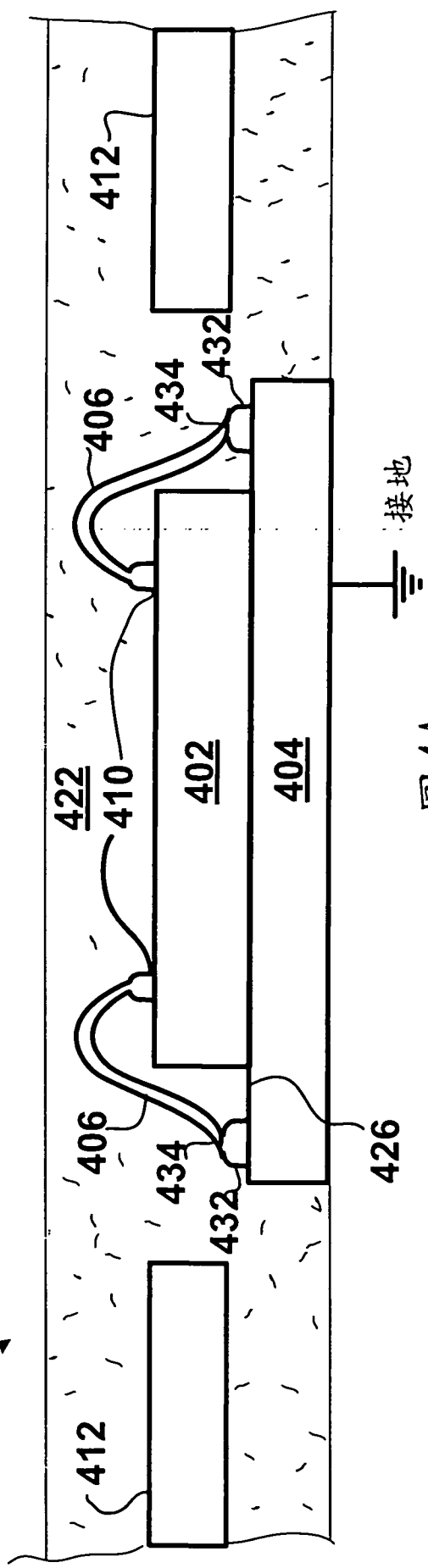
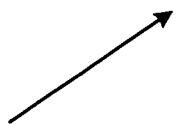


圖 4A

400

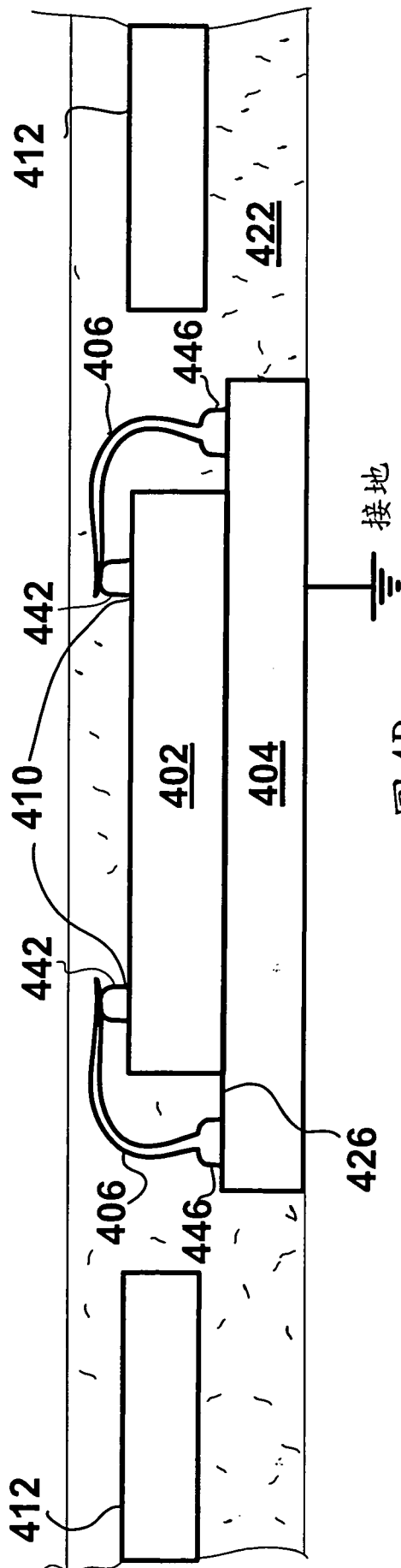
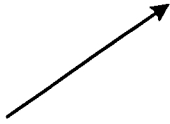


圖4B

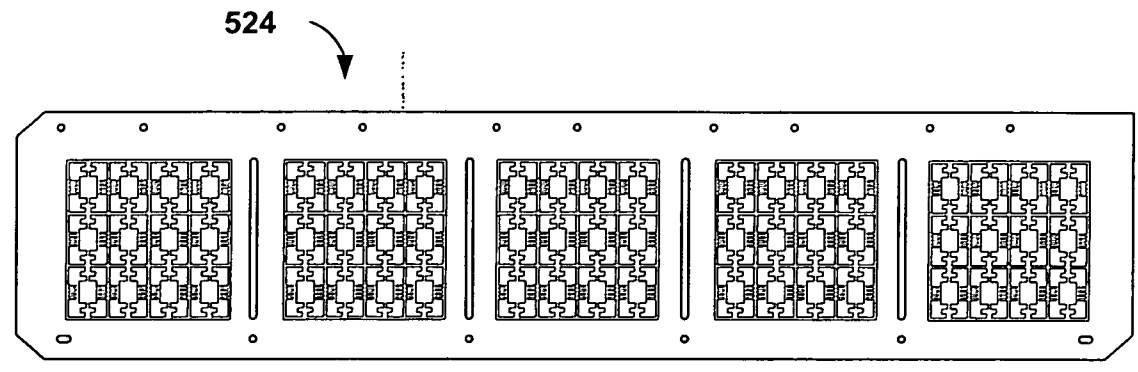


圖 5A

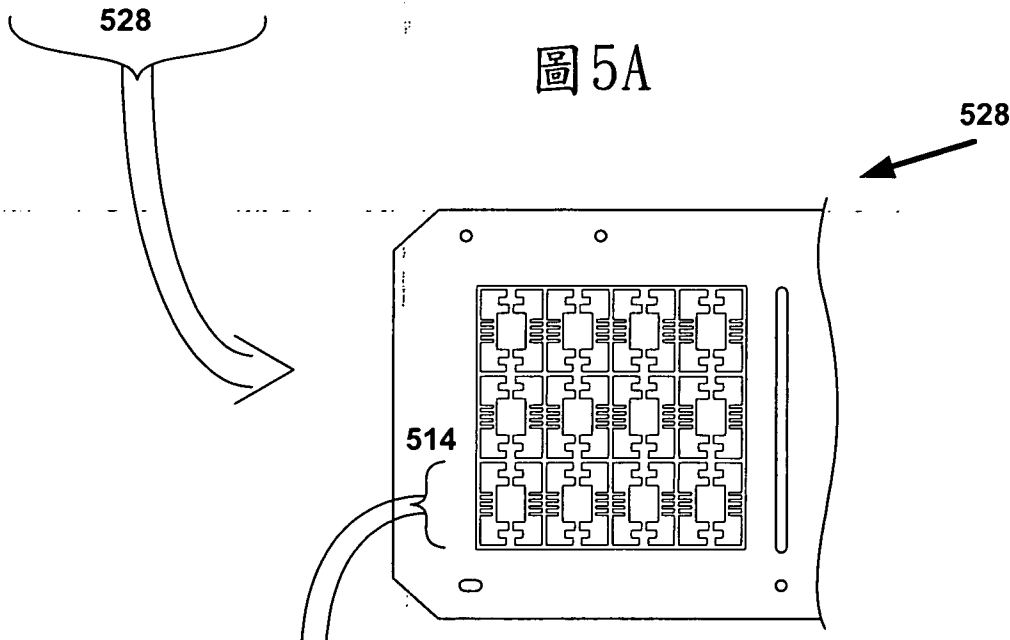


圖 5B

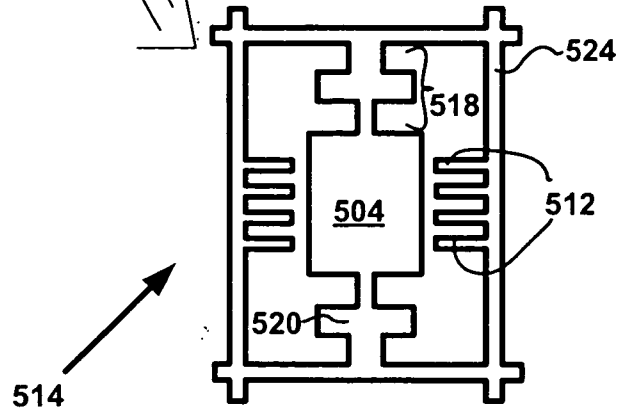


圖 5C