

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5699087号
(P5699087)

(45) 発行日 平成27年4月8日(2015.4.8)

(24) 登録日 平成27年2月20日(2015.2.20)

(51) Int. Cl. F I
G06F 3/042 (2006.01) G06F 3/042 471

請求項の数 16 (全 27 頁)

(21) 出願番号	特願2011-541697 (P2011-541697)	(73) 特許権者	311009343 ニュー イメージング テクノロジーズ フランス国, 91370, ヴェリエー ル ル ビュイッソン, ベペ 426, アンパス ラ ノワゼット 1
(86) (22) 出願日	平成21年12月16日 (2009.12.16)	(73) 特許権者	503160814 株式会社シロク 茨城県つくば市千現2-1-6
(65) 公表番号	特表2012-512481 (P2012-512481A)	(74) 代理人	100124257 弁理士 生井 和平
(43) 公表日	平成24年5月31日 (2012.5.31)	(72) 発明者	ニイ, ヤン フランス国, エフ-91120, パレ ゾー, グーテンベルク, ビス リュ 17
(86) 国際出願番号	PCT/IB2009/055788		
(87) 国際公開番号	W02010/070594		
(87) 国際公開日	平成22年6月24日 (2010.6.24)		
審査請求日	平成24年12月5日 (2012.12.5)		
(31) 優先権主張番号	0858628		
(32) 優先日	平成20年12月16日 (2008.12.16)		
(33) 優先権主張国	フランス (FR)		
(31) 優先権主張番号	0951393		
(32) 優先日	平成21年3月5日 (2009.3.5)		
(33) 優先権主張国	フランス (FR)		

最終頁に続く

(54) 【発明の名称】 マトリクスセンサ

(57) 【特許請求の範囲】

【請求項 1】

行アドレスと列アドレスとによって各画素 (6_{ij}) が特定される画素 (6_{ij}) のマトリクスと、

各々が少なくとも1つの画素列に対して接続され、画素 (6_{ij}) を読出すための複数のプログラマブルリーダ部 (3_j) と、を具備し、

各プログラマブルリーダ部は、

センサ (1) をプログラムするステップにおいて、少なくとも1つの行アドレスを記憶でき、

行アドレスを受信し、

受信した幾つかの行アドレス値について、前記受信した行アドレスをプログラムされる行アドレスと比較し、これらが等しければ対応する画素 (6_{ij}) の値を読出しできる、ように構成されることを特徴とするマトリクス光学センサ (1)。

【請求項 2】

請求項 1 に記載のセンサにおいて、少なくとも1つの行アドレスが、画素値の読出し以外の機能に用いられ、プログラマブルリーダ部 (3_j) が、その行アドレスを、前記機能を実行できるように構成された読出アドレスとして受信することを特徴とするセンサ。

【請求項 3】

請求項 1 又は請求項 2 に記載のセンサにおいて、少なくとも1つのプログラマブルリーダ部 (3_j)、特に各プログラマブルリーダ部 (3_j) が、ただ1つの画素列アドレスに

対して接続されることを特徴とするセンサ。

【請求項 4】

請求項 1 又は請求項 2 に記載のセンサにおいて、少なくとも 1 つのプログラブルリーダー部 (3_j)、特に各プログラブルリーダー部 (3_j) が、複数の画素列アドレスに対して、特に連続した列アドレスに対して、特に 8 つの連続した列アドレスに対して、接続されることを特徴とするセンサ。

【請求項 5】

請求項 1 乃至請求項 4 の何れかに記載のセンサにおいて、各プログラブルリーダー部 (3_j) が、

プログラブルリーダー部 (3_j) にプログラムされた行アドレスを記憶する少なくとも 1 つのメモリレジスタ (7_j) と、

第 1 の入力で読出アドレスを受信し、第 2 の入力でメモリレジスタ又は複数のレジスタ (7_j) にプログラムされた行アドレスを受信するコンパレータ (8_j) と、

少なくとも 1 つのバッファメモリ (9_j) と、

を具備することを特徴とするセンサ。

【請求項 6】

請求項 1 乃至請求項 5 の何れかに記載のセンサにおいて、コンパレータ (8_j) が第 1 及び第 2 の入力におけるアドレスを比較するように構成され、これらアドレスが等しい場合、バッファメモリ又は複数のメモリ (9_j) へ画素又は複数の画素 (6_{ij}) の値を記憶でき、当該画素 (6_{ij}) の行アドレスはプログラブルリーダー部 (3_j) にプログラムされることを特徴とするセンサ。

【請求項 7】

請求項 1 乃至請求項 6 の何れかに記載のセンサにおいて、複数の光検出器 (20_{nm}) と複数のスイッチ (21) とを有し、前記スイッチ (21) の各々が 2 つの隣接する光検出器 (20_{nm}) に接続されることを特徴とするセンサ。

【請求項 8】

検知面の画像におけるポインタを位置特定するための位置特定システム (100) において、請求項 1 乃至請求項 7 の何れかに記載のセンサを少なくとも 2 つ備えることを特徴とする位置特定システム。

【請求項 9】

スクリーンと、請求項 1 乃至請求項 8 の何れかに記載の位置特定システム (100) とを備えることを特徴とするタッチ感応スクリーン。

【請求項 10】

画素マトリクス内、特に請求項 1 乃至請求項 7 の何れかに記載のマトリクス光学センサ内において選択画素 (6_{ij}) を読出す方法であって、行アドレスと列アドレスとによって各画素 (6_{ij}) が特定されると共に、各々が少なくとも 1 つの画素列に対して接続されるプログラブルリーダー部 (3_j) に、選択された画素の行アドレスがプログラムされる方法において、

少なくとも 1 つの行アドレスが、入力としてプログラブルリーダー部 (3_j) へ供給され、

入力として受信される行アドレス値の幾つかについて、このように入力として受信される前記行アドレスは、各プログラブルリーダー部 (3_j) にプログラムされる少なくとも 1 つの行アドレスと比較され、これら行アドレスが等しい場合、プログラムされる行アドレスを有する画素の値が、バッファメモリ (9_j) に記憶される、

ことを特徴とする方法。

【請求項 11】

請求項 10 に記載の方法において、画素のマトリクスが、光検出器 (20_{nm}) のマトリクスと関連付けられ、前記光検出器のマトリクスが、プログラブルリーダー部 (3_j) へ読出アドレスを供給するステップの前に前記光検出器のマトリクスの 1 方向に二項フィルタリングされることを特徴とする方法。

【請求項 1 2】

請求項 1 0 又は請求項 1 1 に記載の方法において、二項フィルタリングが、2つの異なる構成で行われても良く、フィルタリングされる方向における座標 $2k$ 及び $2k+1$ の各々についてマトリクスセンサの2つの光検出器 (20_{nm}) が第1のフィルタ構成において接続されると共に、フィルタリングされる方向における座標 $2k+1$ 及び $2k+2$ の各々についてマトリクスセンサの2つの光検出器 (20_{nm}) が第2のフィルタ構成において接続され、 k は自然数 (整数) であり、

フィルタリングが、フィルタ構成のうちの少なくとも1つにおいて行われる、ことを特徴とする方法。

【請求項 1 3】

検知面の画像におけるポイントの位置特定方法において、光検出器のマトリクスを用いて検知面の画像を取得でき、画像の各画素が、検知面の画像において行アドレスと列アドレスとによって特定され、

請求項 1 0 乃至請求項 1 2 の何れかに記載の方法によって、検知面の画像の選択画素を讀出しできる、

ことを特徴とする方法。

【請求項 1 4】

請求項 1 0 乃至請求項 1 3 の何れかに記載の方法において、検知面の少なくとも一部分の第1の画像は、光検出器のマトリクスの観測フィールドが人工的光源によって照らされる際に取得され、

検知面の少なくとも一部分の第1の画像と異なる第2の画像は、人工的光源による光検出器のマトリクスの観測フィールドへの照明がない場合のみ取得され、第1及び第2の画像が差動的に讀出される、

ことを特徴とする方法。

【請求項 1 5】

請求項 1 0 乃至請求項 1 4 の何れかに記載の方法において、反復処理が用いられることにより検知面の第1及び第2の画像が取得され、人工的光源をオン・オフする基本サイクル中の各反復において取得されるものは、検知面の画像の一部のみであり、特に検知面の画像の同じ行アドレスに関連付けられる画像 (6_{ij}) であることを特徴とする方法。

【請求項 1 6】

請求項 1 4 に記載の方法において、検知面の全体の第1及び第2の画像が、人工的光源をオン・オフする基本サイクル中に取得されることを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリクス光学センサに関する。

【背景技術】

【0002】

本発明は、例えば、センサにおける検知面の画像中の物体を検出するための、かかるセンサの使用に適用され、例えば、これによりタッチ感応画面の前面にあるポイントの位置を特定する。

【0003】

さらに本発明は、ビデオ監視装置や遠隔計測装置に適用され得る。

【0004】

既存の CCD マトリクス光学センサは比較的費用がかかり、画素上に形成される画像はブロックごとに順次読込まれる。この画像の処理は、すべての画素を記憶しなければならないので比較的複雑である。

【0005】

また、スナップショットセンサとして知られる CMOS マトリクスセンサも存在し、このセンサでは各画素がアナログメモリと関連付けられている。この画素は比較的大きく、

10

20

30

40

50

かかるメモリは強い照明下では、多くの情報漏出現象に悩ませられる可能性が残る。

【0006】

また、画面と、画面に関連付けられた検知面の画像中の、例えば画面の直前に置かれたポインタの位置を特定するためのシステムとを含むタッチ感応画面を製造するために、数多くの技術的解決策が提案されている。

【0007】

光学部品の使用に依存している位置特定システムは、特に比較的大画面に適している。光源及びセンサは画面に関連して配置され、ポインタが、これら光源により発せられた光又は画面の周辺に配置された反射面により反射された光を遮ると共に、センサ上に画像を形成する。このようにして形成された画像を分析することにより、物体の位置を三角測量によって決定することができる。

10

【0008】

図15は、米国特許出願2007/0089915において開示されているタッチ感応画面の一例を示している。検知面103におけるポインタDの位置を特定するために、2つのマトリクスセンサ101及び102が画面の各コーナーに配置されている。検知面103における指Dの直交座標X及びYは、検知面103におけるポインタDのマスキング効果に対応した角度及びから決定され得る。

【0009】

また、リニアセンサを備えたタッチ感応画面も知られている。マトリクスセンサを用いるタッチ感応画面とは異なり、リニアセンサは検知面に対して非常に正確に配置しなければならない。この構成の欠点は、機械的な遊びや製造時又は使用時に生じ得る機械的変形に対するこれらのセンサの敏感さであり、ポインタの画像がセンサ外で形成されるかも知れないことにある。

20

【0010】

この問題を軽減するために使用されるリニアセンサは、長方形の画素を有し、それらの長辺が検知面に対して垂直に向けられている。長方形の画素を用いる欠点は、フォトダイオードの浮遊容量が増加するために、画素の感度が低くなることである。さらに、このような画素は、より多くの迷光を集めることになる。

【0011】

既知の検知システムにおいてマトリクスセンサを使用することは、リニアセンサに比べより多くのデータ処理を導くことになり、タッチ感応画面がより高価になってしまう。

30

【0012】

最後に、ウィンドウ処理機能を組込んだマトリクスセンサが知られている。このセンサは、ウィンドウアドレス、例えば上隅のアドレスを入力として受信し、ウィンドウの中の画素値を出力として配信する。不正確な整列の際には、このウィンドウは比較的大きなままとなり、よって処理される画素数を格段と増加させてしまう場合がある。また、マトリクスセンサを読む速度は行と列とは同じではないので、読出ウィンドウの縦方向への拡張は、画像の読取時間を格段に増加させることになる。

【0013】

米国特許出願2004/0155175では、センサ画素マトリクス上に形成された画像を読むように構成された読出手段に関連するマトリクスセンサが開示されている。この読出手段は、画素マトリクスの列を順次読込む。このようなセンサでは、画素列の並列処理ができず、この種のセンサによる画像の読出しは比較的長時間がかかる。

40

【発明の概要】

【発明が解決しようとする課題】

【0014】

例えばタッチ感応画面、ビデオ監視装置及び遠隔計測装置等に応用するための、画素マトリクスからのデータ処理を簡易化し得る新たなマトリクスセンサが必要とされている。

【0015】

また、正確且つ速く、そして同時に製造コストが比較的にかからないセンサを得るために

50

、既存のセンサをさらに改良する必要性もある。

【課題を解決するための手段】

【0016】

本発明の1つの態様により提供されるマトリクス光学センサは、
行アドレスと列アドレスとによって各画素が特定される画素のマトリクスと、
画素を讀出するための複数のプログラマブルリーダ部を有するプログラマブル電子回路と
を具備し、

各プログラマブルリーダ部が、少なくとも1つの画素列アドレスに対して関連付けられ、

センサをプログラムするステップにおいて、少なくとも1つの行アドレスを記憶でき、
行アドレスを受信し、

幾つかの讀出アドレス値について、前記受信した行アドレスとプログラムされる行アドレスとを比較し、これらが等しければ対応する画素値を讀出しできる、

ように構成されるものである。

【0017】

さらに詳細には、本発明により提供されるマトリクス光学センサは、
各々が少なくとも1つの画素列に接続され、画素を讀出するための複数のプログラマブル
リーダ部を具備し、各プログラマブルリーダ部は、

センサをプログラムするステップにおいて、少なくとも1つの行アドレスを記憶でき、
行アドレスを受信し、

幾つかの受信した行アドレス値について、前記受信した行アドレスとプログラムされた
行アドレスとを比較し、これらが等しければ対応する画素値を讀出しできる、

ように構成されるものである。

【0018】

少なくとも1つの行アドレスが、例えば、画素値の讀出し以外の機能に用いられると共に、この行アドレスを讀出アドレスとして受信するプログラマブルリーダ部が、例えば、前記機能を実行できるように構成され、これにより、センサ制御信号の数を減らすことが可能となる。

【0019】

ここで用いられる"讀出しできるように"という表現は、例えば画素値をセンサ内で記憶する及び/又は処理することにより例えばこの画素値に差動処理を施すという目的で、プログラマブルリーダ部が画素値をセンサの外部へ、又はセンサの他要素へ配信できるということを意味している。讀出しは、最初に、行をアドレス指定した後に列をアドレス指定することで行われても良い。

【0020】

ここで用いられる"対応する画素値"という表現は、例えば、センサによって直接取得された画素値又はフィルタリング後の値を示している。

【0021】

本発明のセンサは、並列動作し得るプログラマブルリーダ部を用いることで、選択画素をプログラムできると共に、プログラムされた画素値のみを讀出しできる。

【0022】

例えば、1600画素の256行を有する検知面の画像では、本発明によれば、画像の256行各々の讀出しを回避することができ、これにより処理速度が向上する。

【0023】

ここで用いられる"画素の行"という表現は、より多くの画素数を含む画素マトリクスの次元方向における1列の画素を示す。ここで用いられる"画素の列"という表現は、より少ない画素数を含む画素マトリクスの次元方向における1列の画素を示す。例えば、256×1600画素を有するセンサでは、当該センサは、1600画素の256行を有すると共に、256画素の各々に1600列を有するとも考えられる。

【0024】

10

20

30

40

50

少なくとも1つのプログラマブルリーダ部、特に各プログラマブルリーダ部は、ただ1つの画素列アドレスに関連付けられても良い。換言すれば、プログラマブルリーダ部は、ただ1つの画素列に接続されても良い。

【0025】

以下で明らかになるように、センサへの光線がポインタによって遮られることを検知することで、センサ上に形成された検知面の画像中のポインタの位置を特定するシステムに、センサが組み込まれても良い。この画像は、センサの行に対して非常に低い傾斜角度を有する直線部分を定義しても良い。

【0026】

読出される画像は、1次元のみを有しても良く、即ち1列につき1つの画素のみについて読出されても良い。かかる読出しは、すべてのリーダ部によって並列、即ち同時に行われても良い。

10

【0027】

少なくとも1つのプログラマブルリーダ部、特に各プログラマブルリーダ部は、複数の画素列アドレス、例えば連続する列アドレスに関連付けられても良い。換言すれば、このプログラマブルリーダ部は、複数の画素列、例えば2つの連続する画素列に接続されても良い。これにより、処理をさらに簡易化することができると共に、センサの構成を簡易化することができる。

【0028】

したがって、一実施例においては、画素列と同数のリーダ部が存在しても良い。他の実施例においては、画素列よりも少ないリーダ部が存在しても良く、例えばリーダ部の数は、1以上且つ画素列の数よりも2 - 10倍少なくても良い。

20

【0029】

画素マトリクス of 行の数は、例えば、 2^n に等しく、各プログラマブルリーダ部は、 n 個の連続する画素列アドレスに関連付けられても良い。したがって、画素の256行については、8つの連続する列アドレスが、例えば、同じプログラマブルリーダ部に関連付けられる。

【0030】

本発明によれば、消費電力及び浮遊電磁放射のために、センサ読出クロック周波数を下げることができる。本発明のセンサによって消費される電力は、例えば、3.3Vオーダの電源電圧で100ミリワット(mW)より少ない。

30

【0031】

本発明のマトリクスセンサは、例えば、小型の電子集積回路チップの形式で製造される。

【0032】

各プログラマブルリーダ部は、例えば、プログラマブルリーダ部でプログラムされる行アドレスを記憶する少なくとも1つのメモリレジスタと、

第1の入力で読出アドレスを受信し、第2の入力でメモリレジスタにプログラムされる行アドレスを受信するコンパレータと、

40

少なくとも1つのバッファメモリと、
を含むものである。

【0033】

コンパレータは第1及び第2の入力におけるアドレスを比較するように構成されれば良く、これらが等しい場合、プログラマブルリーダ部でプログラムされるその行アドレスを画素の値のバッファメモリに記憶するように構成される。

【0034】

プログラマブルリーダ部が複数の画素列アドレスと関連付けられる場合、又は、換言すればプログラマブルリーダ部が複数の画素列に接続される場合、プログラマブルリーダ部は、単一のメモリレジスタと、すべての前記画素列アドレスのための単一のコンパレータ

50

と、各画素列アドレスのためのバッファメモリとを有しても良い。

【0035】

第1実施例では、プログラマブルリーダ部は、ただ1つのメモリレジスタと、ただ1つのコンパレータと、少なくとも1つのバッファメモリとを有する。

【0036】

プログラマブルリーダ部が同じ列アドレスに関連付けられた、又は、換言すれば同じ列に接続された複数のバッファメモリを有する場合、これらにより、同じ行及び列アドレスによって特定される画素値を連続的に記憶することが可能になり得る。かくして、センサ上に連続的に形成された2つの画像間における差動処理を行うことが可能となり、これにより例えば、周辺光の影響を解消できる。

10

【0037】

センサは、2つの連続する時点における画素値の差に対応する値を配信するための差動増幅器を有しても良く、この2つの連続する時点は、例えば、センサにおける検知面の画像を形成するために用いられる光源のオン・オフに対応する。第2実施例においては、プログラマブルリーダ部が、複数のメモリレジスタと、単一のコンパレータと、1つ以上のバッファメモリとを有する。プログラミングステップにおいて、ユーザは、各メモリレジスタにおいて異なる行アドレスをプログラムしても良く、これにより、バッファメモリ又はプログラマブルリーダ部のメモリにおいて同じ画素列の異なる画素値を読むことが可能になり得る。

【0038】

20

各プログラマブルリーダ部は、例えば、2つのメモリレジスタを有し、これにより、例えば、センサ上に形成された画像における閉又は開ループパターンを定義する画素を読出すことができる。

【0039】

さらにプログラマブル部は、センサ上に形成されたより複雑な形状をした画像の画素、例えば腎臓形状パターンを定義する画素を読出すために、より多くのメモリレジスタ、例えば4つのレジスタを有しても良い。

【0040】

センサは光検出器のマトリクスを有し、1つの画素が例えば1つの光検出器に関連付けられている。また、1つの画素が複数の光検出器に関連付けられても良い。これら光検出器は、相補型金属酸化膜半導体(CMOS)技術を用いて製造されても良い。

30

【0041】

マトリクスセンサは、光検出器のマトリクスの列で少なくとも1回の二項フィルタリング動作を行うように構成されても良く、これにより、フィルタリングされる方向における光検出器によって取得された電荷の分布に対する平滑化が可能になり得る。

【0042】

二項フィルタリングによれば、例えば、センサに関連付けられる画面に及ぼす機械的ストレス又は周辺温度が原因でマトリクスセンサの動作中に生じる外乱を補償することが可能になり得る。

【0043】

40

二項フィルタリングは、2つの異なる構成によって行われても良い。第1の構成は、フィルタリングされる列に応じて各々の座標 $2k$ 及び $2k+1$ についてのマトリクスの少なくとも1つの列の2つの光検出器を接続し、この場合 k は自然数であり、例えば行アドレス $2k$ 及び $2k+1$ である。

【0044】

第2の構成において二項フィルタリングは、フィルタリングされる列に応じて各々の座標 $2k+1$ 及び $2k+2$ についてのマトリクスの少なくとも1つの列の2つの光検出器を接続することにより行われ、この場合 k は自然数であり、例えば行アドレス $2k+1$ 及び $2k+2$ である。

【0045】

50

二項フィルタリングは、第1のフィルタリング構成を用いた後に第2のフィルタリング構成を、又はこれらを逆にして行われても良い。

【0046】

また、第1の構成のみ又は第2の構成のみを用いることもできる。

【0047】

さらに代替策としては、電荷分布の平滑化を要求される程度に応じて、上記2つの構成を交互に用いることで複数回の二項フィルタリング動作を続ける。

【0048】

平滑化を要求される程度に応じて、複数回のフィルタリング動作は、光検出器のマトリクスにおいて行われても良い。

10

【0049】

マトリクスセンサは、例えば、複数のスイッチを有し、各スイッチは、光検出器のマトリクスの2つの隣接する光検出器、特に同じ列の2つの隣接する光検出器を接続している。

【0050】

これらの二項フィルタリング動作は、2つの信号によって始動させられても良い。若しくは、画素値読出し以外の機能に用いられる少なくとも1つの行アドレスが、上述したような二項フィルタリングの設定に用いられると共に、上述のフィルタリング構成の1つによれば、プログラマブルリーダー部による前記アドレスの読出アドレスとしての受信により、例えば、スイッチが閉じられる。

20

【0051】

1つの画素の行アドレスは、例えば、各二項フィルタリング構成に用いられる。

【0052】

本発明の他の態様により提供されるシステムは、検知面の画像におけるポインタを位置特定するシステムであって、上で定義されたような少なくとも1つのマトリクスセンサを有する。

【0053】

センサは、例えば、検知面の画像を取得するように構成され、プログラマブルリーダー部にそれらの行アドレスが記憶されている画素は、検知面の画像が形成される画素である。

【0054】

ポインタは、その位置に応じて異なる画素に光が到達することを遮るので、読出された画素を分析することにより、検知面におけるポインタの位置を検出することができる。

30

【0055】

位置特定システムは、例えば、画面へ組み込まれることによりタッチ感応画面を形成する。センサに形成された検知面の画像は、例えば、画面の周囲に配された1つ以上の光源による画像又は画面の端部に置かれた反射器によるそれらの反射像である。

【0056】

例えば、多数の発光ダイオード(LED)が用いられることにより、均一且つ連続的な放射面を提供しても良い。画面近辺にポインタが存在することによりこの放射面が覆われ、幾つかの画素上にポインタの画像を形成する。

40

【0057】

位置特定システムが組み込まれた画面は、好ましくは、1つ以上のLEDを有し、当該LEDは、センサの光軸の近辺に置かれると共に画面の端部を照らし、画面の端部には、反射屈折の反射器が設けられている。これらLEDからの光は、任意の発光効率で、各センサに向かって反射される。画面近辺におけるポインタの存在により、この効率が大きく低下し、センサを覆う。

【0058】

プログラマブルリーダー部は、検知面の画像におけるポインタ位置の関数として、センサのすべての画素ではなく、変化する傾向にあるセンサの画素値のみを読出すことができ、これにより処理時間とランダムアクセスメモリへの要求を低減させる。センサの画素値の

50

すべてを保存する必要はない。これにより、位置特定システムのコストが下がる。

【0059】

位置特定システムは、効果的には本発明のマトリクスセンサを2つ有し、三角測量計算によって位置特定が行われれば良い。

【0060】

プログラマブルリーダ部は、入力として、即ち読出アドレスとして、検知面の画像が形成されてなる画素の行アドレスのみを受信して、これによりポイントの位置特定に使用されるポイントの画像を形成しないセンサの画素の行を処理してしまふことを避けることができる。

【0061】

本発明の他の態様により提供されるタッチ感応画面は、画面と、上で定義された位置特定システムと、を具備するものである。

【0062】

本発明の更なる態様により提供される方法は、画素マトリクス内において選択画素を読出す方法であって、行アドレスと列アドレスとによって各画素が特定されると共に、各々が少なくとも1つの画素列に対して関連付けられる、又は換言すれば接続される、プログラマブルリーダ部に、選択された行アドレスがプログラムされる方法において、少なくとも1つの読出アドレスが、入力としてプログラマブルリーダ部へ供給され、幾つか読出アドレス値ついて、このように入力として受信する前記行アドレスは、各プログラマブルリーダ部でプログラムされる少なくとも1つの行アドレスと比較され、これら行アドレスが等しい場合、プログラムされる行アドレスを有する画素の値が、バッファメモリに記憶されるものである。

【0063】

少なくとも1つの行アドレスが、例えば、画素値の読出し以外の機能に用いられると共に、この行アドレスを読出アドレスとして受信するプログラマブルリーダ部は、例えば、前記機能を実行できるように構成される。

【0064】

単一の行アドレスが、例えばセンサ較正段階中、各プログラマブルリーダ部に対してプログラムされても良い。

【0065】

また、複数の行アドレスが各プログラマブルリーダ部に対してプログラムされると共に、入力として受信された読出アドレスが、プログラマブルリーダ部におけるプログラムされたこれらアドレスと比較されることにより、かかる読出アドレスがこれらアドレスのうちの1つと等しいかどうかを判断する。プログラマブルリーダ部は、プログラムされた行アドレスと同数のバッファメモリを有しても良い。

【0066】

プログラマブルリーダ部は、すぐさま再プログラムされても良い。プログラマブルリーダ部のメモリレジスタにプログラムされた行アドレスに対応する画素値が、このプログラマブルリーダ部のバッファメモリに記憶されると、ユーザは新たな行アドレスをメモリレジスタにプログラムしても良い。続いてこの新たな行アドレスにより特定される画素値は、前データが読出されて消去された後、プログラマブルリーダ部の同じバッファメモリ、又はプログラマブルリーダ部の別のバッファメモリに記憶される。これにより、プログラマブルリーダ部と関連付けられる同じ列の複数の画素の値を読出すことができるようになる。

【0067】

画素のマトリクスは、光検出器のマトリクスに関連付けられ、かかる方法は、読出アドレスをプログラマブルリーダ部へ提供するステップの前に、上で定義されたような光検出器の二項フィルタリングステップを有しても良い。

10

20

30

40

50

【0068】

少なくとも1つの行アドレスが、例えば、二項フィルタリングの設定に用いられると共に、二項フィルタリングステップでは、前記行アドレスが、例えば、読出アドレスとして、少なくとも1つのプログラマブルリーダー部へ送られる。

【0069】

本発明の更なる態様により提供される方法は、検知面の画像におけるポイントを位置特定するための方法であって、

光検出器のマトリクスを用いて検知面の画像を取得でき、画像の各画素が、検知面の画像において行アドレスと列アドレスとによって特定され、

上記方法によって、検知面の画像の選択画素の読出しができるようにされるものである。

10

【0070】

かかる方法は、

検知面の少なくとも一部分の第1の画像、特に検知面の全体を、光検出器のマトリクスの観測フィールドが人工的光源によって照らされる際に取得するステップと、

検知面の前記部分の第2の画像を、人工的光源による光検出器のマトリクスの観測フィールドへの照明がない場合に取得するステップと、

第1及び第2の画像を差動的に読出すステップと、
を有しても良い。

【0071】

このような差動読出しは、周辺光により生じるノイズを低減できる。

20

【0072】

例として、第1及び第2の画像を取得するために、反復処理が用いられ、これにより、人工的光源をオン・オフする基本サイクル中の各反復において、検知面の画像の一部のみを取得する。各反復において、例えば、検知面の画像の画素の1行のみが取得される。

【0073】

反復取得方法によれば、例えば、取得する行に関連付けられる光検出器を、より短い時間の間のみ、人工的光源からの光に曝すことができる。これは人工的光源の明るさが高い場合望ましいことが実証され、これにより光検出器の飽和を防止することが可能になり得る。

30

【0074】

また、検知面の画像の画素の複数の行が、各反復において取得される。

【0075】

他の代替の方法によれば、第1及び第2の画像について、人工的光源をオン・オフする単一の基本サイクルにおいて、検知面の画像のすべてを取得し、これにより、人工的光源のオン/オフ率を減らすと共により高いエネルギーの光パルスを得ることが可能になり得る。

【0076】

人工的光源は、例えば、少なくとも1つの発光ダイオードを有する。

【0077】

上記特徴と組み合わせる本発明の他の態様により提供されるマトリクス光学センサは、最初に行アドレスにより読出された後で次に列アドレスにより読出される画素の2次元マトリクスと、

各々が少なくとも1つの画素列に接続される複数のリーダー部を備え、各リーダー部は、センサの任意の1つ又は複数の行アドレスに対して読出結果を選択的に記憶し、このセンサは、画素のマトリクスの行のすべて又は一部に対するスキャンの後、画素マトリクスの画素の任意の行に対応する1次元画像を取得が可能に構成される。

40

【0078】

本発明は、本発明の限定されない実施例についての以下の説明を読むと共に添付の図面を検討した後により良く理解されるであろう。

50

【図面の簡単な説明】

【0079】

【図1】図1は、本発明のマトリクスセンサの一例の概略図である。

【図2】図2は、本発明の複数のプログラブルリーダ部の概略図である。

【図3a】図3aは、ポインタが存在する際にマトリクスセンサの一部に形成される検知面の画像の一例を示す図である。

【図3b - 3d】図3b - 3dは、位置特定システムによって検知面の画像におけるポインタの位置特定をするための処理についての異なるステップを示す図である。

【図4】図4は、検知面の画像においてポインタの位置特定をするための方法についての異なるステップの概略図である。

【図5】図5は、本発明のマトリクスセンサの一例の要素を示す図である。

【図6a - 6e】図6a - 6eは、二項フィルタリングの例のステップを示す図である。

【図7】図7は、差動読出しの例を示す図である。

【図8】図8は、プログラブルリーダ部をプログラムするための方法の例を示す図である。

【図9】図9は、バッファメモリを読出す例を示すタイミング図である。

【図10a】図10aは、本発明による差動読出しの第1の例を示すタイミング図である。

【図10b】図10bは、本発明による差動読出しの第2の例を示すタイミング図である。

【図11】図11は、本発明による位置特定システムを機器へ組み込む例である。

【図12】図12は、図5に示されるマトリクスセンサの変形例の概略図である。

【図13 - 14】図13及び14は、本発明によるプログラブルリーダ部の他の例を示す図である。

【図15】図15は、先行技術タッチ感応画面における指の位置を検出する例を示す図である。

【発明を実施するための形態】

【0080】

マトリクスセンサ

図1は、本発明に係るマトリクスセンサ1の例を極めて概略的に示している。

【0081】

このセンサ1は、位置特定システム100中に組み入れられ得る。この示されている例において、センサ1は、画像取得装置2と、複数のプログラブルリーダ部3_jを有するプログラブル電子回路3と、デコーダ5とを具備する。

【0082】

本発明に係るマトリクスセンサ1は、例えば小さな集積回路に組み入れられ、例えばその1つの集積回路の大きさは、25平方ミリメートル(mm²)未満である。

【0083】

センサ1の解像度は、例えば1600画素の256行であり、各画素は、例えば5マイクロメートル(μm)の大きさを有する。しかしながら本発明は、如何なる特定の解像度又はピクセルサイズに限定されない。この画素は、例えばメモリのない画素であり、アクティブピクセルとして知られている。

【0084】

このセンサ1は、デジタルプロセッサ部4とデータをやり取りし、このデジタルプロセッサ部4は、例えばマイクロプロセッサとランダムアクセスメモリとを有している。

【0085】

デコーダ5は、例えば従来の論理ゲートを用いて作られ、例えば自然2進符号を2進信号のベクトルへ変換するように構成される。ここで、かかる2進信号のうちの1つのみが、「1」という値を有する。この2進数の「1」により、読み込まれる画素の行を選択することができる。デコーダ5は、図2に示されているように、行のアドレスを受信するこ

10

20

30

40

50

とにより、バス 11 を介してプロセッサ部 4 から読出す。

【0086】

図 2 の例では、プログラマブルリーダ部 3_j が、単一のピクセル列アドレスと関連付けられている。

【0087】

この図に示される例において各プログラマブルリーダ部 3_j は、プログラマブルメモリレジスタ 7_j と、メモリレジスタ 7_j に関連付けられるコンパレータ 8_j と、バッファメモリ 9_j と、電子スイッチ 10_j とを有する。

【0088】

図示のように、各コンパレータ 8_j は 2 つの入力を有し得る。ここでは、バス 11 に接続された第 1 の入力と、プログラマブルリーダ部 3_j のメモリレジスタ 7_j に接続された第 2 の入力である。

10

【0089】

ここで説明される例では、各メモリレジスタ 7_j、各コンパレータ 8_j、及び各バッファメモリ 9_j は画素の各列と関連付けられている。

【0090】

図 13 及び 14 は、プログラマブルリーダ部 3_j の他の例を示している。

【0091】

図 13 の例では、プログラマブルリーダ部 3_j が、2 つのメモリレジスタ 7_j 及び 7_j と、コンパレータ 8_j と、バッファメモリ 9_j と、電子スイッチ 10_j とを有している

20

。

【0092】

本発明は、各プログラマブルリーダ部 3_j 中のメモリレジスタ 7_j の個数について、特定の数に限定されない。各プログラマブルリーダ部 3_j は、2 つより大きい数のメモリレジスタ 7_j を有し得る。

【0093】

図 14 に示されるように、各プログラマブルリーダ部 3_j は、メモリレジスタ 7_j と、コンパレータ 8_j と、2 つのバッファメモリ 9_{a j} 及び 9_{b j} と、電子スイッチ 10_j とを有しても良い。本発明は、各プログラマブルリーダ部中のバッファメモリ 9_j の個数について、特定の数に限定されない。各プログラマブルリーダ部は、2 つより大きい数のバッファメモリ 9_j を有し得る。

30

【0094】

図示されていない他の変形例においては、各プログラマブルリーダ部が、コンパレータと、複数のメモリレジスタと、複数のバッファメモリとを有する。

【0095】

図 5 は、本発明の画像取得装置の例を示している。

【0096】

この取得装置 2 は、例えば、デコーダ素子のマトリクスを有し、これらデコーダ素子は、ここで説明される例においては光検出器 20_{n m} である。

【0097】

また、センサ 1 は、複数のスイッチ 21、例えば電界効果トランジスタ 21 も有し、これらスイッチ 21 が、マトリクスセンサの列中の 2 つの隣接する光検出器を接続する。さらに、センサ 1 は、複数のスイッチ 22 を有し、これらのスイッチ 22 により、光検出器 20_{n m} により取得された電荷を読出す。

40

【0098】

図 11 に示されるように、このセンサ 1 は、例えば、複数の入力 60、61 - 6x、及び 70 を有する。

【0099】

入力 60 は、例えば電源に接続されている。入力 61 - 6x は、例えば、センサ 1 が組み込まれている装置のプロセッサに接続されている。入力 70 は、例えば接地されている

50

。

【0100】

図11から分かるように、入力60と入力70とが、ディカップリングコンデンサによって接続されても良い。

【0101】

システム100は、例えば、各々のトランジスタ74及び75に接続された2つの出力72及び73を有する。

【0102】

タッチ感応画面の前にあるポインタを位置特定することに対する適用

図3a乃至3d及び図4を参照して以下に説明されるものは、タッチ感応画面の検知面の画像中のポインタを位置特定することに対して本発明を適用する例である。ここでは、図2に示されるように、プログラマブルリーダ部3_jを有するセンサ1を含む位置特定システム100が用いられる。

10

【0103】

図3aにおいては、センサの画素のマトリクスについての6つの行及び19の列のみが示されている。この例では、列については左から右へ番号が振られており、行については下から上に向かって番号が振られている。

【0104】

黒画素は、光源を遮るポインタの存在に対応する。アドレス j 及び $j+2$ の列について検知面の画像中のポインタの位置特定を可能にする画素はすべて、アドレス $i+2$ の行に位置づけられていると共に、図示例では $6_{i+2, j}$ 、 $6_{i+2, j+1}$ 、及び $6_{i+2, j+2}$ により各々示されている。

20

【0105】

図3aから分かるように、検知面の画像中のポインタの位置特定を可能にするすべての画素の値は、1次元配列を満たし得る。

【0106】

ポインタの位置を特定する前のリーダ部のプログラミング

図4に示される初期化ステップ40において、デジタルプロセッサ部4は、各プログラマブルリーダ部3_jのメモリレジスタ7_j中の以前に記憶されていた情報を消去するようにする。

30

【0107】

ステップ41において、デジタルプロセッサ部4は、検知面の画像の各行に対するスキャンを続け、ステップ42において、画素の各列について、検知面の画像に対応する画素の行アドレスを決定する。

【0108】

ステップ43において、メモリレジスタ7_{j+1} - 7_{j+19}の各々にプログラムされた各列の画素の行アドレスにより、検知面の画像中のポインタを位置特定することができる。図示例では、行アドレス「 $i+2$ 」が、レジスタ7_{j+1}、7_{j+2}及び7_{j+3}に記憶されている。

【0109】

図8は、ステップ43におけるメモリレジスタ7_j中に行アドレスをプログラムする例を示している。

40

【0110】

デジタルプロセッサ部4は、図示されていないバスを介して、列アドレス j の画素列に関連付けられるメモリレジスタ7_jへ、かかる列の画素の行アドレスに対応しプログラムされる信号ADR[7:0]を送る。

【0111】

256行を有する画像について、行アドレスは8ビットで符号化され、メモリレジスタ7_jは、この行アドレスを順次ビットごとに記憶する。このメモリレジスタは、符号化されたアドレスのビットを連続的に受信し、各ビットは、図8に示されるように、クロック

50

信号 CLK の立ち上がりエッジでメモリレジスタに記憶される。メモリレジスタ 7_j への記憶は、例えば、12メガヘルツ (MHz) よりも高い周波数で行われる。

【0112】

検知面の画像中のポインタを位置特定するための画素値の記憶

検知面の画像中のポインタを位置特定することを可能とする画素 $6_{i,k}$ の各々の行アドレスがメモリレジスタ $7_j - 7_{j+1}$ の各々にプログラムされた後、ステップ 44 においてデジタルプロセッサ部 4 は、バス 11 を介して、デコーダ 5 と各プログラマブルリーダー部 $3_j - 3_{j+1}$ とへ、画像の画素を讀出するためのアドレスを送る。この讀出アドレスは、行アドレスに対応する。

【0113】

ここで説明される例では、このステップ 44 で送られた最初の讀出アドレスは、最下位の行アドレスに対応し、この最下位の行アドレスは検知面の画像が形成される 1 つ以上の画素に関連付けられる。

【0114】

各コンパレータ 8_j は、第 1 の入力を介して受信されたこの讀出アドレスと、メモリレジスタ 7_j に対してステップ 43 においてプログラムされた行アドレスとを比較する。ここで、各コンパレータ 8_j は、ステップ 43 においてプログラムされた行アドレスと関連付けられていると共に、この行アドレスを第 2 の入力を介して受信する。

【0115】

比較された 2 つの値が等しい場合、コンパレータ 8_j は、スイッチ 10_j に対して作用することにより、バッファメモリ 9_j への対応する画素の値の記憶を可能にする。

【0116】

図 3 b の例では、讀込アドレス「 $i+1$ 」がプログラマブルリーダー部 $3_j - 3_{j+1}$ により受信されることによりコンパレータ $8_j - 8_{j+1}$ により受信されると、各コンパレータ 8_j はこの値とメモリレジスタ 7_j に対してプログラムされた行アドレスとを比較する。本例においては、番号 $j+15 - j+18$ の列のコンパレータは、第 1 及び第 2 の入力において受信された値が等しいと判断する。

【0117】

そして、ステップ 45 において、画素 $6_{i+1, j+15}$ 、 $6_{i+1, j+16}$ 、 $6_{i+1, j+17}$ 及び $6_{i+1, j+18}$ の値は、バッファメモリ $9_{15} - 9_{18}$ に記憶される。

【0118】

そして、ステップ 44 及び 45 が繰り返し行われ、デジタルプロセッサ部 4 は、行番号を増やしていくことにより、デコーダ 5 とプログラマブルリーダー部 $3_j - 3_{j+1}$ とへバス 11 を介して次の讀出アドレスを送る。

【0119】

ここで説明される例では、讀出アドレス「 $i+2$ 」が送られ、そしてコンパレータ $8_j - 8_{j+2}$ とコンパレータ $8_{j+10} - 8_{j+14}$ とが等しい第 1 及び第 2 の入力値を持つ一方で、対応する画素の値がバッファメモリ $9_j - 9_{j+2}$ とバッファメモリ 9_{j+10} 及び 9_{j+14} とに記憶される。

【0120】

そして、讀出アドレス「 $i+3$ 」は、デコーダ 5 とプログラマブルリーダー部 $3_j - 3_{j+1}$ とへバス 11 を介して送られ、処理は上述したものと同じようにして継続し、これにより、画素 $6_{i+3, j+4} - 6_{i+3, j+9}$ の値がバッファメモリ $9_{j+4} - 9_{j+9}$ へ記憶される。

【0121】

そして、検知面の画像中のポインタの位置特定を可能にする画素の値は、バッファメモリ $9_j - 9_{j+1}$ のセット 9 において讀出される。

【0122】

本発明は、画素の列ごとにつき 1 つのプログラマブルリーダー部 3_j を使用することに限

10

20

30

40

50

定されるものではない。したがってプログラマブルリーダ部 3_j は、特に検知面中のポイントの位置特定を可能にする画素が複数のセグメントを定義する場合、複数の連続した画素の列に対して関連付けられても良い。ここで各セグメントは、マトリクスセンサ 2 の行に対して低い又は 0 の傾斜角度を有する。単一のプログラマブルリーダ部 3_j と検知面の画像の連続した複数の画素列との関連付けにより、位置特定システムを簡易化し得る。1 つの行アドレスのみが、これらの画素列に関連付けられたプログラマブルリーダ部のメモリレジスタにプログラムされても良い。

【 0 1 2 3 】

他の変形例におけるプログラマブルリーダ部は、図 1 3 及び 1 4 に示される。

【 0 1 2 4 】

マトリクスセンサの 1 次元二項フィルタリング

取得装置 2 中のスイッチ 2 2 の配置により、光検出器のマトリクスの 1 次元二項フィルタリング、例えば垂直方向フィルタリングとして知られる各列に沿ったフィルタリングを行うことが可能となる。

【 0 1 2 5 】

図 5 の例においては、スイッチ 2 1 は、行におけるマトリクス中の隣接する光検出器 $2_{0_n m}$ を接続し、垂直方向フィルタリングの適用を可能とする。

【 0 1 2 6 】

本発明は、以下に図 6 a 乃至 6 e を参照して説明されるように、2 つの構成で二項フィルタリングの適用を可能としている。

【 0 1 2 7 】

光検出器は、番号 $2_{0_1 m} - 2_{0_{10} m}$ が振られている。そして、2 つの隣接する光検出器は、スイッチ $2_{1_k m}$ によって接続されている。

【 0 1 2 8 】

スイッチ $2_{1_1 m}$ 、 $2_{1_2 m}$ 、 $2_{1_3 m}$ 、 \dots 、 $2_{1_9 m}$ は、光検出器 $2_{0_1 m}$ 及び $2_{0_2 m}$ 、 $2_{0_2 m}$ 及び $2_{0_3 m}$ 、 \dots 、 $2_{0_9 m}$ 及び $2_{0_{10} m}$ 、の各々を接続する。

【 0 1 2 9 】

図 6 a は、画像取得後の光検出器 $2_{0_n m}$ を示す。

【 0 1 3 0 】

図示のように、光検出器 $2_{0_6 m}$ のみが電荷を有し、この電荷は、例として 1 と等しい。

【 0 1 3 1 】

図 6 b に示される第 1 のフィルタリング構成では、フィルタリング次元に沿った座標 2_{k+1} におけるスイッチ $2_{1_{2_{k+1}, m}}$ (k は自然数) が閉じられることにより、フィルタリング次元に沿った、例えば列内の垂直方向の、座標 2_{k+1} 及び 2_{k+2} における光検出器 $2_{0_{2_{k+1}, m}}$ 及び $2_{0_{2_{k+2}, m}}$ を接続している。

【 0 1 3 2 】

光検出器 $2_{0_n m}$ により取得された電荷は、スイッチによって接続された光検出器の各々によって取得された電荷を合計した後その合計値を 2 で割ることにより計算される。

【 0 1 3 3 】

図 6 b から分かるように、この動作後、光検出器 $2_{0_5 m}$ 及び $2_{0_6 m}$ の両方は、0.5 と等しい電荷を有する。この結果この電荷は、フィルタリング前のように光検出器 $2_{0_6 m}$ のみによって保持されるわけではない。

【 0 1 3 4 】

電荷分布の平滑化の要求される程度によっては、図 6 c に示される第 2 のフィルタリング構成が、マトリクスの光検出器に対して適用されても良い。

【 0 1 3 5 】

この第 2 のフィルタリング構成では、フィルタリング次元に沿った座標 2_k におけるスイッチ $2_{1_{2_k, m}}$ (k は自然数) が閉じられることにより、フィルタリング次元に沿った座標 2_k 及び 2_{k+1} における光検出器 $2_{0_{2_k, m}}$ 及び $2_{0_{2_{k+1}, m}}$ を接続して

10

20

30

40

50

いる。

【0136】

第1の構成と同様に、光検出器 20_{nm} により取得された電荷は、スイッチによって接続された光検出器の各々によって取得された電荷を合計した後その合計値を2で割ることにより計算される。

【0137】

図6cから分かるように、この動作後光検出器 $20_{4m} - 20_{7m}$ の各々は、当初単一の光検出器 20_{6m} によって保持されていた電荷の4分の1に等しい電荷を有する。

【0138】

もし必要であれば、二項フィルタリングは、図6dに示されるように第1の構成を用いた後、図6eに示されるように第2の構成を用いて再度行われても良く、これにより電荷分布をさらに平滑化する。

10

【0139】

例として、2つのフィルタリング構成の各々は、アドレス 1 及び 2 の各々によって符号化される。ここで説明される例では、 1 及び 2 は、画素の行における二項フィルタリング用の特定アドレスである。256行の画像について、例えば16進コードでは、 1 はアドレス00に対応し、 2 はアドレスFFに対応する。

【0140】

これらのアドレスの1つを画像取得装置2とプログラマブルリーダー部とへ送るデジタルプロセッサ部4は、フィルタリング構成に応じて、フィルタリング次元に沿ったインデックス $2k$ におけるスイッチ $21_{n, 2k}$ 又はインデックス $2k+1$ におけるスイッチ $21_{n, 2k+1}$ を閉じる。

20

【0141】

差動読出し

同様に、本発明は、差動読出しを用いることによって周辺光を除去することを可能としても良い。

【0142】

図7は、タイミング図であり、本発明の差分読出しの例を示し、
検知面の一部における第1の画像は、人工的光源により光検出器のマトリクス of 観測フィールドが照らされたときに取得され、
検知面の同じ部分における第2の画像は、人工的光源の照明なしで取得され、
周辺光に関連するノイズは、例えば差動増幅器を用いて、第1の画像から第2の画像を減じることにより除去される。

30

【0143】

もし周辺光が極めて強くて、この周辺光は略同じ状態を保つ。これにより、画像取得速度が高い場合、第1の画像から第2の画像を減じることによって周辺光の影響を格段と弱め得る。

【0144】

図7に示される状況では、差動読出しが、一度に画素の1行に対して適用されるようになされているが、これは異なる方法で行われる可能性がある。

40

【0145】

例として、デジタルプロセッサ部4は、取得装置2とプログラマブル電子回路3とへ、検知面の画像における処理される画素の第1行のアドレスAD1を送るように構成される。

【0146】

デジタルプロセッサ部4は、光検出器20により以前に取得された如何なる電荷をも消去させることができる。タイミング図において、この電荷消去は、信号RSTのアクティブ化に対応する。

【0147】

そして、デジタルプロセッサ部4は、人工的光源を用いて、取得装置2の観測フィールド

50

ドを照らすようにしても良い。例としてこの人工的光源は、発光ダイオードであり、図7のタイミング図において信号LEDにより示される状態にある。

【0148】

そして、デジタルプロセッサ部4は、例えば図3b乃至3dの1つに示されるように、取得装置2によって取得された行の第1の画像を取得するようにすると共に、プログラマブル電子回路によって当該取得された行の画素値を記憶するようになされており、この処理はタイミング図において信号RD1のアクティブ化に対応する。

【0149】

そして、デジタルプロセッサ部は、先立つステップにおいて、光検出器によって取得された電荷を消去した後、人工的光源を止めるようにしても良い。

10

【0150】

そして、デジタルプロセッサ部4は、画像取得装置によって取得された行の第2の画像を取得するようにすると共に、プログラマブル電子回路3によって当該取得された行の画素値を記憶するようになされても良く、この処理はタイミング図において信号RD2のアクティブ化に対応する。

【0151】

そして、デジタルプロセッサ部4は、例えば処理される次の画素の行のアドレスを送り、上述のステップが繰り返される。

【0152】

図9は、タイミング図であり、本発明のマトリクスセンサ1の差動読出しの例を示している。

20

【0153】

この例では、各プログラマブルリーダ部 3_j が、画素列と関連付けられていると共に、図14に示されるように、メモリレジスタ 7_j と、コンパレータ 8_j と、2つのバッファメモリ $9a_j$ 及び $9b_j$ とを有している。

【0154】

例として、各プログラマブルリーダ部 3_j のバッファメモリ $9a_j$ により構成されるセット9aは、上述の方法によって記憶された画素値を含む。ここで、この上述の方法による画素値の記憶は、人工的光源の照明ありで取得された第1の画像の処理中に行われる。

【0155】

30

例として、各プログラマブルリーダ部 3_j のバッファメモリ $9b_j$ により構成されるセット9bは、上述の方法によって記憶された画素値を含む。ここで、この上述の方法による画素値の記憶は、人工的光源の照明なしで取得された第2の画像の処理中に行われる。

【0156】

ここで説明される例において、本発明は、図9において信号HDにより示される状態にあるシフトレジスタ15によるメモリセット9a及び9bの内容の順次読出しを用いる。この信号HDを0に設定することにより、シフトレジスタによって以前に取得された情報が消去される。

【0157】

続けて、このシフトレジスタは、クロック信号HCLKの受信時に、バッファメモリ $9a_j$ 又は $9b_j$ の内容の読出しを進める。

40

【0158】

また、図9のタイミング図は、信号OUTPUTを示し、この信号OUTPUTは、第1の画像に関連付けられるメモリ9aのセットの読出しに対応する。また、図9のタイミング図は、信号OUTNを示し、この信号OUTNは、第2の画像に関連付けられるメモリのセット9bの読出しに対応する。

【0159】

そして、メモリ9a及び9bのセットにおいて読出された情報は、例えばメモリセット9a及び9bの読出バスに接続された差動増幅器を用いて、減算処理を経ても良い。

【0160】

50

本発明によれば、人工的光源をオン・オフするサイクル中に第1の画像及び第2の画像の画素のただ1つの行のみを取得することと、各画素の行の取得を繰り返し続けることとにより、差動読出しが行われれば良い。

【0161】

図10aは、差動読出しのそのような一例に対応するタイミング図を示している。

【0162】

当該例においては、デジタルプロセッサ部4は、最初に取得装置2の光検出器20によって以前に取得された電荷を消去し、人工的光源を駆動するようになされており、これら処理は図10aのタイミング図における信号RSTのアクティブ化と信号LEDのアクティブ化との各々に対応する。

10

【0163】

そして、デジタルプロセッサ部4は、取得装置2とプログラマブル電子回路3とへ、2つの垂直二項フィルタリング構成に関連付けられるアドレス1及び2を送る。

【0164】

そして、デジタルプロセッサ部4は、取得装置2とプログラマブル電子回路3とへ、処理される画素の行のアドレスAD1を送った後、信号RD1をアクティブ化する。

【0165】

信号RD1のアクティブ化によって、

取得装置2による第1の画像のアドレスAD1の行の取得、

以前に受信されたアドレス1及び2に従って、2つの構成における取得装置の光検出器によって記憶された電荷の垂直二項フィルタリング、

20

検出面の画像におけるポインタの位置特定が可能となるように、プログラマブル電子回路3によるこの行の画素値の読出し、の処理が連続して行われる。

【0166】

これら画素値は、上述したように、バッファメモリ9a_jに記憶される。

【0167】

そして、デジタルプロセッサ部4は、光検出器によって以前取得された電荷を消去し、人工的光源を止めるようになされており、これら処理は、図10aのタイミング図における信号RSTのアクティブ化と信号LEDの非アクティブ化との各々に対応する。

30

【0168】

そして、デジタルプロセッサ部は、センサ1とプログラマブル電子回路3とへ、2つの垂直二項フィルタリング構成に関連付けられるアドレス1及び2を送った後、信号RD2をアクティブ化する。

【0169】

信号RD2のアクティブ化によって、

取得装置2による第2の画像のアドレスAD1の行の取得、

以前に受信されたアドレス1及び2に従って、2つの構成における取得装置の光検出器によって記憶された電荷の垂直二項フィルタリング、

40

検出面の画像におけるポインタの位置特定が可能となるように、プログラマブル電子回路3によるこの行の画素値の読出し、の処理が連続して行われる。

【0170】

これら画素値は、上述したように、バッファメモリ9b_jに記憶される。

【0171】

アドレスAD1における画素の行の2つの画像が取得されると、デジタルプロセッサ部は、アドレスAD2及びAD3等についての画素の行を繰り返し処理する。

【0172】

本発明は、第1及び第2の画像を処理する前の2つの構成における二項フィルタリングに限られない。その代わりに、2つの構成のうちのただ1つの構成における二項フィルタ

50

リングが先に行われる可能性がある。さらに代替方法によれば、第 1 及び第 2 の画像の取得の前に、二項フィルタリングが行われない。

【 0 1 7 3 】

図 1 0 a に示されている例では、人工的光源をオン・オフするサイクルは、ただ 1 つの画素の行の第 1 及び第 2 の画像の取得に対応する。

【 0 1 7 4 】

本発明による差動フィルタリングの他の例は、図 1 0 b に示されている。この例では、人工的光源をオン・オフする 1 サイクルによって、すべての画素の行の取得が可能である。

【 0 1 7 5 】

図 1 0 b に示されているように、各光検出器によって以前に取得された電荷は、最初に、各行のアドレスを送って各行に対する信号 R S T をアクティブ化することにより消去される。

【 0 1 7 6 】

そして、デジタルプロセッサ部 4 は、人工的光源をオンにした後、その人工的光源をオフにする。この光源がオフにされると、アドレス 1 及び 2 が、図 1 0 a を参照して説明されたものと同様の方法により送られる。

【 0 1 7 7 】

そして、アドレス A D 1 が送られ、これによりアドレス A D 1 についての行の画素の読出しが行われることにより、図 3 a 乃至 3 d を参照して説明されたように、検知面の画像におけるポイントの位置特定が可能となる。この後、信号 R S T がアクティブ化され、これにより、取得された電荷が消去される。

【 0 1 7 8 】

そして、この他の行アドレスが連続的に送られ、上述したステップが、送られた各行アドレスに対して繰り返される。

【 0 1 7 9 】

人工的光源をオン・オフする 1 サイクルの後、このようにして第 1 の画像が取得される。

【 0 1 8 0 】

そして、行アドレスのようにしてアドレス 1 及び 2 は再び送られ、これにより、第 2 の画像の取得が可能となる。

【 0 1 8 1 】

位置特定システムの他の実施例

本発明は、上述した例に限られない。

【 0 1 8 2 】

例えば、図 1 2 の例のように、本発明の異なる機能が組み合わされても良い。

【 0 1 8 3 】

この例では、各プログラマブルリーダ部 3_j が複数の連続した列アドレスに関連付けられるようになされており、ここで説明される例では 8 つのアドレスに関連付けられる。

【 0 1 8 4 】

各プログラマブルリーダ部 3_j は、メモリレジスタ 7_j と、コンパレータ 8_j と、8 つの組のバッファメモリ 9 a_j - 9 a_{j+7} 及び 9 b_j - 9 b_{j+7} とを有する。

【 0 1 8 5 】

j から j + 7 に至る列アドレスについての 8 画素列に共通な行アドレスが、メモリレジスタ 7_j に対してプログラムされている。

【 0 1 8 6 】

バス 1 1 を介してデジタルプロセッサ部 4 により送られた読出アドレスは、各プログラマブルリーダ部 3_j によってその入力を受信された後、各プログラマブルリーダ部 3_j はその読出アドレスをコンパレータ 8_j へ転送する。そして、受信されたアドレスが、j から j + 7 に至る列アドレスについての 8 列に関連付けられたメモリレジスタ 7_j にプログ

10

20

30

40

50

ラムされているアドレスに等しいか否かが確認される。

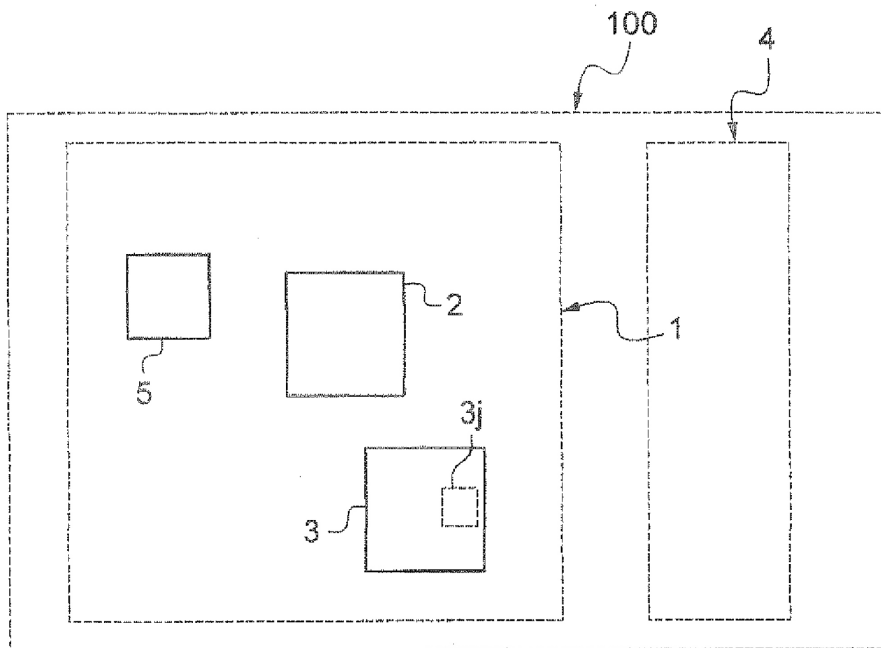
【0187】

図示のように、図12に示されている装置は、各列に関連付けられる2つのバッファメモリ $9a_j$ 及び $9b_j$ を有し、これらバッファメモリ $9a_j$ 及び $9b_j$ は、検知面の第1及び第2の画像に各々関連している。

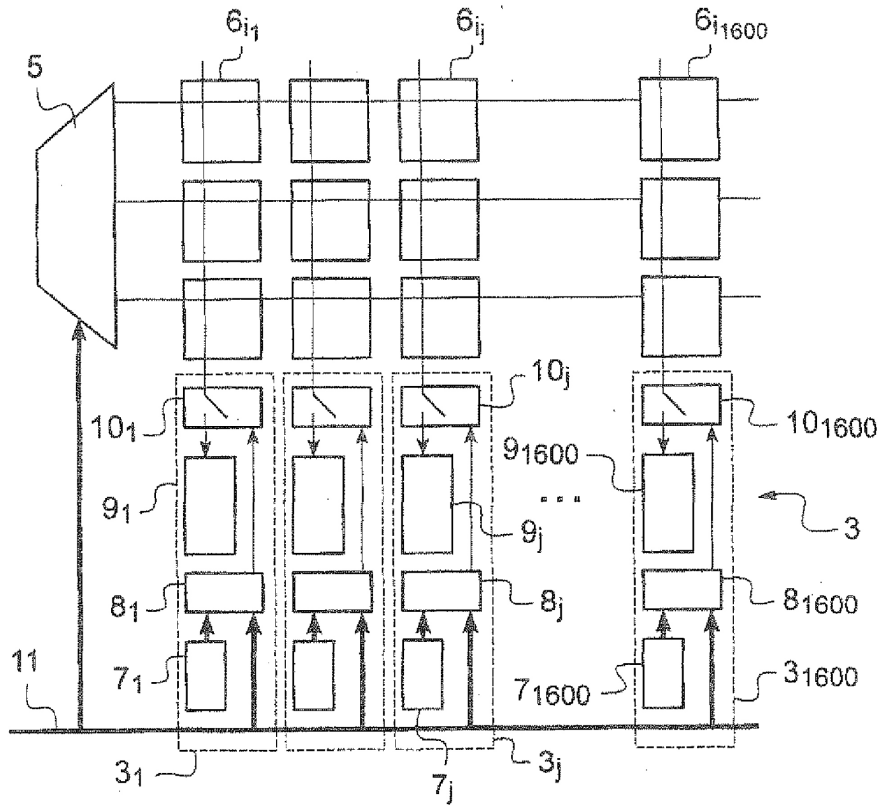
【0188】

ここで使用されている「を有する」という表現は、それと相反する表現が明記されていない限り、「少なくとも1つを有する」という表現と同義と解されるものとする。

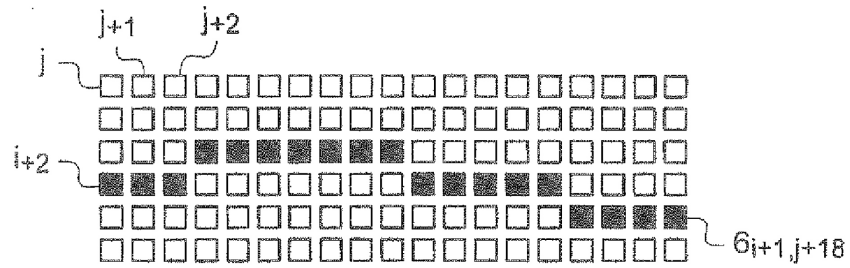
【図1】



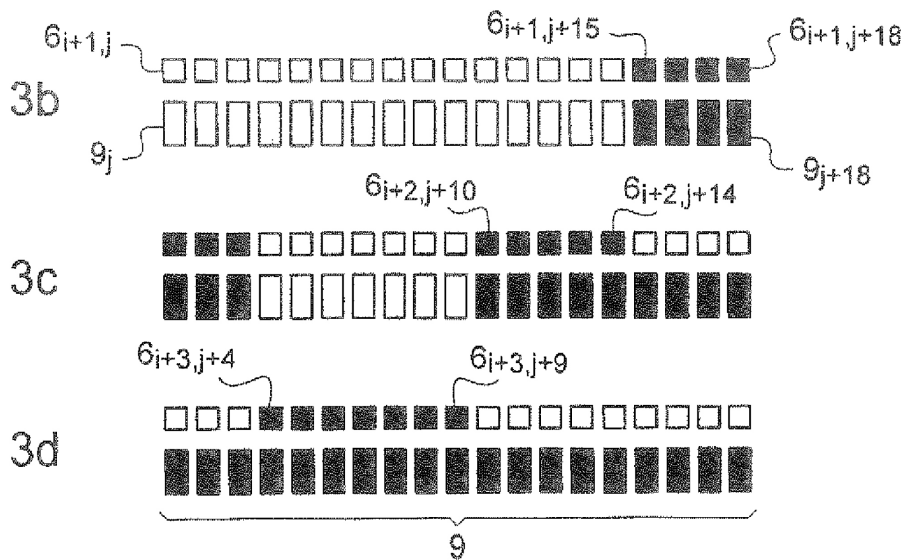
【 図 2 】



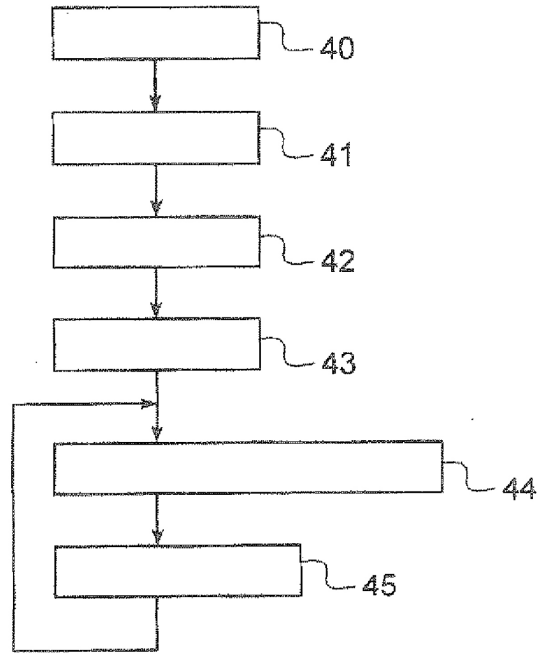
【 図 3 a 】



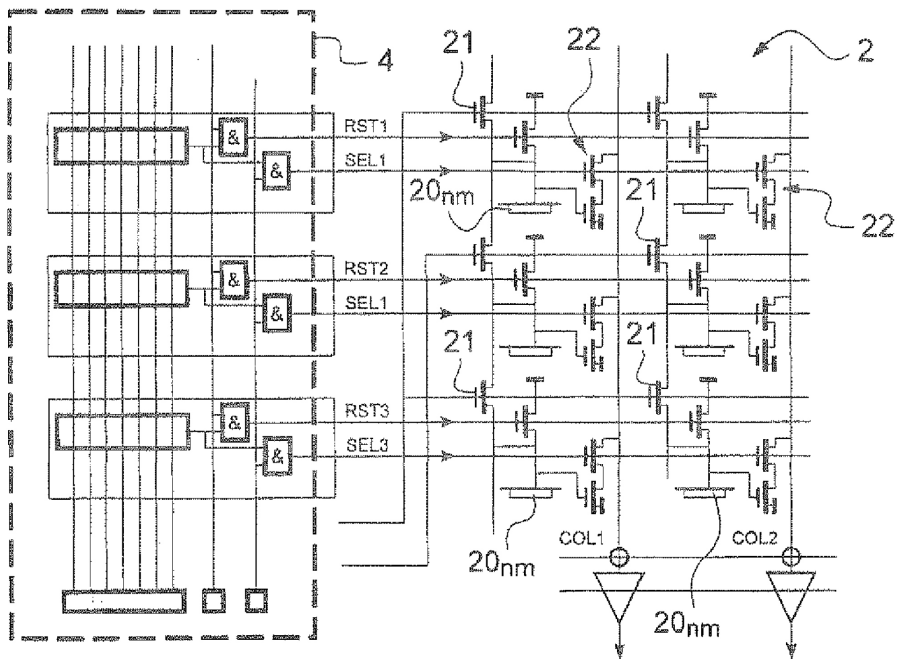
【 図 3 b - 3 d 】



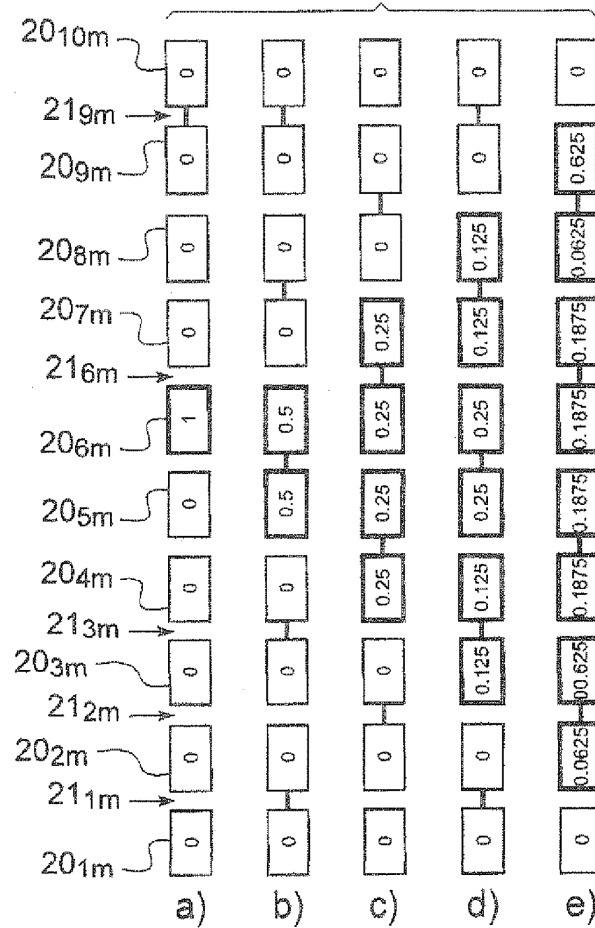
【 図 4 】



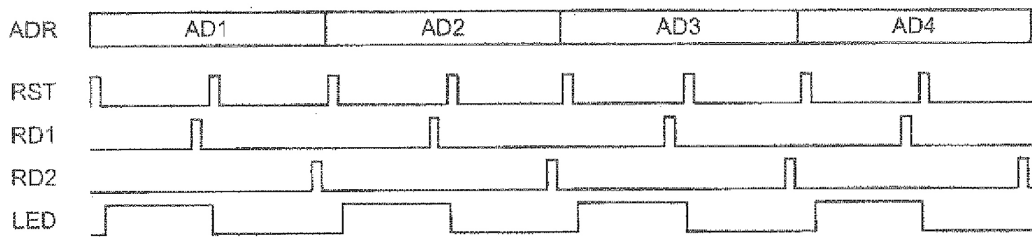
【 図 5 】



【 図 6 a - 6 e 】



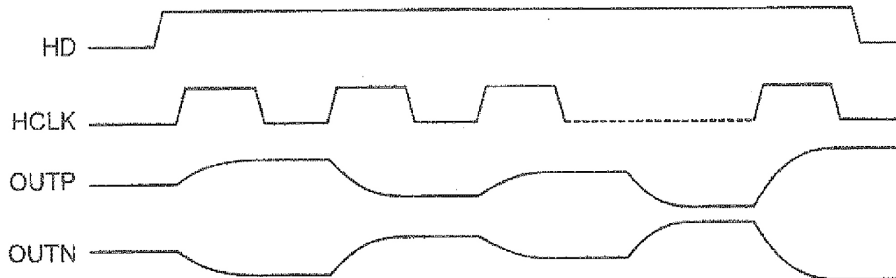
【 図 7 】



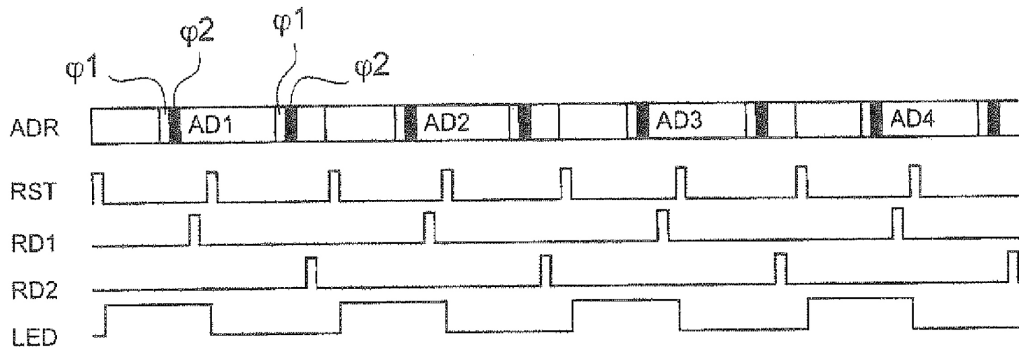
【 図 8 】



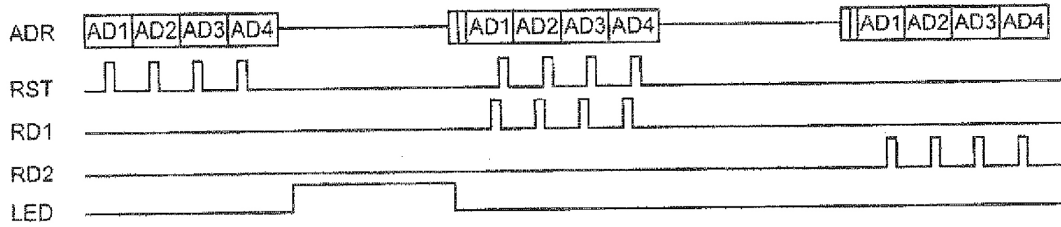
【 図 9 】



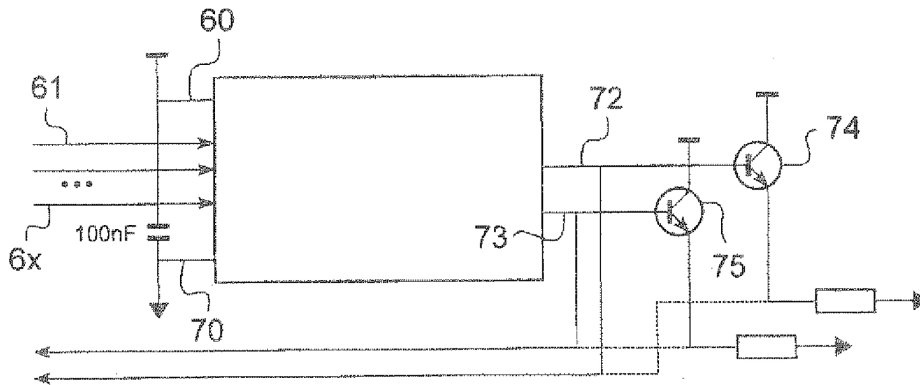
【 10 a 】



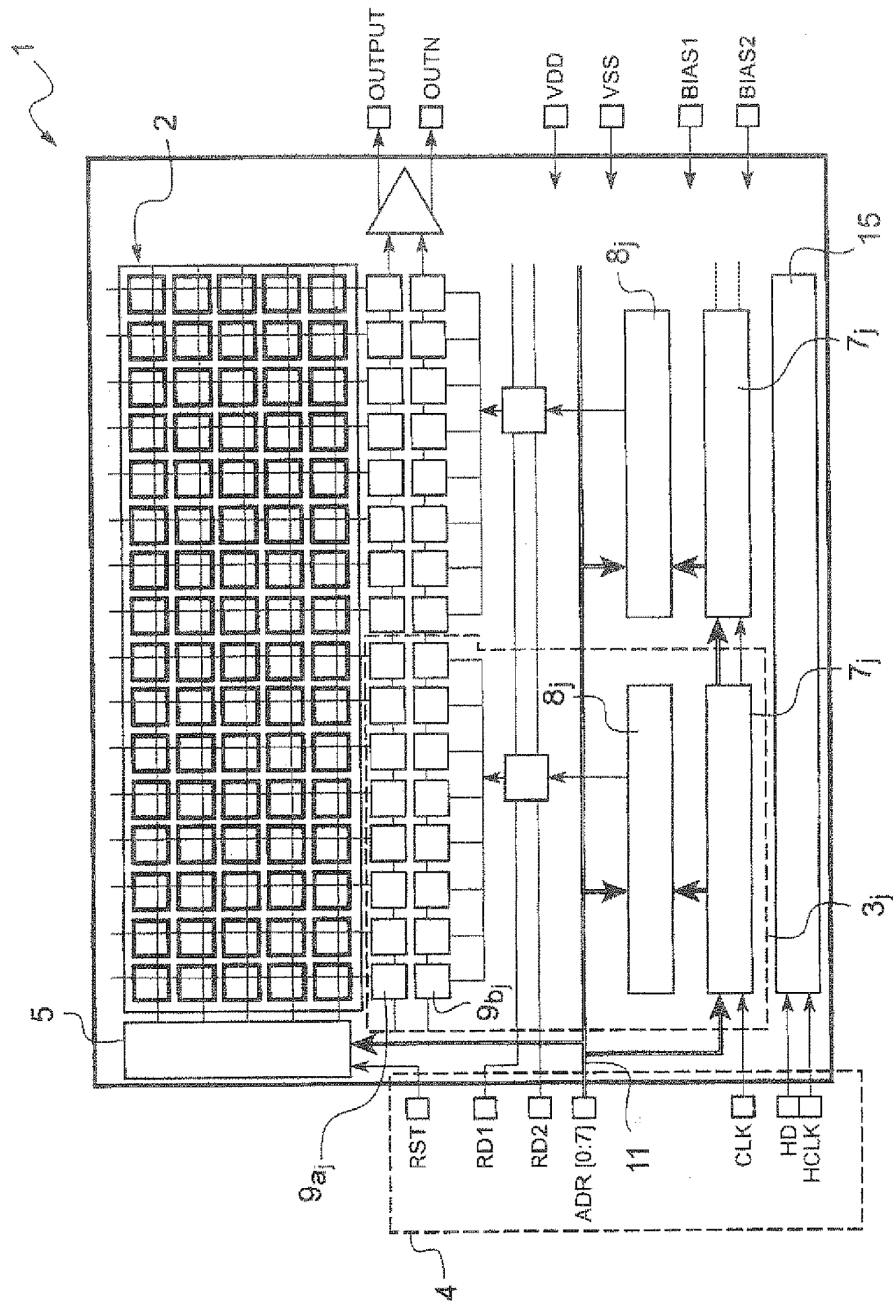
【 10 b 】



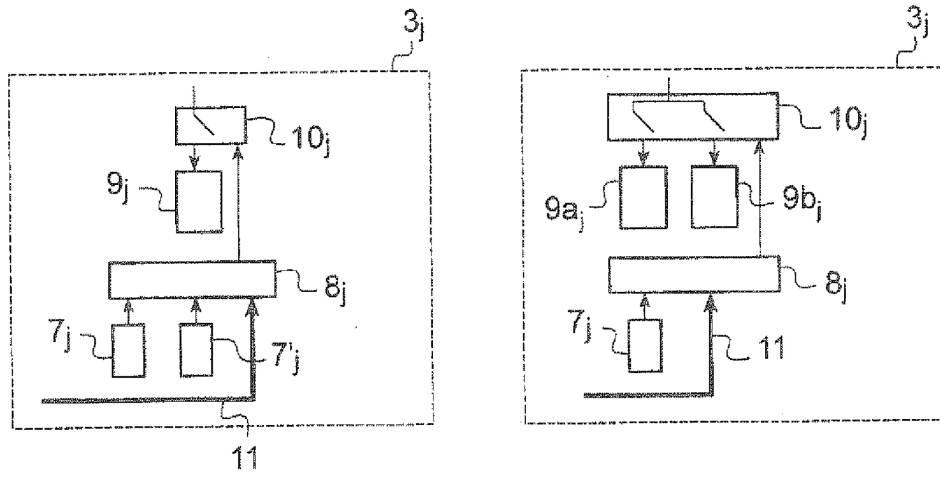
【 11 】



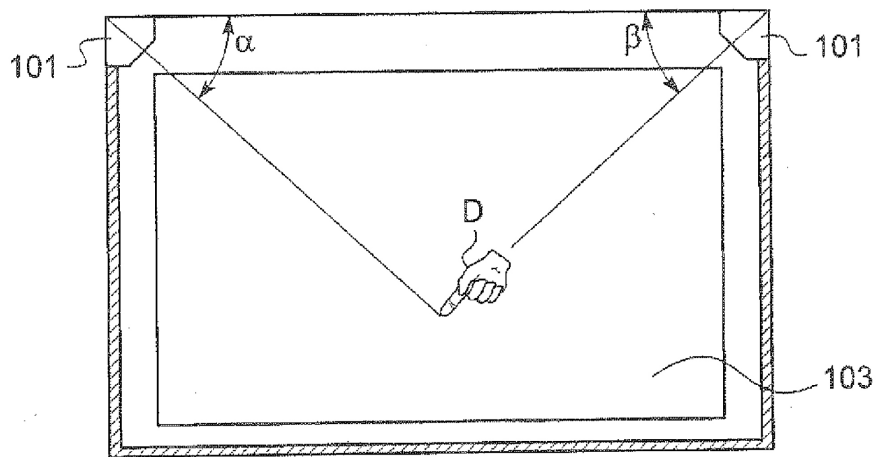
【 図 1 2 】



【 図 13 - 14 】



【 図 15 】



フロントページの続き

審査官 田川 泰宏

(56)参考文献 米国特許出願公開第2004/0155175 (US, A1)

特開2007-243265 (JP, A)

特開2005-004729 (JP, A)

特開平09-037033 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/01~048