



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월15일
(11) 등록번호 10-0873759
(24) 등록일자 2008년12월05일

(51) Int. Cl.

H01L 21/304 (2006.01)

(21) 출원번호 10-2002-0011898

(22) 출원일자 2002년03월06일

심사청구일자 2006년12월06일

(65) 공개번호 10-2002-0081544

(43) 공개일자 2002년10월28일

(30) 우선권주장

JP-P-2001-00118413 2001년04월17일 일본(JP)

(56) 선행기술조사문헌

JP평성11045868 A

JP평성09186234 A

JP2000021882 A

JP2001077113 A

전체 청구항 수 : 총 36 항

심사관 : 양희용

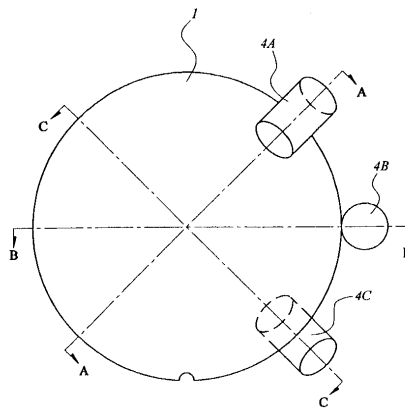
(54) 반도체 집적 회로 장치의 제조 방법

(57) 요약

웨이퍼의 엣지에서의 박막의 박리에 기인하는 이물의 발생을 방지한다.

예를 들면 3개의 연마 드럼(4A~4C)을 이용하여 웨이퍼(1)의 엣지의 전역을 연마한다. 연마 드럼(4A)은 상대적으로 웨이퍼(1)의 엣지의 상면측을 연마하고, 연마 드럼(4B)은 상대적으로 웨이퍼(1)의 엣지의 중양을 연마하며, 연마 드럼(4C)은 상대적으로 웨이퍼(1)의 엣지의 하면을 연마한다.

대표도 - 도4



(72) 발명자

쯔찌야마히로후미

일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩
가부시키가이샤히타치세이사쿠쇼지적재산권본부내

가나이후미유키

일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩
가부시키가이샤히타치세이사쿠쇼지적재산권본부내

나카바야시신이찌

일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩
가부시키가이샤히타치세이사쿠쇼지적재산권본부내

특허청구의 범위

청구항 1

- (a) 반도체 웨이퍼의 표면에 단층 또는 적층의 제1 절연막을 성막하는 공정,
 - (b) 상기 반도체 웨이퍼의 엣지에서의 상기 제1 절연막을 제거하는 공정,
 - (c) 상기 (b) 공정 후에, 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
 - (d) 상기 (c) 공정 후에, 상기 제1 절연막을 마스크로 하여 상기 반도체 웨이퍼를 에칭하는 공정,
 - (e) 상기 (d) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정,
 - (f) 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (g) 상기 반도체 웨이퍼의 엣지에서의 상기 제2 절연막을 제거하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 (b) 공정은 슬러리 또는 지석(砥石)을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 3

제2항에 있어서,

상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼의 각각은 상기 반도체 웨이퍼의 엣지에 각각 상이한 영역에서 접촉하고, 상기 반도체 웨이퍼의 엣지의 형상에 따라, 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 (b) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 5

- (a) 반도체 웨이퍼의 표면에 단층 또는 적층의 제1 절연막을 성막하는 공정,
- (b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
- (c) 상기 (b) 공정 후에, 상기 제1 절연막을 마스크로 하여 상기 반도체 웨이퍼를 에칭하는 공정,
- (d) 상기 (c) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정,
- (e) 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
- (f) 상기 (e) 공정 후에, 상기 반도체 웨이퍼의 엣지에서, 상기 제1 절연막을 연마 종점으로 하여 상기 제2 절연막을 연마하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 6

제5항에 있어서,

상기 (f) 공정은 슬러리 또는 지석을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼 각각은 상기 반도체 웨이퍼의 엣지에 각각 상이한 영역에서 접촉하고, 상기 반도체 웨이퍼의 엣지의 형상에 따라 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 8

제5항에 있어서,

상기 (f) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 9

(a) 반도체 웨이퍼의 표면에 제1 절연막을 성막하는 공정,

(b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,

(c) 상기 (b) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,

(d) 상기 (c) 공정 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제1 도전성막을 제거하는 공정,

(e) 상기 반도체 웨이퍼의 반도체 칩 취득 영역 상의 상기 제1 절연막의 표면을 연마 종점으로 하여, 상기 제1 도전성막을 기계적 및 화학적으로 연마하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 (d) 공정은 슬러리 또는 지석을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼의 각각은 상기 반도체 웨이퍼의 엣지에 각각 상이한 영역에서 접촉하고, 상기 반도체 웨이퍼의 엣지의 형상에 따라 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 12

제9항에 있어서,

상기 (d) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 13

제9항에 있어서,

상기 제1 도전성막이 구리막 또는 구리 합금막인 경우에는, 상기 (d) 공정에서 상기 반도체 웨이퍼의 엣지의 상

기 제1 절연막도 소정의 막 두께만큼 제거하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 14

- (a) 반도체 웨이퍼의 표면에 제1 절연막을 성막하는 공정,
- (b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
- (c) 상기 (b) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,
- (d) 상기 반도체 웨이퍼의 상기 반도체 칩 취득 영역 상의 상기 제1 절연막의 표면을 연마 종점으로 하여, 상기 제1 도전성막을 기계적 및 화학적으로 연마하는 공정,
- (e) 상기 (d) 공정 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제1 도전성막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 15

- 제14항에 있어서,
- 상기 (e) 공정은 슬러리 또는 지석을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 16

- 제15항에 있어서,
- 상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼의 각각은 상기 반도체 웨이퍼의 엣지에 각각 상이한 영역에서 접촉하고, 상기 반도체 웨이퍼의 엣지의 형상에 따라 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 17

- 제14항에 있어서,
- 상기 (e) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 18

- 제14항에 있어서,
- 상기 제1 도전성막이 구리막 또는 구리 합금막인 경우에는, 상기 (e) 공정에서 상기 반도체 웨이퍼의 엣지의 상기 제1 절연막도 소정의 막 두께만큼 제거하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 19

- (a) 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,
- (b) 슬러리 또는 지석을 이용하는 연마 수단에 의해 상기 반도체 웨이퍼의 엣지에서의 상기 제1 도전성막을 제거하는 공정,
- (c) 상기 (b) 공정 후에, 상기 제1 도전성막을 패터닝하여, 배선을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 20

- (a) 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,
- (b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1

도전성막을 패터닝하여 배선을 형성하는 공정,

(c) 상기 (b) 공정 후에, 슬러리 또는 지석을 이용하는 연마 수단에 의해 상기 반도체 웨이퍼의 옻지에서의 상기 제1 도전성막을 제거하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 21

(a) 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,

(b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 도전성막을 패터닝하여 제1 배선을 형성하는 공정,

(c) 상기 제1 배선 상을 포함하는 상기 반도체 웨이퍼 상에 제1 절연막을 성막하는 공정,

(d) 상기 반도체 웨이퍼의 옻지에서의 상기 제1 절연막을 제거하는 공정,

(e) 상기 (d) 공정 후에, 상기 제1 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 22

제21항에 있어서,

상기 (d) 공정은 슬러리 또는 지석을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 23

제22항에 있어서,

상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼의 각각은, 상기 반도체 웨이퍼의 옻지에 각각 상이한 영역에서 접촉하고, 상기 반도체 웨이퍼의 옻지의 형상에 따라 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 24

제21항에 있어서,

상기 (d) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 25

(a) 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,

(b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 도전성막을 패터닝하여 제1 배선을 형성하는 공정,

(c) 상기 제1 배선 상을 포함하는 상기 반도체 웨이퍼 상에 제1 절연막을 성막하는 공정,

(d) 상기 제1 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,

(e) 상기 (d) 공정 후에, 상기 반도체 웨이퍼의 옻지에서의 상기 제1 절연막을 제거하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 26

제25항에 있어서,

상기 (e) 공정은 슬러리 또는 지석을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체

체 집적 회로 장치의 제조 방법.

청구항 27

제26항에 있어서,

상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼의 각각은 상기 반도체 웨이퍼의 엣지에 각각 상이한 영역에서 접촉하고, 상기 반도체 웨이퍼의 엣지의 형상에 따라 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 28

제25항에 있어서,

상기 (e) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 29

- (a) 반도체 웨이퍼의 표면에 단층 또는 적층의 제1 절연막을 성막하는 공정,
 - (b) 상기 반도체 웨이퍼의 엣지에서의 상기 제1 절연막을 제거하는 공정,
 - (c) 상기 (b) 공정 후에, 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
 - (d) 상기 (c) 공정 후에, 상기 제1 절연막을 마스크로 하여 상기 반도체 웨이퍼를 에칭하는 공정,
 - (e) 상기 (d) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정,
 - (f) 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (g) 상기 (f) 공정 후에, 상기 반도체 웨이퍼 상에 제3 절연막을 성막하는 공정,
 - (h) 상기 반도체 웨이퍼의 엣지에서의 상기 제3 절연막을 제거하는 공정,
 - (i) 상기 (h) 공정 후에, 상기 제3 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 30

- (a) 반도체 웨이퍼의 표면에 단층 또는 적층의 제1 절연막을 성막하는 공정,
 - (b) 상기 반도체 웨이퍼의 엣지에서의 상기 제1 절연막을 제거하는 공정,
 - (c) 상기 (b) 공정 후에, 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
 - (d) 상기 (c) 공정 후에, 상기 제1 절연막을 마스크로 하여 상기 반도체 웨이퍼를 에칭하는 공정,
 - (e) 상기 (d) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정,
 - (f) 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (g) 상기 (f) 공정 후에, 상기 반도체 웨이퍼 상에 제3 절연막을 성막하는 공정,
 - (h) 상기 제3 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (i) 상기 (h) 공정 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제3 절연막을 제거하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 31

- (a) 반도체 웨이퍼의 표면에 단층 또는 적층의 제1 절연막을 성막하는 공정,
 - (b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
 - (c) 상기 (b) 공정 후에, 상기 제1 절연막을 마스크로 하여 상기 반도체 웨이퍼를 에칭하는 공정,
 - (d) 상기 (c) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정,
 - (e) 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (f) 상기 (e) 공정 후에, 상기 반도체 웨이퍼의 엣지에서, 상기 제1 절연막을 연마 종점으로 하여 상기 제2 절연막을 연마하는 공정,
 - (g) 상기 (f) 공정 후에, 상기 반도체 웨이퍼 상에 제3 절연막을 성막하는 공정,
 - (h) 상기 반도체 웨이퍼의 엣지에서의 상기 제3 절연막을 제거하는 공정,
 - (i) 상기 (h) 공정 후에, 상기 제3 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 32

- (a) 반도체 웨이퍼의 표면에 단층 또는 적층의 제1 절연막을 성막하는 공정,
 - (b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 절연막을 패터닝하는 공정,
 - (c) 상기 (b) 공정 후에, 상기 제1 절연막을 마스크로 하여 상기 반도체 웨이퍼를 에칭하는 공정,
 - (d) 상기 (c) 공정 후에, 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정,
 - (e) 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (f) 상기 (e) 공정 후에, 상기 반도체 웨이퍼의 엣지에서, 상기 제1 절연막을 연마 종점으로 하여 상기 제2 절연막을 연마하는 공정,
 - (g) 상기 (f) 공정 후에, 상기 반도체 웨이퍼 상에 제3 절연막을 성막하는 공정,
 - (h) 상기 제3 절연막의 표면을 기계적 및 화학적으로 연마하여, 그 표면을 평탄화하는 공정,
 - (i) 상기 (h) 공정 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제3 절연막을 제거하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 33

- (a) 반도체 웨이퍼의 표면에 제1 층간 절연막을 성막하고, 상기 제1 층간 절연막을 평탄화하는 공정,
- (b) 상기 반도체 웨이퍼의 반도체 칩 취득 영역과 상기 반도체 칩 취득 영역 이외의 영역의 양방에서 상기 제1 층간 절연막을 패터닝하는 공정,
- (c) 상기 (b) 공정 후에, 상기 제1 층간 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정,
- (d) 상기 제1 도전성막을 CMP에 의해 평탄화하는 공정,
- (e) 상기 (d) 공정 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제1 도전성막을 제거하는 공정,
- (f) 상기 평탄화된 제1 도전성막 상에 제1 절연막을 형성하고, 상기 제1 절연막 상에 제2 층간 절연막을 형성하

며, 상기 제2 층간 절연막을 평탄화하는 공정,

(g) 상기 (f) 공정 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제2 층간 절연막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 34

제33항에 있어서,

상기 (f) 공정은, 슬러리 또는 지석을 이용하는 연마 수단에 의해 연마함으로써 행하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 35

제34항에 있어서,

상기 연마 수단은 복수의 연마 드럼을 갖고, 상기 복수의 연마 드럼의 각각은, 상기 반도체 웨이퍼의 엣지에 각각 상이한 영역에서 접촉하며, 상기 반도체 웨이퍼의 엣지의 형상에 따라, 그 접촉하는 각도가 변화하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 36

제33항에 있어서,

상기 (f) 공정은 드라이 에칭 또는 웨트 에칭에 의해 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <91> 본 발명은 반도체 집적 회로 장치의 제조 방법에 관한 것으로, 특히, 반도체 웨이퍼의 가공 공정을 포함하는 반도체 집적 회로 장치의 제조 방법에 적용하기에 유효한 기술에 관한 것이다.
- <92> 본 발명자들은 웨이퍼의 엣지로부터의 이물의 발생을 방지하는 관점에서 공지예를 조사하였다.
- <93> 예를 들면, 특개2000-68273호 공보에는, CMP법에 의해 금속막을 연마하여 패턴을 형성한 후에, 웨이퍼의 소자 형성면의 엣지에 남은 금속막을 웨트 에칭법, 레이저 또는 CMP법을 이용하여 제거함으로써, 그 엣지로부터의 이물의 발생을 방지하는 기술에 대하여 개시되어 있다.
- <94> 또한, 웨이퍼의 엣지를 연마하는 연마 장치에 대해서는, 특개평11-104942호 공보, 특개평11-90803호 공보, 특개평11-48109호 공보, 특개평11-33888호 공보, 특개평10-328989호 공보, 특개평10-309666호 공보, 특개평10-296641호 공보, 특개평4-34931호 공보 및 특개소64-71656호 공보 등에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

- <95> 반도체 집적 회로 장치를 구성하는 배선의 저항의 저감에 관하여, 배선 재료로 구리계 재료(구리 또는 구리 합금)를 이용한 상감(Damascene)법의 적용이 진행되고 있다. 이 상감법은, 절연막에 배선 형성용의 홈을 형성한 후, 그 절연막 상 및 배선 형성용의 홈 내에 배선 형성용의 도체막을 피착하고, 또한, 그 도체막의 불필요한 부분을 화학 기계 연마법(CMP; Chemical Mechanical Polishing) 등에 의해 제거하고, 상기 홈 내에만 도체막을 남김으로써 배선 형성용의 홈 내에 매립 배선을 형성하는 방법이다. 이 방법에 따르면, 배선의 치수를 통상 구조의 배선의 치수에 비해 작게 할 수 있고, 특히, 에칭법에 의한 미세 가공이 곤란한 구리계 재료의 가공 치수를 작게 할 수 있다.
- <96> 본 발명자들은 CMP법을 이용한 공정에서, 제품으로 되는 반도체 칩(이하, 칩으로 약칭함)을 취득할 수 없는 영역을 포함한 반도체 웨이퍼(이하, 웨이퍼로 약칭함)의 전면에 패턴을 형성하는 방법을 검토하고 있다. 이것은,

CMP법에 의한 연마에 있어서의 연마의 균일성이 웨이퍼에 형성된 패턴의 유무에 쉽게 영향을 받기 때문이다. 또한, 패턴을 전사하기 위한 노광에 요하는 시간을 단축하기 위해, 제품으로 되는 반도체 칩을 취득할 수 없는 영역은 CMP법에 의한 연마의 균일성을 유지할 수 있을 정도로 작게 설정하고 있다.

- <97> 그런데, DRAM(Dynamic Random Access Memory) 등의 반도체 집적 회로 장치의 수율은, 그 제조에 이용되는 웨이퍼에 부착되는 이물에 의해 크게 영향을 받는다. 특히, 그 이물은 웨이퍼의 엣지로부터의 발생이 많아지고 있다.
- <98> 웨이퍼는, 제품으로 되는 반도체 칩의 취득이 가능한 소자 형성면이 평탄한 데 반하여, 그 엣지에서는 평탄한 면에 대하여 각도를 갖는 라운드 상태로 되어 있다. 본 발명자들은 이 라운드 상태로 된 부분에서 박막이 박리되어, 이물의 발생원이 되는 것을 발견하였다.
- <99> 예를 들면 STI(Shallow Trench Isolation) 공정을 예로 들어, 상기 박막의 박리의 메카니즘에 대하여 설명한다.
- <100> 우선, 웨이퍼의 표면에 패드 산화막을 형성한 후, 그 패드 산화막 상에 질화실리콘막을 성막한다. 계속해서, 포토레지스트막을 이용한 드라이 에칭에 의해 질화실리콘막을 패터닝한 후, 그 포토레지스트막과 남은 질화실리콘막을 마스크로 패드 산화막 및 웨이퍼를 에칭함으로써, 웨이퍼에 홈을 형성한다. 다음으로, 그 홈의 내부에 얇은 산화막을 형성한 후, 웨이퍼 상에 산화실리콘막을 퇴적한다. 계속해서, 그 산화실리콘막에 대하여 덴서파이(densify)를 행한 후, CMP법에 의해 상기 질화실리콘막을 연마 종점으로 하여 산화실리콘막을 연마함으로써, 상기 홈의 내부에 산화실리콘막을 남긴다.
- <101> 그런데, 상기한 바와 같이, 웨이퍼는 반도체 칩의 취득이 가능한 소자 형성면이 평탄한 데 반하여, 그 엣지에서는 평탄한 면에 대하여 각도를 갖는 라운드 상태로 되어 있다. 그 때문에, 그 엣지에서 패터닝된 패드 산화막 및 질화실리콘막의 상부는 상기 산화실리콘막으로 피복된 상태 그대로가 된다. 상기 공정 후에 패드 산화막 및 질화실리콘막은 제거하지만, 웨이퍼 엣지의 패드 산화막 및 질화실리콘막은 산화실리콘막으로 피복된 상태로 되어 있기 때문에 제거되지 않고 남게 된다.
- <102> 그 후, 웨이퍼에 불순물 이온을 주입함으로써 웰을 형성한 후, HF(불산)계의 세정액을 이용한 세정 공정에 의해, 웨이퍼 엣지의 패드 산화막 및 질화실리콘막을 피복하고 있던 산화실리콘막이 제거되고, 그 패드 산화막 및 질화실리콘막이 노출된다. 그 때, 패드 산화막이 에칭되고, 그 상부의 질화실리콘막이 박리되어 이물로 되는 문제가 있다. 또한, 그 후의 공정에서도 HF 세정 등의 공정이 반복되기 때문에, 그 각각의 공정에서 패드 산화막이 에칭되고, 그 상부의 질화실리콘막이 박리되어 이물로 될 가능성을 갖고 있다.
- <103> 본 발명의 목적은, 반도체 집적 회로 장치의 제조 공정 중에 있어서의 웨이퍼로부터의 이물의 발생을 방지하는 기술을 제공하는 것에 있다.
- <104> 본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 분명해질 것이다.

발명의 구성 및 작용

- <105> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면, 다음과 같다.
- <106> 즉, 본 발명은, 반도체 웨이퍼의 표면에 제1 절연막을 성막하는 공정과, 상기 반도체 웨이퍼의 엣지에서의 상기 제1 절연막을 제거하는 공정과, 상기 제1 절연막의 제거 공정 후에 상기 제1 절연막을 패터닝하는 공정과, 상기 제1 절연막을 패터닝한 후에 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정을 포함하는 것이다.
- <107> 또한, 본 발명은, 반도체 웨이퍼의 표면에 제1 절연막을 성막하는 공정과, 상기 제1 절연막을 패터닝하는 공정과, 상기 제1 절연막을 패터닝한 후에 상기 제1 절연막 상을 포함하는 상기 반도체 웨이퍼 상에 제2 절연막을 성막하는 공정과, 상기 제2 절연막의 표면을 기계적 및 화학적으로 연마하고, 그 표면을 평탄화하는 공정과, 상기 제2 절연막의 표면을 평탄화한 후에, 상기 반도체 웨이퍼의 엣지에서, 상기 제1 절연막을 연마 종점으로 하여 상기 제2 절연막을 연마하는 공정을 포함하는 것이다.
- <108> 또한, 본 발명은, 반도체 웨이퍼의 표면에 제3 절연막을 성막하는 공정과, 상기 제3 절연막을 패터닝하는 공정과, 상기 제3 절연막을 패터닝한 후에, 상기 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정과, 상기 제1 도전성막을 성막한 후에, 상기 반도체 웨이퍼의 엣지에서의 상기 제1 도전성막을 제거하는 공정과, 상기 반도체 웨이퍼의 반도체 칩 취득 영역 상의 상기 제3 절연막의 표면을 연마 종점으로 하여, 상기 제1 도전성막을 연마

하는 공정을 포함하는 것이다.

- <109> 또한, 본 발명은, 반도체 웨이퍼의 표면에 제3 절연막을 성막하는 공정과, 상기 제3 절연막을 패터닝하는 공정과, 상기 제3 절연막을 패터닝한 후에, 상기 반도체 웨이퍼 상에 제1 도전성막을 성막하는 공정과, 상기 반도체 웨이퍼의 반도체 칩 취득 영역 상의 상기 제3 절연막의 표면을 연마 종점으로 하여, 상기 제1 도전성막을 연마하는 공정, 상기 제1 도전성막을 연마한 후에 상기 반도체 웨이퍼의 엿지에서의 상기 제1 도전성막을 제거하는 공정을 포함하는 것이다.
- <110> <실시예>
- <111> 본원 발명을 상세하게 설명하기 전에, 본원에서의 용어의 의미를 설명하면 다음과 같다.
- <112> 웨이퍼란, 집적 회로의 제조에 이용하는 단결정 실리콘 기판(일반적으로 거의 평면 원형상), 사파이어 기판, 유리 기판, 그 밖의 절연, 반절연 또는 반도체 기판 등 및 이들의 복합적 기판을 말한다. 또한, 본원에서 반도체 집적 회로 장치라고 할 때는, 실리콘 웨이퍼나 사파이어 기판 등의 반도체 또는 절연체 기판 상에 제작되는 것 뿐만 아니라, 특별히 그렇지 않은 취지가 명시된 경우를 제외하고, TFT(Thin-Film-Transistor) 및 STN(Super-Twisted-Nematic) 액정 등과 같은 유리 등의 절연 기판 상에 제작되는 것 등도 포함하는 것으로 한다.
- <113> 소자 형성면이란 웨이퍼의 주면으로, 그 면에 포토리소그래피 기술에 의해 복수의 칩 영역에 대응하는 디바이스 패턴이 형성되는 면을 말한다.
- <114> 웨이퍼의 엿지란, 웨이퍼의 외주부에서 웨이퍼의 주면 및 이면의 평탄한 면에 대하여 각도를 갖는 영역을 말하고, 본원에서는, 웨이퍼의 주면 및 이면의 평탄한 면에서의 외단부로부터 제품으로 되는 칩을 취득할 수 있는 영역 사이의 일부의 영역도 포함한다.
- <115> 전사 패턴이란, 마스크에 의해 웨이퍼 상에 전사된 패턴으로, 구체적으로는 레지스트 패턴 및 레지스트 패턴을 마스크로 하여 실제로 형성된 웨이퍼 상의 패턴을 말한다.
- <116> 레지스트 패턴이란, 감광성 수지막(레지스트막)을 포토리소그래피 기술에 의해 패터닝한 막 패턴을 말한다. 또, 이 패턴에는 해당하는 부분에 관해 전혀 개구가 없는 단순한 레지스트막을 포함한다.
- <117> 화학 기계 연마란, 일반적으로 피연마면을 상대적으로 부드러운 천 모양의 시트 재료 등으로 이루어진 연마 패드에 접촉시킨 상태에서, 슬러리를 공급하면서 면 방향으로 상대 이동시켜 연마를 행하는 것을 말하고, 본원에서는 그 밖에, 피연마면을 경질의 지식면(砥石面)에 대하여 상대 이동시킴으로써 연마를 행하는 방법, 그 밖의 고정 지립(砥粒)을 사용하는 것, 및 지립을 사용하지 않은 지립 프리 CMP 등도 포함하는 것으로 한다.
- <118> 이하의 실시예에서는, 편의상 그 필요가 있을 때에는 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 이들은 서로 무관계한 것이 아니라, 한쪽은 다른쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.
- <119> 또한, 이하의 실시예에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)을 언급하는 경우, 특별히 명시한 경우 및 원리적으로 분명히 특정한 수로 한정되는 경우를 제외하고, 그 특정한 수로 한정되는 것이 아니라, 특정한 수 이상이라도 이하라도 된다.
- <120> 또한, 이하의 실시예에서, 그 구성 요소(요소 단계 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 명백히 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다.
- <121> 마찬가지로, 이하의 실시예에서, 구성 요소 등의 형상, 위치 관계 등을 언급할 때는, 특별히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사하는 것 등을 포함하는 것으로 한다. 이러한 것은 상기 수치 및 범위에 대해서도 마찬가지이다.
- <122> 또한, 본 실시예에서 이용하는 도면에 있어서는, 평면도라도 도면을 보기 쉽게 하기 위해, 웨이퍼에서 제품으로 되는 칩을 취득할 수 없는 영역에 형성된 전사 패턴에 해칭을 붙인다.
- <123> 또한, 본 실시예에서는, 전계 효과 트랜지스터를 대표하는 MISFET(Metal Insulator Semiconductor Field Effect Transistor)을 MIS로 약칭하고, p채널형의 MISFET을 pMIS로 약칭하며, n채널형의 MISFET을 nMIS로 약칭한다.
- <124> 이하, 본 발명의 실시예를 도면에 기초하여 상세하게 설명한다. 또, 실시예를 설명하기 위한 모든 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

- <125> (실시예 1)
- <126> 본 실시예 1은, 예를 들면 반도체 기관의 p형 웰에 nMISQn이 형성된 반도체 집적 회로 장치의 제조 방법에 본 발명을 적용한 것이다.
- <127> 도 1 및 도 2는 본 실시예 1의 웨이퍼(반도체 기관; 1)의 주요부 단면도이다. 도 1에서는 특히 웨이퍼(1)의 엣지 부근을 나타내고, 도 2에서는 특히 웨이퍼(1)에서의 소자 형성면 부근을 확대하여 나타내고 있다.
- <128> 우선, 도 1 및 도 2에 도시한 바와 같이, 예를 들면 비저항이 $10\Omega\text{cm}$ 정도의 단결정 실리콘으로 이루어진 웨이퍼(반도체 기관; 1)를 준비한다. 도 2는 웨이퍼(1)에서의 디바이스면 부근을 확대하여 나타낸 주요부 단면도이다. 본 실시예 1에서, 이 웨이퍼(1)는 그 두께가 $750\mu\text{m}$ 정도이고, 그 외주부는 반경 $350\mu\text{m}$ 정도의 라운드 상태로 되어 있다. 또한, 본 실시예 1에서, 웨이퍼(1)의 엣지의 폭 X는 웨이퍼(1)의 외주 단부로부터 5mm 정도로 되어 있다.
- <129> 계속해서, 웨이퍼(1)를 850°C 정도에서 열 처리하여, 그 표면에 막 두께 10nm 정도의 얇은 산화실리콘막(패드 산화막; 2)(제1 절연막)을 형성하고, 계속해서 이 산화실리콘막 위에 막 두께 120nm 정도의 질화실리콘막(3; 제1 절연막)을 CVD(Chemical Vapor Deposition)법으로 퇴적한다. 산화실리콘막(2)은, 이후의 공정에서 소자 분리홀의 내부에 매립되는 산화실리콘막을 텐서파이(소결)할 때 등에 기관에 가해지는 스트레스를 완화하는 목적으로 형성된다. 또한, 질화실리콘막(3)은 잘 산화되지 않는 성질을 갖기 때문에, 그 하부(활성 영역)의 웨이퍼(1)의 표면의 산화를 방지하는 마스크로서 이용된다.
- <130> 다음으로, 도 3에 도시한 바와 같이, 웨이퍼(1)의 엣지에서의 산화실리콘막(2) 및 질화실리콘막(3)을 제거한다. 이에 따라, 웨이퍼(1)의 엣지에 산화실리콘막(2) 및 질화실리콘막(3)이 남는 것을 방지할 수 있다. 즉, 이후의 세정 공정에서, 그 산화실리콘막(2) 및 질화실리콘막(3)이 박리되어 웨이퍼(1)에 재차 부착됨으로써, 본 실시예 1의 반도체 집적 회로 장치의 수율을 저하시키는 것을 방지할 수 있다. 또한, 이 웨이퍼(1)의 엣지의 산화실리콘막(2) 및 질화실리콘막(3)의 제거 공정에서는, 제거 공정 후에 산화실리콘막(2) 및 질화실리콘막(3)의 단부의 면 S가 웨이퍼(1)의 소자 형성면에 대하여 $5^\circ \sim 75^\circ$ 정도의 각도를 갖도록 한다. 그에 따라, 이후의 공정에서 박막을 퇴적할 때에, 면 S로부터 웨이퍼(1)의 표면에 걸쳐 그 박막의 커버리지가 저하되는 것을 방지할 수 있다.
- <131> 상기한 산화실리콘막(2) 및 질화실리콘막(3)을 제거하는 공정은, 복수개의 연마 드럼을 이용하여 행하는 것으로, 예를 들면 도 4에 도시한 바와 같은 3개의 연마 드럼(4A~4C; 연마 수단)을 이용하는 경우를 예시할 수 있다. 복수개의 연마 드럼을 이용함으로써, 웨이퍼(1)의 엣지의 전역(全域)을 연마하는 것이 용이해지고, 연마에 요하는 시간을 단축할 수 있다. 연마 드럼(4A~4C)은, 그 외주부에 연질의 연마 패드가 감겨져 있고, 연마 시에는 그 연마면에, 예를 들면 콜로이드 실리카, 산화셀룰 또는 산화알루미늄 등의 슬러리를 공급함으로써 연마를 행한다.
- <132> 도 5~도 7은 각각 A-A선(도 4 참조), B-B선(도 4 참조) 및 C-C선(도 4 참조)에서의 단면도이다.
- <133> 도 5~도 7에 도시한 바와 같이, 연마 드럼(4A)은 상대적으로 웨이퍼(1)의 엣지의 상면(소자 형성면)측을 연마하고, 연마 드럼(4B)은 상대적으로 웨이퍼(1)의 엣지의 중앙을 연마하며, 연마 드럼(4C)은 상대적으로 웨이퍼(1)의 엣지의 하면(이면)을 연마하고 있다. 또, 연마 드럼(4A~4C)은 각각 다른 각도 $\theta 1 \sim \theta 3$ 으로 웨이퍼(1)와 접촉하여, 회전함으로써 연마를 행한다. 그 때문에, 웨이퍼(1)의 엣지 전역에서 산화실리콘막(2) 및 질화실리콘막(3)을 제거하는 것이 가능하게 되어 있다.
- <134> 웨이퍼(1)의 엣지의 형상은, 예를 들면 도 8에 도시한 바와 같은 엣지가 호를 그린 형상의, 소위 폴 라운드 타입이나, 도 9에 도시한 바와 같은 엣지의 단부가 평탄하게 된, 소위 선단 플랫 타입 등이 있다. 본 실시예 1에서는, 상기 연마 드럼(4A~4C)이 웨이퍼(1)와 접촉하는 각도 $\theta 1 \sim \theta 3$ 은 웨이퍼(1)의 엣지의 형상에 따라 적절하게 설정하는 것이 가능하게 되어 있다. 또한, 각도 $\theta 1 \sim \theta 3$ 은 제거하는 산화실리콘막(2) 및 질화실리콘막(3)의 성막 상태에 따라 적절하게 설정하는 것이 가능하다. 즉, 본 실시예 1의 연마 드럼(4A~4C)을 이용함으로써, 도 8 및 도 9에 도시한 바와 같은 다양한 웨이퍼(1)의 엣지 형상에 대하여, 그 엣지 전역에서 산화실리콘막(2) 및 질화실리콘막(3)을 제거할 수 있다.
- <135> 또한, 상기 연마 드럼(4A~4C)은, 그 회전 수 및 웨이퍼(1)와 접촉하는 압력을 적절하게 설정하여, 연마 속도를 변화시키는 것이 가능하다. 즉, 웨이퍼(1)의 규격에 의한 상기한 바와 같은 웨이퍼(1)의 엣지의 형상이나, 산화실리콘막(2) 및 질화실리콘막(3)의 성막 상태에 따라, 연마 드럼(4A~4C)의 최적의 연마 속도를 설정할 수 있

다.

- <136> 또한, 이후의 공정에서, 웨이퍼(1)의 엣지에 성막한 다른 박막을 연마 드럼(4A~4C)을 이용하여 제거하는 경우에 있어서도, 각도 $\theta_1 \sim \theta_3$ 및 연마 드럼(4A~4C)의 최적의 연마 속도를 설정함으로써, 웨이퍼(1)의 엣지 전역에서 그 박막을 제거할 수 있다. 도 10에 도시한 바와 같이, 박막 T1이 상대적으로 웨이퍼(1)의 상면(소자 형성면)측에만 성막되어 있는 경우에는, $\theta_1=150^\circ$, $\theta_2=120^\circ$, $\theta_3=60^\circ$ 로 하는 것을 예시할 수 있다. 이 때, 연마 드럼(4A, 4B)만으로 제거 대상의 박막을 제거할 수 있으면, 연마 드럼(4C)은 생략할 수 있다.
- <137> 한편, 도 11에 도시한 바와 같이, 박막 T1이 웨이퍼(1)의 상면(소자 형성면)으로부터 하면(이면) 부근까지 성막되어 있는 경우, 혹은 웨이퍼(1)의 전면에 성막되어 있는 경우 등에는 $\theta_1=135^\circ$, $\theta_2=90^\circ$, $\theta_3=45^\circ$ 로 하는 것을 예시할 수 있다. 이와 같이 각도 $\theta_1 \sim \theta_3$ 를 설정함으로써, 웨이퍼(1)의 엣지에서의 박막 T1의 제거를 단 시간에 행하는 것이 가능해진다.
- <138> 또, 본 실시예 1에서는, 연마 드럼(4A~4C)을 이용하여 웨이퍼(1)의 엣지에서의 산화실리콘막(2) 및 질화실리콘막(3)을 제거하는 방법에 대하여 나타냈지만, 연마 드럼(4A~4C) 대신에 드라이 에칭법 또는 웨트 에칭법에 의해 상기 산화실리콘막(2) 및 질화실리콘막(3)을 제거해도 된다.
- <139> 다음으로, 도 12 및 도 13에 도시한 바와 같이, 웨이퍼(1) 상에 포토레지스트막(5)을 도포한 후, 마스크를 이용한 노광 처리에 의해 그 포토레지스트막(5)을 패터닝한다. 이 때, 도 14에 도시한 바와 같이, 칩을 취득할 수 있는 칩 영역 A1 주위의 더미 노광 영역(사전부) A2에 있어서도, 상기 포토레지스트막(5)은 패터닝된다. 이것은, 이후의 CMP법에 의한 연마 공정 시에 있어서, 연마의 균일성을 향상시키기 위해서이다.
- <140> 다음으로, 도 15 및 도 16에 도시한 바와 같이, 포토레지스트막(5)을 마스크로 한 드라이 에칭에 의해, 소자 분리 영역의 질화실리콘막(3)과 산화실리콘막(2)을 제거한다. 계속해서, 질화실리콘막(3)을 마스크로 한 드라이 에칭으로 소자 분리 영역의 웨이퍼(1)에 깊이 350nm 정도의 홈(6)을 형성한다.
- <141> 다음으로, 도 17 및 도 18에 도시한 바와 같이, 에칭으로 홈(6)의 내벽에 생긴 손상층을 제거하기 위해, 웨이퍼(1)를 1000℃ 정도에서 열 처리하여 홈(6)의 내벽에 막 두께 10nm 정도의 얇은 산화실리콘막(7)을 형성한다. 계속해서, 웨이퍼(1) 상에 막 두께 380nm 정도의 산화실리콘막(8; 제2 절연막)을 CVD법으로 퇴적하고, 계속해서 산화실리콘막(8)의 막질을 개선하기 위해, 웨이퍼(1)를 열 처리하여 산화실리콘막(8)을 덴서파이(소결)한다.
- <142> 다음으로, 도 19 및 도 20에 도시한 바와 같이, 질화실리콘막(3)을 스톱퍼로 이용한 CMP법으로 산화실리콘막(8)을 연마하여 홈(6)의 내부에 남김으로써, 표면이 평탄화된 소자 분리홈을 형성한다. 계속해서, 도 21 및 도 22에 도시한 바와 같이, 열 인산을 이용한 웨트 에칭으로 웨이퍼(1)의 활성 영역 상에 남은 질화실리콘막(3) 및 산화실리콘막(2)을 제거한다. 이미, 웨이퍼(1)의 엣지에서는, 질화실리콘막(3) 및 산화실리콘막(2)은 제거되어 있기 때문에, 그 엣지에서 산화실리콘막(8)으로 피복된 질화실리콘막(3) 및 산화실리콘막(2)은 존재하지 않는다. 즉, 이후의 세정 공정에서, 그 질화실리콘막(3) 및 산화실리콘막(2)이 박리되어 이물로 되는 것을 방지할 수 있다.
- <143> 다음으로, 도 23에 도시한 바와 같이, 웨이퍼(1)에 열 처리를 실시하여, 웨이퍼(1)의 주면에 이온을 주입할 때의 패드 산화막으로 되는 얇은 산화실리콘막(도시하지 않음)을 형성한다. 계속해서, 웨이퍼(1)의 nMIS를 형성하는 영역에 n형 불순물, 예를 들면 B(붕소)를 이온 주입하여 p형 웰(9)을 형성한다. 이 p형 웰(9)을 형성한 후, 이 이온 주입 공정에 이용한 상기 산화실리콘막을 HF(불산)계의 세정액을 사용하여 제거한다. 이 때, 산화실리콘막(8)의 표면도 웨트 에칭되기 때문에, 산화실리콘막(8)의 표면 높이와 p형 웰(9)이 형성된 영역의 웨이퍼(1)의 표면 높이와는 동일한 정도로 된다.
- <144> 다음으로, 도 24에 도시한 바와 같이, 웨이퍼(1)를 웨트 산화하여 p형 웰(9)의 표면에 막 두께 3.5nm 정도의 청정한 게이트 산화막(10)을 형성한다. 계속해서, 웨이퍼(1) 상에 막 두께 90~100nm 정도의 비도핑 다결정 실리콘막을 CVD법으로 퇴적한다. 계속해서, 이온 주입용의 마스크를 이용하여, p형 웰(9)의 상부의 비도핑 다결정 실리콘막에, 예를 들면 P(인)를 이온 주입하여 n형 다결정 실리콘막을 형성한다. 또한, 그 n형 다결정 실리콘막의 표면에 산화실리콘막을 퇴적하여 적층막을 형성하고, 포토리소그래피에 의해 패터닝된 포토레지스트막을 마스크로 하여 그 적층막을 에칭하여, 게이트 전극(11) 및 캡 절연막(12)을 형성한다. 또, 게이트 전극(11)의 상부에 WSi_x , $MoSi_x$, $TiSi_x$, $TaSi_x$ 또는 $CoSi_x$ 등의 고용점 금속 실리사이드막을 적층해도 된다. 캡 절연막(12)은, 예를 들면 CVD법에 의해 형성할 수 있다.

- <145> 계속해서, 게이트 전극(11)의 가공에 이용한 포토레지스트막을 제거한 후, p형 웰(9)에 n형 불순물, 예를 들면 P를 이온 주입하여 게이트 전극(11)의 양측의 p형 웰(9)에 n⁻형 반도체 영역(13)을 형성한다.
- <146> 계속해서, 웨이퍼(1) 상에 막 두께 100nm 정도의 산화실리콘막을 CVD법으로 퇴적하고, 반응성 이온 에칭(RIE)법을 이용하여 이 산화실리콘막을 이방성 에칭함으로써, nMIS의 게이트 전극(11)의 측벽에 측벽 스페이서(14)를 형성한다. 계속해서, p형 웰(9)에 n형 불순물, 예를 들면 As(비소)를 이온 주입하여 nMIS의 n⁺형 반도체 영역(15; 소스, 드레인)을 형성한다. 이에 따라, nMISQ에 LDD(Lightly Doped Drain) 구조의 소스, 드레인 영역이 형성되어, nMISQ이 완성된다.
- <147> 다음으로, 도 25에 도시한 바와 같이, 웨이퍼(1) 상에 CVD법으로 산화실리콘막(16)을 퇴적한다. 이 후, 상기 연마 드럼(4A~4C)(도 4~도 7 참조)을 이용하여, 웨이퍼(1)의 엣지를 연마함으로써, 웨이퍼(1)의 엣지에 퇴적되어 있는 산화실리콘막(16)을 제거해도 된다. 이에 따라, 웨이퍼(1)의 엣지에서 산화실리콘막(16)이 박리될 가능성을 없앨 수 있다. 즉, 그 박리된 산화실리콘막(16)이 이물로 되어, 본 실시예 1의 반도체 집적 회로 장치의 수율을 저하시키는 것을 미연에 방지할 수 있다.
- <148> 계속해서, 그 산화실리콘막(16)을, 예를 들면 CMP법으로 연마함으로써, 그 표면을 평탄화한다. 또한, 웨이퍼(1)의 주면의 n⁺형 반도체 영역(15) 상의 산화실리콘막(16)에, 포토리소그래피 기술을 이용하여 접속 구멍(17)을 개공한다. 또, 상기한 웨이퍼(1)의 엣지에서의 산화실리콘막(16)을 제거하는 공정은, 산화실리콘막(16)의 표면을 평탄화하는 공정 이후 혹은 접속 구멍(17)을 개공하는 공정 이후로 해도 된다.
- <149> 다음으로, 웨이퍼(1) 상에, 스퍼터링법에 의해, 예를 들면 질화 티탄 등의 배리어 도체막(18A)을 형성하고, 또한 CVD법에 의해, 예를 들면 텅스텐 등의 도전성막(18B)을 퇴적한다. 계속해서, 접속 구멍(17) 이외의 산화실리콘막(16) 상의 배리어 도체막(18A) 및 도전성막(18B)을 예를 들면 CMP법에 의해 제거하고, 플러그(18)를 형성한다.
- <150> 다음으로, 도 26에 도시한 바와 같이, 웨이퍼(1) 상에, 예를 들면 플라즈마 CVD법으로 질화실리콘막을 퇴적하고, 막 두께가 약 100nm인 에치 스톱퍼막(19; 제3 절연막)을 형성한다. 이 에치 스톱퍼막(19)은, 그 상층의 절연막에 배선 형성용의 홈부나 구멍을 형성할 때에, 너무 깊게 패여 하층에 손상을 주거나, 가공 치수 정밀도가 열화되는 것을 회피하기 위한 것이다.
- <151> 계속해서, 예를 들면 에치 스톱퍼막(19)의 표면에 CVD법으로 불소를 첨가한 SiOF(산화실리콘)막을 퇴적하고, 막 두께가 약 400nm인 절연막(20; 제3 절연막)을 퇴적한다. 절연막(20)으로서 SiOF막을 이용한 경우, 그 SiOF막은 저유전률 막이기 때문에, 반도체 집적 회로 장치의 배선의 종합적인 유전률을 내리는 것이 가능하여, 배선 지연을 개선할 수 있다. 이 때의 웨이퍼(1)의 엣지 부근을 도 27에 도시한다. 또, 도 27에서는, 이후의 절연막을 퇴적하는 공정 및 배선홈을 형성하는 공정을 알기 쉽게 하기 위해, 웨이퍼(1), 산화실리콘막(16), 절연막(20) 및 배선홈(21) 이외의 부재에 대해서는 도시를 생략하고 있다.
- <152> 여기서, 상기 산화실리콘막(16)의 경우와 마찬가지로, 연마 드럼(4A~4C)(도 4~도 7 참조)을 이용하여, 웨이퍼(1)의 엣지를 연마함으로써, 웨이퍼(1)의 엣지에 퇴적되어 있는 에치 스톱퍼막(19) 및 절연막(20)을 제거해도 된다. 이에 따라, 웨이퍼(1)의 엣지에서 에치 스톱퍼막(19) 및 절연막(20)이 박리될 가능성을 없앨 수 있다. 즉, 그 박리된 에치 스톱퍼막(19) 및 절연막(20)이 이물로 되어, 본 실시예 1의 반도체 집적 회로 장치의 수율을 저하시키는 것을 미연에 방지할 수 있다.
- <153> 계속해서, 상기 도 26에 도시한 바와 같이, 절연막(20)을, 예를 들면 CMP법으로 연마함으로써, 그 표면을 평탄화한다. 그 후, 에치 스톱퍼막(19) 및 절연막(20)을 포토리소그래피 기술 및 드라이 에칭 기술을 이용하여 가공하고, 배선홈(21)을 형성한다. 또, 상기한 웨이퍼(1)의 엣지에 퇴적되어 있는 에치 스톱퍼막(19) 및 절연막(20)을 제거하는 공정은, 절연막(20)의 표면을 평탄화하는 공정 이후 혹은 배선홈(21)을 형성하는 공정 이후로 해도 된다.
- <154> 계속해서, 배선홈(21)의 저부에 노출된 플러그(18)의 표면의 반응층을 제거하기 위해, Ar(아르곤) 분위기 중에서 스퍼터 에칭에 의한 웨이퍼(1)의 표면 처리를 행한다. 이 때의 스퍼터 에칭량은 P-TEOS(Plasma Tetraethylorthosilicate)막으로 환산하여 20Å~180Å 정도, 바람직하게는 100Å 정도로 하는 것을 예시할 수 있다. 또, 본 실시예에 1에서는, 아르곤 분위기 중에서의 스퍼터 에칭에 의해 플러그(18)의 표면의 반응층을 제거하는 경우를 예시하였지만, 예를 들면 H₂(수소)나 CO(일산화탄소)와 같은 환원성 가스나, 환원성 가스와 불활성 가스의 혼합 분위기 중에서의 어닐링 처리에 의해 반응층을 충분히 제거할 수 있으면, 이 어닐링 처리와 스퍼터

에칭 처리를 치환해도 된다. 어닐링 처리의 경우에는, 스퍼터 에칭 시에 의한 절연막(20)의 손실이나, 전자에 의한 게이트 산화막(10)의 차징 데미지를 방지할 수 있다.

<155> 다음으로, 도 28 및 도 29에 도시한 바와 같이, 웨이퍼(1) 상에 배리어 도체막(22A; 제1 도전성막)으로 되는, 예를 들면 TaN(질화탄탈)막을, 탄탈 타겟을 아르곤/질소 혼합 분위기 중에서 반응성 스퍼터링을 행함으로써 퇴적한다. 또, 도 28에서는, 배선홀(21) 내에 매립 배선을 형성하는 공정을 알기 쉽게 하기 위해, 배리어 도체막(22A)의 도시를 생략하고 있다. 이 TaN막의 퇴적은, 이후의 공정에서 퇴적하는 Cu(구리)막의 밀착성의 향상 및 Cu의 확산 방지를 위해 행하는 것으로, 그 막 두께는 30nm 정도이다. 또, 본 실시예 1에서는 배리어 도체막(22A)으로서 TaN막을 예시하지만, Ta(탄탈) 등의 금속막, TiN(질화티탄)막 혹은 금속막과 질화막과의 적층막 등이라도 무방하다. 배리어 도체막이 Ta, TaN인 경우에는 TiN을 이용한 경우보다 Cu막과의 밀착성이 좋다. 또한, 배리어 도체막(22A)이 TiN막인 경우, 이후의 공정인 Cu막의 형성 직전에 TiN막의 표면을 스퍼터 에칭하는 것도 가능하다. 이러한 스퍼터 에칭에 의해, TiN막의 표면에 흡착된 물, 산소 분자 등을 제거하여, Cu막의 접착성을 개선할 수 있다. 이 기술은, 특히, TiN막의 퇴적 후, 진공 파괴하여 표면을 대기에 노출시키고, 구리막을 형성하는 경우에 효과가 크다. 또, 이 기술은 TiN막에 한정되지 않고, TaN막에서도 효과의 차가 있기는 하지만 유효하다.

<156> 계속해서, 시드막으로 되는, 예를 들면 Cu막 또는 구리 합금막을 장거리 스퍼터링법에 의해 퇴적한다(도시하지 않음). 시드막을 구리 합금막으로 하는 경우에는, 그 합금 중에 Cu를 80중량 퍼센트 정도 이상 포함하도록 한다. 이 시드막의 막 두께는, 배선홀(21)의 내부를 제외한 배리어 도체막(22A)의 표면에서 1000Å~2000Å 정도, 바람직하게는 1500Å 정도가 되도록 한다. 본 실시예에서는, 시드막의 퇴적에 장거리 스퍼터링법을 이용하는 경우를 예시하지만, Cu 스퍼터링 원자를 이온화함으로써 스퍼터링의 지향성을 높이는 이온화 스퍼터링법을 이용해도 된다.

<157> 계속해서, 시드막이 퇴적된 웨이퍼(1)의 전면에, 예를 들면 Cu막을 배선홀(21)을 매립하도록 형성하고, 이 Cu막과 시드막을 합쳐서 도전성막(22B; 제1 도전성막)으로 한다. 배선홀(21)을 매립하는 Cu막은, 예를 들면 전해 도금법으로 형성하고, 도금액으로서는, 예를 들면 H₂SO₄(황산)에 10%의 CuSO₄(황산구리) 및 Cu막의 커버리지 향상용의 첨가제를 가한 것을 이용한다. 이 Cu막의 형성에 전해 도금법을 이용한 경우, Cu막의 성장 속도를 전기적으로 제어할 수 있기 때문에, 배선홀(21)의 내부에서의 도전성막(22B)의 커버리지를 향상시킬 수 있다. 또, 본 실시예에서는 도전성막(22B)의 퇴적에 전해 도금법을 이용하는 경우를 예시하고 있지만, 무전해 도금법을 이용해도 된다. 무전해 도금법을 이용한 경우, 전압 인가를 필요로 하지 않기 때문에, 전압 인가에 기인하는 웨이퍼(1)의 손상을 전해 도금법을 이용한 경우보다 저감할 수 있다.

<158> 또한, 도전성막(22B)을 형성하는 공정에 이어서, 어닐링 처리에 의해 그 Cu막을 유효화시킴으로써, 도전성막(22B)의 배선홀(21)으로의 매립성을 더 향상시킬 수도 있다.

<159> 다음으로, 도 30에 도시한 바와 같이, 웨이퍼(1)의 엣지에서의 배리어 도체막(22A) 및 도전성막(22B)을 제거한다. 이 제거 공정은, 상술한 웨이퍼(1)의 엣지에서의 산화실리콘막(2) 및 질화실리콘막(3)을 제거하는 공정과 마찬가지로, 연마 드럼(4A~4C)(도 4~도 7 참조)을 이용하여 행할 수 있다. 이에 따라, 웨이퍼(1)의 엣지에 배리어 도체막(22A) 및 도전성막(22B)이 남는 것을 방지할 수 있다. 즉, 후술하는 CMP 공정 후에, 웨이퍼(1)의 엣지에서 연마되고 남은 배리어 도체막(22A) 및 도전성막(22B)이 박리되어 웨이퍼(1)에 채차 부착됨으로써, 본 실시예 1의 반도체 집적 회로 장치의 수율을 저하시키는 것을 방지할 수 있다. 또한, Cu는 웨이퍼(1) 중으로 확산되면, nMISQn의 게이트 내압을 저하시키게 되지만, 상기한 바와 같이 웨이퍼(1)의 엣지의 도전성막(22B)을 제거함으로써, 웨이퍼(1)의 엣지에 퇴적된 여분의 Cu(도전성막(22B))가 웨이퍼(1) 중으로 확산되는 것을 방지할 수 있다.

<160> 그런데, 상기 시드막은 스퍼터링법으로 형성하는 경우를 나타냈다. 스퍼터링법을 이용한 경우, Cu 원자가 기초의 절연막(20)에도 주입되게 된다. 그 때문에, 상기한 배리어 도체막(22A) 및 도전성막(22B)의 제거 공정에서는, 그 기초의 절연막(20)도 50nm 정도 제거하는 것이 바람직하다. 이에 따라, 웨이퍼(1)의 엣지에 퇴적된 여분의 Cu(도전성막(22B))가 웨이퍼(1) 중으로 확산하는 것을 더욱 확실하게 방지할 수 있다. 또한, 본 실시예 1에서는, 상기 도전성막(22B)을 도금법으로 형성하는 경우에 대해 예시하였지만, 스퍼터링법을 이용하여 형성해도 된다. 스퍼터링법을 이용한 경우에는, Cu 원자가 또한 절연막(20)에 주입되게 되기 때문에, 상기한 웨이퍼(1)의 엣지에서의 도전성막(22B)의 기초의 절연막(20)을 제거하는 공정은, 더욱 유효한 수단으로 할 수 있다.

<161> 다음으로, 도 31 및 도 32에 도시한 바와 같이, 예를 들면 CMP법에 의해, 칩 영역(도 14 참조)의 절연막(20)의

표면을 연마 종점으로 하여 절연막(20) 상의 여분의 배리어 도체막(22A) 및 도전성막(22B)을 연마하고, 배선홈(21) 내에 배리어 도체막(22A) 및 도전성막(22B)을 남김으로써 매립 배선(22)(제1 배선)을 형성한다.

<162> 계속해서, 예를 들면 0.1% 암모니아수용액과 순수를 이용한 2단계의 브러시 스크럽 세정에 의해, 웨이퍼(1)의 표면에 부착된 연마 지립 및 Cu를 제거한 후, 도 33에 도시한 바와 같이, 매립 배선(22) 및 절연막(20) 상에 질화실리콘막을 퇴적하여 배리어 절연막(23A)을 형성한다. 이 질화실리콘막의 퇴적에는, 예를 들면 플라즈마 CVD 법을 이용할 수 있고, 그 막 두께는 약 50nm로 한다. 배리어 절연막(23A)은 도전성막(22B)인 Cu의 확산을 억제하는 기능을 갖는다. 이에 따라, 배리어 도체막(22A)과 함께 산화실리콘막(16), 절연막(20) 및 이후의 공정에서 배리어 절연막(23A) 상에 형성하는 절연막으로의 구리의 확산을 방지하고, 이들 절연성을 유지하여, 반도체 집적 회로 장치의 신뢰성을 높일 수 있다. 또한, 배리어 절연막(23A)은 이후의 공정에서, 에칭을 행할 때의 에치 스톱퍼층으로서도 기능한다.

<163> 다음으로, 배리어 절연막(23A)의 표면에, 막 두께가 약 400nm인 절연막(23B)을 퇴적한다. 이 절연막(23B)은, 예를 들면 불소를 첨가한 CVD 산화막 등의 SiOF 막으로 한다. 절연막(23B)으로서 SiOF막을 이용한 경우에는, 반도체 집적 회로 장치의 배선의 종합적인 유전률을 내리는 것이 가능하여, 배선 지연을 개선할 수 있다.

<164> 다음으로, 절연막(23B)의 표면에, 예를 들면 플라즈마 CVD법으로 질화실리콘막을 퇴적하고, 막 두께가 약 50nm인 에치 스톱퍼막(23C)을 퇴적한다. 이 에치 스톱퍼막(23C)은, 이후의 공정에서 에치 스톱퍼막(23C) 상에 퇴적되는 절연막에 배선 형성용의 홈부나 구멍을 형성할 때에, 너무 깊게 패여 하층에 손상을 주거나 가공 치수 정밀도가 열화되는 것을 회피하기 위한 것이다.

<165> 계속해서, 에치 스톱퍼막(23C)의 표면에, 예를 들면 SiOF막을 퇴적하여 절연막(23D)으로 하고, 배리어 절연막(23A), 절연막(23B), 에치 스톱퍼막(23C) 및 절연막(23D)을 합쳐서 절연막(23; 제4 절연막)으로 한다. 절연막(23D)은 CVD법에 의해 퇴적하고, 그 막 두께는 예를 들면 300nm 정도로 한다. 이 절연막(23D)은 절연막(23B)과 마찬가지로 반도체 집적 회로 장치의 배선의 종합적인 유전률을 내리는 기능을 가져, 배선 지연을 개선할 수 있다.

<166> 이 후, 상기 연마 드럼(4A~4C)(도 4~도 7 참조)을 이용하여, 웨이퍼(1)의 엿지를 연마함으로써, 웨이퍼(1)의 엿지에 퇴적되어 있는 절연막(23)을 제거해도 된다. 이에 따라, 웨이퍼(1)의 엿지에서 절연막(23)이 박리될 가능성을 없앨 수 있다. 즉, 그 박리된 절연막(23)이 이물로 되어, 본 실시예 1의 반도체 집적 회로 장치의 수율을 저하시키는 것을 미연에 방지할 수 있다.

<167> 다음으로, 절연막(23D)을, 예를 들면 CMP법으로 연마함으로써, 그 표면을 평탄화한 후, 도 34에 도시한 바와 같이, 하층 배선인 매립 배선(22)과, 이후의 공정에서 형성하는 상층 배선을 접속하기 위한 접속 구멍(24A)을 형성한다. 접속 구멍(24A)은, 포토리소그래피 공정에 의해, 절연막(23D) 상에 매립 배선(22)과 접속하기 위한 접속 구멍 패턴과 동일 형상의 포토레지스트막을 형성하고, 그것을 마스크로 하여 드라이 에칭함으로써 접속 구멍 패턴을 형성한다. 계속해서, 포토레지스트막을 제거하고, 절연막(23D) 상에 포토리소그래피 공정에 의해, 배선홈 패턴과 동일 형상의 포토레지스트막을 형성하여, 그것을 마스크로 하여 드라이 에칭함으로써 배선홈(24B)을 형성한다. 또, 상기한 웨이퍼(1)의 엿지에 퇴적되어 있는 절연막(23)을 제거하는 공정은, 절연막(23D)의 표면을 평탄화하는 공정 이후 혹은 접속 구멍(24A) 및 배선홈(24B)을 형성하는 공정 이후로 해도 된다.

<168> 계속해서, 배선홈(21)의 저부에 노출된 플러그(18)의 표면의 반응층을 제거하기 위해 행한 스퍼터 에칭 공정과 마찬가지로의 공정에 의해, 접속 구멍(24A)의 저부에 노출된 매립 배선(22)의 표면의 반응층을 제거하기 위한 스퍼터 에칭을 행한다. 이 때의 스퍼터 에칭량은 P-TEOS막으로 환산하여 20Å~180Å 정도, 바람직하게는 100Å 정도로 한다.

<169> 다음으로, 도 35에 도시한 바와 같이, 배리어 도체막(22A)(도 29 참조)인 TaN막을 퇴적한 공정과 마찬가지로의 공정에 의해, 웨이퍼(1) 상에 배리어 도체막(25A)으로 되는 TaN막을 퇴적한다. 본 실시예 1에서는, 배리어 도체막(25A)으로서 TaN막을 예시하였지만, 배리어 도체막(22A)의 경우와 마찬가지로, Ta 등의 금속막, TiN막 혹은 금속막과 질화막과의 적층막 등이라도 무방하다.

<170> 계속해서, 도전성막(22B)을 형성할 때의 시드막과 마찬가지로의 시드막으로 되는, 예를 들면 Cu막 또는 구리 합금막을 장거리 스퍼터링법 또는 이온화 스퍼터링법 등에 의해 퇴적한다(도시하지 않음). 그 후, 시드막이 퇴적된 웨이퍼(1)의 전면에, 배선홈(21)을 매립하는 도전성막(22B)으로 된 Cu막을 퇴적한 공정과 마찬가지로의 공정에 의해, 예를 들면 Cu막을 접속 구멍(24A) 및 배선홈(24B)을 매립하도록 퇴적하고, 이 Cu막과 시드막을 합쳐서 도전성막(25B)으로 한다. 도전성막(25B)을 형성한 후에, 어닐링 처리에 의해 그 Cu막을 유동화시킴으로써, 도전성

막(25B)의 접속 구멍(24A) 및 배선홈(24B)으로의 매립성을 더욱 향상시킬 수도 있다.

- <171> 다음으로, 웨이퍼(1)의 엣지에서의 배리어 도체막(22A) 및 도전성막(22B)을 제거한 공정(도 30 참조)과 마찬가지로의 공정에 의해, 웨이퍼(1)의 엣지에서의 배리어 도체막(25A) 및 도전성막(25B)을 제거한다. 이에 따라, 후술하는 CMP 공정 후에, 웨이퍼(1)의 엣지에서 연마되고 남은 배리어 도체막(25A) 및 도전성막(25B)이 박리되어 웨이퍼(1)에 재차 부착됨으로써, 본 실시예 1의 반도체 집적 회로 장치의 수율을 저하시키는 것을 방지할 수 있다. 또한, Cu는 웨이퍼(1) 중으로 확산되면, nMISQn의 게이트 내압을 저하시키게 되지만, 상기한 바와 같이 웨이퍼(1)의 엣지의 도전성막(25B)을 제거함으로써, 웨이퍼(1)의 엣지에 퇴적된 여분의 Cu(도전성막(25B))가 웨이퍼(1) 중으로 확산되는 것을 방지할 수 있다.
- <172> 또한, 상기 시드막을 퇴적할 때에 기초의 절연막(23D)에도 Cu 원자가 주입되게 되기 때문에, 그 기초의 절연막(23D)도 50nm 정도 제거하는 것이 바람직하다. 이에 따라, 웨이퍼(1)의 엣지에 퇴적된 여분의 Cu(도전성막(25B))가 웨이퍼(1) 중으로 확산되는 것을 더욱 확실하게 방지할 수 있다. 또한, 본 실시예 1에서는, 상기 도전성막(25B)을 도금법으로 형성하는 경우에 대해 예시하였지만, 스퍼터링법을 이용하여 형성해도 된다. 스퍼터링법을 이용한 경우에는, Cu 원자가 또한 절연막(23D)에 주입되게 되기 때문에, 상기한 웨이퍼(1)의 엣지에서의 도전성막(25B)의 기초의 절연막(23D)을 제거하는 공정은 더욱 유효한 수단으로 할 수 있다.
- <173> 다음으로, 절연막(23D) 상의 여분의 배리어 도체막(25A) 및 도전성막(25B)을 제거하고, 접속 구멍(24A) 및 배선홈(24B)의 내부에 배리어 도체막(25A) 및 도전성막(25B)을 남김으로써 매립 배선(25)을 형성한다. 배리어 도체막(25A) 및 도전성막(25B)의 제거는, 예를 들면 CMP법을 이용한 연마에 의해 행한다.
- <174> 계속해서, 예를 들면 0.1% 암모니아수용액과 순수를 이용한 2단계의 브러시 스크럽 세정에 의해, 웨이퍼(1)의 표면에 부착된 연마 지립 및 Cu를 제거하여, 본 실시예의 반도체 집적 회로 장치를 제조한다. 또, 도 33~도 35를 이용하여 설명한 공정과 마찬가지로의 공정에 의해, 매립 배선(25)의 상부에 더욱 다층으로 배선을 형성해도 된다.
- <175> (실시예 2)
- <176> 본 실시예 2는, 웨이퍼의 엣지에서의 제거 대상의 박막을, 제거 공정 전에 패터닝하는 것이다. 그 밖의 부재 및 제조 공정에 대해서는 상기 실시예 1과 동일하다.
- <177> 본 실시예 2의 반도체 집적 회로 장치의 제조 방법은, 상기 실시예 1에서 도 1 및 도 2를 이용하여 설명한 공정까지는 동일하다.
- <178> 다음으로, 도 36에 도시한 바와 같이, 웨이퍼(1) 상에 포토레지스트막(5)을 도포한 후, 마스크를 이용한 노광 처리에 의해 그 포토레지스트막(5)을 패터닝한다. 계속해서, 도 37에 도시한 바와 같이, 그 포토레지스트막(5)을 마스크로 한 드라이 에칭에 의해, 소자 분리 영역의 질화실리콘막(3)과 산화실리콘막(2)을 제거한다. 계속해서, 질화실리콘막(3)을 마스크로 한 드라이 에칭으로 소자 분리 영역의 웨이퍼(1)에 깊이 350nm 정도의 홈(6)을 형성한다.
- <179> 다음으로, 도 38에 도시한 바와 같이, 에칭으로 홈(6)의 내벽에 생긴 손상층을 제거하기 위해, 웨이퍼(1)를 1000℃ 정도에서 열 처리하여 홈(6)의 내벽에 막 두께 10nm 정도의 얇은 산화실리콘막(7)을 형성한다. 계속해서, 웨이퍼(1) 상에 막 두께 380nm 정도의 산화실리콘막(8)을 CVD법으로 퇴적하고, 계속해서 산화실리콘막(8)의 막질을 개선하기 위해, 웨이퍼(1)를 열 처리하여 산화실리콘막(8)을 텐서파이(소결)한다.
- <180> 다음으로, 도 39에 도시한 바와 같이, 질화실리콘막(3)을 스토퍼에 이용한 CMP법으로 산화실리콘막(8)을 연마하여 홈(6)의 내부에 남김으로써, 표면이 평탄화된 소자 분리홈을 형성한다. 계속해서, 도 40에 도시한 바와 같이, 예를 들면 상기 실시예 1에서 도 4~도 7을 이용하여 설명한 연마 드럼(4A~4C)을 이용하여, 웨이퍼(1)의 엣지에서의 산화실리콘막(8)을 그 하부의 질화실리콘막(3)이 노출될 때까지 제거한다.
- <181> 계속해서, 도 41에 도시한 바와 같이, 열 인산을 이용한 웨트 에칭으로 웨이퍼(1) 상에 남은 질화실리콘막(3) 및 산화실리콘막(2)을 제거한다. 이 때, 웨이퍼(1)의 엣지에서는 질화실리콘막(3)의 표면이 노출되어 있기 때문에, 웨이퍼(1)의 전면에서 질화실리콘막(3) 및 산화실리콘막(2)을 제거할 수 있다. 이에 따라, 이후의 세정 공정에서, 그 질화실리콘막(3) 및 산화실리콘막(2)이 박리되어 이물로 되는 것을 방지할 수 있다.
- <182> 다음으로, 상기 실시예 1에서 도 23~도 29를 이용하여 설명한 공정과 마찬가지로의 공정을 거친 후, 도 42에 도시한 바와 같이, 예를 들면 CMP법을 이용한 연마에 의해 절연막(20) 상의 여분의 배리어 도체막(22A)(도 29 참조) 및 도전성막(22B)(도 29 참조)을 제거하고, 배선홈(21) 내에 배리어 도체막(22A) 및 도전성막(22B)을 남김

으로써 매립 배선(22)을 형성한다.

- <183> 다음으로, 도 43에 도시한 바와 같이, 예를 들면 상기 실시예 1에서 도 4~도 7을 이용하여 설명한 연마 드럼(4A~4C)을 이용하여, 웨이퍼(1)의 엣지에서의 배리어 도체막(22A) 및 도전성막(22B)을 제거한다. 이에 따라, 웨이퍼(1)의 엣지에 배리어 도체막(22A) 및 도전성막(22B)이 남는 것을 방지할 수 있다. 즉, 웨이퍼(1)의 엣지에서 연마되고 남은 배리어 도체막(22A) 및 도전성막(22B)이 박리되어 웨이퍼(1)에 재차 부착됨으로써, 본 실시예 2의 반도체 집적 회로 장치의 수율을 저하시키는 것을 방지할 수 있다.
- <184> 그 후, 상기 실시예 1에서 도 33~도 35를 이용하여 설명한 공정과 마찬가지로의 공정에 의해 본 실시예 2의 반도체 집적 회로 장치를 제조한다. 또, 상기 실시예 1에서는, 절연막(23D)(도 33 참조)의 표면을 평탄화하기 전에 웨이퍼(1)의 엣지에 퇴적되어 있는 절연막(23)(도 33 참조)을 제거하는 경우를 예시하였지만, 이 절연막(23)의 제거 공정은 접속 구멍(24A) 및 배선홈(24B)을 형성한 후라도, 배리어 도체막(25A)(도 35 참조)을 퇴적하기 전이라도 무방하다. 또한, 상기 실시예 1에서는, 절연막(23D) 상의 여분의 배리어 도체막(25A) 및 도전성막(25B)(도 35 참조)을 CMP법에 의해 제거하는 공정 전에, 웨이퍼(1)의 엣지에 퇴적되어 있는 절연막(23)(도 33 참조)을 제거하는 경우를 예시하였지만, 그 배리어 도체막(25A) 및 도전성막(25B)(도 35 참조)을 CMP법에 의해 제거한 후라도 무방하다.
- <185> (실시예 3)
- <186> 본 실시예 3의 반도체 집적 회로 장치의 제조 방법은, 예를 들면 Al(알루미늄) 또는 알루미늄 합금 등으로 형성된 배선을 갖는 반도체 집적 회로 장치의 제조 방법에 본 발명을 적용한 것이다.
- <187> 본 실시예 3의 반도체 집적 회로 장치의 제조 방법은, 상기 실시예 1에서 도 1~도 25를 이용하여 설명한 공정까지는 마찬가지로이다.
- <188> 그 후, 도 44 및 도 45에 도시한 바와 같이, 웨이퍼(1) 상에 스퍼터링법으로, 예를 들면 TiN 등의 도전성막(22C; 제1 도전성막)을 퇴적한다. 또, 도 44에서는, 산화실리콘막(16) 상에 배선을 형성하는 공정을 알기 쉽게 하기 위해, 도전성막(22C)의 도시를 생략하고 있다.
- <189> 계속해서, 도전성막(22C)의 표면에, 예를 들면 Al 등의 도전성막(22D; 제1 도전성막)을 퇴적한다. 또한 계속해서, 그 도전성막(22D)의 표면에, 예를 들면 TiN 등의 도전성막(22E)을 퇴적한다. 이 도전성막(22E)은 도전성막(22C), 도전성막(22D) 및 도전성막(22E; 제1 도전성막)을 포토리소그래피 공정에 의해 패터닝할 때에, 광의 난반사를 방지하는 기능을 갖는다. 도전성막(22D) 및 도전성막(22E)의 퇴적은, 예를 들면 스퍼터링법으로 행한다.
- <190> 다음으로, 도 46에 도시한 바와 같이, 예를 들면 상기 실시예 1에서 도 4~도 7을 이용하여 설명한 연마 드럼(4A~4C)을 이용하여, 웨이퍼(1)의 엣지에서의 도전성막(22C~22E)을 제거한다. 이에 따라, 웨이퍼(1)의 엣지에 도전성막(22C~22E)이 남는 것을 방지할 수 있다. 즉, 웨이퍼(1)의 엣지에서 연마되고 남은 도전성막(22C~22E)이 박리되어 웨이퍼(1)에 재차 부착됨에 따른, 본 실시예 3의 반도체 집적 회로 장치의 수율을 저하시키는 것을 방지할 수 있다.
- <191> 다음으로, 도 47 및 도 48에 도시한 바와 같이, 도전성막(22C~22E)을 드라이 에칭 기술을 이용하여 가공하여 배선(22F)을 형성하고, 본 실시예 3의 반도체 집적 회로 장치를 제조한다. 또, 본 실시예 3에서는, 배선(22F)을 형성하기 전에 웨이퍼(1)의 엣지에 퇴적되어 있는 도전성막(22C~22E)을 제거하는 경우를 예시하였지만, 이 도전성막(22C~22E)의 제거 공정은 배선(22F)을 형성한 이후라도 무방하다.
- <192> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.
- <193> 예를 들면, 상기 실시예에서는, 웨이퍼의 엣지를 연마하는 연마 드럼은 3개인 경우를 예시하였지만, 3개 이상의 연마 드럼을 이용해도 된다.
- <194> 또한, 상기 실시예에서는 연마 드럼을 이용하여 웨이퍼의 엣지를 연마하는 경우에 대해 예시하였지만, 웨이퍼의 엣지의 윤곽을 본뜬 지식, 또는 유기계 수지에 슬러리를 매립함으로써 제조된 연마용 테이프를 이용하여 연마해도 된다.
- <195> 또한, 상기 실시예에서는 p형 웰에 nMIS가 형성된 반도체 집적 회로 장치의 제조 방법에 대하여 예시하였지만, n형 웰에 pMIS가 형성된 반도체 집적 회로 장치의 제조 방법에 적용해도 된다.

발명의 효과

- <196> 본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 이하와 같다.
- <197> (1) 웨이퍼의 엣지에서 형성된 박막을 제거하기 때문에, 그 박막이 박리되어 재차 웨이퍼에 부착되는 것에 기인하는 반도체 집적 회로 장치의 수율의 저하를 방지할 수 있다.
- <198> (2) 웨이퍼의 엣지의 형상, 및 웨이퍼의 엣지에서 제거 대상의 박막의 성막 상태에 따라, 웨이퍼와 연마 드럼이 접촉하는 각도 및 연마 드럼의 최적의 연마 속도를 설정할 수 있기 때문에, 웨이퍼의 엣지 전역에서 그 박막을 제거할 수 있다.

도면의 간단한 설명

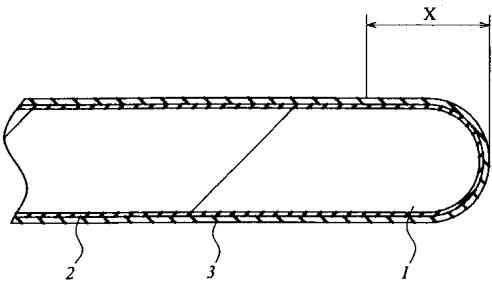
- <1> 도 1은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법의 일례를 나타낸 주요부 단면도.
- <2> 도 2는 도 1에 도시한 웨이퍼의 소자 형성면 부근을 확대하여 나타낸 주요부 단면도.
- <3> 도 3은 도 1에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <4> 도 4는 연마 드럼을 이용한 웨이퍼의 엣지의 연마 공정을 설명하는 평면도.
- <5> 도 5는 도 4에 도시한 연마 드럼 1개와 웨이퍼의 엣지가 접촉하는 각도를 설명하는 주요부 단면도.
- <6> 도 6은 도 4에 도시한 연마 드럼 1개와 웨이퍼의 엣지가 접촉하는 각도를 설명하는 주요부 단면도.
- <7> 도 7은 도 4에 도시한 연마 드럼 1개와 웨이퍼의 엣지가 접촉하는 각도를 설명하는 주요부 단면도.
- <8> 도 8은 웨이퍼의 엣지의 형상의 차이를 설명하는 주요부 단면도.
- <9> 도 9는 웨이퍼의 엣지의 형상의 차이를 설명하는 주요부 단면도.
- <10> 도 10은 웨이퍼 상에 성막한 박막의 성막 상태의 차이를 설명하는 주요부 단면도.
- <11> 도 11은 웨이퍼 상에 성막한 박막의 성막 상태의 차이를 설명하는 주요부 단면도.
- <12> 도 12는 도 3에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <13> 도 13은 도 12에 도시한 웨이퍼의 소자 형성면 부근을 확대하여 나타낸 주요부 단면도.
- <14> 도 14는 도 1에 도시한 웨이퍼의 소자 형성면에서, 칩을 취득할 수 있는 칩 영역과 그 주위의 더미 노광 영역을 설명하는 평면도.
- <15> 도 15는 도 12에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <16> 도 16은 도 13에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <17> 도 17은 도 15에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <18> 도 18은 도 16에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <19> 도 19는 도 17에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <20> 도 20은 도 18에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <21> 도 21은 도 19에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <22> 도 22는 도 20에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <23> 도 23은 도 22에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <24> 도 24는 도 23에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <25> 도 25는 도 24에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <26> 도 26은 도 25에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <27> 도 27은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.

- <28> 도 28은 도 27에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <29> 도 29는 도 26에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <30> 도 30은 도 28에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <31> 도 31은 도 30에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <32> 도 32는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <33> 도 33은 도 32에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <34> 도 34는 도 33에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <35> 도 35는 도 34에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <36> 도 36은 본 발명의 다른 실시예인 반도체 집적 회로 장치의 제조 방법의 일례를 나타낸 주요부 단면도.
- <37> 도 37은 도 36에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <38> 도 38은 도 37에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <39> 도 39는 도 38에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <40> 도 40은 도 39에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <41> 도 41은 도 40에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <42> 도 42는 본 발명의 다른 실시예인 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <43> 도 43은 도 42에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <44> 도 44는 본 발명의 또 다른 실시예인 반도체 집적 회로 장치의 제조 방법의 일례를 나타낸 주요부 단면도.
- <45> 도 45는 도 44에 도시한 웨이퍼의 소자 형성면 부근을 확대하여 나타낸 주요부 단면도.
- <46> 도 46은 도 44에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <47> 도 47은 도 46에 연속되는 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <48> 도 48은 본 발명의 또 다른 실시예인 반도체 집적 회로 장치의 제조 공정 중의 주요부 단면도.
- <49> <도면의 주요 부분에 대한 부호의 설명>
- <50> 1 : 웨이퍼
- <51> 2 : 산화실리콘막(제1 절연막)
- <52> 3 : 질화실리콘막(제1 절연막)
- <53> 4A~4C : 연마 드럼(연마 수단)
- <54> 5 : 포토레지스트막
- <55> 6 : 홈
- <56> 7 : 산화실리콘막
- <57> 8 : 산화실리콘막(제2 절연막)
- <58> 9 : p형 웰
- <59> 10 : 게이트 산화막
- <60> 11 : 게이트 전극
- <61> 12 : 캡 절연막
- <62> 13 : n⁻형 반도체 영역

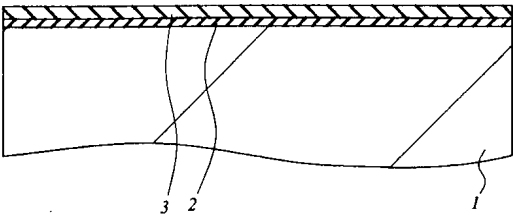
- <63> 14 : 측벽 스페이서
- <64> 15 : n^+ 형 반도체 영역(소스, 드레인)
- <65> 16 : 산화실리콘막
- <66> 17 : 접속 구멍
- <67> 18 : 플러그
- <68> 18A : 배리어 도체막
- <69> 18B : 도전성막
- <70> 19 : 에치 스톱퍼막(제3 절연막)
- <71> 20 : 절연막(제3 절연막)
- <72> 21 : 배선훼
- <73> 22 : 매립 배선(제1 배선)
- <74> 22A : 배리어 도체막(제1 도전성막)
- <75> 22B~22E : 도전성막(제1 도전성막)
- <76> 22F : 배선
- <77> 23 : 절연막(제4 절연막)
- <78> 23A : 배리어 절연막
- <79> 23B : 절연막
- <80> 23C : 에치 스톱퍼막
- <81> 23D : 절연막
- <82> 24A : 접속 구멍
- <83> 24B : 배선훼
- <84> 25 : 매립 배선
- <85> 25A : 배리어 도체막
- <86> 25B : 도전성막
- <87> A1 : 칩 영역
- <88> A2 : 더미 노광 영역
- <89> Qn : nMIS
- <90> T1 : 박막

도면

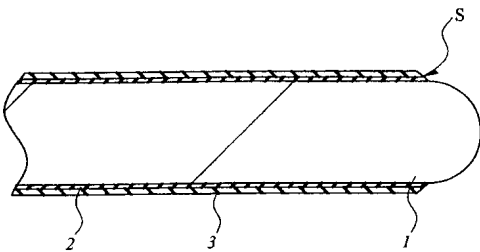
도면1



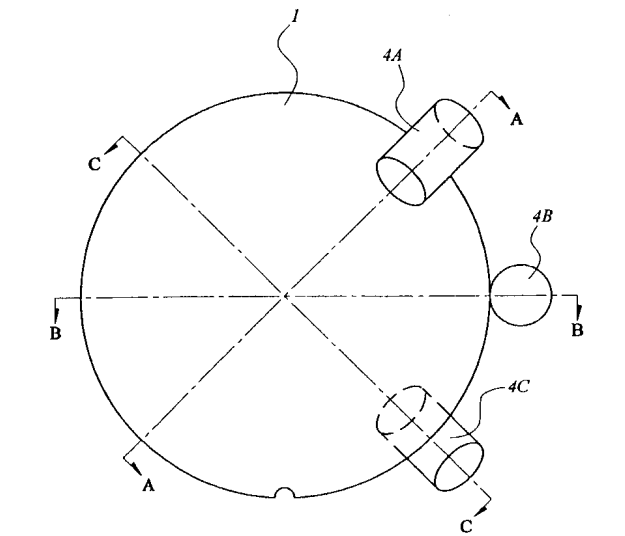
도면2



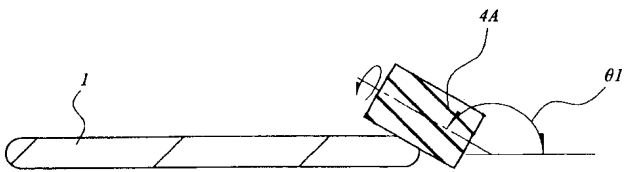
도면3



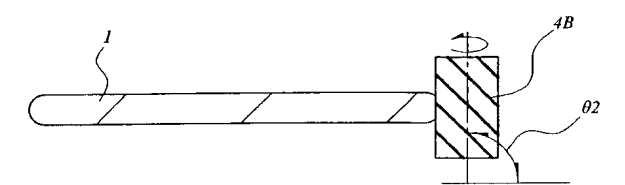
도면4



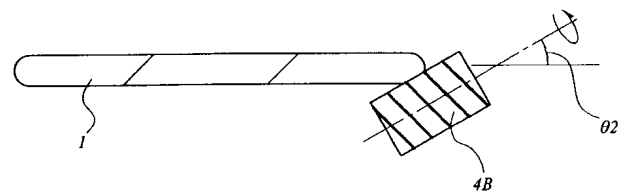
도면5



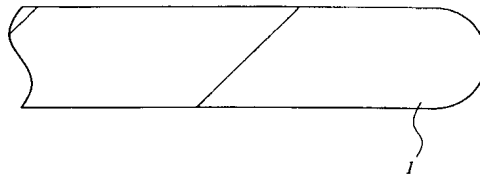
도면6



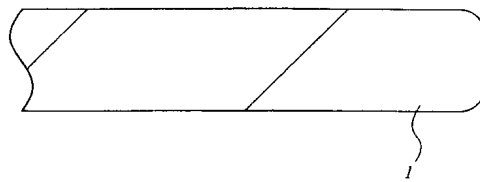
도면7



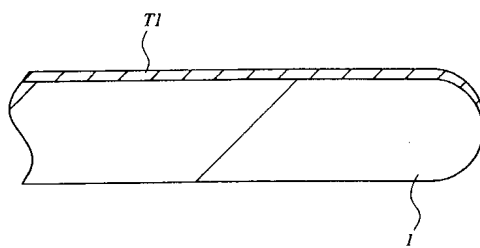
도면8



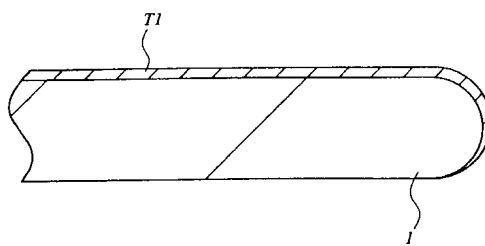
도면9



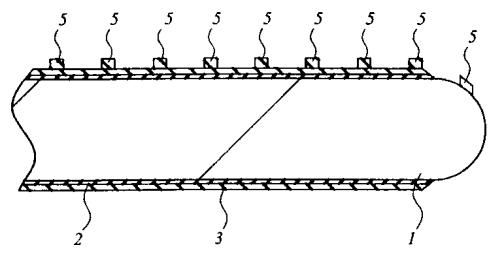
도면10



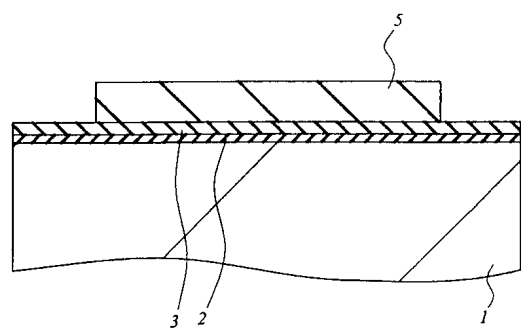
도면11



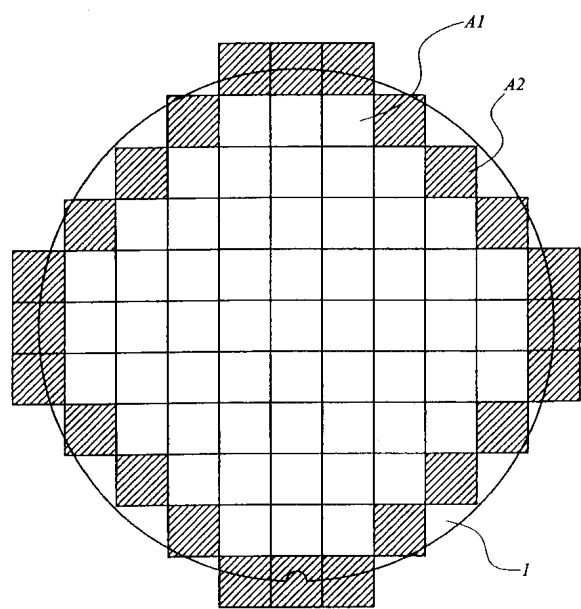
도면12



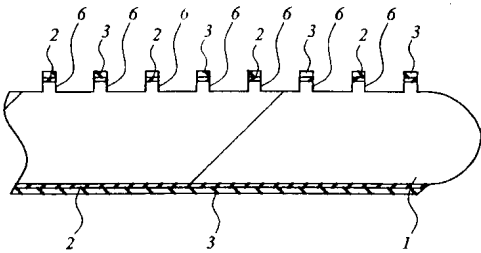
도면13



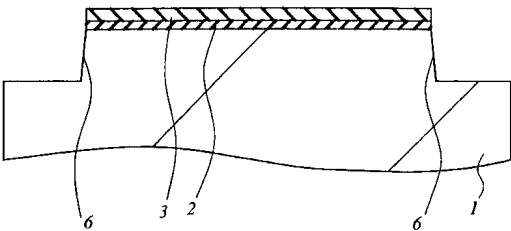
도면14



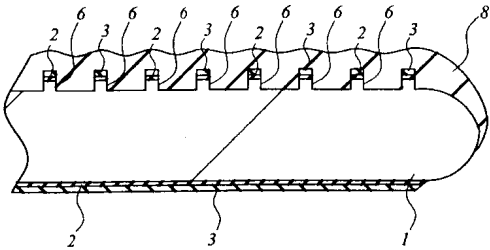
도면15



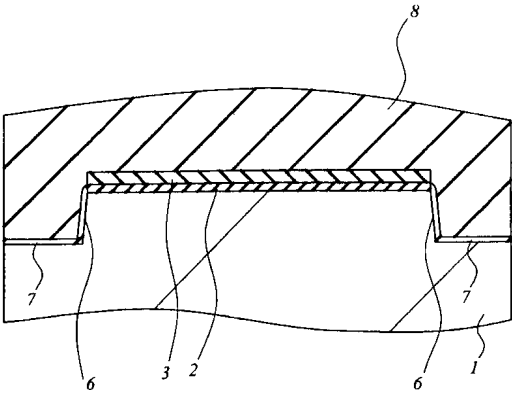
도면16



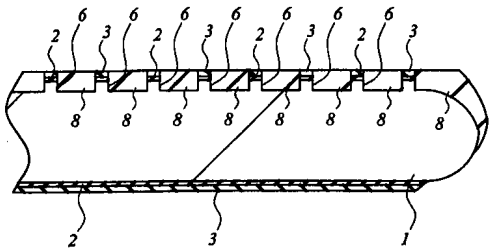
도면17



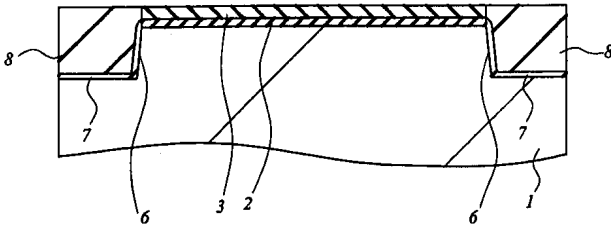
도면18



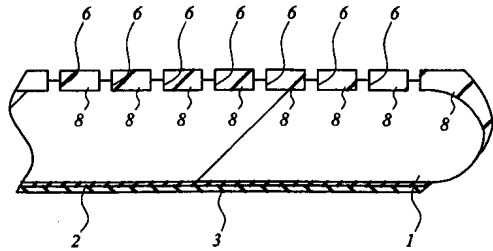
도면19



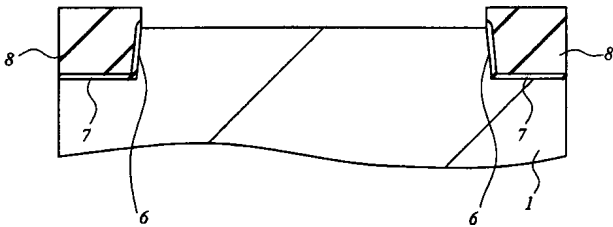
도면20



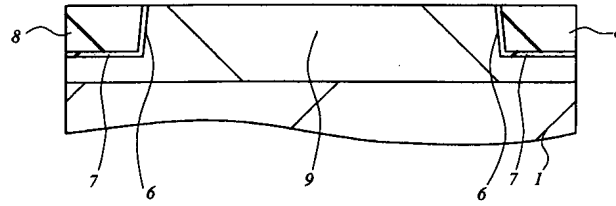
도면21



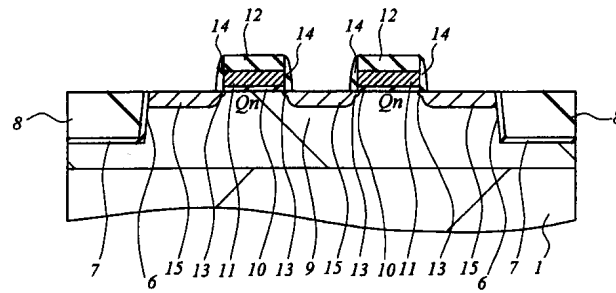
도면22



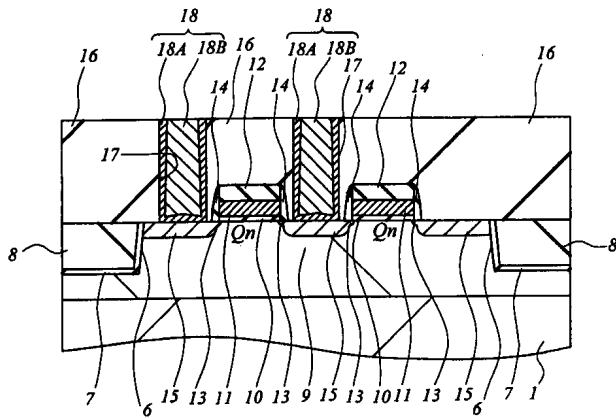
도면23



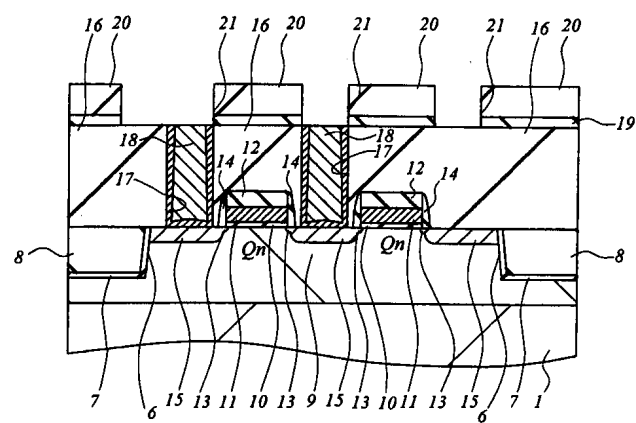
도면24



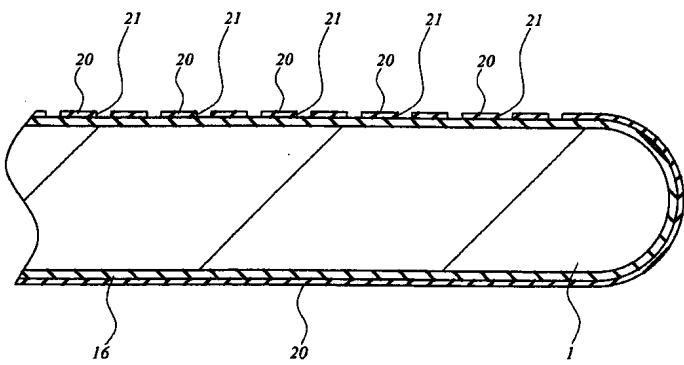
도면25



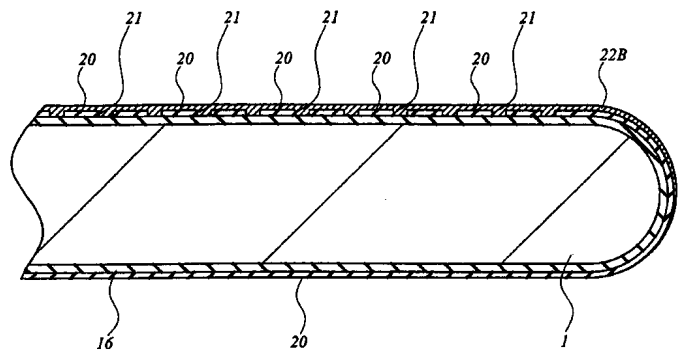
도면26



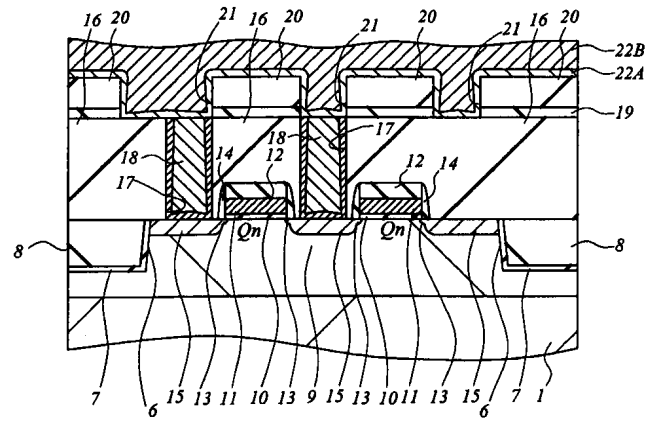
도면27



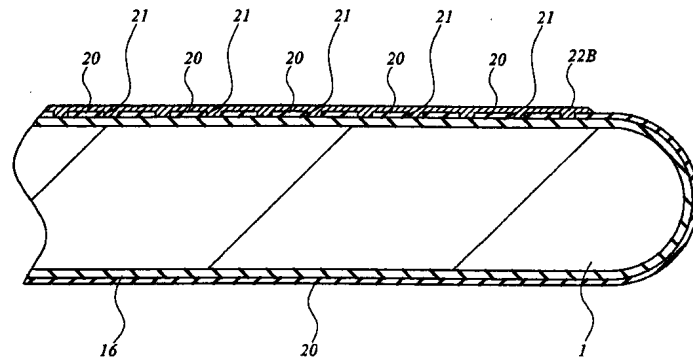
도면28



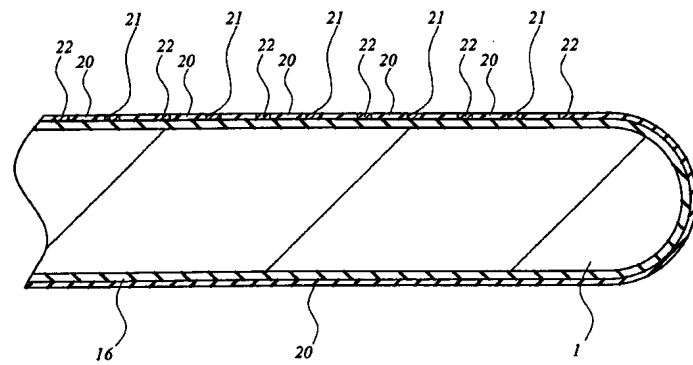
도면29



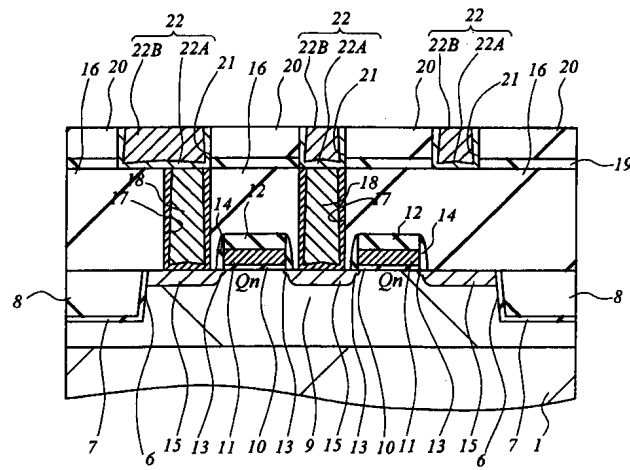
도면30



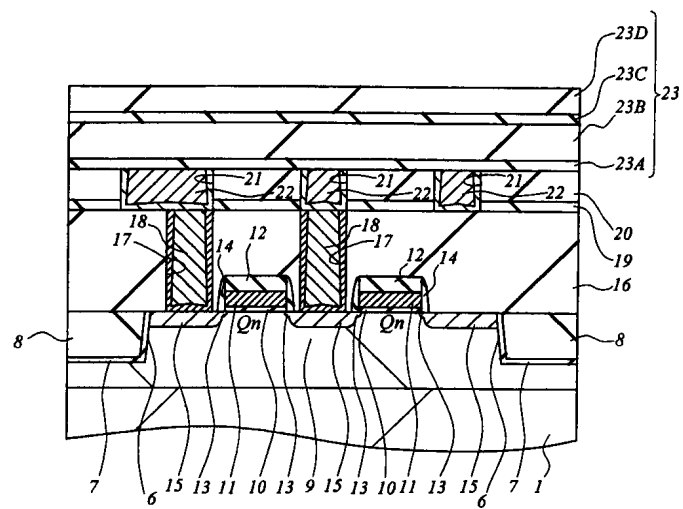
도면31



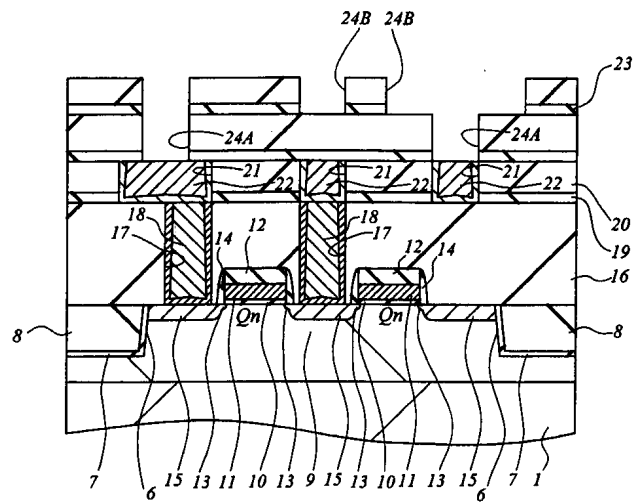
도면32



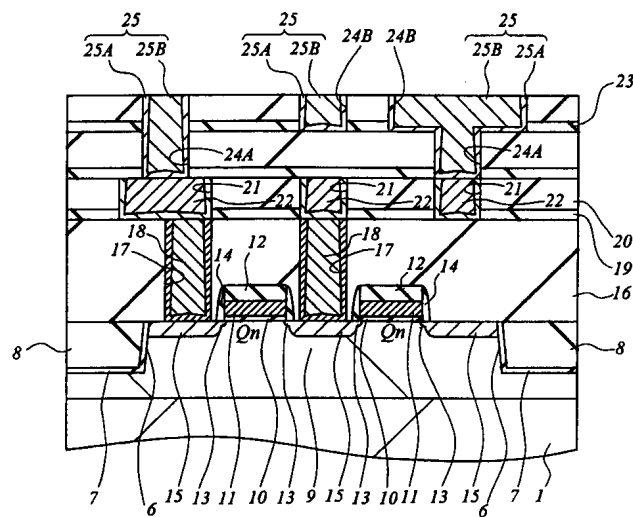
도면33



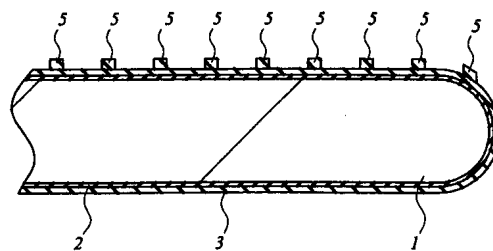
도면34



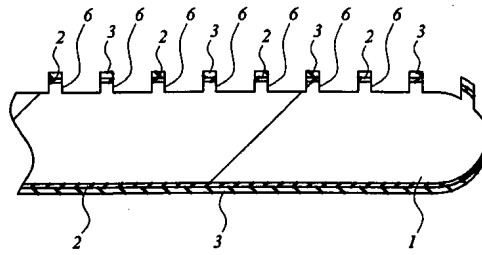
도면35



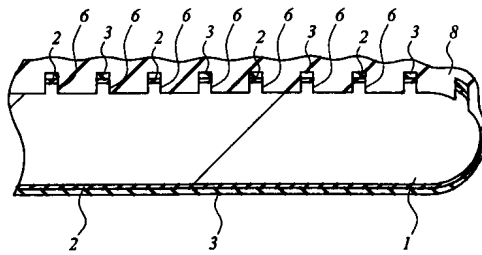
도면36



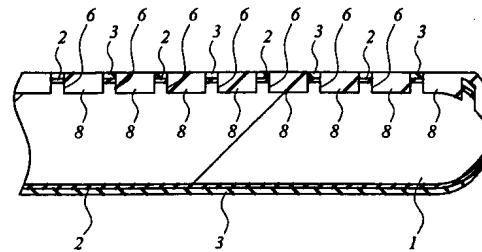
도면37



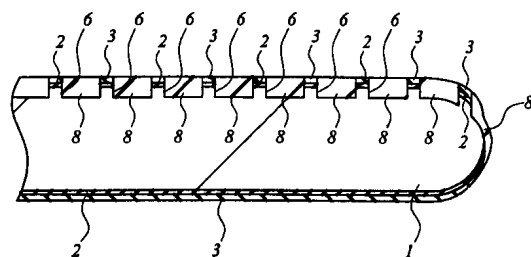
도면38



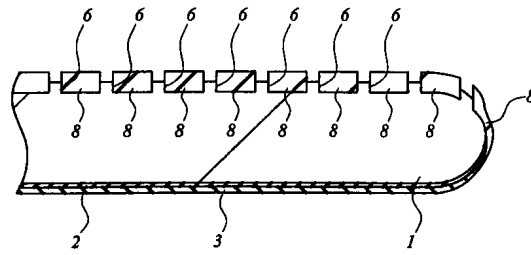
도면39



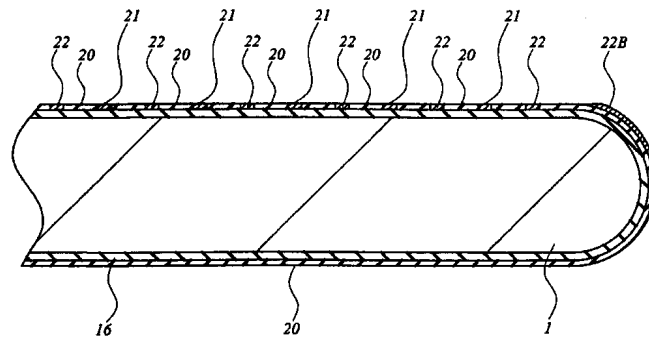
도면40



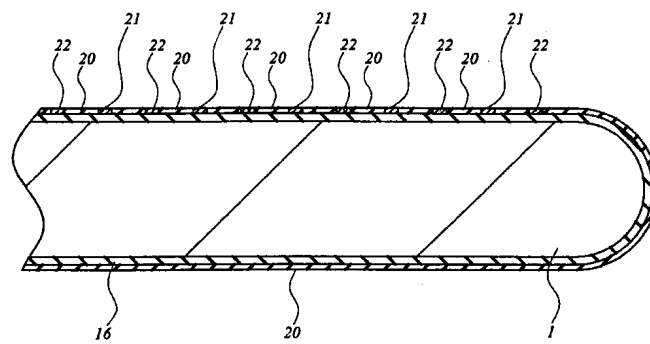
도면41



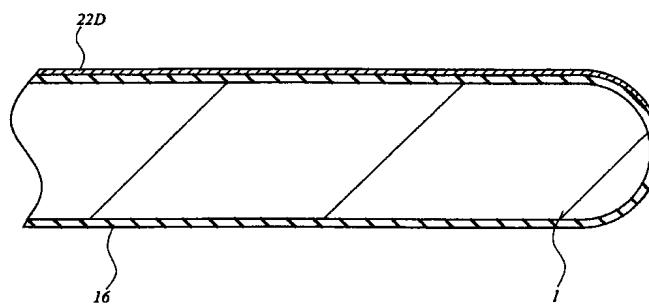
도면42



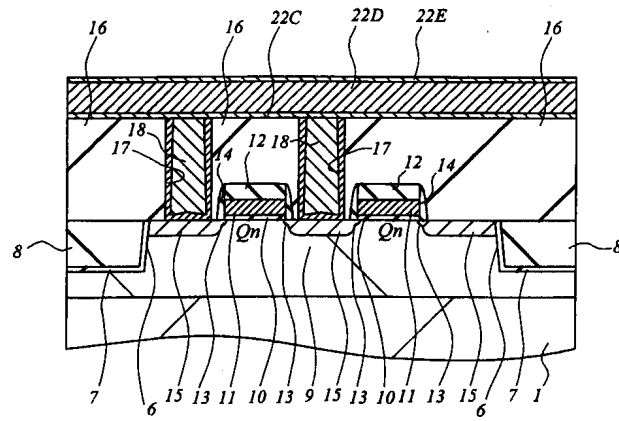
도면43



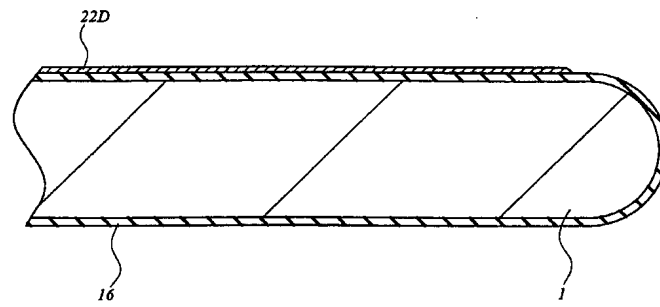
도면44



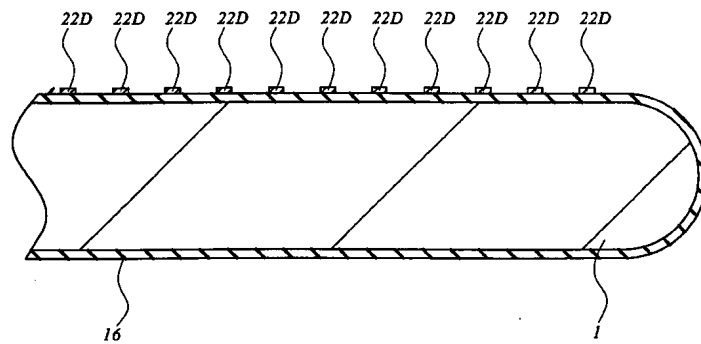
도면45



도면46



도면47



도면48

