

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-26528

(P2010-26528A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641R	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C058
H04N 5/66 (2006.01)	G09G 3/20 622P	5C080
	G09G 3/20 622Q	
審査請求 有 請求項の数 13 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2009-246031 (P2009-246031)	(71) 出願人	000005108
(22) 出願日	平成21年10月27日 (2009.10.27)		株式会社日立製作所
(62) 分割の表示	特願2003-71194 (P2003-71194)		東京都千代田区丸の内一丁目6番6号
	の分割	(71) 出願人	502356528
原出願日	平成15年3月17日 (2003.3.17)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100100310
			弁理士 井上 学
		(72) 発明者	高田 直樹
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所システム開発研究所
			内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】

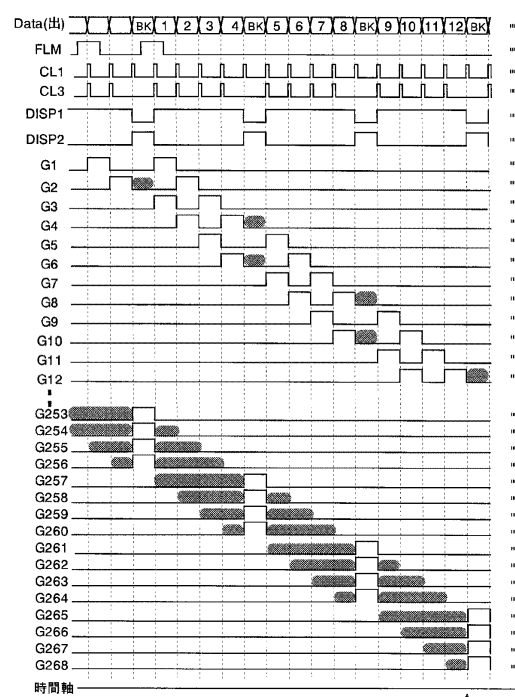
本発明の目的は、表示装置の階調電圧の不足及び動画ぼやけを抑制することである。

【解決手段】

本発明は、走査ドライバ104が、4行分の画素をまとめて選択した後に他の4行分の画素について1行単位でかつダブルゲート駆動で順次選択し、データドライバ103が、黒データに応じた階調電圧を4行分の画素へまとめて供給した後に表示データに応じた階調電圧を他の4行分の画素へ順次供給する。

【選択図】 図3

図3



【特許請求の範囲】**【請求項 1】**

マトリックス状に配置された複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバと、前記階調電圧を供給すべき前記画素を 1 又は複数の行単位で選択する走査ドライバと、前記データドライバ及び前記走査ドライバを制御する制御回路を備えた表示装置において、

前記制御回路は、第 1 のクロック信号と前記表示データを前記データドライバへ出力し、 n 周期に 1 度の割合で信号を発生しない第 2 のクロック信号と 1 フレーム周期で信号を複数回発生する走査開始信号を前記走査ドライバへ出力し、前記表示データとは異なる予め定められたブランキング・データを前記第 2 のクロック信号の信号を発生しないタイミングで前記表示データの代わりに前記データドライバへ出力することを特徴とする表示装置。

10

【請求項 2】

前記表示データを保持する第 1 のメモリと

前記ブランキング・データを予め保持する第 2 のメモリを備え、

前記制御回路は、前記表示データを前記第 1 のクロック信号に同期して前記第 1 のメモリから読み出して前記データドライバへ出力し、前記ブランキング・データを前記第 1 のクロック信号に同期しかつ前記第 2 のクロック信号の信号を発生しないタイミングで前記第 2 のメモリから読み出して前記データドライバへ出力することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記第 1 のクロック信号の周期及び前記第 2 のクロック信号の周期は、水平走査期間の周期に同期していることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記走査ドライバは、前記第 2 のクロック信号に従って前記画素を 1 行単位で順次選択すると共に前記走査開始信号に従って前記画素を 1 フレーム周期で 1 行あたり 2 回選択し、前記第 2 のクロック信号の信号を発生しないタイミングで前記画素を n 行単位で選択し、

前記データドライバは、前記第 1 のクロック信号に従って、前記表示データに応じた階調電圧を前記 1 行単位で選択された画素へ供給し、前記ブランキング・データに応じた階調電圧を前記 n 行単位で選択された画素へ供給することを特徴とする請求項 1 に記載の表示装置。

30

【請求項 5】

前記制御回路は、前記第 2 のクロック信号の信号を発生しないタイミングで前記走査ドライバによる前記画素の選択を無効化する第 1 の走査有効信号と、前記第 2 のクロック信号の信号を発生しないタイミングで前記走査ドライバによる前記画素の選択を有効化する第 2 の走査有効信号を前記走査ドライバへ出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

マトリックス状に配置された複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバと、前記階調電圧を供給すべき前記画素を 1 又は複数の行単位で選択する走査ドライバと、前記データドライバ及び前記走査ドライバを制御する制御回路を備えた表示装置において、

40

前記制御回路は、第 1 のクロック信号と前記表示データを前記データドライバへ出力し、 n 周期に 1 度の割合で信号を発生しない第 2 のクロック信号と前記第 2 のクロック信号の信号を発生しないタイミングで前記走査ドライバによる前記画素の選択を無効化する第 1 の走査有効信号と前記第 2 のクロック信号の信号を発生しないタイミングで前記走査ドライバによる前記画素の選択を有効化する第 2 の走査有効信号を前記走査ドライバへ出力し、前記表示データとは異なる予め定められた特定データを前記第 2 のクロック信号の信号を発生しないタイミングで前記表示データの代わりに前記データドライバへ出力するこ

50

とを特徴とする表示装置。

【請求項 7】

前記制御回路は、前記第 2 のクロック信号の信号を発生しないタイミングから次の次に信号を発生しないタイミングまでの期間分の時間幅を有する信号を 1 フレーム周期で 1 回発生する走査開始信号を前記走査ドライバへ出力することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

マトリックス状に配置された複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバと、前記階調電圧を供給すべき前記画素を 1 又は複数の行単位で選択する走査ドライバと、前記データドライバ及び前記走査ドライバを制御する制御回路を備えた表示装置において、

10

前記制御回路は、第 1 のクロック信号と前記表示データを前記データドライバへ出力し、 n 周期に 1 度の割合で信号を発生しない第 2 のクロック信号と 1 フレーム周期で信号を複数回発生する走査開始信号を前記走査ドライバへ出力し、前記表示データとは異なる予め定められたブランキング・データを前記第 2 のクロック信号の信号を発生しないタイミングの直前の信号を発生したタイミングで前記表示データの代わりに前記データドライバへ出力することを特徴とする表示装置。

【請求項 9】

前記走査ドライバは、前記第 2 のクロック信号及び前記走査開始信号に従って、前記第 2 のクロック信号のうち信号を発生しないタイミングの直前の信号を発生したタイミングを始期とする 1 水平周期期間から前記第 2 のクロック信号の信号を発生しないタイミングを始期とする 1 水平周期期間までに前記画素を 1 行単位で順次選択すると共に、前記第 2 のクロック信号の信号を発生しないタイミングの直前の信号を発生したタイミングを始期とする 1 水平周期期間に前記画素を n 行単位で選択することを特徴とする請求項 8 に記載の表示装置。

20

【請求項 10】

前記データドライバは、前記第 1 のクロック信号に従って、前記第 2 のクロック信号のうち信号を発生しないタイミングの直前に信号を発生したタイミングを始期とする 1 水平周期期間に前記表示データに応じた階調電圧を前記画素へ供給し、前記第 2 のクロック信号の信号を発生しないタイミングを始期とする 1 水平周期期間に前記ブランキング・データに応じた階調電圧を前記画素へ供給することを特徴とする請求項 9 に記載の表示装置。

30

【請求項 11】

マトリックス状に配置された複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバと、前記階調電圧を供給すべき前記画素を 1 又は複数の行単位で選択する走査ドライバと、前記データドライバ及び前記走査ドライバを制御する制御回路を備えた表示装置において、

前記制御回路は、第 1 のクロック信号と前記表示データを前記データドライバへ出力し、前記第 1 のクロック信号に同期した第 2 のクロック信号と 1 フレーム周期で信号を複数回発生する走査開始信号を前記走査ドライバへ出力し、前記表示データとは異なる予め定められたブランキング・データを前記第 2 のクロック信号の周期期間のうち後半期間に前記表示データの代わりに前記データドライバへ出力することを特徴とする表示装置。

40

【請求項 12】

前記第 1 のクロック信号及び前記第 2 のクロック信号の周期は、2 水平周期期間であることを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記走査ドライバは、前記第 2 のクロック信号に従って前記第 2 のクロック信号の周期期間のうち前半期間に前記画素を 1 行単位で順次選択すると共に前記走査開始信号に従って前記画素を 1 フレーム周期で 1 行あたり 2 回選択し、前記第 2 のクロック信号に従って前記第 2 のクロック信号の周期期間の後半期間に前記画素を 1 行単位で順次選択することを特徴とする請求項 12 に記載の表示装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ホールド型輝度応答である液晶表示装置において、1フレーム期間において映像データをブランキング・データによりマスクをする輝度応答化する駆動技術と、各画素行に対応した夫々ゲート線にゲート信号を2度印加するダブルゲートパルス駆動技術を組み合わせた表示装置及びその駆動方法に関する。

【背景技術】

【0002】

第1の従来技術として、動画データ中に黒データを挿入し液晶表示パネルに表示する表示装置がある（特許文献1～3参照）。 10

【0003】

第2の従来技術として、正規の階調電圧を液晶表示パネルの画素行に印加する前に予備的な電圧をその画素行に印加する表示装置（ダブルゲート駆動）がある（特許文献4及び5参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平9-18814号公報

【特許文献2】特開平11-109921号公報 20

【特許文献3】特開2003-36056号公報

【特許文献4】特開平8-248385号公報

【特許文献5】特開2002-258817号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

第1の従来技術では、動画ぼやけを防止できるが、画素に階調電圧を印加する期間が短い場合や画素の応答性が悪い場合には画素に階調電圧を十分に印加できない恐れがある。

【0006】

第2の従来技術では、画素に階調電圧を十分に印加できるが、動画表示する場合に残像が発生し動画ぼやけが発生する恐れがある。 30

【0007】

本発明の目的は、階調電圧の不足及び動画ぼやけを抑制した高画質の表示装置及びその駆動方法を提供することである。

【課題を解決するための手段】

【0008】

本発明は、走査ドライバが、 n 行分の画素をまとめて選択した後に他の n 行分の画素について n 行よりも少ない行単位でかつダブルゲート駆動で順次選択し、データドライバが、黒データに応じた階調電圧を n 行分の画素へまとめて供給した後に表示データに応じた階調電圧を他の n 行分の画素へ順次供給する。さらに、制御回路が、 n 周期に1度の割合で信号を発生しないクロック信号（例えば、走査・クロック）と1フレーム周期で信号を複数回発生する走査開始信号を走査ドライバへ出力し、ブランキング・データをクロック信号の信号を発生しないタイミングで表示データの代わりにデータドライバへ出力する。 40

【0009】

また、本発明は、制御回路が、 n 周期に1度の割合で信号を発生しないクロック信号とクロック信号の信号を発生しないタイミングで走査ドライバによる画素の選択を無効化する第1の走査有効信号とクロック信号の信号を発生しないタイミングで走査ドライバによる画素の選択を有効化する第2の走査有効信号を走査ドライバへ出力し、特定データ（例えば、ブランキング・データ）をクロック信号の信号を発生しないタイミングで表示データの代わりにデータドライバへ出力する。好ましくは、制御回路が、クロック信号の信号 50

を発生しないタイミングから次の次に信号を発生しないタイミングまでの期間分（例えば、8 H 水平周期期間分）の時間幅を有する信号を1フレーム周期で1回発生する走査開始信号を走査ドライバへ出力する。

【0010】

また、本発明は、制御回路が、n周期に1度の割合で信号を発生しないクロック信号と1フレーム周期で信号を複数回発生する走査開始信号を走査ドライバへ出力し、ブランキング・データをクロック信号の信号を発生しないタイミングの直前の信号を発生したタイミングで表示データの代わりにデータドライバへ出力する。

【0011】

また、本発明は、制御回路が、クロック信号と1フレーム周期で信号を複数回発生する走査開始信号を走査ドライバへ出力し、ブランキング・データをクロック信号の周期期間のうち後半期間に表示データの代わりにデータドライバへ出力する。

10

【発明の効果】

【0012】

本発明によれば、表示データをブランキング・データによってマスクすることにより動画ばやけを抑制すると共に、ダブルゲート駆動により階調電圧の不足を抑制するという効果を奏する。これにより、高画質の表示装置を実現できる。

【図面の簡単な説明】

【0013】

【図1】本発明によるアクティブ・マトリクス型の表示装置に備えられる画素アレイの一例の概略図。

20

【図2】本発明による液晶表示装置の概要を示すブロック図。

【図3】本発明の第1の実施例による液晶表示装置において、黒挿入を5 H 水平周期に1度のタイミングで行い、且つゲートダブルパルス駆動を1×1ドット反転駆動において行うタイミングチャート。

【図4】本発明の第1の実施例による液晶表示装置において、黒挿入を5 H 水平周期に1度のタイミングで行い、且つゲートダブルパルス駆動を1×2ドット反転駆動において行うタイミングチャート。

【図5】本発明の第2の実施例による液晶表示装置において、挿入される黒データに対するゲートダブルパルス駆動を行うタイミングチャート。

30

【図6】Cgs起因によるデータ信号の飛び込み電圧、再書き込み電圧を相殺するための画素の設計図。

【図7】本発明による液晶表示装置において、ダミー信号を生成したゲート信号がシフトし、且つゲートダブルパルス駆動を1×1ドット反転駆動において行う第3の実施例におけるタイミングチャート。

【図8】本発明の第3の実施例による液晶表示装置において、ダミー信号を生成したゲート信号がシフトし、且つゲートダブルパルス駆動を1×2ドット反転駆動において行うタイミングチャート。

【図9】本発明の第4の実施例による液晶表示装置において、黒挿入を1 H 水平周期に1度のタイミングで行い、ゲートダブルパルス駆動を行う1×1ドット反転駆動において行うタイミングチャート。

40

【図10】本発明の第4の実施例による液晶表示装置において、黒挿入を1 H 水平周期に1度のタイミングで行い、ゲートダブルパルス駆動を行う1×2ドット反転駆動において行うタイミングチャート。

【発明を実施するための形態】

【0014】

以下、本発明による表示装置及びその駆動方法に関する具体的な実施形態を、第1の実施例及びこれに関連する図面を参照して説明する。この実施例の説明にて参照する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、夫々の実施例において、本発明による表示装置はノーマリ・ブラック方式で画像を表示する液

50

晶表示装置として記述されるが、その画素構造を先述の如く変更することにより、本発明によるエレクトロルミネセンス型や発光素子アレイ型の表示装置が具現され得ることは言うまでもない。また、ノーマリ・ホワイト方式で画像を表示する液晶表示装置でもよい。

【0015】

以下、第1の実施例について図1、図2、図3、図4で説明する。

【0016】

第1の実施例は、アクティブ・マトリクス方式の液晶表示装置においてダブルゲート駆動を行い、さらにホールド型輝度応答である液晶表示装置にブランキング・データを挿入する駆動を行うことを特徴とする。特に、第1の実施例は、映像データに対してダブルゲート駆動を行い、ブランキング・データに対してシングルゲート駆動を行う。これら2つの駆動を併せ持つことによって、高精細化が進む液晶表示装置において、高画質な映像を実現し、且つホールド型輝度応答による表示装置に特有な「動画ぼやけ」を改善することができる。

10

【0017】

図1に、アクティブ・マトリクス方式 (Active Matrix Scheme) の液晶表示装置の構成を示す。

【0018】

図1に示す如く、二次元的又は行列 (Matrix) 状に配置された複数の画素PIXの各々に画素電極PXとこれに映像信号を供給するスイッチング素子SW (例えば、薄膜トランジスタ) が設けられる。このように複数の画素PIXが配置された素子は、画素アレイ (Pixels Array) 101とも呼ばれ、液晶表示装置における画素アレイは液晶表示パネルとも呼ばれる。この画素アレイにおいて、複数の画素PIXは画像を表示する所謂画面をなす。

20

【0019】

図1に示された画素アレイ101には、横方向に延びる複数のゲート線10 (Gate Lines、走査信号線とも呼ばれる) と縦方向 (このゲート線10と直交する方向) に延びる複数のデータ線12 (Data Lines、映像信号線とも呼ばれる) とがそれぞれ並設 (juxtapose) される。図1に示される如く、G1, G2, G3, ... Gnなる番地で識別される夫々のゲート線10沿いには複数の画素PIXが横方向に並ぶ所謂画素行 (Pixel Row) が、D1R, D1G, D1B, ... DmBなる番地で識別される夫々のデータ線12沿いには複数の画素PIXが縦方向に並ぶ所謂画素列 (Pixel Column) が形成される。ゲート線10は、走査ドライバ104 (Scanning Driver、走査駆動回路とも呼ばれる) からその各々に対応する画素行 (図1の場合、各ゲート線の下側) をなす画素PIXに夫々設けられたスイッチング素子SWに電圧信号を印加し、夫々の画素PIXに設けられた画素電極PXとデータ線12の一つとの電気的な接続を開閉する。特定の画素行に設けられたスイッチング素子SWの群を、これに対応するゲート線10から電圧信号 (選択電圧) を印加して制御する動作は、ラインの選択又は「走査 (Scanning)」とも呼ばれ、走査ドライバ104からゲート線10に印加される上記電圧信号は走査信号又はゲート信号とも呼ばれる。

30

【0020】

一方、データ線12の夫々には、データ・ドライバ103 (Data Driver、映像信号駆動回路とも呼ばれる) から階調電圧 (Gray Scale Voltage、又はTone Voltage) とよばれる電圧信号が印加され、その各々に対応する画素列 (図1の場合、各データ線の右側) をなす画素PIXの上記走査信号で選択された夫々の画素電極PXに上記階調電圧を印加する。データ・ドライバ103は、画素アレイ101に対して片側に配置される。よって、データ・ドライバ103は、1度に1行分の階調電圧しか出力できない。

40

【0021】

このような液晶表示装置をテレビジョン装置に組み込んだ場合、インタレース方式で受信される映像データ (映像信号) の1フィールド期間又はプログレッシブ方式で受信される映像データの1フレーム期間に対して、上記走査信号はゲート線10のG1からGnに順次印加され、1フィールド期間又は1フレーム期間に受信される映像データから生成された階調電圧が夫々の画素行を構成する画素の一群に順次印加される。画素の各々には、上

50

述の画素電極PXと、共通電極102からの基準電圧（Reference Voltage）又はコモン電圧（Common Voltage）が信号線11を通して印加される対向電極CTとで液晶層LCを挟む言わば容量素子が形成され、画素電極PXと対向電極CTとの間に生じる電界で液晶層LCの光透過率を制御する。上述の如く、映像データのフィールド期間毎又はフレーム期間毎にゲート線G 1乃至G nを順次選択する動作を1回行う場合、例えば或るフィールド期間に或る画素の画素電極PXに印加された階調電圧は、この或るフィールド期間に続く次のフィールド期間で別の階調電圧を受けるまで、この画素電極PXに理論的には保持される。従って、この画素電極PXと上記対向電極CTとに挟まれる液晶層LCの光透過率（換言すれば、この画素電極PXを有する画素の明るさ）は、1フィールド期間毎に所定の状態に保たれる。このようにフィールド期間毎又はフレーム期間毎に画素の明るさを保持しながら画像を表示する液晶表示装置は、ホールド型表示装置（Hold-type Display Device）とも呼ばれ、映像信号を受けた瞬間に画素毎に設けられた蛍光体を電子線照射により発光させる陰極線管（Cathode-ray Tube）のような所謂インパルス型表示装置（Impulse-type Display Device）と区別される。

10

【0022】

図2に液晶表示装置における駆動回路のブロック図を示す。データ・ドライバ駆動信号群107には、ドライバ・データ106に含まれるデータ群とその各々に対応する水平走査期間との関係をデータ・ドライバ103に認識させる水平データ・クロック（Horizontal Data Clock）CL 1と、各水平走査期間に対応するデータ群に含まれるデータの夫々と液晶パネル101の信号線との関係をデータ・ドライバ103に認識させるドットクロック（Dot Clock）CL 2と、データ・ドライバ103に入力するLCD制御信号の極性反転制御信号POLとが含まれる。

20

【0023】

一方、走査ドライバ104には、走査・ドライバ駆動信号群108として、上記水平走査期間に呼応して階調電圧を供給すべき1又は複数の画素行を選択する、換言すれば夫々の画素行に対応するゲート線10に走査信号を印加するタイミングを制御する走査クロック（Scanning Clock）CL 3と、夫々の画素行に対応するゲート線10に走査信号を印加するのを有効もしくは無効にする走査有効信号（Scanning Enable Signal）DISP 1、DISP 2と、画素アレイの1画面を表示制御回路105から水平走査期間毎に転送されるデータ郡で走査する一連の工程の開始と終了を指示する走査開始信号（Scanning Start Signal）FLMが表示制御回路105から転送される。走査クロックCL 3は、水平データ・クロックCL 1と同期している。しかし、走査クロックCL 3は、水平走査期間の周期で信号を発生するが、n周期（nは2以上の自然数）に一度の割合で信号を発生しない信号である。走査開始信号FLMは、1フレーム期間（画素アレイ101が1画面分の映像データを表示する期間）に2回の信号を発生する。走査開始信号FLMの1回分の信号の時間幅は、水平走査期間の整数倍（自然数倍）である。よって、1フレーム期間中の走査開始信号FLM全体の時間幅も整数倍（2以上の自然数倍）である。

30

【0024】

液晶タイミング・コントローラ105は、8つのメモリ回路（ライン・メモリとも呼ばれる。）113-1、113-2、・・・、113-8を持ち、表示装置に入力される映像データ109は、1ライン毎にこのメモリ回路の何れかにメモリライトデータ112として書き込まれ、且つこのメモリ回路から映像データ109がメモリリードデータ112として再生映像に適した様式で読み出される。液晶タイミング・コントローラ105は、メモリリードライト制御信号111を用いて、メモリ回路113へのメモリライトデータ112の書き込み及びメモリリードデータ112の読み出しを制御する。本実施例の場合、例えば、1ライン分のデータが113-1のメモリ回路に書き込まれると同時に113-2のメモリ回路から映像データ109が再生映像に適した様式で読み出される。次に次ライン分の映像データが113-2のメモリ回路に書き込まれると同時に113-3のメモリ回路から映像データ109が再生映像に適した様式で読み出される。このような映像データのメモリ回路113への書き込みとこれからの読み出しがライン毎に繰り返される。本実施例では、映像データ処理用のメモリ回路113を8つ使用しているが、

40

50

その数は表示装置に要請される機能に応じて適宜変更しうる。なお、メモリ回路を示す参照番号に付けられたサフィックス (Suffix) -1、-2、・・・、-8は、本実施例の表示装置に備えられた表示制御回路 (液晶タイミング・コントローラ) に接続された8つのメモリ回路を識別させる為のものであり、これらのサフィックスが省かれて記される参照番号113はメモリ回路を総称するものとして理解されたい。液晶タイミング・コントローラ105は、ブランキング・データを予め (初期設定で) 保持しており、所定のタイミングでブランキング・データを出力する。液晶タイミング・コントローラ105は、ROM内にブランキング・データを予め保持しておくのが好ましい。

【0025】

図3は液晶表示制御回路ブロックへの入力信号と上記液晶表示制御回路ブロックからの出力信号及び各ゲート線におけるゲート信号の波形を示すタイミングチャートである。

【0026】

液晶表示装置ブロック100に入力される映像データ109は、メモリ回路113から水平データ・クロックCL1の周期で読み出される。図3に示すように、液晶表示装置に出力される映像データData(出)には、映像データ1, 2, 3, 4・・・と、ブランキング・データとしての黒データBKが水平走査期間毎に分けられる。ブランキング・データは、黒データでなくても、データ・ドライバ103で生成可能な複数の階調電圧のうち、相対的に低い又は最も低い階調電圧を出力するためのデータ、即ち画素アレイ101上で相対的に低い又は最も低い輝度を発するのためのデータであればよい。

【0027】

図3の各ゲートG1、G2、G3・・・のゲート信号は、走査開始信号FLM、走査・クロックCL3及び走査有効信号DISP1、DISP2によって制御される。本実施例における図3では、1×1ドット反転駆動において、映像データに対してのみダブルゲート駆動を行い、且つブランキング・データには正規のゲート電圧信号のみを挿入する。ダブルゲート駆動において、2つの走査開始信号FLMのうち、各画素行において予備充電 (Pre-Charge) を行う1つめのゲート電圧信号を生成するための第一弾目のFLM信号は、各画素行において正規のゲート電圧信号を生成するための第二弾目のFLM信号の、走査・クロックCL3信号の周期で数えて二つ手前に、換言すれば黒データBKの階調電圧信号が印加される1H水平周期期間を除いた2H水平周期期間手前のタイミングに合わせて生成する。走査されるゲート線は、走査・クロックCL3の周期でシフトされ、且つゲート線の走査タイミングは、走査有効信号DISP1が有効な場合にのみ行われる。尚、予備充電の電圧は、正規のゲート電圧と同一である。

【0028】

例えば、図3においては1つ目の走査開始信号FLMが来たときに、走査・クロックCL3信号の周期に合わせ、1H水平周期期間、データ線G1にデータ信号が生成される。またこの時、DISP1は有効状態になっている。また、1つ目のゲート信号が印加される場合においては、予備充電を行うので、データ信号の極性は正規の階調電圧と同極性である。この1H水平周期期間を経て次の走査・クロックCL3信号によって、選択されるゲート線はG1からG2にシフトする。ここで、ゲート線G1からゲート線G2にシフトしてから、次のゲート線G3にシフトするまでは2H水平周期期間ある。その中で、走査有効信号DISP1の制御により、2H水平周期期間の内の前半の1H水平周期期間ではゲート信号を生成して、後半の1H水平周期期間ではゲート信号を生成しない。また、DISP1の制御によって、ゲート線のG2においてゲート信号が生成されない1H水平周期期間では、走査有効信号DISP2による制御により、ゲート線G253、G254、G255、G256にゲート信号を生成する。そして、このゲート信号が生成された4つのゲート線には、データ・ドライバよりデータ信号として黒データBKの階調電圧が印加される。次に、走査・クロックCL3によってゲート信号が印加されるゲート線はG2からG3へとシフトし、1H水平周期期間の間、ゲート線G3にゲート信号が生成される。このように、ダブルゲート駆動の予備充電を行う為の1つ目のゲート信号は、選択するゲート線をゲート線G1、G2、G3・・・と走査・クロックCL3に同期させて順次

10

20

30

40

50

シフトさせ、走査有効信号 D I S P 1 による制御によって生成される。ここで、ダブルゲート駆動の予備充電を行う為の 1 つ目のゲート信号が生成されるゲート線に対応した画素行に印加されるデータ極性は、正規の階調電圧を印加する為の二つ目のゲート信号電圧と同極性になる。また、途中、D I S P 1 の制御によってゲート信号が生成されない 1 H 水平周期期間では、D I S P 2 の制御によって選択された 4 つのゲート線において、黒データ B K のデータ信号が印加される。

【 0 0 2 9 】

次に図 3 において 2 つ目の走査開始信号が来たときにも、同様に、走査・クロック C L 3 信号の周期に合わせ、1 H 水平周期期間、データ線 G 1 にデータ信号が生成される。またこの時、D I S P 1 は有効状態になっている。この 1 H 水平周期期間を経て次の走査・クロック C L 3 信号によって、選択されるゲート線は G 1 から G 2 にシフトする。さらに、走査・クロック C L 3 の周期にあわせ、選択されるゲート線は G 2 から G 3 へ、G 3 から G 4 へと順次シフトする。またこの時の、D I S P 1 も有効状態になっている。各ゲート線における夫々 2 つ目のゲート信号が生成され、順次ゲート線をシフトしていく時、メモリ回路 113 からは 1 H 水平周期期間毎の映像データ 1, 2, 3, 4, … が順次送られてくる。ここで、映像データ 1, 2, 3, 4, … とした映像データの数字は、液晶表示装置の画素アレイにおいて、先頭ラインを 1 として上から順番に番号をつけた時のライン番号に対応している。よって、各ゲート線 G 1, G 2, G 3, G 4 に対応した夫々画素行における各画素 P I X へは、各データ線からの階調電圧として、夫々映像データ 1, 2, 3, 4 からの階調電圧が印加される。

【 0 0 3 0 】

そして、ゲート線 G 3 からゲート線 G 4 にシフトしてきてから、次のゲート線 G 5 にシフトするまでは 2 H 水平周期期間ある。ここでも上記したダブルゲート駆動の 1 つ目のゲート信号の生成と同様な制御を行う。走査有効信号 D I S P 1 の制御により、2 H 水平周期期間の内の前半の 1 H 水平周期期間ではゲート信号を生成して、後半の 1 H 水平周期期間ではゲート信号を生成しない。また、D I S P 1 の制御によって、ゲート線の G 2 においてゲート信号が生成されない 1 H 水平周期期間では、走査有効信号 D I S P 2 による制御により、ゲート線 G 2 5 7、G 2 5 8、G 2 5 9、G 2 6 0 にゲート信号を生成する。そして、このゲート信号が生成された 4 つのゲート線には、ブランキング・データとして黒データ B K の階調電圧がデータ信号に印加される。このように、ダブルゲート駆動の正規な階調電圧を各ラインに印加する為の 2 つ目のゲート信号においても、選択するゲート線をゲート線 G 1、G 2、G 3, … と走査・クロック C L 3 に同期させて順次シフトさせ、走査有効信号 D I S P 1 による制御によって生成される。この時、映像データ 1, 2, 3, 4, … の各データ線におけるデータ信号は、夫々ゲート線 G 1、G 2、G 3、G 4, … に対応した夫々の画素行における各画素 P I X に順次印加される。そして、途中、D I S P 1 の制御によってゲート信号が生成されない 1 H 水平周期期間では、D I S P 2 の制御によって選択された 4 つのゲート線において、黒データ B K のデータ信号が画素アレイ 101 へ印加される。つまり黒データ B K に応じた階調電圧が 4 行分の画素行にまとめて供給され、その後、表示データに応じた階調電圧が 1 行ずつ順次画素行へ供給される。また、図 3 の例では、黒データ B K のデータ信号は、予備充電の直後の 1 H 水平周期期間又は正規充電の直後の 1 H 水平周期期間の何れかに画素アレイ 101 へ印加される。

【 0 0 3 1 】

次に図 4 の各ゲート G 1、G 2、G 3, … のゲート信号は、走査開始信号 F L M、走査・クロック C L 3 及びに走査有効信号 D I S P 1、D I S P 2 によって制御される。図 4 では、1 × 2 ドット反転駆動において、映像データに対してのみダブルゲート駆動を行い、ブランキング・データには正規のゲート電圧信号のみを挿入する。ダブルゲート駆動において、2 つの走査開始信号 F L M のうち、各画素行において予備充電を行う 1 つ目のゲート電圧信号を生成するための第一弾目の F L M 信号は、各画素行において正規のゲート電圧信号を生成するための第二弾目の F L M 信号の、走査・クロック C L 3 信号の周期で数えて 4 つ手前に、換言すれば黒データ B K の階調電圧信号が印加される 1 H 水平周期

期間を除いた 4 H 水平周期期間手前のタイミングに合わせて生成する。走査されるゲート線は、走査・クロック C L 3 の周期でシフトされ、且つゲート線の走査タイミングは、走査有効信号 D I S P 1 が有効な場合にのみ行われる。図 4 における制御は図 3 と同じであり、よって走査開始信号 F L M が異なるだけであるので、ここでは図 4 における事象の説明を省略する。図 4 の例では、黒データ B K のデータ信号は、予備充電と正規充電の間の 1 H 水平周期期間に画素アレイ 101 へ印加される。

【 0 0 3 2 】

上記したような走査開始信号 F L M、走査・クロック C L 3、走査有効信号 D I S P 1、D I S P 2 により制御することで、各ゲート線に対応した夫々の画素行の走査においては、映像データに関して、ダブルパルス駆動が行われる事で各画素 P I X における画素電極 P X への充電率を改善し、且つ映像データの途中にブランキング・データが入ることで、ホールド型輝度応答によりみられる「動画ぼやけ」を改善することができる。第 1 の実施例では、1 フレーム期間内にダブルゲート駆動とブランキング・データ挿入の両者を実現できる。

10

【 0 0 3 3 】

次に、第 2 の実施例について図 1、図 2、図 5 で説明する。

【 0 0 3 4 】

本第 2 の実施例における液晶表示装置に関しては図 1 と同様なので、ここでは液晶表示装置の映像表示原理の説明については省略する。また本第 2 の実施例における液晶表示装置の制御回路ブロック図についても、図 2 と同様なものなので詳細は略す。

20

【 0 0 3 5 】

第 2 の実施例は、第 1 の実施例でシングルゲート駆動を行っていたブランキング・データに対してもダブルゲート駆動を行う点を特徴とする。第 2 の実施例での駆動方法により、第 1 の実施例が有する効果に加え、ホールド型輝度応答による表示装置に特有な「動画ぼやけ」を、より改善する事が可能である。

【 0 0 3 6 】

図 5 は液晶表示制御回路ブロックへの入力信号と上記液晶表示制御回路ブロックからの出力信号及び各ゲート線におけるゲート信号の波形を示すタイミングチャートである。

【 0 0 3 7 】

液晶表示装置ブロック 100 に入力される映像データ 109 は、メモリ回路 113 から水平データ・クロック C L 1 の周期で読み出される。図 5 においても、図 3 と同様に、液晶表示装置の中の画素アレイへ出力される映像データ Data (出) には、映像データ 1, 2, 3, 4 . . . と、ブランキング・データとしての黒データ B K が水平走査期間毎に分けられる。図 5 の各ゲート G 1、G 2、G 3 . . . のゲート信号は、走査開始信号 F L M、走査・クロック C L 3 及びに走査有効信号 D I S P 1、D I S P 2 によって制御される。

30

【 0 0 3 8 】

映像データに対するダブルゲート駆動に関しては、第 1 の実施例における制御と同じ方法で行われるので、第 2 の実施例においてはその説明を省く。

【 0 0 3 9 】

ブランキング・データに対するダブルゲート駆動では、生成された走査開始信号 F L M が 8 H 水平周期期間を持つ。走査開始信号 F L M により、先頭ゲート線 G 1 の選択期間には 8 回分の走査・クロック C L 3 周期期間が、換言すれば 1 0 H 水平周期期間が存在する。一方、走査有効信号 D I S P 2 は常に 5 H 水平周期期間毎に 1 回、1 H 水平周期期間の走査有効期間を生成する。よって、ゲート線 G 1 の選択期間と走査有効信号 D I S P 2 が有効になる周期より、ゲート線 G 1 には二つのゲート信号が生成される。

40

【 0 0 4 0 】

例えば、図 5 に示すように生成された走査開始信号 F L M が 8 H 水平周期期間を持つ場合、先頭ゲート線 G 1 の選択期間には 8 回の走査・クロック C L 3 周期が、換言すれば 1 0 H 水平周期期間が存在する。選択された 1 0 H 水平周期期間の間で、走査有効信号 D I S P 2 の制御によって、先頭ゲート線 G 1 におけるゲート信号は、4 H 水平周期期間を空

50

けて、二つ生成される（図5）。また、先頭ゲート線G1が選択された後は、選択されるゲート線が走査・クロックCL3毎に順次ゲート線G2, G3, G4・・・とシフトしていき、またゲート線G1と同様に、夫々のゲート線においては、4H水平周期を空けてゲート信号が二つ生成される（図5）。夫々のゲート線における二つの生成されたゲート信号により選択された各画素行におけるそれぞれの画素PIXには、データ・ドライバから、ブランキング・データとして黒データBKの階調電圧が印加される。

【0041】

このように、ダブルゲート駆動を映像データに加えブランキング・データにおいても行うことで、各画素行における黒データへの充電率は改善される。

【0042】

次に、第3の実施例について図1、図2、図6、図7、図8で説明する。

【0043】

本第3の実施例における液晶表示装置に関しては図1と同様なので、ここでは液晶表示装置の映像表示原理の説明については省略する。また本第3の実施例における液晶表示装置の制御回路ブロック図についても、図2と同様なものなので詳細は略す。

【0044】

映像データもしくはブランキング・データの階調電圧をデータ・ドライバから各画素PIXに書き込むのは、夫々のゲート線においてゲート信号が生成されている期間において行われる。映像データの書き込みが行われるゲート線においてゲート信号が生成され、そのゲート信号の立下り時、ゲート波形遅延により、飛び込み電圧、再書き込み電圧がばらつく。図6はスイッチング素子（例えば、薄膜トランジスタなど）の特性により作られるCgs起因の飛び込み電圧をCaddで相殺することで、飛び込み電圧絶対値を小さくし、飛び込み電圧ばらつき、再書き込みばらつきを低減し横輝度傾斜を改善する。

【0045】

本第3の実施例は、第1の実施例に対し、Cadd,Cgs相殺駆動を追加した点を特徴とするこれによって、第1の実施例が有する効果に加え、横輝度傾斜を改善することができる。

【0046】

Cadd、Cgs相殺駆動を行う為には、ゲート線G(n)におけるゲート信号の立ち下がりとゲート線G(n+1)におけるゲート信号の立ち上がりのタイミングが一致することが必要となる。

【0047】

図7は、第1の実施例における1×1ドット反転駆動における駆動方法に加えCadd、Cgs相殺駆動を行う場合の液晶表示制御回路ブロックへの入力信号と上記液晶表示制御回路ブロックからの出力信号及び各ゲート線におけるゲート信号の波形を示すタイミングチャートである。

【0048】

例えば、図7における各ゲート線に生成される二つのゲート信号のうち正規の階調電圧を印加する為の2つ目のゲート信号に着目すると、ゲート線G4におけるゲート信号の立ち下がりとゲート線G5、もしくはゲート線G8におけるゲート信号の立ち下がりとゲート線G9におけるゲート信号の立ち上がりのタイミングが一致するようにする。換言すると、ブランキング・データである黒データBKの書き込み前後のタイミングでゲート信号をシフトしていくゲート線G4とG5もしくはゲート線G8とG9において、黒データ書き込み直前のゲート線G4もしくはG8におけるゲート信号の立ち下がり、黒データ書き込み直後のゲート線G5もしくはG9におけるゲート信号の立ち上がり、のタイミングを一致させる。その為に、黒データ書き込み直前のゲート線G4もしくはG8におけるゲート信号の立ち下がり、黒データ書き込み直後のゲート線G5もしくはG9のゲート信号が立ち上げるようにダミー信号を生成する。よって、黒データ書き込み直後のゲート線G5もしくはG9におけるゲート信号は2H水平周期期間、生成される。この時ゲート信号の中にダミー信号が生成されたゲート線G5もしくはG9では、ダミー信号である1H水平周期期間では黒データBKの階調

10

20

30

40

50

電圧が、正規の階調電圧が印加される 1 H 水平周期期間では映像データの階調電圧が、データ・ドライバより送られてくるデータ信号として印加される。その為、ダミー信号の 1 H 水平周期期間では黒データが一度走査されるが、この程度の時間的変化である場合、人間の視覚能力では変化をあまり感じ取れない程度であると考えられるので、影響は少ない。

【 0 0 4 9 】

同様に第 1 の実施例と同じ制御により、ブランキング・データである黒データ B K が書き込まれるタイミングでは、4 つのゲート線 G 2 5 7、G 2 5 8、G 2 5 9、G 2 6 0 もしくは G 2 6 1、G 2 6 2、G 2 6 3、G 2 6 4 が同時に選択され、各ゲート線にゲート信号が印加される。この場合、同時に選択された 4 つのゲート線のうちの一番下になるゲート線 G 2 6 0 もしくは G 2 6 4 とその次にくるゲート線 G 2 6 1 もしくは G 2 6 5 のうち、前者のゲート線 G 2 6 0 もしくは G 2 6 4 におけるゲート信号の立下りと後者のゲート線 G 2 6 1 もしくは G 2 6 5 におけるゲート信号の立ち上がりと同じタイミングにするように、後者側のゲート線 G 2 6 1 もしくは G 2 6 5 にダミー信号を生成する。こうする事で、同時に 4 つ選択されたゲート線において一番下にくるゲート線 G 2 6 0 もしくは G 2 6 4 とその次にくるゲート線 G 2 6 1 もしくは G 2 6 5 の間には、Cgs 起因の飛び込み電圧を C add で相殺することで、飛び込み電圧絶対値を小さくし、飛び込み電圧ばらつき、再書き込みばらつきを低減し横輝度傾斜を改善する。また、ゲート線 G 2 6 1 もしくは G 2 6 5 と夫々の次にシフトしていくゲート線 G 2 6 2 もしくは G 2 6 6 の間では、Cgs 起因の飛び込み電圧を C add により相殺されないで、飛び込み電圧ばらつき、再書き込みばらつきが低減されず横輝度傾斜が起こる。しかしゲート線 G 2 6 1 もしくは G 2 6 5 と夫々の次にシフトしていくゲート線 G 2 6 2 もしくは G 2 6 6 は、それぞれ 4 H 水平周期期間が経過した後に、それら二つのゲート線を含めた 4 つのゲート線が同時に選択されゲート信号が印加される為、この横輝度傾斜はキャンセルされる。

【 0 0 5 0 】

図 8 は、第 1 の実施例における 1 × 2 ドット反転駆動においての駆動方法に加え C add、Cgs 相殺駆動を行う場合の液晶表示制御回路ブロックへの入力信号と上記液晶表示制御回路ブロックからの出力信号及び各ゲート線におけるゲート信号の波形を示すタイミングチャートである。

【 0 0 5 1 】

図 8 における制御は図 7 と同じであり、よって走査開始信号 F L M が異なるだけであるので、ここでは図 8 における事象の説明を省略する。

【 0 0 5 2 】

上記したように、ゲート線 G (n) において生成されるゲート信号の立下り時とゲート線 G (n+1) において生成されるゲート信号の立ち上がり時を同タイミングにするためにダミー信号を生成する。このような制御を行う事で、第 1 の実施例に加え、横輝度傾斜において改善するので、液晶表示装置における高画質化を計ることができる。

【 0 0 5 3 】

次に、第 4 の実施例について図 1、図 2、図 9、図 10 で説明する。

【 0 0 5 4 】

本第 4 の実施例における液晶表示装置に関しては図 1 と同様なので、ここでは液晶表示装置の映像表示原理の説明については省略する。また本第 4 の実施例における液晶表示装置の制御回路ブロック図についても、図 2 と同様なものなので詳細は略す。

【 0 0 5 5 】

本第 4 の実施例は、第 1 の実施例及び第 3 の実施例で、映像データの階調電圧のホールド時間とブランキング・データである黒データ B K の階調電圧のホールド時間の比率が、1 フレーム周期で 3 対 1 であったものを、1 対 1 にしたことを特徴とする。このような駆動を行う事で、第 1 の実施例から第 3 の実施例に比べ、ブランキング・データのホールド時間が長くなり、よりインパルス型輝度応答に近づくので、ホールド型表示装置において見られる「動画ぼやけ」をさらに改善できる。

【 0 0 5 6 】

図9は液晶表示制御回路ブロックへの入力信号と上記液晶表示制御回路ブロックからの出力信号及び各ゲート線におけるゲート信号の波形を示すタイミングチャートである。

【 0 0 5 7 】

図9の各ゲート G 1、G 2、G 3・・・のゲート信号は、走査開始信号 F L M、走査・クロック C L 3 及びに走査有効信号 D I S P 1、D I S P 2 によって制御される。本実施例における図 9 では、1 × 1 ドット反転駆動における映像データに対してのみダブルゲート駆動を行い、ブランキング・データには正規のゲート電圧信号のみを挿入する。ダブルゲート駆動において、2 つの走査開始信号 F L M のうち、各画素行において予備充電を行う 1 つめのゲート電圧信号を生成するための第一弾目の F L M 信号は、各画素行において正規のゲート電圧信号を生成するための第二弾目の F L M 信号の、走査・クロック C L 3 信号の周期で数えて二つ手前に生成する。また、この走査開始信号 F L M により生成されるゲート線におけるゲート信号は、走査・クロック C L 3 の周期でシフトされ、且つ走査有効信号 D I S P 1 が有効な場合にのみ生成される。走査有効信号 D I S P 1 は 1 H 水平周期期間の前半半分において有効となり後半半分为無効にする。また走査有効信号 D I S P 1 が 1 H 水平周期期間の前半半分において有効なときに走査有効信号 D I S P 2 は無効となり、走査有効信号 D I S P 1 が 1 H 水平周期期間の後半半分において無効なときに走査有効信号 D I S P 2 は有効となる。よって、各ゲート線におけるゲート信号は、走査・クロック C L 3 の周期でシフトしていき、且つ生成期間は 1 H 水平周期期間の前半半分となり、後半半分の 1 H 水平周期期間にはブランキング・データである黒データ B K がある。

【 0 0 5 8 】

例えば、図9においては 1 つ目もしくは 2 つ目の走査開始信号 F L M が来たときに、走査・クロック C L 3 信号の周期に合わせ、1 H 水平周期期間の半分でデータ線 G 1 にデータ信号が生成される。またこの時、1 H 水平周期期間の前半半分の期間で D I S P 1 は有効状態になっている。また、1 つ目と 2 つ目のゲート信号が印加される場合においては、データ信号の極性は予備充電の階調電圧と正規の階調電圧とは同極性である。これらのゲート線 G 1 における二つのゲート信号が 1 H 水平周期期間を経て次の走査・クロック C L 3 信号によって、選択されるゲート線は G 1 から G 2 にシフトする。また、D I S P 1 の制御によって、選択されたゲート線 G 1 においてゲート信号が生成されない 1 H 水平周期期間の後半では、走査有効信号 D I S P 2 による制御により、ゲート線 G 2 5 7 にゲート信号を生成する。そして、ゲート線 G 2 5 7 には、データ・ドライバよりデータ信号として黒データ B K の階調電圧が印加される。このように、ダブルゲート駆動の予備充電を行う為の 1 つ目と正規の階調電圧を印加する 2 つ目のゲート信号は

、選択するゲート線をゲート線 G 1、G 2、G 3・・・と走査・クロック C L 3 に同期させて順次シフトさせ、走査有効信号 D I S P 1 による制御によって 1 H 水平周期の前半半分の期間で生成される。それに対応した D I S P 1 の制御によってゲート信号が生成されない 1 H 水平周期の後半半分の期間では、走査・クロック C L 3 に同期して、ゲート線 G 2 5 8、G 2 5 9、2 6 0、2 6 1・・・と順次シフトさせて、D I S P 2 の制御によって黒データ B K の階調電圧としてデータ信号が印加される。

【 0 0 5 9 】

次に本実施例における図 1 0 では、1 × 2 ドット反転駆動における映像データに対してのみダブルゲート駆動を行い、ブランキング・データには正規のゲート電圧信号のみを挿入する。ダブルゲート駆動において、2 つの走査開始信号 F L M のうち、各画素行において予備充電を行う 1 つめのゲート電圧信号を生成するための第一弾目の F L M 信号は、各画素行において正規のゲート電圧信号を生成するための第二弾目の F L M 信号の、走査・クロック C L 3 信号の周期で数えて 4 つ手前に生成する。また、この走査開始信号 F L M により生成されるゲート線におけるゲート信号は、走査・クロック C L 3 の周期でシフトされ、且つ走査有効信号 D I S P 1 が有効な場合にのみ生成される。走査有効信号 D I S P 1 は 1 H 水平周期期間の前半半分において有効となり後半半分为無効にする。また走査

有効信号DISP1が1H水平周期期間の前半半分において有効なときに走査有効信号DISP2は無効となり、走査有効信号DISP1が1H水平周期期間の後半半分において無効なときに走査有効信号DISP2は有効となる。よって、各ゲート線におけるゲート信号は、走査・クロックCL3の周期でシフトしていき、且つ生成期間は1H水平周期期間の前半半分となり、後半半分の1H水平周期期間にはブランキング・データである黒データBKがある。

【0060】

図10における制御は図9と同じであり、よって走査開始信号FLMが異なるだけであるので、ここでは図10における事象の説明を省略する。

【0061】

このように、1H水平周期期間において、半周期を映像データの階調電圧のゲート信号を生成する時間とし、もう半周期をブランキング・データである黒データBKの階調電圧のゲート信号を生成する時間とする。そうすることで、1フレーム期間において、各画素PIXにおける画素電極PXに対して印加される映像データの階調電圧のホールド時間とブランキング・データである黒データBKの階調電圧のホールド時間を、1対1の比率にし、且つダブルゲート駆動を行う。

【0062】

本発明によれば、液晶表示装置に1フレーム期間に入力される映像データをブランキング・データによってマスクしてインパルス型輝度応答に近づけ、且つ各画素行に対応した夫々ゲート線にゲート信号を複数回印加することによりゲート走査駆動電位と同一極性電位を画素容量に予備充電するため、書き込み率の低下を回避でき、さらに高画質動画表示を実現できる。

【符号の説明】

【0063】

100...表示装置、101...画素アレイ、102...共通電圧電極、103...データ・ドライバ、104...走査ドライバ、105...タイミング・コントローラ、106...ドライバ・データ、107...データ・ドライバ駆動信号郡、108...走査・ドライバ駆動信号郡、109...映像データ(映像信号)、110...映像制御信号、111...メモリリードライト制御信号、112...メモリリードデータ及びメモリライトデータ、113...メモリ回路、114...nライン目ゲート線、115...n+1ライン目ゲート線、116...nライン目ドレイ
ン線、117...n+1ライン目ドレイ
ン線、118...薄膜トランジスタ(TFT)。

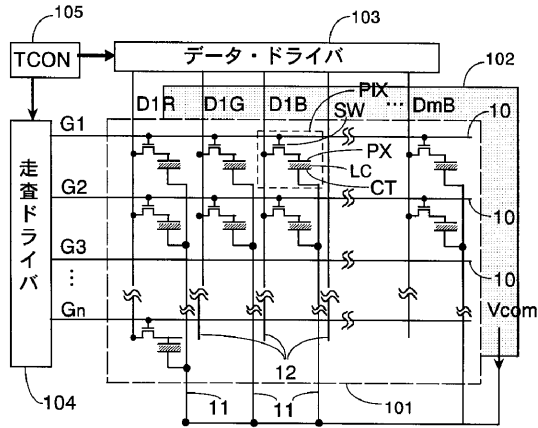
10

20

30

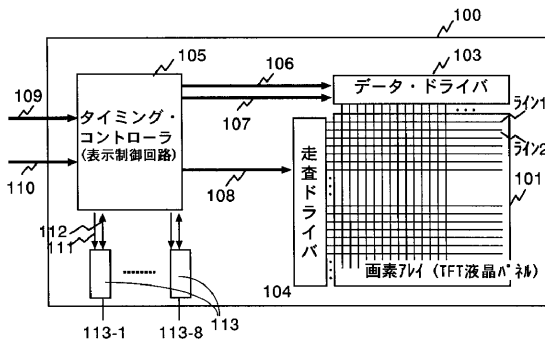
【図 1】

図 1



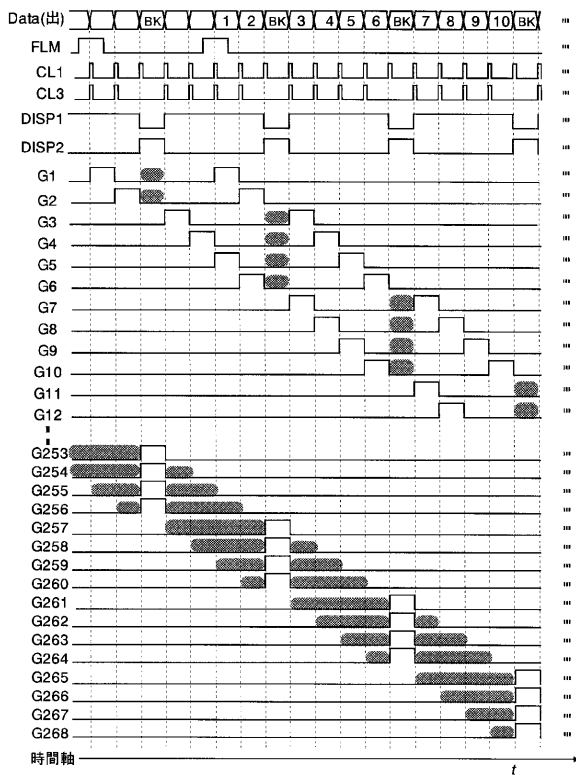
【図 2】

図 2



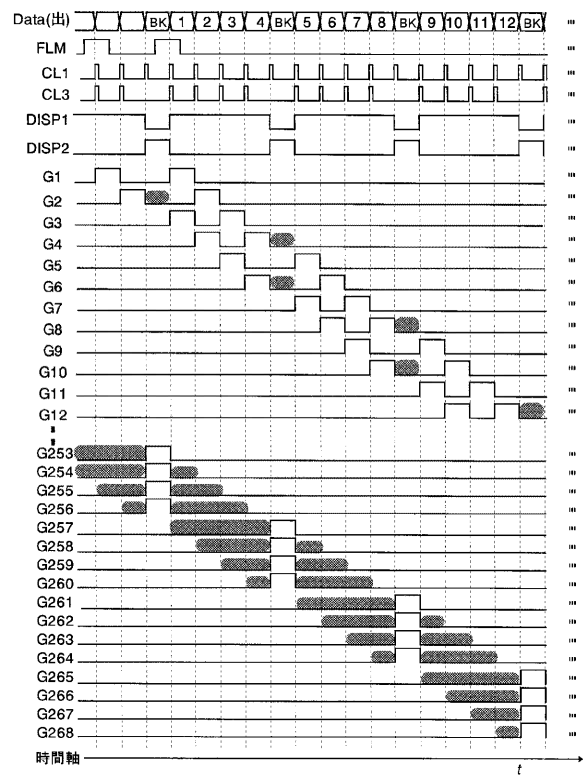
【図 4】

図 4



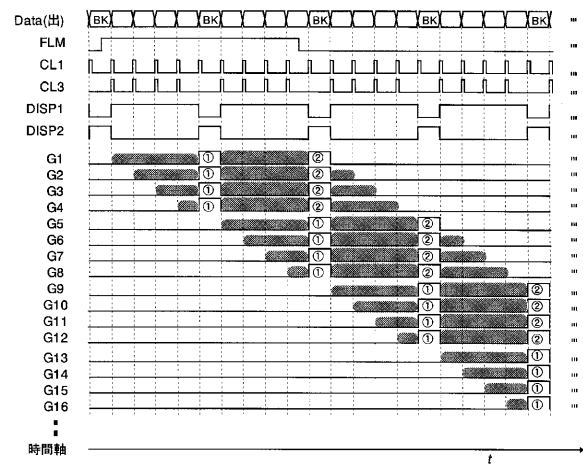
【図 3】

図 3

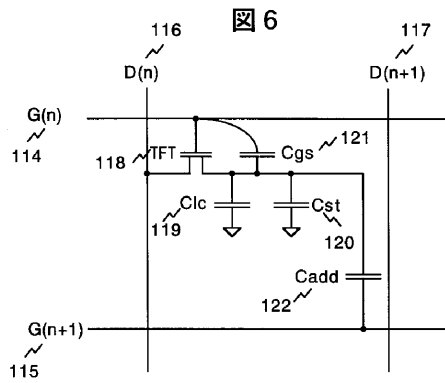


【図 5】

図 5

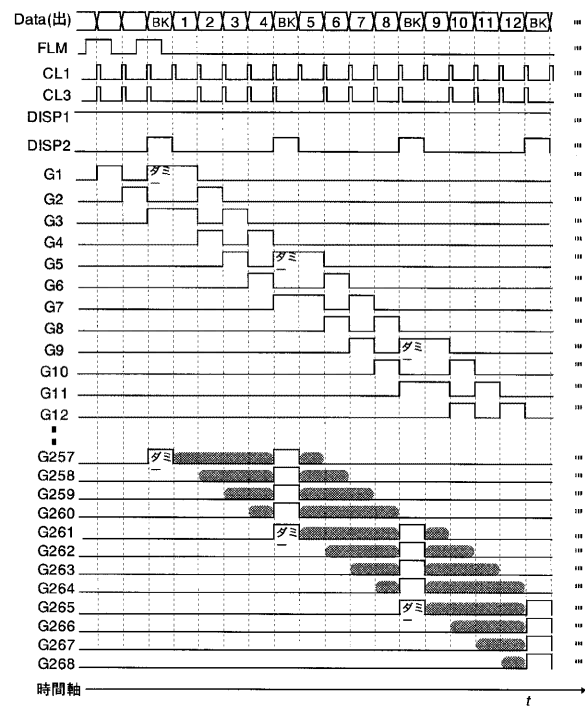


【 図 6 】



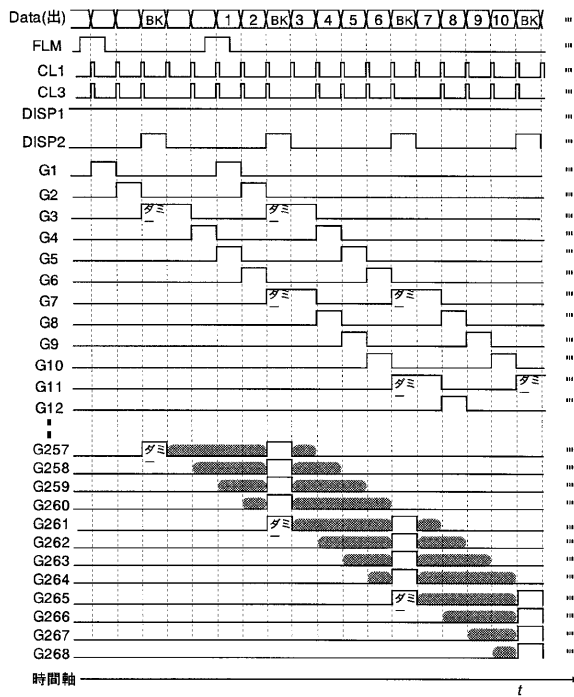
【 図 7 】

図 7



【 図 8 】

図 8



【 図 9 】

図 9

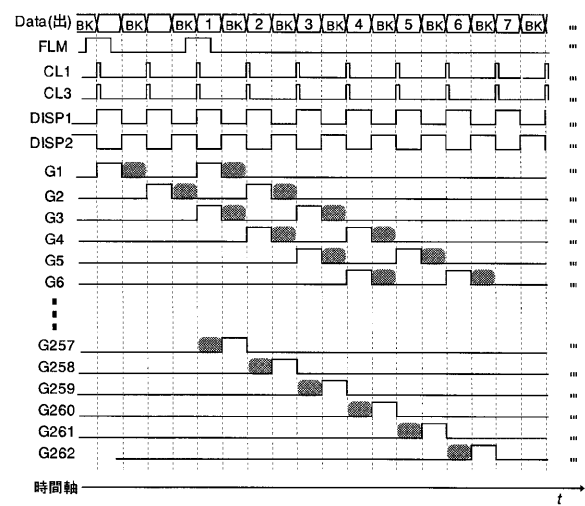
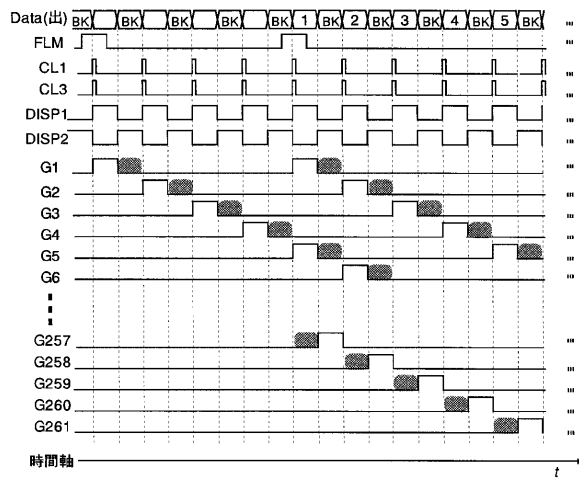


図 10



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 6 0 V	
	G 0 9 G 3/20 6 4 2 B	
	G 0 2 F 1/133 5 5 0	
	H 0 4 N 5/66 1 0 2 B	

(72)発明者 新田 博幸
神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム開発研究所内

(72)発明者 小金沢 信之
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 小野 記久雄
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 庄司 孝志
神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立画像情報システム内

F ターム(参考) 2H193 ZA05 ZC12 ZD02 ZE02 ZE06 ZE09
5C006 AA01 AC09 AC23 AF06 AF42 BB16 BC06 BF05 BF08 FA29
5C058 AA06 BA04 BA07 BA35
5C080 AA10 BB05 DD01 EE19 FF11 FF12 GG08 JJ02 JJ03 JJ04
KK43