

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7698169号  
(P7698169)

(45)発行日 令和7年6月25日(2025.6.25)

(24)登録日 令和7年6月17日(2025.6.17)

(51)国際特許分類 F I  
H 0 3 F 1/32 (2006.01) H 0 3 F 1/32  
H 0 3 F 1/56 (2006.01) H 0 3 F 1/56

請求項の数 10 (全19頁)

(21)出願番号	特願2021-510007(P2021-510007)	(73)特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)(22)出願日	令和1年8月30日(2019.8.30)	(74)代理人	230129078 弁護士 佐藤 仁
(65)公表番号	特表2021-534689(P2021-534689 A)	(72)発明者	シラージ アクタール アメリカ合衆国 7 5 0 8 1 テキサス州 リチャードソン, セント ジョージ 6 1 4
(43)公表日	令和3年12月9日(2021.12.9)	(72)発明者	スワミナサン サンカラン アメリカ合衆国 7 5 0 1 3 テキサス州 アレン, エバーグレース ドライブ 1 最終頁に続く
(86)国際出願番号	PCT/US2019/049089		
(87)国際公開番号	WO2020/047425		
(87)国際公開日	令和2年3月5日(2020.3.5)		
審査請求日	令和4年8月22日(2022.8.22)		
(31)優先権主張番号	62/725,832		
(32)優先日	平成30年8月31日(2018.8.31)		
(33)優先権主張国・地域又は機関	米国(US)		
前置審査			

(54)【発明の名称】 電圧バッファリングのための方法及び装置

(57)【特許請求の範囲】

【請求項 1】

第 1 の入力端子と第 1 の出力端子と電流端子とを有する第 1 のトランジスタであって、前記第 1 の入力端子において第 1 の入力電圧を受け取り、前記第 1 の出力端子に電圧を供給するために前記第 1 の入力電圧をバッファリングするように構成される、前記第 1 のトランジスタと、

第 1 の制御端子と、前記第 1 の出力端子に結合される第 1 の電流端子と、第 2 の電流端子とを有する第 1 の電流源であって、前記第 1 の出力端子に電流を供給するように構成される、前記第 1 の電流源と、

前記第 1 のトランジスタの電流端子と電圧供給ノードとの間に結合される第 1 の抵抗器と、

前記第 1 の制御端子に結合される第 2 の抵抗器と、

前記第 2 の電流端子と基準電圧ノードとの間に結合される第 1 のインダクタと、  
を含み、

前記第 1 の抵抗器と前記第 1 のインダクタとが、前記第 1 の入力電圧が前記第 1 の電流源における第 1 の閾値電圧に近づくときに前記第 1 の電流源の圧縮を低減するように構成され、前記低減することが前記第 1 の入力電圧がスイングしているときに前記第 1 の電流端子と前記第 2 の電流端子との電圧スイングを調整することによることを含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、

10

20

前記第 1 の閾値電圧が、前記第 1 の電流源を圧縮することなく前記第 1 の電流端子と前記第 2 の電流端子とが電圧を受け取ることができる電圧である、装置。

【請求項 3】

請求項 1 に記載の装置であって、

前記第 2 の抵抗器が、前記第 1 の制御端子において高インピーダンスを生成するように構成される、装置。

【請求項 4】

請求項 1 に記載の装置であって、

前記第 1 のインダクタが、前記第 2 の電流端子における電圧を前記基準電圧ノードにおける基準電圧より下に減少させるように、又は、前記第 2 の電流端子における電圧を供給電圧より上に増加させるように構成される、装置。

10

【請求項 5】

請求項 4 に記載の装置であって、

前記第 1 のインダクタが、

前記第 1 の入力電圧が前記基準電圧より下にスイングしているときに前記第 2 の電流端子における電圧を前記基準電圧より下に減少させ、

前記第 1 の入力電圧が前記供給電圧より上にスイングしているときに前記第 2 の電流端子における電圧を前記供給電圧より上に増加させる、

ように構成される、装置。

【請求項 6】

20

請求項 1 に記載の装置であって、

前記第 2 の抵抗器と前記第 1 のインダクタとが、前記第 1 の入力電圧がスイングしているときに前記第 1 の閾値電圧を維持するように更に構成される、装置。

【請求項 7】

請求項 1 に記載の装置であって、

前記第 2 の抵抗器が、前記第 1 の制御端子と前記第 2 の電流端子とにおける電圧をバイアスするように構成される、装置。

【請求項 8】

請求項 1 に記載の装置であって、

第 2 の入力端子と第 2 の出力端子とを有する第 2 のトランジスタと、

30

第 2 の制御端子と、前記第 2 の出力端子に結合される第 3 の電流端子と、第 4 の電流端子を有する第 2 の電流源であって、前記第 2 の出力端子に電流をバイアスするように構成される、前記第 2 の電流源と、

を更に含む、装置。

【請求項 9】

請求項 8 に記載の装置であって、

前記第 2 のトランジスタが、前記第 2 の入力端子において第 2 の入力電圧を受け取るように構成され、

前記第 2 の入力電圧が前記第 1 の入力電圧に対して 180 度位相が異なり、前記第 2 の出力端子における電圧が前記第 1 の出力端子における電圧に対して 180 度位相が異なる、装置。

40

【請求項 10】

請求項 9 に記載の装置であって、

前記第 2 の制御端子に結合される第 3 の抵抗器と、

前記第 4 の電流端子と前記基準電圧ノードとの間に結合される第 2 のインダクタと、

を更に含む、

前記第 3 の抵抗器と前記第 2 のインダクタとが、前記第 2 の入力電圧が前記第 2 の電流源における第 2 の閾値電圧に近づくときに前記第 2 の電流源の圧縮を低減するように構成され、前記低減することが前記第 2 の入力電圧がスイングしているときに前記第 3 の電流端子と前記第 4 の電流端子との電圧スイングを調整することによることを含む、装置。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本願は、全般的に、バッファリングに関し、特に、電圧バッファリングに関する。

## 【背景技術】

## 【0002】

第1の電圧増幅器段が、電圧入力と第2の電圧増幅器段との間のバッファとして用いられ得る。増幅器の電圧利得が、増幅器出力電圧対増幅器入力電圧の比である。増幅器がバッファとして用いられるとき、増幅器の電圧利得は典型的に1であり、これは単位利得とも呼ばれ得る。電圧増幅器は単段又は多段であり得る。多段電圧増幅器は、カスケードされた複数の単段電圧増幅器を含む。単段電圧増幅器は、反転電圧増幅器、電流フォロワ増幅器、電圧フォロワ増幅器等の多くのトポロジーを有し得る。

10

## 【0003】

例示の電圧フォロワ増幅器において、出力における電圧は、入力における電圧を概して追従する。1つの例示の電圧フォロワトポロジーには、エミッタフォロワ構成で接続されるバイポーラ接合トランジスタ(BJT)が含まれる。別の例示の電圧フォロワトポロジーには、共通ドレイン構成で接続される金属酸化物半導体電界効果トランジスタ(MOSFET)が含まれる。

## 【発明の概要】

## 【0004】

例示の装置において、第1のトランジスタが、ベース端子、第1の電流端子、及び第2の電流端子を有する。ベース端子は入力電圧ノードに結合される。第2のトランジスタが、制御端子、第3の電流端子、及び第4の電流端子を有する。第3の電流端子は第2の電流端子に結合される。第4の電流端子は第1の抵抗器に結合される。第2の抵抗器が制御端子に結合される。インダクタが、第1の抵抗器と接地端子との間に結合される。

20

## 【図面の簡単な説明】

## 【0005】

【図1】例示の増幅器システムの概略図である。

## 【0006】

【図2】図1のバッファの実装を示す概略図である。

30

## 【0007】

【図3】図2のバッファの電圧信号を図示する信号プロット図である。

## 【0008】

【図4】バイアス構成要素を含む図1のバッファの例示の回路実装の概略図である。

## 【0009】

【図5】図4のバッファの電圧信号を図示する信号プロット図である。

## 【0010】

【図6】図4のバッファを介する電圧を図示するシミュレートされた信号プロット図である。

## 【0011】

40

【図7】図2及び図4のバッファの動作を対比する信号プロット図である。

## 【0012】

【図8】図2及び図4のバッファのノイズファクタを対比するノイズ指数プロット図である。

## 【発明を実施するための形態】

## 【0013】

図面は一定の縮尺で描かれているわけではない。概して、図面及び本明細書における同じ参照番号は、同一又は類似の部分を示す。図面は、明確な線及び境界を用いて各層及び領域を示しているが、これらの線及びノ又は境界の幾つか又は全部が理想化されている場合がある。実際には、これらの線及びノ又は境界は、観察不可能である、混ざっている、及

50

び / 又は不規則である可能性がある。

【 0 0 1 4 】

少なくとも一例において、高出力インピーダンスを有する第 1 の回路から低入力インピーダンスを有する第 2 の回路に電圧を転送するためにバッファリング回路が用いられる。本明細書で用いられるように、インピーダンスは、交流に対する電気回路又は構成要素の実効抵抗である。インピーダンスは、オーム抵抗（例えば、抵抗性成分に起因する抵抗）とリアクタンス（例えば、誘導性及び容量性成分に起因する抵抗）の複合効果を表す。バッファリング回路の例としては、エミッタフォロワ増幅器、電圧バッファ、共通コレクタ増幅器、共通ソース増幅器、バッファ増幅器等が含まれる。幾つかの例において、バッファリング回路が、第 1 の回路の出力と第 2 の回路の入力との間のインピーダンス整合のために用いられる。例えば、音声信号等の任意の入力信号が可聴周波数範囲においてスピーカで再現されるときに、エミッタフォロワが用いられ得る。

10

【 0 0 1 5 】

他の例において、バッファリング回路は、低動作電流（例えば、数十ミリアンペア）ではなく、高動作電圧（例えば、高電圧は、5 ボルト、50 ボルト、80 ボルト等、アプリケーションに依存して変化し得る）で負荷を駆動する。例示の動作において、バッファリング回路は、負荷におけるバッファリング回路の入力電圧に一致する出力電圧を生成するために有用である。それによって、バッファリング回路は、出力端子から引き出された電流負荷とは無関係に出力電圧を維持し、これは入力のバッファリングとしても知られている。幾つかのバッファリング回路は、バッファリング回路の出力において電流源を含む。

20

【 0 0 1 6 】

動作及び実装において、エミッタフォロワが、BJT等の第 1 のトランジスタを含み、これは、BJTのエミッタ端子における電圧をBJTのベース端子における電圧に追従させる。BJTのベース端子は、入力ノードに結合され、入力ノードにおいて入力信号を受信するように構成される。入力信号は、音声又は無線周波数信号、前の増幅器段からの出力電圧等であり得る。第 1 のトランジスタのエミッタ端子は、第 2 のトランジスタ（BJT、MOSFET等）に結合される。第 2 のトランジスタは、第 1 のトランジスタのエミッタ端子と接地との間に結合される。このような構成において、第 2 のトランジスタは電流源として動作する。例えば、第 2 のトランジスタは、第 1 のトランジスタのバイアス電流を設定しつつ、第 1 のトランジスタのエミッタ端子において高インピーダンスを提供する。第 2 のトランジスタは、第 1 のトランジスタのコレクタ端子が供給電圧ノードに結合されており、入ってくる入力信号を受信しないときに、第 1 のトランジスタのコレクタ端子を介して一定の定在電流を流す。

30

【 0 0 1 7 】

電流源を備えるエミッタフォロワの例示の動作において、第 1 のトランジスタのベース端子は入力信号を受信する。幾つかの例において、入力信号はスイングする（例えば、相対的に高い電圧と相対的に低い電圧の間で変動する）。或る条件下（例えば、第 2 のトランジスタの製造仕様が満たされる場合）では、電流源として機能する第 2 のトランジスタは、第 1 のトランジスタの出力信号を入力信号に応じてスイングさせる。本明細書において用いられるように、「出力スイング」「信号スイング」「電圧スイング」、及び「電流スイング」は、入力信号値及び時間の偏位を指すために用いられる用語である。例えば、入力信号が 1 の振幅を持つ正弦波である場合、その信号は、1 から - 1 まで「スイング」する。信号スイングに対する単位は、電圧、電流、周波数等（1 ボルト、1 アンペア、1 kHz 等）であり得る。他の例において、第 2 のトランジスタの製造仕様が満たされていない条件下では、第 2 のトランジスタは、出力信号が入力信号に応じてスイングすることを許可しない。

40

【 0 0 1 8 】

エミッタフォロワが、出力において入力信号を忠実に表すように設計される。従って、エミッタフォロワは常に入力信号のスイングを追従することになる。製造仕様が満たされていない条件下（例えば、BJT、トランジスタ、MOSFET、等のタイプに対して入

50

力電圧が高すぎる場合等)では、出力は、入力のスイングを忠実に追従しない。例えば、電流源として機能するタイプのMOSFETは、MOSFETが受け取るべき入力電圧の量に対応する仕様を有する。このようなMOSFETの仕様は、MOSFETの物理的サイズに基づく。MOSFETの物理的サイズは、MOSFETの信頼性が影響を受ける前に、MOSFETを通過し得る電圧の制限に関連する。電圧の制限には、MOSFETのドレイン端子及びソース端子がどの程度の大きさの電圧( $V_{ds}$ )を生成し得るかに対する制限が含まれる。例えば、(電流源として機能するMOSFETの) $V_{ds}$ は制限値であり、MOSFETは、制限値より上又は下の閾値を超えないものを取り扱うように指定されている。入力信号が、MOSFETの閾値の値を下回る電圧値までスイングする場合、MOSFETの $V_{ds}$ が大きく低下し、そのため、エミッタフォロワ(例えば、エミッタ端子)の出力において出力クリッピングが生じる。クリッピングは、増幅器(エミッタフォロワ増幅器、電圧バッファ増幅器等)が過駆動され(例えば、製造仕様を満たしていない)、その最大能力を超える出力電圧又は電流を供給しようと試みたときに生じる波形歪の形式である。ハードクリッピングにおいて、信号の振幅は、最大振幅に制限され、そのため、波形は丸い頂部と底部を有するのではなく、フラット又はカットオフになる。ソフトクリッピングにおいて、信号の振幅は、ハードクリッピングの急激な形状ではなく、滑らかな曲線に沿って飽和される。また、ソフトクリッピングは、波形の振幅が入力信号の振幅より小さい(圧縮されている)ので、電圧圧縮としても知られている。クリッピングの結果、出力信号は、入力信号を忠実に追従しない。

10

**【0019】**

20

出力クリッピングはエミッタフォロワに対して非線形を導入するため、出力クリッピングは重大な問題である。エミッタフォロワ等のシステムが非線形であるとき、システムの出力は入力と等しくない。例えば、電流源MOSFETの $V_{ds}$ が低下していることに起因して、エミッタフォロワの非線形性が増大している場合、エミッタフォロワの出力信号は入力信号を追従していない可能性が高い(例えば、入力電圧が製造仕様を超えているときに出力信号は歪む)。エミッタフォロワは、負荷のための出力において入力の電圧を維持するために、バッファとしての特定の使用に対して設計及び実装されているので、非線形性は望ましくない影響である。

**【0020】**

30

本明細書に説明される例示の装置及びシステムは、電流源MOSFETの出力に結合されるインダクタを含むことによって、電流源MOSFETを備えるエミッタフォロワの非線形性を最小化するか及び/又はなくす。例えば、本明細書に説明される装置は、インダクタを含むことによって出力信号のクリッピングをなくす。また、本明細書に説明される例は、出力信号スイングのクリッピングに起因するエミッタフォロワの電圧圧縮を低減する。

**【0021】**

エミッタフォロワにおける電圧圧縮の低減に起因して、エミッタフォロワの非線形性がなくなる。また、本明細書に説明される装置は、電圧スイングが閾値の値を超えると、エミッタフォロワにおける変調を低減する。このようにして、エミッタフォロワの線形性が改善され、1デシベル(1dB)圧縮ポイントが新しい値に拡張され、高周波数入力信号の間に生成されるノイズが低減される。

40

**【0022】**

一般に、デバイスの線形性が改善されると、デバイスの1dB圧縮ポイントも改善される(例えば、拡張される)。例えば、1dB圧縮ポイント(例えば、OP1dB、P1dB)は、入力信号の電流が、出力におけるデバイスの利得を、出力の通常の線形利得から1dB減少させるポイントである。多くの線形増幅器は、特定の周波数レンジに対して固定利得を有する。出力信号対入力信号がグラフ上に図示される場合、線形関係性が図示される。線の傾斜が利得である。入力信号の周波数が増加し続けると、或る時点において利得が減少し始める。増幅器は圧縮に入り、入力の増加に回答して更に出力が増加することはない。P1dBを拡張することは、出力信号が圧縮する前に、デバイスに対する入力信

50

号（例えば、信号の電圧）の量を増加させることを含む。

【 0 0 2 3 】

図 1 は、例示の増幅システム 1 0 0 の概略図である。幾つかの例において、増幅システムは、入力端子によって提供された信号をバッファリングするために、電圧バッファ、エミッタフォロワ、ソースフォロワ等を用いる。増幅システム 1 0 0 は、第 1 段入力 1 0 4 及び第 1 段出力 1 0 6 を含む例示の第 1 段増幅器 1 0 2 を含む。増幅システム 1 0 0 は、第 1 段出力 1 0 6、バイアス電圧端子（V b i a s）1 1 0、及び電圧供給（V s u p p l y）1 1 2 に結合されるバッファ 1 0 8 を含む。バッファ 1 0 8 の出力 1 1 4 が、負荷出力 1 2 0 を含む第 2 段増幅器 1 1 8 に結合される。

【 0 0 2 4 】

図 1 において、増幅システム 1 0 0 は、第 1 段入力 1 0 4 を受け取り、それぞれの負荷に基づいて第 1 段入力 1 0 4 の振幅を調節するための第 1 段増幅器 1 0 2 を含む。例えば、第 1 段入力 1 0 4 は、スピーカ等の負荷に対して無視可能な値を備える正弦波であり得る。第 1 段増幅器 1 0 2 は、第 1 段入力 1 0 4 の振幅を増加及び/又はブーストし、第 1 段入力 1 0 4 等の振幅を再現するように動作し得る。第 1 段増幅器 1 0 2 は、調節された入力信号を、第 1 段出力 1 0 6 を介してバッファ 1 0 8 に提供する。第 1 段増幅器 1 0 2 は、電圧増幅器、電流増幅器、演算増幅器、M O S F E T、B J T、又は第 1 段入力 1 0 4 の振幅を調節するために適した他の任意の電気デバイスであり得る。

【 0 0 2 5 】

図 1 において、増幅システム 1 0 0 は、第 2 段増幅器 1 1 8 のための受け取られた第 1 段出力 1 0 6 をバッファリングするためのバッファ 1 0 8 を含む。本明細書で用いられるように、第 1 段出力 1 0 6 は、「第 1 段出力」1 0 6 及び「入力」1 0 6 上の電圧及び電流が等しくなるように、入力 1 0 6 と呼ばれる。バッファ 1 0 8 は、バッファ 1 0 8 の特定の動作のために、供給電圧端子を介して供給電圧 1 1 2 を受け取り、V b i a s 1 1 0 を介してバイアス電圧を受け取るように構成される。幾つかの例において、バッファ 1 0 8 は、エミッタフォロワ、ソースフォロワ、共通コレクタ増幅器、及び/又は入力電圧をバッファリングし得るその他の任意デバイスであり得る。本明細書に説明される例において、バッファ 1 0 8 は、シングルエンド入力 1 0 6 を備えるシングルエンド出力（例えば、1 1 4）を含む。或いは、バッファ 1 0 8 は、2 つの入力を受け取り、シングルエンド入力及びシングルエンド出力を備える非差動バッファ増幅器に対して 2 つの出力を含むように構成された差動バッファ増幅器であり得る。

【 0 0 2 6 】

幾つかの例において、バッファ 1 0 8 は、正弦波として入力 1 0 6 を受け取り、出力 1 1 4 において、その正弦波を再現する（例えば、バッファリングする）。バッファ 1 0 8 は、これ以降に、図 2 及び図 3 に関連して更に詳細に説明される。

【 0 0 2 7 】

図 1 において、増幅システム 1 0 0 は、第 1 段増幅器 1 0 2 によって第 1 段入力 1 0 4 に印加される利得に加えて、入力 1 0 6 に印加される利得を増加させるための第 2 段増幅器 1 1 8 を含む。例えば、複数の増幅器段が連続して用いられているときに、全体的な電圧利得が増加され得る。例えば、第 1 段増幅器 1 0 2 が 1 0 の利得を有し、第 2 段増幅器 1 1 8 もまた 1 0 の利得を有する場合、元の第 1 段入力 1 0 4 に印加される総利得は 2 0 であり、そのため、第 1 段入力 1 0 4 は、1 つの増幅器のみが存在した場合に第 1 段入力 1 0 4 が受け取るはずであったものに比べて二倍の利得の量を受け取る。

【 0 0 2 8 】

幾つかの例において、第 2 段増幅器 1 1 8 は、負荷のために第 1 段入力 1 0 4 に印加される総利得を増加させる。例えば、負荷はスピーカであり、第 1 段入力 1 0 4 は音声信号である。第 2 段増幅器 1 1 8 は、音声信号を、可聴周波数（例えば、ユーザによって聞き取られ得る音声）を生成するために、そのスピーカの閾値を満たす値まで増加させる。このようにして、第 2 段増幅器 1 1 8 によって生成される利得の量は負荷によって決定され得る。

10

20

30

40

50

## 【 0 0 2 9 】

幾つかの例において、第 1 段増幅器 1 0 2 と第 2 段増幅器 1 1 8 との間にバッファ（例えば、バッファ 1 0 8）が存在しない。バッファがない場合、第 1 段増幅器 1 0 2 上のインピーダンスは第 2 段増幅器 1 1 8 の入力抵抗（例えば、インピーダンス）である。第 1 段増幅器 1 0 2 が第 2 段増幅器 1 1 8 を直接制御する場合、第 2 段増幅器 1 1 8 の「低」入力インピーダンスは第 1 段増幅器 1 0 2 を「ロードダウン」し、従って、電圧スイングを減少させる。従って、負荷におけるインピーダンスを増加させるために、2 つの増幅器段（例えば、1 0 2、1 1 8）の間に、電圧増幅器 / バッファ（例えば、エミッタフォロワ、ソースフォロワ等）を含むことが望ましい。バッファ 1 0 8 を挿入することによって、第 1 段増幅器 1 0 2 と負荷との間のインピーダンスは、高インピーダンスになる。高インピーダンスの結果、第 1 段増幅器 1 0 2 からのスイングは、ロードダウンされない。バッファ 1 0 8 は、その後、第 2 段増幅器 1 1 8 を駆動するために、バッファ出力 1 1 4 上の出力スイングを再現する。

10

## 【 0 0 3 0 】

第 2 段増幅器 1 1 8 は、電流増幅器、演算増幅器、M O S F E T、B J T、又は出力 1 1 4 上の信号の振幅を調節するために適した他の任意の電気デバイスであり得る。

## 【 0 0 3 1 】

図 2 は、図 1 のバッファの実装の付加的な詳細を示す概略図である。バッファは、第 1 のトランジスタ 2 0 2、第 2 のトランジスタ 2 0 4、第 1 の抵抗器 2 1 8、第 1 の電流源 2 2 0、及び第 2 の電流源 2 2 2 を含む。バッファにおいて、図 2 のバッファは差動実装であるので、概略図の右側（例えば、第 2 のトランジスタ 2 0 4 及び第 2 の電流源 2 2 2）は、概略図の左側（例えば、第 1 のトランジスタ 2 0 2 及び第 1 の電流源 2 2 0）のレプリカとして識別され得る。差動実装は、非反転入力（1 0 6）、反転入力（第 2 のベース端子 2 1 4 に結合される破線）、非反転出力（1 1 4）、及び反転出力（エミッタノード 2 1 7 に結合される破線）を含む実装と称することができる。図 2 のバッファは、大きな信号動作（例えば、大信号はトランジスタ及び抵抗器のサイズに対する）において動作している場合、クリッピング、意図しない変調、圧縮ポイントの低減（O P 1 d B）、及び相互変調歪の増加（I M D 3）等の望ましくない特性を示す。

20

## 【 0 0 3 2 】

本明細書で用いられるように、「第 1 のトランジスタ 2 0 2」を参照するときは、説明及び / 又は図面が第 1 のトランジスタ 2 0 2 及び第 2 のトランジスタ 2 0 4 の両方に適用されることを理解すべきである。同様に、「第 1 の電流源 2 2 0」を参照するときは、説明及び又は図面は、第 1 の電流源 2 2 0 及び第 2 の電流源 2 2 2 の両方に適用されることを理解すべきである。このようにして、第 2 のトランジスタ 2 0 4 及び第 2 の電流源 2 2 2 は、第 1 のトランジスタ 2 0 2 及び第 1 の電流源 2 2 0 のレプリカであり、互いに同じ様に動作すると理解され得る。しかしながら、第 2 のトランジスタ 2 0 4 は、第 1 のトランジスタ 2 0 2 に印加された入力信号と 1 8 0 度位相が異なる入力信号を入力 1 0 6 から受け取る。

30

## 【 0 0 3 3 】

図 2 において、バッファは、コレクタ端子からエミッタ端子へ電流を流すための第 1 のトランジスタ 2 0 2 及び第 2 のトランジスタ 2 0 4 を含む。第 1 のトランジスタ 2 0 2 は、コレクタノード 2 0 7 において第 1 の抵抗器 2 1 8 に結合される第 1 のコレクタ端子 2 0 6、入力 1 0 6 に結合され、入力 1 0 6 を介して入力信号を受け取るように構成される第 1 のベース端子 2 0 8、及びエミッタノード 2 1 1 において出力 1 1 4 に結合される第 1 のエミッタ端子 2 1 0 を含む。第 2 のトランジスタ 2 0 4 は、コレクタノード 2 0 7 において第 1 の抵抗器 2 1 8 及び第 1 のコレクタ端子 2 0 6 に結合される第 2 のコレクタ端子 2 1 2 と、逆入力に結合され、逆入力を介して、逆入力信号（- V i n）（それは、入力 1 0 6 における入力信号の逆である）を受信するように構成される第 2 のベース端子 2 1 4 と、エミッタノード 2 1 7 において出力に結合される第 2 のエミッタ端子 2 1 6 とを含む。出力は、逆出力信号（- V o u t）（出力 1 1 4 における出力信号の逆）を有する。

40

50

## 【 0 0 3 4 】

図 2 において、第 1 のトランジスタ 2 0 2 及び第 2 のトランジスタ 2 0 4 は、N 型 ( N P N ) B J T である。第 1 のトランジスタ 2 0 2 及び第 2 のトランジスタ 2 0 4 は、オン ( 例えば、導通している ) か又はオフ ( 例えば、導通していない ) のいずれかである。トランジスタ 2 0 2 及び 2 0 4 がオンであるとき、ベース端子 2 0 8 及び 2 1 4 はコレクタ端子 2 0 6、2 1 2 を介して導通する電流の量を変化させてもよく、又はコレクタ端子 2 0 6、2 1 2 を介して導通する電流の量を変化させなくてもよい。図 2 において、トランジスタ 2 0 2、2 0 4 は、トランジスタ 2 0 2、2 0 4 が入力信号 1 0 6 を再現するために、通常常にオンである。このようにして、コレクタノード 2 0 7 における電圧 ( 例えば、 $V_{supply}$  1 1 2 及び  $R$  1 2 1 8 の抵抗によって提供される ) がコレクタ電圧を設定する。

10

## 【 0 0 3 5 】

また、図 2 において、第 1 の抵抗器 2 1 8 は、第 1 のコレクタ端子 2 0 6 及び第 2 のコレクタ端子 2 1 2 に提供される DC 電圧をシフトさせるために、バッファ内に含まれる。供給電圧 1 1 2 は、入力 1 0 6 上の入力電圧及び出力 1 1 4 上の出力電圧に比べ大きくなり得る。第 1 のトランジスタ 2 0 2 は、入力 1 0 6 における電圧にตอบสนองして、出力 1 1 4 において電圧を生成する。従って、第 1 のトランジスタ 2 0 2 の入力電圧が減少すると、出力 1 1 4 における電圧も減少する。出力 1 1 4 上の電圧が減少すると、第 1 のトランジスタ 2 0 2 のコレクタからエミッタへの電圧 (  $V_{ce}$  ) が増加する。供給電圧 1 1 2 が、トランジスタ 2 0 2 のコレクタ・エミッタ間電圧 (  $V_{ce}$  ) の閾値の値より大きい場合、第 1 のトランジスタ 2 0 2 は損傷を受け得る。従って、第 1 の抵抗器 2 1 8 は、第 1 のトランジスタ 2 0 2 の動作条件内で第 1 のトランジスタ 2 0 2 の  $V_{ce}$  にバイアスがかかるように、導入される。

20

## 【 0 0 3 6 】

図 2 において、バッファは、第 1 のエミッタ端子 2 1 0 及び第 2 のエミッタ端子 2 1 6 における電流にバイアスがかかるために、第 1 の電流源 2 2 0 及び第 2 の電流源 2 2 2 を含む。第 1 の電流源 2 2 0 は、エミッタノード 2 1 1 において第 1 のエミッタ端子 2 1 0 に結合される第 1 のドレイン端子 2 2 4、 $V_{bias}$  1 1 0 に結合される第 1 の制御端子 2 2 6 ( 例えば、ゲート )、及び第 2 の抵抗器 (  $R$  2 ) 2 3 6 に結合される第 1 のソース端子 2 2 8 を含む。第 2 の電流源 2 2 2 は、エミッタノード 2 1 7 において第 2 のエミッタ端子 2 1 6 に結合される第 2 のドレイン端子 2 3 0、 $V_{bias}$  1 1 0 に結合される第 2 の制御端子 2 3 2 ( 例えば、ゲート )、及び第 3 の抵抗器 (  $R$  3 ) 2 3 8 に結合される第 2 のソース端子 2 3 4 を含む。

30

## 【 0 0 3 7 】

図 2 において、第 1 の電流源 2 2 0 は、電流ミラーとして動作し、エミッタノード 2 1 1 において電流に本質的にバイアスがかかる n チャネル MOSFET ( N F E T ) である。或いは、第 1 の電流源 2 2 0 は、NPN BJT、PNP BJT、p チャネル MOSFET ( P F E T ) 等であり得る。電流ミラーが、電流を一定に保ちつつ、異なるアクティブデバイスを介して導通する電流を制御することによって、或るアクティブデバイスを介して導通する電流をコピーする。例えば、第 1 の電流源 2 2 0 は、第 1 のトランジスタ 2 0 2 のエミッタ端子 2 1 0 に流れ込む電流を設定する。

40

## 【 0 0 3 8 】

N F E T は、第 1 の電流端子がドレイン端子であり、第 2 の電流端子がソース端子である 2 つの電流端子及び制御端子 ( 例えば、ゲート ) を含む。N F E T の制御端子はドレイン端子からソース端子に導通する電流を制御する。N F E T は、ゲート・ソース間電圧 (  $V_{gs}$  ) > 閾値電圧 (  $V_{th}$  ) であるとき、及びドレイン・ソース間電圧 (  $V_{ds}$  ) が  $V_{gs}$  から  $V_{th}$  を引いたものより大きい ( 例えば、 $V_{gs} > V_{th}$  ;  $V_{ds} > V_{gs} - V_{th}$  ) と、飽和モードで動作する。N F E T が飽和モードにあるとき、ドレイン端子及びソース端子は電流源として動作する。電圧が、飽和に対する閾値を超えた後、2 つの端子を介して導通する電流は、 $V_{ds}$  電圧の増加にตอบสนองして大きく変化することはない。V

50

$v_{ds}$ が $V_{th}$ を超えた後、トランジスタは電流源として動作し、 $v_{ds}$ が飽和電圧を超えて増加するときに電流は変化しない。

【0039】

第1の電流源220は、第1のトランジスタ202に対する電流源として飽和モードで動作する。このように、 $V_{bias110}$ における電圧は一定のバイアス電圧であり、そのため、第1のドレイン端子224を介して第1のソース端子228に導通する電流は一定である。 $V_{bias110}$ における電圧は、入力106上の電圧信号に対して或る値に設定される。

【0040】

図2において、第1のソース端子228は、 $R_{2236}$ に結合される。 $R_{2236}$ は縮退抵抗器である。縮退抵抗器は、電流源設計において有用であり、電流源トランジスタの利得を「縮退」又は減少させるが、線形性及び出力インピーダンス等の他の観点を改善する。縮退抵抗器 $R_{2236}$ は、第1のソース端子228において生成されるノイズを最小化する。また、 $R_{2236}$ は、第1のソース端子228における電圧を設定する。ソース端子228における電圧は、 $R_{2236}$ を介して流れる電流に抵抗（例えば、オーム）を掛けることによって決定される。 $R_{2236}$ を介して流れる電流は、第1のドレイン端子224からの電流であり得る。

10

【0041】

バッファの動作において、入来電圧信号が入力106に印加される。本明細書で用いられるように、入力106上の電圧信号は $V_{in}$ である。通常、 $V_{in}$ はスイングする。 $V_{in}$ がスイングすると出力114がスイングする。 $V_{in}$ は第1のベース端子208に印加され、 $V_{in}$ がスイングすると、第1のエミッタ端子210における電圧はスイングし始める。

20

【0042】

また、第1のエミッタ端子210における電圧がスイングしているので、第1のコレクタ端子206における電圧がスイングし得る。しかしながら、バッファは差動実装であり、これは、第2のトランジスタ204が、 $V_{in}$ 信号に対して180度位相が異なるように調節された入力106を受信していることを示している。この差動実装のため、第2のコレクタ端子212における電圧は、 $V_{in}$ がスイングするときに、第1のコレクタ端子206における電圧スイングを相殺する。このようにして、第1のコレクタ端子206における電圧及び第2のコレクタ端子212における電圧が、反対の極性、反対の位相等を有する。また、ノード207は、第1のコレクタ端子206及び第2のコレクタ端子212における2つの電圧が互いに相殺しあうので、静止ノードである。このようにして、バッファにおいて生成される電圧の唯一の変動は、入力106及び出力114上で発生する。

30

【0043】

出力114上の電圧は、正方向に又は負方向にスイングする。 $V_{in}$ が増加する場合、 $I_c$ が減少しているので、出力114上の電圧は正方向にスイングする。出力114上の電圧は、電圧が $V_{supply112}$ の電圧に到達するまで増加し得る。出力114上の電圧が $V_{supply112}$ に到達すると、第1のコレクタ端子206の抵抗にわたって、ゼロ電圧降下が存在し、それはゼロ $I_c$ を示す。 $I_c$ がゼロであるとき、第1のトランジスタ202は電流を流さず、それに応答して、第1のトランジスタ202はカットオフモードに入る（例えば、オフにされる）。

40

【0044】

$V_{in}$ が減少する場合、 $I_c$ が増加しているため、出力114上の電圧は負方向にスイングする。出力114上の電圧は、出力114上の電圧が、MOSFETをオンに保つための閾値を満たさない電流源220のドレイン・ソース間電圧( $v_{ds}$ )に等しくなるまで減少し得る。電流源220が、線形モード（例えば、オンにされ、導通する）で動作するために、電流源220の $v_{ds}$ は、ゲート・ソース間電圧( $v_{gs}$ )から閾値電圧( $V_{th}$ )を引いたものより大きい必要がある（例えば、 $v_{gs} > V_{th}$  ;  $v_{ds} > v_{gs} - V_{th}$ ）。出力114上の電圧が負方向にスイングするとき、 $v_{ds}$ は、 $v_{gs}$ から $V_{t$

50

hを引いた電圧を下回って降下し得、従って、電流源220をオフにし得る。

【0045】

電流源の動作は、Vbias110におけるバイアス電圧によって決定される。Vbias110における電圧は、電流源220を介して導通するDC電流を決定する定電圧である。Vbias110における電圧はVgsを設定する。Vgsは、電流源220を介して導通する電流を決定する。電流源220を介して導通する電流は、第1のコレクタ端子206において導通する電流Icに等しい。図2のバッファの動作において、入力電圧信号Vinpがスイングしている場合、第1のエミッタ端子210における電圧はスイングし、第1のコレクタ端子206における電圧は変化しないままである。第1のコレクタ端子206における電圧は、ノード207が休止ノードであり、第1のコレクタ端子206における電圧（及び第2のコレクタ端子212における電圧）をゼロ電位に保持するので、変化（変調、ウィグル、スイング等）しない。このようにして、コレクタ・エミッタ間電圧（Vce）は変動している。また、エミッタノード211における電圧が負方向にスイングすると、第1のドレイン端子224における電圧は降下し始める。第1のドレイン端子224における電圧が降下しているときに、電流源220のVdsは変調（変化、振幅における変動等）し始め、MOSFETを介して流れる電流が変化する。

10

【0046】

電流源（例えば、電流源220）のVdsがVgs - Vthを下回って降下することは望ましくない。例えば、電流源220のVdsがVgs - Vthを下回って降下する場合、理想的な、特定された、及び/又は望ましい電流源は、Vdsが変調するにつれて、MOSFETを介して導通する電流が変調するように特定しない。図2のバッファの電流源220は、或る値の「ヘッドルーム」に起因して変調し得る。ヘッドルームは、MOSFETの製造中に定義されるMOSFETの特性である。MOSFETのヘッドルームは、ドレイン・ソース間の電圧スイングの公差又は閾値範囲を決定する。これはドレイン電流（Id）が変化しない範囲である。例えば、製造業者は、-1ボルトから1ボルトまでの値の入力における電圧スイング（例えば、MOSFETの制御端子における電圧）を許容するようにMOSFETを設計し得る。入力電圧が-1ボルトを下回って（例えば、-1.5ボルトに）減少すると、ドレイン電流がクリッピング（例えば、減少）し始める。

20

【0047】

図3を参照すると、信号プロット図300は、第1の制御端子226における電圧（例えば、Vbias110によって提供される電圧）、第1のソース端子228における電圧、及び第1のエミッタ端子210における電圧（例えば、第1のエミッタ端子210における電圧も、エミッタノード211における電圧、出力114における電圧、及び第1のドレイン端子224における電圧に等しい）を図示する。ゲート電圧（例えば、Vbias110における電圧）は、一定の値（例えば、0.7ボルト）に保持及び/又は維持される。一定の値に保持されたゲート電圧にตอบสนองして、第1のソース端子228におけるソース電圧も一定の値（例えば、0.2ボルト）に保持される。

30

【0048】

第1のエミッタ端子210における電圧（例えば、第1のドレイン端子224における電圧、エミッタノード211における電圧）は、入力106上の入来電圧信号のスイングに起因する正弦波として図示されている。第1のエミッタ端子210における正弦波の平均電圧（DC）は0.8ボルトに等しい。動作において、エミッタ電圧（例えば、第1のドレイン端子224における電圧）が、0.8DCから0.8DCから電圧スイングを引いた値まで動くと、第1の電流源220のVdsは、Vbias110における電圧から閾値電圧を引いたものを下回って減少し始める。第1の電流源220のVdsがVbias110における電圧を下回って減少すると、第1の電流源220のドレイン電流は、第1の電流源220のヘッドルームにおける減少にตอบสนองしてクリッピングする。

40

【0049】

第1のエミッタ端子210におけるエミッタ電圧が、電流源220の動作の特定された値を超えて大幅に変動すると、図2のバッファに問題が生じる。通常、電流源220のド

50

レイン・ソース間電圧は、ドレイン・ソース間電圧が或る値（例えば、圧縮が発生するまでにMOSFETが遭遇し得るスイングの閾値量として製造業者によって定義された電圧値）に達するまでは、ドレイン電流（例えば、エミッタノード211における電流）に影響を与えない。図3に図示されるように、エミッタ電圧は、製造業者によって定義された閾値の値を超え、これにより、ドレイン電流（例えば、エミッタノード211における電流）は、第1の電流源220のドレイン・ソース間電圧によって悪影響を受ける。ドレイン電流がクリッピングを開始すると、バッファは、図1の増幅システム100における動作に対して利用可能でなくなる（例えば、非線形性/圧縮の増加に起因する）。

#### 【0050】

図4の例は、バイアス抵抗器及びインダクタを含む図1のバッファ108の実装の付加的な詳細を図示する。図4のバッファ108は、図2及び図3に関連して上述したように、図2のバッファ（例えば、インダクタ及びバイアス抵抗器を含まないもの）の課題や問題点を克服する。図4のバッファ108は、入力端子（例えば、入力106）、出力端子（例えば、出力114）、第1のトランジスタ202、第2のトランジスタ204、第1の抵抗器218、第1の電流源220、第2の電流源222、第2の抵抗器236、第3の抵抗器238、例示の第1のバイアス抵抗器402、例示の第2のバイアス抵抗器404、例示の第1のインダクタ406、及び例示の第2のインダクタ408を含む。

#### 【0051】

図4は、第2段増幅器（例えば、図1の第2段増幅器118）に対するブーストされた入力信号をバッファリングするための第1のトランジスタ202及び第2のトランジスタ204を含む。幾つかの例において、第1のトランジスタ202及び第2のトランジスタ204は差動BJTであり、第2のトランジスタ204は、第1のトランジスタ202の入力106上の入力信号とは180度位相が異なる調節された入力信号を受け取り得る。第1のトランジスタ202及び第2のトランジスタ204は、それぞれの電流端子を有し、それら電流端子はベース端子、コレクタ端子、及びエミッタ端子である。幾つかの例において、第2のトランジスタ204は、差動電流端子を備える差動トランジスタであり、それら差動電流端子は、差動ベース端子、差動コレクタ端子、及び異なるエミッタ端子である。第1のトランジスタ202及び第2のトランジスタ204は、図2に関連して上記に説明されている。

#### 【0052】

図4は、供給電圧112とコレクタノード207との間に結合される第1の抵抗器218を含む。第1の抵抗器218は、第1のトランジスタ202及び第2のトランジスタ204の動作範囲内で、第1のトランジスタ202及び第2のトランジスタ204のV<sub>ce</sub>にバイアスをかける。幾つかの例において、V<sub>supply</sub>112は、トランジスタ202、204が取り扱うには大きすぎる電圧を提供するため、第1の抵抗器218は、その電圧を低減するように構成される。

#### 【0053】

図4は、第1及び第2のトランジスタ202、204の第1のエミッタ端子210及び第2のエミッタ端子216における電圧にバイアスをかけるための第1の電流源220及び第2の電流源222を含む。また、差動電流源（例えば、第2の電流源222）は、第1の制御端子226に提供されるV<sub>bias</sub>110における電圧に対する差動入力電圧を受け取る。第1の電流源220及び第2の電流源222は、図2に関連して上記に説明されている。

#### 【0054】

図4は、第1のソース端子228及び第2のソース端子234において生成されるノイズを最小化するために、第2の抵抗器236及び第3の抵抗器238を含む。また、R<sub>236</sub>及びR<sub>238</sub>は、第1のソース端子228及び第2のソース端子234における電圧を設定する。第2の抵抗器236及び第3の抵抗器238は、図2に関連して上記に説明されている。

#### 【0055】

10

20

30

40

50

図4は、例示の第1のバイアス抵抗器402及び例示の第2のバイアス抵抗器404を含む。第1のバイアス抵抗器402は、Vbias110と第1の電流源220の第1の制御端子226との間に結合される。第2のバイアス抵抗器404は、Vbias110と第2の電流源222の第2の制御端子232との間に結合される。

【0056】

図4は、第1のインダクタ406及び第2のインダクタ408を含む。第1のインダクタ406は、第2の抵抗器236と接地端子との間に結合される。第2のインダクタ408は、第3の抵抗器238と接地端子との間に結合される。

【0057】

図4のバッファ108の動作において、電圧が入力106に印加されると、入力106上の電圧の差動が第2のトランジスタ204の第2のベース端子214に印加される。例えば、入力106上の第1のベース端子208に印加される電圧は、反転され、第2のベース端子214に印加される。第1のベース端子208におけるスイング入力電圧信号にตอบสนองして、第1のエミッタ端子210は入力電圧信号を複製する。例えば、入力電圧信号が1ボルトから-1ボルトまでスイングしている場合、第1のエミッタ端子210における出力電圧信号は、1ボルトの0.7ボルト下から-1ボルトの0.7ボルト下までスイングしている。エミッタ端子210及びBJTの任意のエミッタ端子の出力は、オンにされたときBJTデバイス（例えば、第1のトランジスタ202）にわたって電圧降下が存在するので、ベース端子に印加された電圧よりダイオード電圧（例えば、0.7ボルト）だけ低い。第1のエミッタ端子210における電圧も、電流源220の第1のドレイン端子224における電圧である。このようにして、第1のベース端子208における入力電圧信号がスイングしているとき、第1のドレイン端子224の電圧がスイングする。

【0058】

インダクタ406、408及びバイアス抵抗器402、404のない例示の実装において、入力信号のスイングが電流源220及び222のヘッドルーム値を下回って減少する場合、電流源220及び222は故障し得る。また、入力信号のスイングが電流源220、222の許容Vds値を上回って増加する場合、信頼性の制約が存在し得る。しかしながら、図4のバッファ108は、第1のバイアス抵抗器402及び第1のインダクタ406を含み、これは、2つの主な利点を提供する構造である。第1の利点は、入力106における電圧がスイングしているときに、第1のソース端子228において電圧スイングを達成し、そのため、バイアス抵抗器402及びインダクタ406は第1の制御端子226における電圧及び第1のソース端子228における電圧を、第1のドレイン端子224における電圧スイングにตอบสนองして、浮遊及び移動させ、それによって、MOSFETヘッドルームを維持する。例えば、第1の制御端子226における電圧及び第1のソース端子228における電圧は、第1のドレイン端子224における電圧に合わせて増加及び減少し、その結果、第1の制御端子226及び第1のソース端子228における電圧は、第1のドレイン端子224における電圧が増加することに対応して増加し、第1のドレイン端子224における電圧が減少することに対応して減少する。例示のバイアス抵抗器/インダクタ構成の第2の利点は、バイアス抵抗器/インダクタ構成が電流源220のドレイン・ソース間電圧を調整し、それによって、電流源220が、大きな電圧スイングにตอบสนองして「クランチすること」（例えば、圧縮すること）を防止することである。このようにして、第1のインダクタ406とともに動作する第1のバイアス抵抗器402は、図1の第1段増幅器102の高信号動作を実装し、そのため、第1段増幅器102は、図1のバッファ108をクリッピング又は損傷することなく大信号をブーストし得る。

【0059】

例示のバイアス抵抗器/インダクタ構成の第1の利点に関連して、バイアス抵抗器402及び404は、第1の制御端子226上に高インピーダンスを提供するために、大きな値（例えば、1キロオーム又は10キロオーム）になるように設定される。バイアス抵抗器402の高インピーダンスは、電流源220の端子（例えば、第1の制御端子226及び第1のソース端子228）において、第1のドレイン端子224の電圧スイングを発生

10

20

30

40

50

させる。例えば、MOSFETは、ゲート電流を有さない（例えば、MOSFETの制御端子は、制御端子からドレイン及びソース端子へ電流を導通させない誘電性媒体によってMOSFETの基板から隔離される）。このようにして、第1の電流源220のDCバイアス（ $V_{bias110}$ における電圧によってバイアスされる）は、第1のバイアス抵抗器402による影響を受けない。その理由は、（a）第1のバイアス抵抗器402にわたって印加される電圧は第1の制御端子226においても印加され得ることと（b）第1のバイアス抵抗器402を介して電流が流れないことである。このようにして、第1の電流源220は正しいゲート電圧を受け取る。

#### 【0060】

しかしながら、ACの観点からみると、第1のドレイン端子224における電圧がスイングし始めると、第1の制御端子226における電圧がスイングし始める。例えば、第1のバイアス抵抗器402は、電圧を固定値に保持するのではなく、第1の制御端子226における電圧を浮遊させる。従って、第1のドレイン端子224における電圧がスイングし始めると、第1のバイアス抵抗器402は、ドレイン電圧がスイングしている間に、第1の制御端子226において電圧スイングを達成する。

10

#### 【0061】

第1のバイアス抵抗器402は、第1の電流源220の $V_{gs}$ が一定のままであることを確実にする。例えば、抵抗器（例えば、第1のバイアス抵抗器402）によって設定される抵抗は、その抵抗器両端間の電圧を決定する。第1の電流源220の $V_{gs}$ が一定であることを確実にすることによって、第1の電流源220における電流（例えば、MOSFETの $V_{gs}$ 及び $V_{ds}$ によって設定される電流）は変調されない。このようにして、第1のバイアス抵抗器402及び第1のインダクタ406は、出力114における入力106上に入来電圧を表す電流源の線形性を増大させる。

20

#### 【0062】

例示のバイアス抵抗器/インダクタ構成の第2の利点は、入力106における電圧が閾値電圧に近づくとときに、第1の電流源220が圧縮しないことである。例えば、入力106における大きな電圧スイングにตอบสนองして、大きな電圧スイングが第1のドレイン端子224に印加された場合、第1の電流源220は圧縮しない。例えば、インダクタがソース端子の端部と接地又は供給端子（例えば、図2のバッファ）との間に結合されていない場合、ソース端子は一定のままである。そのような例において、MOSFETのソース端子228は、接地電位又は電圧供給電位に保持され得る。しかしながら、第1のインダクタ406を含むことによって、第1のソース端子228における電圧は、接地電位を下回って、又は供給電圧電位を上回ってスイングし得る。

30

#### 【0063】

第1のバイアス抵抗器402は、インダクタにわたる電圧が、 $L$ （例えば、インダクタンス値）に $di/dt$ （例えば、インダクタにおける電流の変化率の時間）を掛けたものによって決定されるので、第1の制御端子226における電圧をドレイン電圧とともにスイングさせる。バッファ108への入力106における電圧がスイングダウンしているとき（例えば、電圧が減少しているとき）、 $V_{ce}$ が増加し、それによって、コレクタ端子206において、及び同様にインダクタ406において、瞬間電流を増加させる。これは、インダクタ406にわたる電圧が正であるべきであり、それは、 $R_{2236}$ と $L_{1406}$ との間のノードにおける電圧が、接地を下回ってスイングする場合に発生し得ることを意味する。インダクタ406にわたる電圧は、固定電位（例えば、接地）からインダクタの他の端子（例えば、 $R_{2236}$ に結合された端子）上の電圧を引いたものとして定義される。固定電位から負電圧を引いたものが正電圧を生成する。バッファ108に対する入力106における電圧がスイングアップする（例えば、電圧が増加する）と、第1のトランジスタ202の $V_{ce}$ が減少し、それにより、コレクタ端子206において、及び同様にインダクタ406において瞬間電流を減少させる。瞬間電流における減少にตอบสนองして、インダクタ406にわたり負電位が発生する。 $R_{2236}$ と $L_{1406}$ との間のノードにおける電圧が接地を上回ってスイングするとき、負電位が発生する。固定電位から

40

50

正電圧を引いたものが、インダクタ 406 にわたる負電圧を生成する。

【0064】

例示のインダクタが、中央コアの周りにワイヤが巻かれたコイルを有する。インダクタ 406、408 は、図 1 の増幅システム 100 の周波数によって決定されるヘンリー値を有するコンパクトな低 Q インダクタであり得る。例えば、第 1 のインダクタ 406 は、より高い周波数に対して、より小さなインダクタンス（例えば、ナノヘンリー）であり、より低い周波数に対してより大きなインダクタンス（例えば、マイクロヘンリー）である。Q ファクタ（Q）は、インダクタの消散特性の尺度である。高 Q インダクタは、低消散であり、微調整された狭帯域回路を作成するために有用である。低 Q インダクタは、高消散であり、その結果広帯域性能となる。低 Q インダクタは、より高い抵抗性消散を有し、こ

10

【0065】

インダクタ 406 は、入力 106 上の入力電圧信号が電流源 220 が取り扱うことのできる電圧より大きい場合に、バッファ 108 を特定された様式で動作させる。例えば、図 5 を参照すると、信号プロット図 500 は、エミッタノード 211 における電圧、第 1 のソース端子 228 における電圧、及び第 1 の制御端子 226 における電圧を示している。第 1 の制御端子 226 における電圧は、第 1 のバイアス抵抗器 402 に起因して浮遊している。図 4 に関連して上記に説明されているバイアス抵抗器 402 は、第 1 の制御端子 226 における電圧が、エミッタノード 211 における電圧に応答して移動するように促進する。また、第 1 のインダクタ 406 に起因して、第 1 のソース端子 228 における電圧もまた、エミッタノード 211 における電圧に

20

【0066】

図 6 は、図 4 のバッファ 108 を介する電圧を図示するシミュレートされた信号プロット図 600 である。シミュレートされた信号プロット図 600 は、第 1 のベース端子 208 における電圧、エミッタノード 211 における電圧、第 1 の制御端子 226 における電圧、及び第 1 のソース端子 228 における電圧を含む。

【0067】

図 6 に示されるように、時間  $t_1$  において、第 1 のベース端子 208 における電圧は約 1 ボルトである。幾つかの例において、1 ボルトは、入ってくる入力信号 106 に対応する電圧値を表し、そのため、増幅器（例えば、第 1 段増幅器 102）は、バッファ 108（例えば、又はバイアス抵抗器 402、404 及びインダクタ 406、408 を備えるバッファ 108）に対して 1 ボルトを出力する。

30

【0068】

時間  $t_1$  において、エミッタノード 211 における電圧は、約 0.3 ボルトである。第 1 のトランジスタ 202 のダイオード降下が 0.7 ボルトであるので、エミッタノード 211 における電圧は約 0.3 ボルトであり、そのため、第 1 のトランジスタ 202 は、コレクタを介してエミッタ端子に 0.7 ボルト降下し、出力はベース端子 208 における電圧より 0.7 ボルト下である。

【0069】

図 6 において、第 1 の制御端子 226 における電圧は破線で表される。時間  $t_1$  において、第 1 の制御端子 226 の電圧は、エミッタノード 211 における電圧に等しい。例えば、バイアス抵抗器 402 は、第 1 の制御端子 226 における電圧を、エミッタノード 211 における電圧に追従する / 電圧とともにスイングするように設定する。第 1 のトランジスタ 202 と同様にして、第 1 の電流源 220 は、0.7 ボルトの閾値電圧を有する。従って、時間  $t_1$  において、第 1 のソース端子 228 における電圧は、第 1 の制御端子 226 における電圧より 1 閾値電圧低い。例えば、時間  $t_1$  において、第 1 のソース端子 228 における電圧は、-0.3 ボルトに等しい。

40

【0070】

このようにして、シミュレートされた信号プロット図 600 は、第 1 のソース端子 228 における電圧がゼロボルト（例えば、接地電位）を下回って降下することを示している

50

。これは、電圧の極性がインダクタ406における電流の変化率によって決定されるので、第1のインダクタ406が、インダクタ406にわたって正電圧又は負電圧を蓄積させる結果である。AC電流の減少は、インダクタ406にわたる負電圧を意味し、AC電流の増加はインダクタ406にわたる正電圧を意味する。

【0071】

時間 $t_2$ において、第1のベース端子208における電圧は約2.8ボルトに増加する。例えば、入力106上の入力電圧信号がスイングしているため、第1のベース端子208における電圧は増減している。時間 $t_2$ において、エミッタノードにおける電圧は、第1のベース端子208における電圧の増加に応答して増加する。エミッタノード211における電圧増加は、第1のベース端子208における電圧増加を1ダイオード降下下回る。

10

【0072】

エミッタノード211における電圧が時間 $t_2$ において増加することに対応して、第1の制御端子226における電圧及び第1のソース端子228における電圧は、エミッタノード211における電圧に対応して増加する。例えば、第1の制御端子226における電圧は、エミッタノード211における電圧を追従し、第1のソース端子228における電圧は、第1の制御端子226における電圧を1閾値電圧下回って増加する。

【0073】

図7は、図4のバッファ108及び図2のバッファの動作に対比する信号プロット図700である。図7において、信号プロット図700は、入力106上の入力電圧が増加及び減少しているときの、エミッタノード211上の電圧の応答を表示している。例えば、3つの電圧が図7に表されている。入力電圧702は、図1、図2、及び図4の入力106上の電圧を表す。破線で示されている第1の電圧信号704は、バイアス抵抗器402及びインダクタ406のないバッファのエミッタノード211における電圧を表す。第2の電圧信号706は、図4のバッファ108のエミッタノード211における電圧を表す。

20

【0074】

図7において、入力電圧702はスイングしている。例えば、時間 $t_1$ における入力電圧は0.5ボルトの値であり、時間 $t_2$ において3ボルトに増加する。入力電圧702の増加及び減少は、時間の増加とともに継続する。

【0075】

第1の電圧信号704は、バイアス抵抗器402及びインダクタ406のないバッファのエミッタノード211の電圧に対応して、破線で表される。時間 $t_1$ において、第1の電圧信号704は、約0.3ボルトを超えて減少しない。実際に、信号プロット図700は、時間 $t_1$ から時間 $t_2$ にクリッピングする第1の電圧信号704を図示している。第1の電圧信号704は、図2の電流源220によって設定されたヘッドルームを超えて減少する入力電圧702に対応してクリッピングする。

30

【0076】

第2の電圧信号706は、図4のバッファ108のエミッタノード211における電圧に対応して、第1の電圧信号704に対する改善を示している。例えば、時間 $t_1$ から時間 $t_2$ まで、第2の電圧信号706は、入力電圧702に対応して減少する。このようにして、第2の電圧信号706は、ソース端子228における電圧が減少するときにクリッピングしない。

40

【0077】

図8は、図4のバッファ108及び図2のバッファのノイズファクタを対比するノイズ指数プロット図800である。図8において、ノイズ指数プロット図800は、入力106における周波数が増加しているときの、図4のバッファ108のノイズファクタ及び図2のバッファのノイズファクタの応答を表示している。

【0078】

ノイズファクタは、信号チェーンにおける構成要素によって引き起こされる回路の信号対ノイズ比の劣化の尺度である。ノイズファクタは、増幅器又は無線レシーバの性能を特定することができる数であり、値が低くなるほど性能が優れていることを示す。ノイズフ

50

ファクタはデシベル ( d B ) で表す尺度である。

【 0 0 7 9 】

図 8 において、破線として図示されている第 1 のノイズファクタ 8 0 2 は、バイアス抵抗器 4 0 2 及びインダクタ 4 0 6 のないバッファに対応する。第 1 のノイズファクタ 8 0 2 は、破線として表される。図示された例では、約 4 ギガヘルツ ( G H z ) の周波数において、第 1 のノイズファクタ 8 0 2 は約 3 . 4 5 デシベルに等しい。このように、バッファの入力 1 0 6 における周波数が 4 ギガヘルツに等しいとき、ノイズファクタは 3 . 4 5 デシベルに等しい。

【 0 0 8 0 】

図 8 において、第 2 のノイズファクタ 8 0 4 は図 4 のバッファ 1 0 8 に対応する。第 2 のノイズファクタ 8 0 4 は実線で表されている。図示された例において、入力 1 0 6 における周波数が 4 ギガヘルツに等しいとき、第 2 のノイズファクタ 8 0 4 は 3 . 3 デシベルに等しい。バッファ 1 0 8 における全体的なノイズは、抵抗器 / インダクタ構成のないバッファにおける全体的なノイズと比較して低減されている。例えば、バイアス抵抗器 / インダクタ構成は、電流源 2 2 0 に一層多くの電圧ヘッドルームを提供し、それによって、電流源 2 2 0 のノイズファクタを低減し、バッファ 1 0 8 における全体的なノイズを更に低減する。このようにして、バッファ 1 0 8 は、図 2 のバッファ ( それは、バイアス抵抗器 4 0 2 及びインダクタ 4 0 6 を含まない ) に比較してノイズファクタにおける改善を示す。

【 0 0 8 1 】

本明細書において、用語「及び / 又は」( A、B、及び / 又は C 等の形で用いられる場合) は、例えば、( a ) A のみ、( b ) B のみ、( c ) C のみ、( d ) A と B、( e ) A と C、( f ) B と C、及び ( g ) A と B と C 等の、A、B、C の任意の組み合わせ又はサブセットを指す。また、本明細書で用いられるように、用語「A 又は B の少なくとも 1 つ」( 又は「A 及び B の少なくとも 1 つ」) は、( a ) 少なくとも 1 つの A、( b ) 少なくとも 1 つの B、及び ( c ) 少なくとも 1 つの A と少なくとも 1 つの B 等のいずれかを含む実装を指す。

【 0 0 8 2 】

本明細書に説明される例示の方法、装置、及び製品は、エミッタフォロワ、ソースフォロワ等の電圧バッファの線形性を改善する。本明細書に説明される例において、電圧バッファの線形性は、バイアス抵抗器を介して電流源の制御端子を浮遊させることによって改善される。また、入力信号が、スイッチングデバイス ( M O S F E T 又は B J T 等 ) が取り扱えるものより大きい場合、インダクタが電流源の圧縮を最小化及び / 又は低減する。また、バイアス抵抗器 / インダクタ構成は、入力信号が電流源の製造業者によって設定される閾値を超えるとときに、バッファの電流源を圧縮又は損傷から保護する。

【 0 0 8 3 】

特許請求の範囲内で、説明した実施形態における変更が可能であり、他の実施形態が可能である。

10

20

30

40

50

【図面】

【図 1】

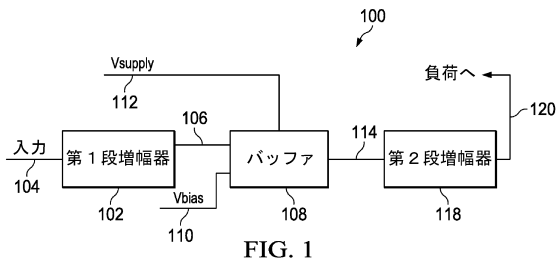


FIG. 1

【図 2】

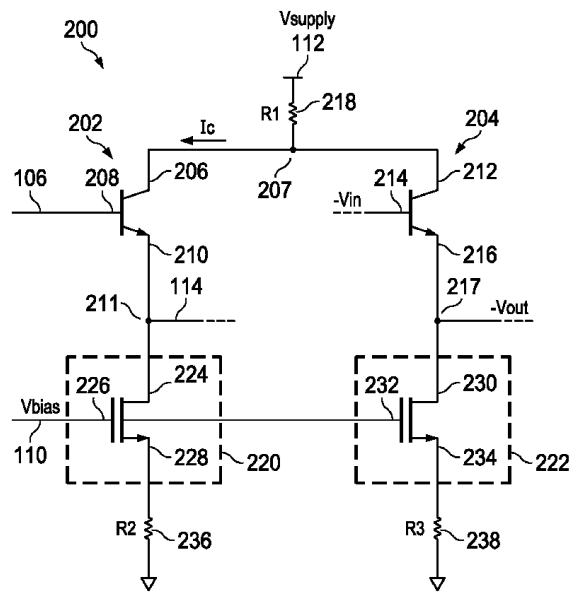


FIG. 2

【図 3】

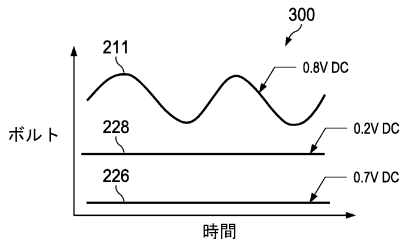


FIG. 3

【図 4】

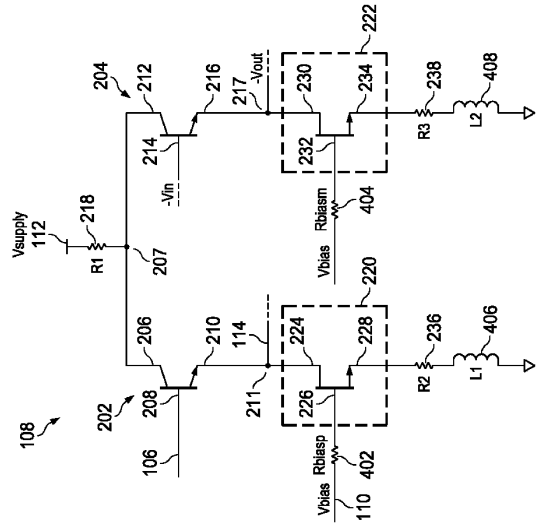


FIG. 4

10

20

30

40

50

【図5】

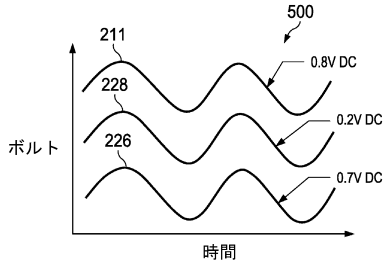


FIG. 5

【図6】

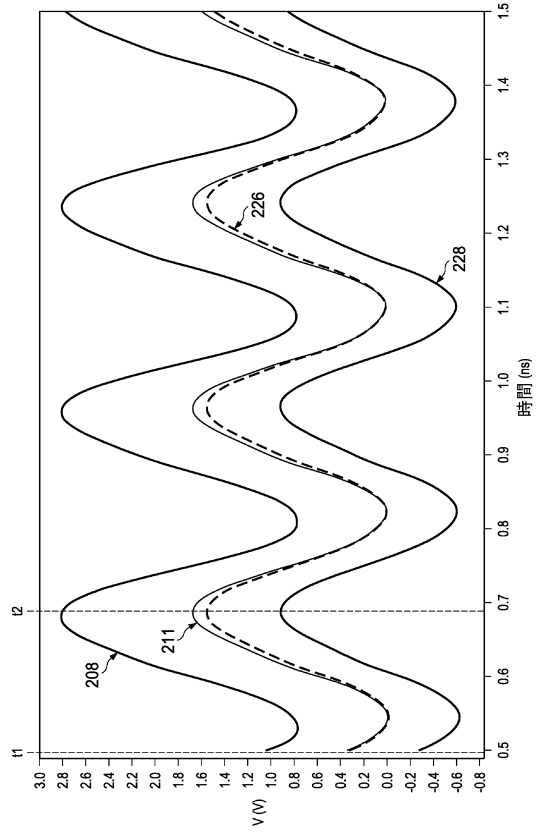


FIG. 6

【図7】

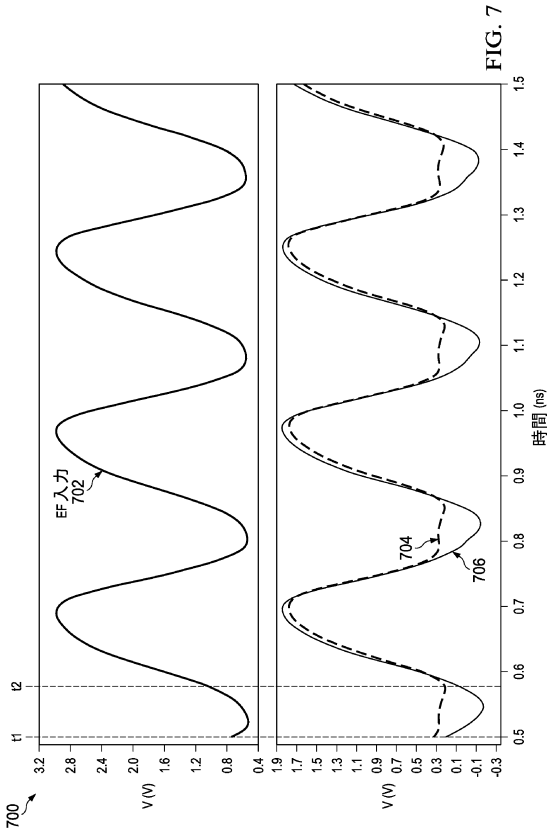


FIG. 7

【図8】

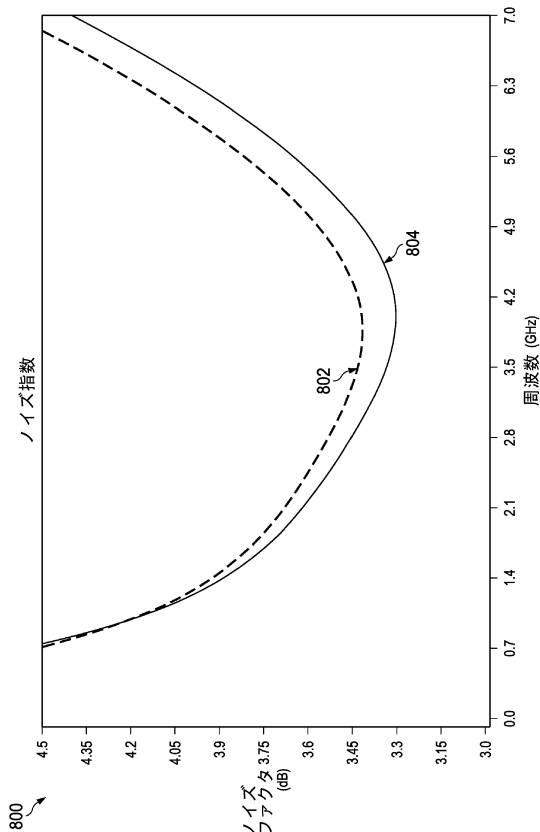


FIG. 8

10

20

30

40

50

---

フロントページの続き

037

審査官 竹内 亨

- (56)参考文献 特表2007-520163(JP,A)  
国際公開第2012/141008(WO,A1)  
米国特許出願公開第2003/0030478(US,A1)
- (58)調査した分野 (Int.Cl., DB名)  
H03F 1/00-3/72