

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 102751327 A

(43) 申请公布日 2012.10.24

(21) 申请号 201110209154.8

(22) 申请日 2011.07.25

(30) 优先权数据

100113899 2011.04.21 TW

(71) 申请人 茂达电子股份有限公司

地址 中国台湾新竹

(72) 发明人 林永发 徐守一 吴孟韦 陈面国
詹景晴 石逸群

(74) 专利代理机构 北京市浩天知识产权代理事务所 11276

代理人 刘云贵

(51) Int. Cl.

H01L 29/78 (2006, 01)

H01L 29/06 (2006, 01)

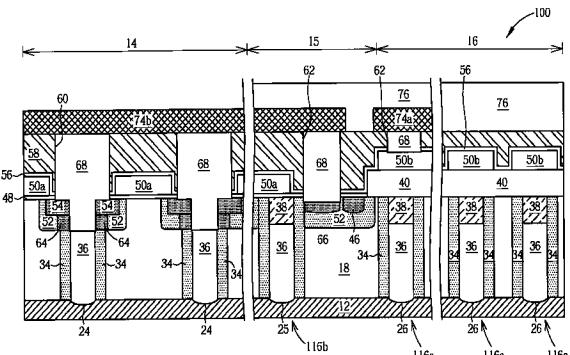
权利要求书 1 页 说明书 6 页 附图 16 页

(54) 发明名称

功率装置的耐压终止结构

(57) 摘要

本发明公开了一种功率装置的耐压终端结构，包含有一第一导电型基底、一第一导电型外延层，设置在第一导电型基底上、一沟槽，位在第一导电型外延层中、一第一绝缘层，位在沟槽中、一第一导电层，位在沟槽中，且叠设在第一绝缘层上、和一第二导电型基体掺杂区，位在沟槽旁的第一导电型外延层中，而且和第一导电层直接接触。其中第一导电层与第一绝缘层直接接触，并且第一导电层的表面与第一导电型外延层的表面切齐。第一导电层包含有多晶硅、钛、氮化钛或铝等导电材料。



1. 一种功率装置的耐压终端结构,其特征在于包含有:
 - 第一导电型基底;
 - 第一导电型外延层,设置于所述的第一导电型基底上;
 - 沟槽,位于所述的第一导电型外延层中;
 - 第一绝缘层,位于所述的沟槽中;
 - 第一导电层,位于所述的沟槽中,且叠置于所述的第一绝缘层上;以及
 - 第二导电型基体掺杂区,位于所述的沟槽旁的所述的第一导电型外延层中,而且与所述的第一导电层直接接触。
2. 根据权利要求 1 所述的功率装置的耐压终端结构,其特征在于,所述的第一导电层包含多晶硅、钛、氮化钛或铝。
3. 根据权利要求 1 所述的功率装置的耐压终端结构,其特征在于,所述的第一导电层与所述的第一绝缘层直接接触,而且所述的第一导电层的表面与所述的第一导电型外延层的表面切齐。
4. 根据权利要求 1 所述的功率装置的耐压终端结构,其特征在于,还包含有一场氧化层,覆盖住所述的第一导电层和所述的第二导电型基体掺杂区。
5. 根据权利要求 4 所述的功率装置的耐压终端结构,其特征在于,还包含有第二导电层,置于所述的场氧化层上。
6. 根据权利要求 5 所述的功率装置的耐压终端结构,其特征在于,还包含有第二绝缘层,覆盖住所述的场氧化层和所述的第二导电层。
7. 根据权利要求 6 所述的功率装置的耐压终端结构,其特征在于,还包含有棚极导线,位于所述的第二绝缘层上,和第一接触插塞,置于所述的第二绝缘层中,电连接所述的第二导电层与所述的棚极导线。
8. 根据权利要求 1 所述的功率装置的耐压终端结构,其特征在于,所述的第一绝缘层与所述的第一导电型基底直接接触。
9. 根据权利要求 8 所述的功率装置的耐压终端结构,其特征在于,所述的第二导电型基体掺杂区与所述的第一导电型基底互相连接。
10. 根据权利要求 1 所述的功率装置的耐压终端结构,其特征在于,所述的第一导电型为 N 型,所述的第二导电型为 P 型。
11. 根据权利要求 7 所述的功率装置的耐压终端结构,其特征在于,还包含有第二导电型离子阱,设置于所述的第一导电型外延层中。

功率装置的耐压终止结构

技术领域

[0001] 本发明涉及功率半导体装置技术领域，特别是涉及一种具有超级接面 (super-junction) 的功率金氧半场效晶体管 (power MOSFET) 装置，特别是功率 MOSFET 装置的外围耐压终端 (termination) 结构和其制作方法。

背景技术

[0002] 功率半导体装置常应用在电源管理的部分，例如，切换式电源供应器、计算机中心或周边电源管理 IC、背光板电源供应器或马达控制等等用途，其种类包含有绝缘闸双极性晶体管 (insulated gate bipolar transistor, IGBT)、金氧半场效晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 与双载子接面晶体管 (bipolar junction transistor, BJT) 等装置。其中，由在 MOSFET 可以节省电能且可以提供较快的装置切换速度，因此被广泛地应用在各领域中。

[0003] 在现今功率装置中，基底的设计是 P 型外延层和 N 型外延层交替设置，所以在基底中会存在有多个垂直在基底表面的 PN 接面，而且这些 PN 接面互相平行，又被叫做是超级接面结构。在现今制作超级接面结构的技术中，会先在一第一导电型基材（例如：N 型基材）上成长一第一导电型外延层（例如：N 型外延层），然后利用一第一屏蔽在第一导电型外延层上蚀刻出多个沟渠，接着填入一掺质来源层在各沟渠中，再进行一化学机械抛光 (chemical mechanical polishing, CMP) 工艺，使得 P 型外延层的上表面和第一导电型外延层的上表面切齐。随后进行一热驱入 (drive-in) 工艺，将 P 型外延层的掺质扩散到各沟渠周围的第一导电型基材中，以形成包围各沟渠的第二导电型基体掺杂区（例如：P 型基体掺杂区）。而多个第二导电型基体掺杂区和第一导电型基材的接触面即构成超级接面结构。

[0004] 但是，上述先前技艺仍有许多问题需要进一步解决。举例来说，由於 N 型外延层和掺质来源层的接触面在热驱入前即存在有接触不良的情形，经由热驱入的步骤后，易产生掺质浓度在 N 型外延层中分布不均匀的问题，因此无法提供非常平整一致的 PN 接面，导致功率装置的耐压能力受到影响。除此之外，前述的超级接面结构是被设置在一晶胞区 (cell region) 内，其被一外围耐压区 (edge termination region) 包围起来，如果外围耐压区内的耐压终端结构 (termination structure) 设计不好，轻者可以影响到装置的崩溃电性，严重者会导致装置的损坏。可以知道，仍然需要一种改进的超级接面功率半导体装置和其制作方法，以解决现今技术的问题。

发明内容

[0005] 本发明的目的在提供一种超级接面功率 MOSFET 装置，其具有改进的耐压终端结构，能够解决先前技艺的不足和缺点。

[0006] 本发明提供一种功率装置的耐压终端结构，包含有一第一导电型基底、一第一导电型外延层，设在第一导电型基底上、一沟槽，位在第一导电型外延层中、一第一绝缘层，位在沟槽中、一第一导电层，位在沟槽中，且重叠设在所述的第一绝缘层上、和一第二导电型

基体掺杂区，位在沟槽旁的第一导电型外延层中，且和第一导电层直接接触。其中第一导电层和第一绝缘层直接接触，且第一导电层的表面和第一导电型外延层的表面切齐。第一导电层包含有多晶硅、钛、氮化钛或铝等导电材。

附图说明

[0007] 图 1 到图 16 是一种功率半导体装置的制作方法。

[0008] 其中，附图标记说明如下：

[0009]

	12	第一导电型基底	14	晶胞区域
[0010]				
15	过渡区	16	外围耐压区	
18	第一导电型外延层	20	衬垫层	
20a	上层衬垫层	20b	下层衬垫层	
20c	牺牲氧化层	22	硬掩模层	
24、25、26	沟槽	27	凹陷结构	
28	缓冲层	30	掺质来源层	
32	氧化物盖层	34	第二导电型基体掺杂区	
36	第一绝缘层	37	光致抗蚀剂	
38	多晶硅层	40	场氧化层	
42、51	光致抗蚀剂图案	44	孔洞	
46	重掺杂区	48	栅极氧化层	
50	栅极导电层	50a、50b	栅极图案	
51a	开口	52	第二导电型离子井	
53	光致抗蚀剂图案	53a	开口	
54	第一导电型源极掺杂区	56	衬垫层	
58	第二绝缘层	60、62	接触洞开口	
64、66	第二导电型掺杂区	68	接触插塞	
74a	栅极导线	74b	源极电极	
76	保护层	100	装置	

具体实施方式

[0011] 图 1 到图 16 是依据本发明一优选实施例所绘示的制作功率装置的方法示意图，功

率装置可以包含沟槽式的功率 MOSFET，而其中附图中相同的装置或部位会用相同的符号来表示。需注意的是，附图是以说明作为目的，并未依照原尺寸作图。

[0012] 首先，根据图 1，提供一第一导电型基底 12，在本发明的優選具体实施例中，第一导电型基底 12 是 N⁺ 型掺杂硅基底，其可以当作是功率 MOSFET 的漏极。第一导电型基底 12 上定义有一晶胞区 (cell region) 14、一包围晶胞区 14 的外围耐压区 (termination region) 16、和一设置在晶胞区 14 和外围耐压区 16 间的过渡区 (transition region) 15，其中晶胞区 14 是用来设置具有开关功能的晶体管装置，而外围耐压区 16 是包括用来延缓晶胞区 14 的高强度电场向外扩散的耐压结构。接着，可以利用外延工艺在第一导电型基底 12 上形成一第一导电型外延层 18。根据本发明的最佳实施例，第一导电型外延层 18 可以是 N 型外延层，其可以利用化学气相沉积工艺或其它合适方法形成。第一导电型外延层 18 可以当作是飘移层 (drift layer)。接着，在第一导电型外延层 18 上形成一衬垫层 20，衬垫层 20 可以分成上、下两部分，上层衬垫层 20a 的组成可以是氮化硅 (Si₃N₄)，而下层衬垫层 20b 的组成可以是二氧化硅 (SiO₂)。接着，通过沉积工艺在衬垫层 20 表面形成一硬掩模层 22，例如硅氧层。

[0013] 接着，根据图 2，利用光刻和蚀刻工艺，在硬掩模层 22、衬垫层 20 和第一导电型外延层 18 中形成沟槽 24、25、26，其特征在于，沟槽 24 位在晶胞区域 14 内，沟槽 25 位在过渡区 15 内，沟槽 26 位在外围耐压区 16 内。举例来说，沟槽 24、25、26 的形成方式可以先在一硬掩模层 22 上涂布一光致蚀刻停止层 (图未示)，接着利用具有沟槽图案的光罩作是曝光屏蔽对光致蚀刻停止层 (图未示) 进行一曝光和显影工艺，再利用图案化的光致蚀刻停止层作是蚀刻屏蔽而对硬掩模层 22 和衬垫层 20 进行一各向异性蚀刻工艺，将光罩上的沟槽图案转移到硬掩模层 22 和衬垫层 20，然后去除图案化的光致蚀刻停止层，再进行干式蚀刻工艺，将沟槽图案转移到第一导电型外延层 18 中。当然，上述形成沟槽的方法只是例示，沟槽 24、25、26 可以利用其它方法形成。本发明的沟槽的形状、位置、深度、宽度、长度和数量等特征不受到图 2 沟槽 24、25、26 所限制，而可以根据实际的产品设计需求或工艺特性而调整，例如沟槽 24、25、26 的布局可以具有条状 (strip)、六边形 (hexagonal) 或螺旋状 (spiral) 等图案。

[0014] 参考图 3，接着去除硬掩模层 22，并在沟槽 24、25、26 的表面以热氧化的方式形成一缓冲层 (buffer layer) 28，其中缓冲层 28 的组成包含硅氧层，且其厚度较佳小於 30 納米。除此之外，缓冲层的组成并不建议采用氧氮化合物 (oxynitride) 或是氮化物 (nitride)，这是因是氧氮化合物会产生电子捕捉缺陷，而氮化物会有应力问题。接着，沉积一掺质来源层 30 在衬垫层 20 表面，并且使掺质来源层 30 填满沟渠 24、25、26，其特征在于掺质来源层 30 具有一第二导电型，例根据 P 型，且掺质来源层 30 的材料包含硼硅玻璃 (borosilicate glass, BSG)，但不限在此。然后，全面形成一氧化物盖层 32 在掺质来源层 30 的表面，并且进行一热驱入工艺，使沟渠内掺质来源层 30 的掺质扩散到第一导电型外延层 18 中，在沟渠 24、25、26 周围的第一导电型外延层 18 内形成具有一第二导电型基体掺质区 34，其特征在于第二导电型基体掺质区 34 和第一导电型外延层 18 间形成垂直 PN 接面，亦即超级接面。

[0015] 要注意的是，缓冲层 28 能够修补蚀刻后的沟渠 24、25、26 的侧壁，使得掺质来源层 30 和沟渠 24、25、26 的侧壁接触完全，使得掺质能在热驱入的过程中均匀地扩散到第一导

电型外延层 18 内,根据此,掺质会在沟渠 24、25、26 周围形成均匀的浓度梯度分布,而且在缓冲层 28 的帮助下,掺质来源层 30 的掺质能向外扩散到第一导电型外延层 18 的大约相同深度,而形成平整的 PN 接面。总而言之,缓冲层 28 可以增进掺质在第一导电型外延层 18 内的浓度梯度分布的均匀性,并有效解决在先前技术中 PN 接面不平整的困难。

[0016] 根据图 4,接着将氧化物盖层 32、掺质来源层 30 和缓冲层 28 去除,暴露出衬垫层 20 的上表面和沟渠 24、25、26 的侧壁。另外,根据本发明的另一优选实施例,在完成第二导电型基体掺质区 34 后,可以指去除氧化物盖层 32 和掺质来源层 30,而留下缓冲层 28,或只去除氧化物盖层 32 而留下掺质来源层 30 和缓冲层 28。将缓冲层 28 去除的好处是,可以避免因为掺质来源层 30 去除不完全而遗留下来的残留物。

[0017] 然后,根据图 5,在衬垫层 20 的表面全面形成一第一绝缘层 36,并使第一绝缘层 36 填入沟渠 24、25、26 内,然后进行一化学机械抛光工艺 (chemical mechanical polishing, CMP),直到暴露出衬垫层 20 的上表面,根据图 6,再进行一光刻工艺,以一光致蚀刻停止层光致抗蚀剂 37 覆盖住晶胞区 14,接着对未被光致抗蚀剂 37 覆盖住的过渡区 15 和外围耐压区 16 进行蚀刻工艺。这个时候,位在过渡区 15 的沟渠 25 和外围耐压区 16 内的沟渠 26 内的部分第一绝缘层 36 会被移除,暴露出沟渠 25、26 的上半部,形成一凹陷结构 27。

[0018] 根据图 7 所示,然后移除晶胞区 14 内的光致抗蚀剂 37,再全面进行一多晶硅沉积工艺,在晶胞区 14、过渡区 15 和外围耐压区 16 形成一多晶硅层 38,并使多晶硅层 38 填入位在过渡区 15 和外围耐压区 16 内的凹陷结构 27。接着,进行一离子注入工艺,将掺质注入到多晶硅层 38 中,以增进多晶硅层 38 的导电度,此离子注入工艺可以使多晶硅层 38 具有第二导电型。除此之外,在另一优选实施例中,多晶硅层 38 也可以由钛 / 氮化钛 (Ti/TiN) 或铝等金属取代。根据本发明的另一优选实施例,掺质来源层 30 和缓冲层 28 也可以不去除,在多晶硅层 38 填入位在过渡区 15 和外围耐压区 16 内的凹陷结构 27 后,再将掺质来源层 30 中的掺质扩散到多晶硅层 38,并同时扩散到第一导电型外延层 18 内,形成具有一第二导电型基体掺质区 34,形成超级接面。

[0019] 根据图 8 所示,接着,进行一化学机械抛光工艺,直到暴露出衬垫层 20 的上表面。再分别对晶胞区 14 内的第一绝缘层 36 和对过渡区 15、外围耐压区 16 内的多晶硅层 38 进行蚀刻工艺,直到晶胞区 14 内的第一绝缘层 36 和过渡区 15、外围耐压区 16 的多晶硅层 38 的上表面大概和第一导电型外延层 18 的上表面切齐。

[0020] 根据图 9,接着,移除位在第一导电型外延层 18 表面上的上层衬垫层 20a,暴露出下层衬垫层 20b。在外围耐压区 16 内的第一导电型外延层 18 的上表面形成一场氧化层 40,并且在第一导电型外延层 18 的表面形成一牺牲氧化层 20c,场氧化层 40 的组成可以包含氧化物。

[0021] 参考图 10,进行一光刻工艺,形成一光致抗蚀剂图案 42,其包括一开口 44,暴露出部分的牺牲氧化层 20c。开口 44 定义出预定形成保护封环 (guard ring) 的位置。然后,进行一离子注入工艺,经由开口 44 将掺质注入第一导电型外延层 18,形成一重掺杂区 46。

[0022] 根据图 11,接着,去除光致抗蚀剂图案 42,并进行一热驱入工艺,活化重掺杂区 46 内的掺质。在本发明的优选实施例中,重掺杂区 46 具有第二导电型,例如 P 型。随后,移除牺牲氧化层 20c,暴露出第一导电型外延层 18 的上表面。然后,在暴露出于晶胞区 14 和过渡区 15 的第一导电型外延层 18 的表面形成一栅极氧化层 48,再全面沉积一栅极导电层 50,

根据本发明的优选实施例，栅极导电层 50 可以包含掺杂多晶硅 (doped poly-silicon)。并进行一光刻工艺，形成一光致抗蚀剂图案 51，其包含多个开口 50a，暴露出部分的栅极导电层 50。

[0023] 根据图 12 所示，接着进行一蚀刻工艺，经由开口 51a 蚀刻掉部分的栅极导电层 50，形成栅极图案 50a、50b，其中栅极图案 50b 位在外围耐压区 16 内的场氧化层 40 上方。然后，去除光致抗蚀剂图案 51。接下来，进行一自对准离子注入工艺，在沟槽 24、25 旁的第一导电型外延层 18 中形成一第二导电型离子井 52，例如 P 型井。接着，可以继续进行一热驱入工艺。

[0024] 根据图 13 所示，接着进行一光刻工艺，形成一光致抗蚀剂图案 53，其包括一开口 53a，暴露出晶胞区 14。再进行一离子注入工艺，在晶胞区 14 内的第二导电型离子井 52 内形成一第一导电型源极掺杂区 54。在此离子注入工艺中，过渡区 15 和外围耐压区 16 受到光致抗蚀剂图案 53 保护，因此不会产生掺杂区。然后，去除光致抗蚀剂图案 53。接着，可以继续进行一热驱入工艺。

[0025] 根据第 14 图所示，在晶胞区 14、过渡区 15 和外围耐压区 16 的上表面全面沉积一衬垫层 56 和一第二绝缘层 58。根据本发明的优选实施例，此第二绝缘层 58 的组成可以包含硼磷硅玻璃 (BPSG)。然后，可以继续进行一回流 (reflow) 工艺和 / 或回蚀刻工艺，使得第二绝缘层 58 表面平坦化。

[0026] 参考图 15，蚀刻晶胞区 14、过渡区 15 和外围耐压区 16 内的部分第二绝缘层 58 和衬垫层 56，在晶胞区 14 内的各沟渠 24 上方形成一接触洞开口 60，暴露出沟渠 24 内的第一绝缘层 36 和部分的第一导电型源极掺杂区 54。同时，在过渡区 15 的第二导电型离子井 52 上，和在外围耐压区 16 的栅极图案 50b 上方，分别形成一接触洞开口 62。接下来，进行一离子注入工艺，以在第一导电型源极掺杂区 54 下方形成一第二导电型掺杂区 64，其中第二导电型掺杂区 64 和第一导电型源极掺杂区 54 是端接接触 (butted contact)。此离子注入工艺同时在暴露于过渡区 15 的部分第二导电型井 52 内形成一第二导电型掺杂区 66。经由离子注入工艺，也可以增加栅极图案 50b 的导电性，降低后续和金属接触产生的电阻。

[0027] 根据图 16 所示，在各接触洞开口 60、62 中形成接触插塞 68，其中，接触插塞 68 可以包含金属材料，例如钨 (tungsten, W) 或铜 (copper, Cu) 等，且填入金属材料前可以在接触洞开口 60、62 中先形成黏合层 (glue layer) 或 / 和阻挡层 (barrier layer)。然后，全面形成一金属层 (图未示)，例根据，钛、铝等，覆盖在接触插塞 68 和第二绝缘层 58 上方。再利用另一道光刻蚀刻工艺而去除过渡区 15 内部分的金属层，以形成至少一栅极导线 74a 和至少一源极电极 74b。其中，栅极导线 74a 和源极导线 74b 分别直接接触并覆盖在外围耐压区 16 和晶胞区域 14 的接触插塞 68 上。接着，在过渡区 15 和外围耐压区 16 内形成一层保护层 76，其覆盖住栅极导线 74a，但是暴露出源极电极 74b，以形成本发明超级接面功率 MOSFET 装置 100。

[0028] 综上所述，本发明的掺质来源层和沟槽侧壁间含有一缓冲层，掺质层除可以增进沟渠侧壁的平整性，使得掺质能在热驱入的过程中均匀地扩散到第一导电型外延层内，在沟渠周围形成一均匀的浓度梯度分布，也能使掺质来源层中不同深度的掺质扩散约略相同距离。因此，PN 接面的平整性可以大幅提升，有效克服在先前技术中 PN 接面不平整的困难，进而加强功率装置的耐压能力。

[0029] 再参考图 16, 结构上, 本发明超级接面功率 MOSFET 装置 100 在外围耐压区 16 内设有多个沟槽式耐压终端结构 116a 和 116b, 可以以条状、网状或同心圆状排列。其中, 耐压终端结构 116a 位在场氧化层 40 正下方, 且包含位在沟槽 26 下半部的第一绝缘层 36、叠设在第一绝缘层 36 的上的多晶硅层 38, 和第二导电型基体掺杂区 34, 其特征在于, 使多晶硅层 38 和第二导电型基体掺杂区 34 直接接触并构成电连结, 而且第二导电型基体掺杂区 34 和第一导电型外延层 18 的间具有垂直 PN 超级接面。位在场氧化层 40 上的栅极图案 50b, 其可以经由接触插塞 68 和栅极导线 74a 电连接。根据本发明的优选实施例, 第一绝缘层 36 是直接碰触到第一导电型基底 12。但是, 根据本发明的另一优选实施例, 第一绝缘层 36 也可以不碰触到第一导电型基底 12。

[0030] 耐压终端结构 116b 则位在过渡区 15, 设在第二导电型离子井 52 的范围内, 和耐压终端结构 116a 的间隔着至少一作为保护封环 (guard ring) 的重掺杂区 46。耐压终端结构 116b 同样包含位在沟槽 26 下半部的第一绝缘层 36、叠设在第一绝缘层 36 的上的多晶硅层 38, 和第二导电型基体掺杂区 34, 其中, 多晶硅层 38 和第二导电型基体掺杂区 34 直接接触并构成电连结。第一绝缘层 36 可以直接碰触到第一导电型基底 12。耐压终端结构 116b 的多晶硅层 38 上方是栅极氧化层 48, 而且在栅极氧化层 48 上设有栅极图案 50a。

[0031] 以上所述仅为本发明的优选实施例, 凡依本发明权利要求所做的均等变化与修饰, 皆应属本发明的涵盖范围。

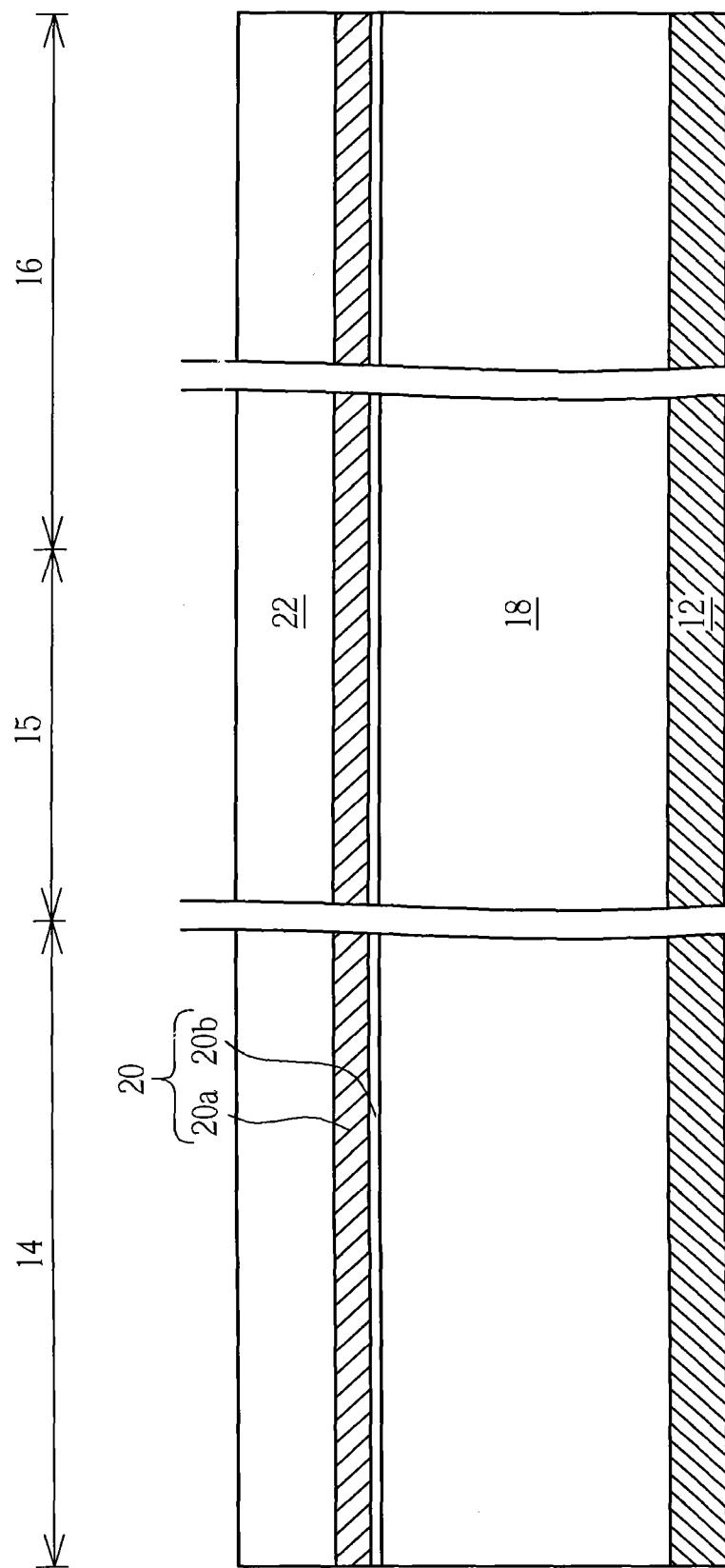


图 1

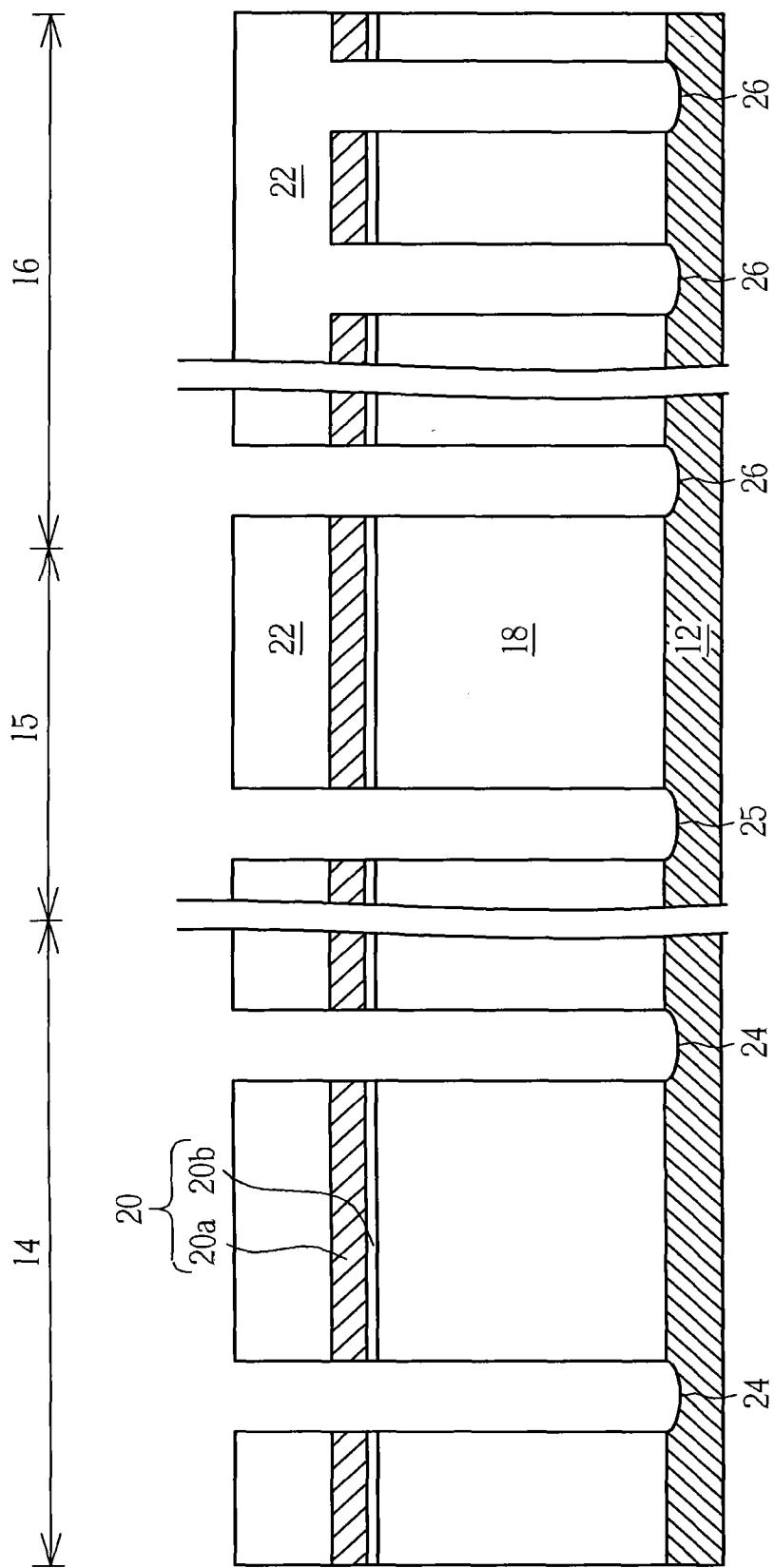


图 2

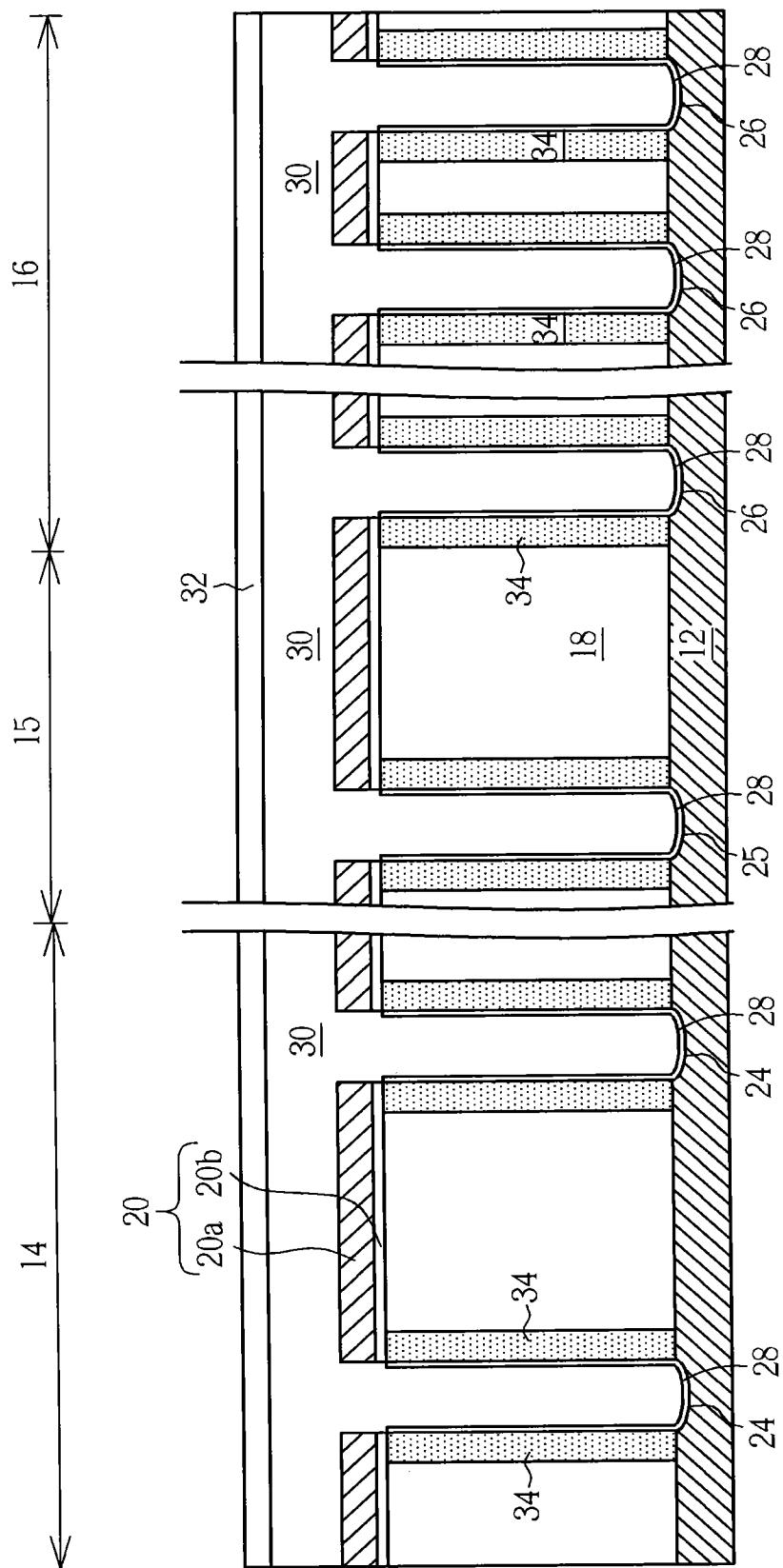


图 3

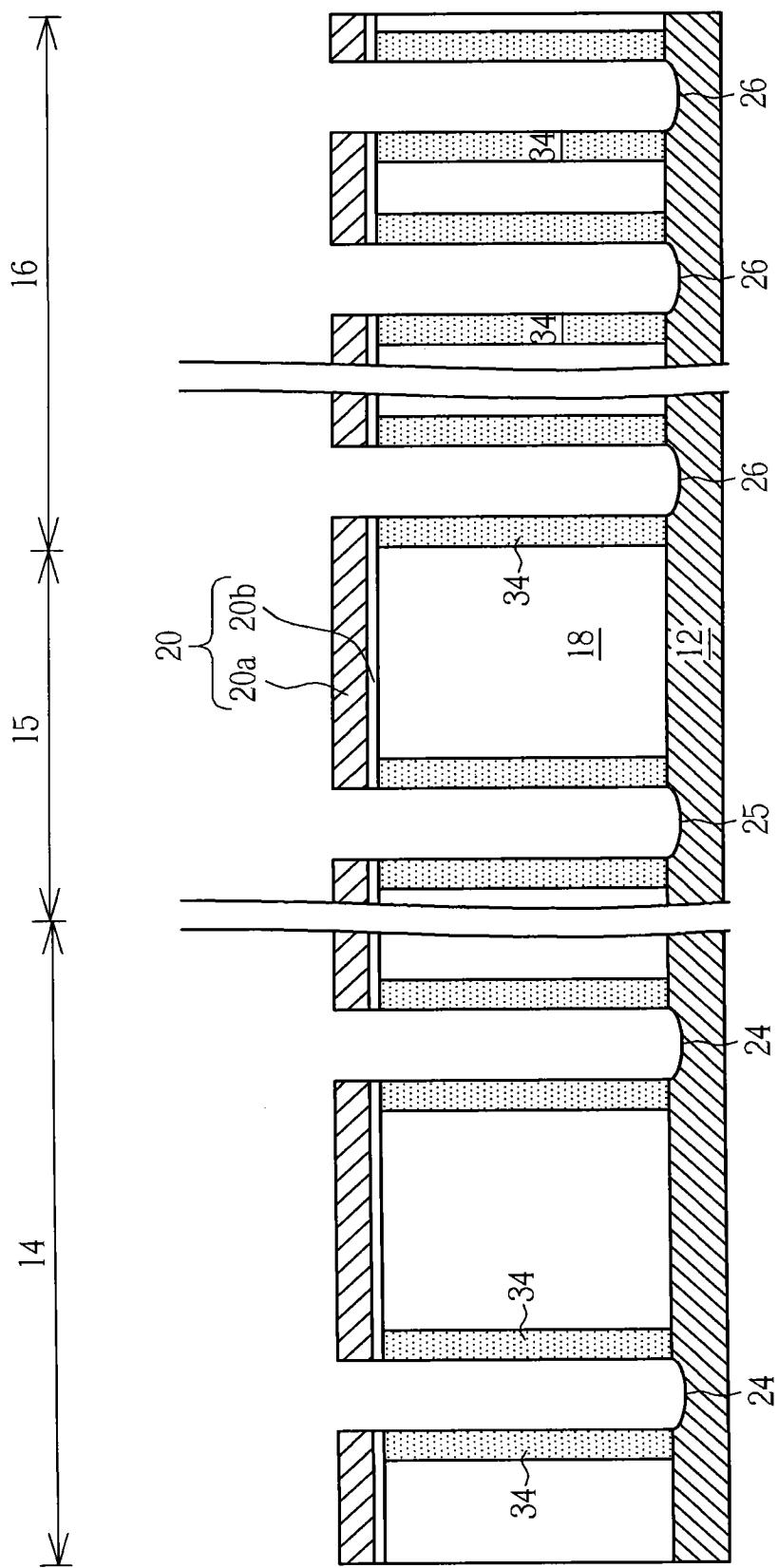


图 4

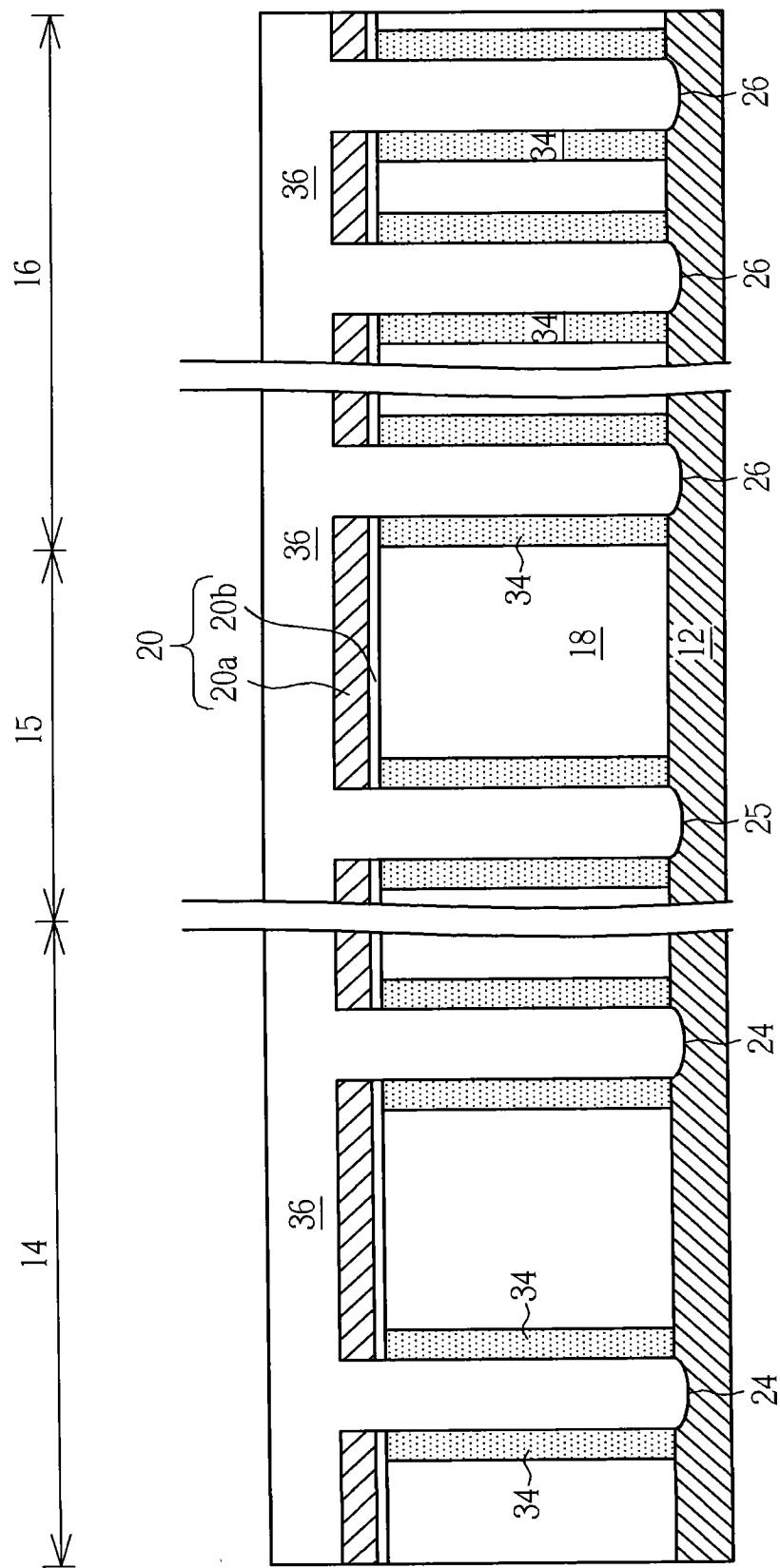


图 5

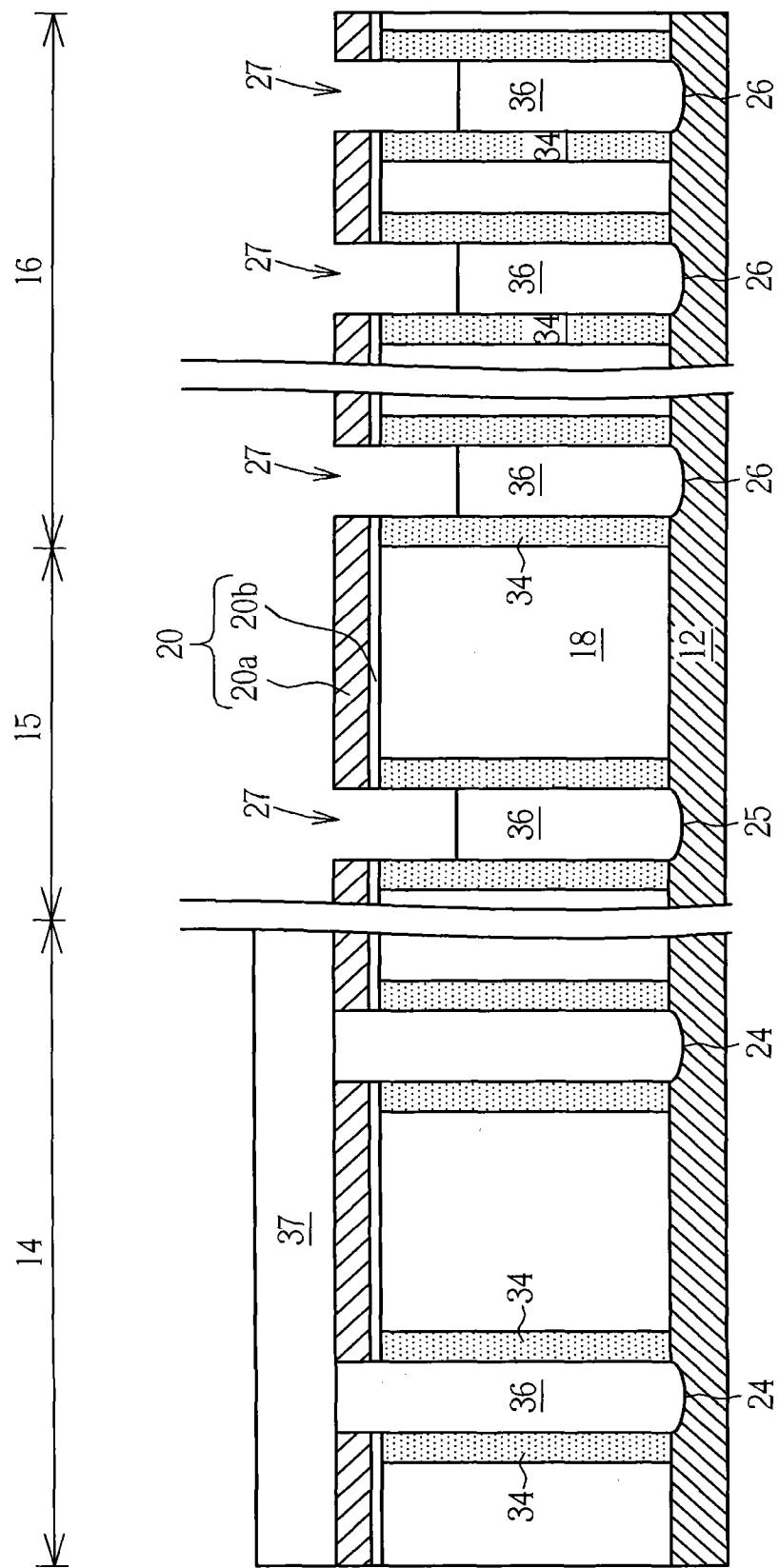


图 6

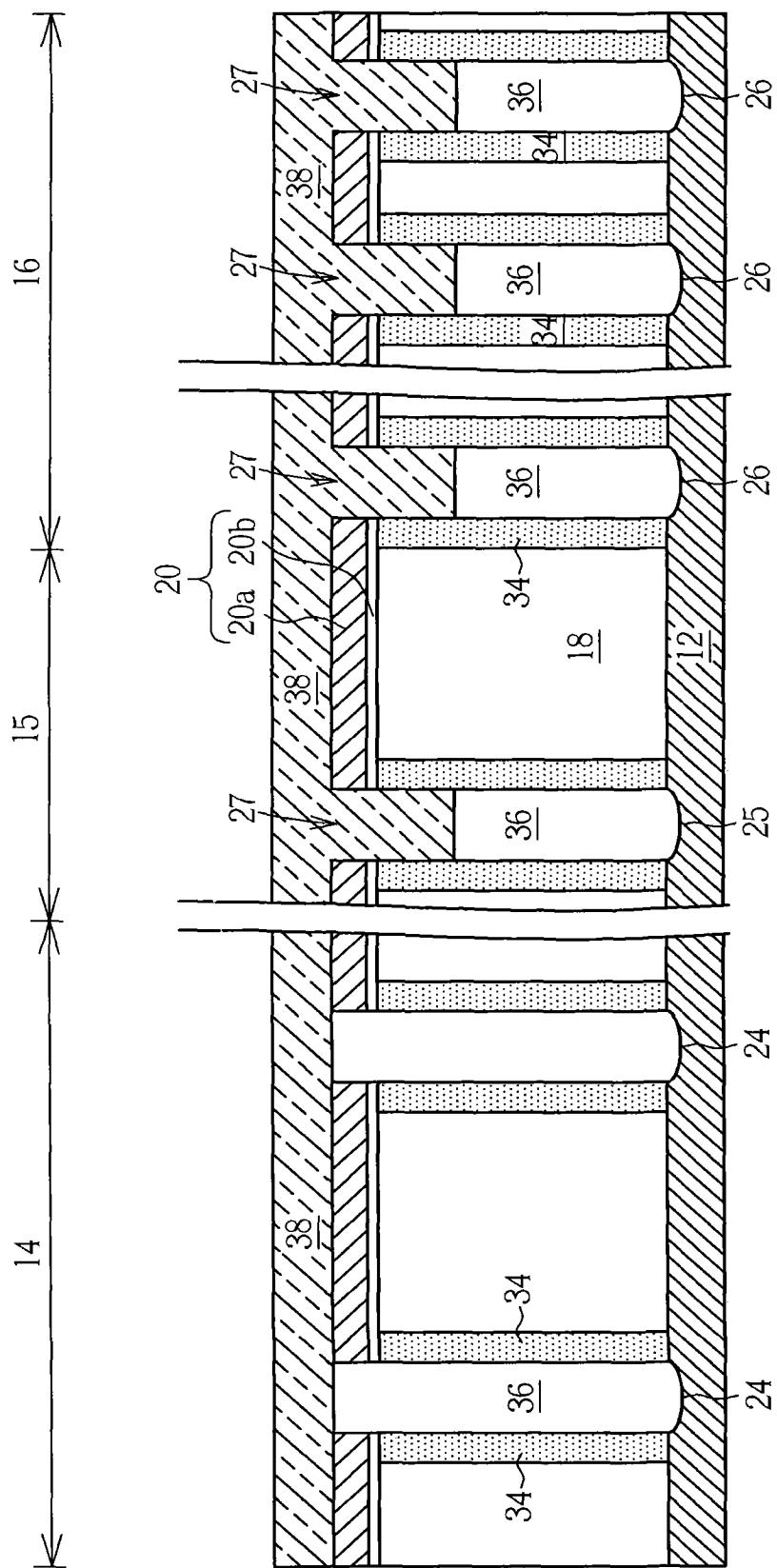


图 7

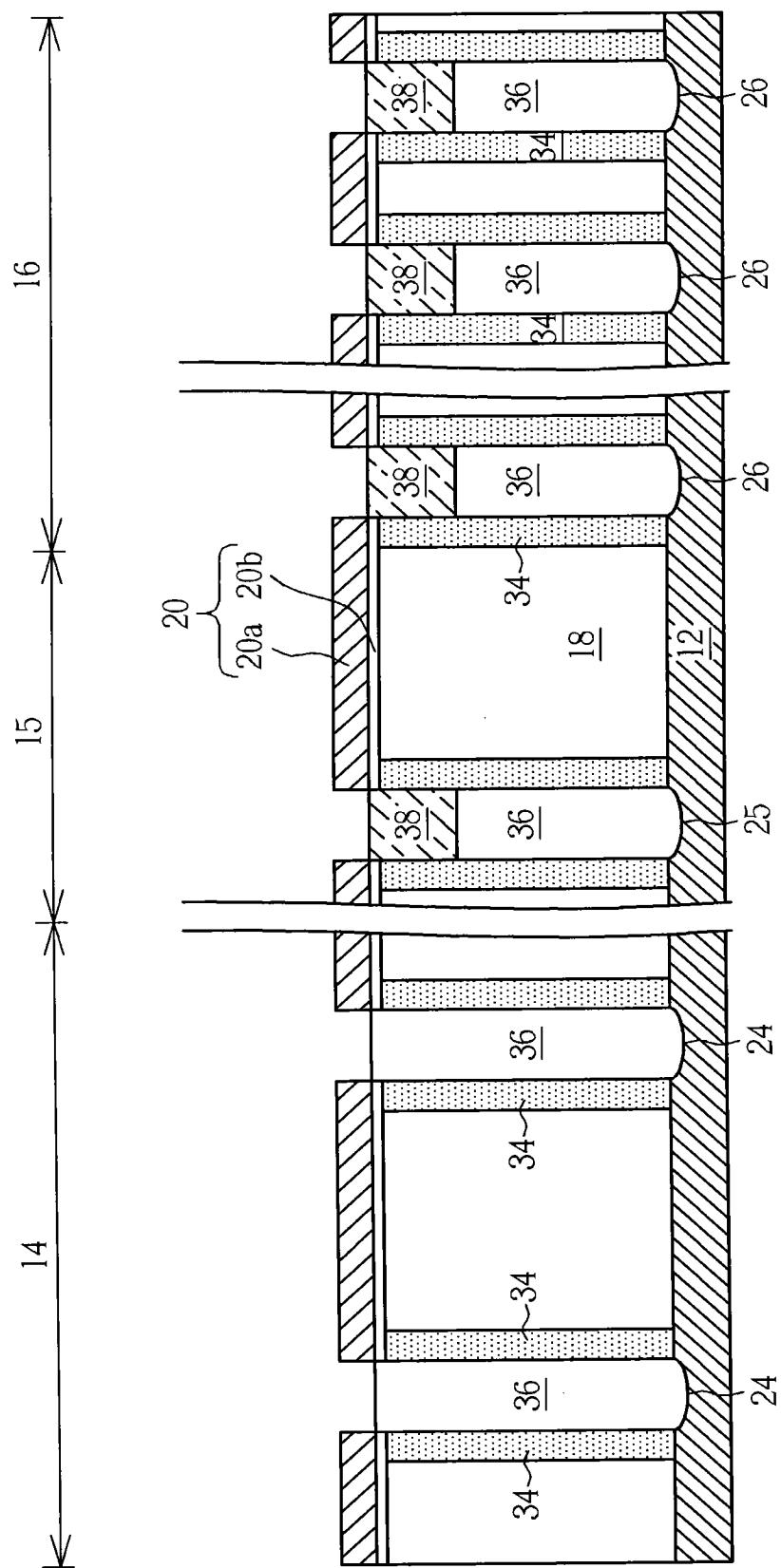


图 8

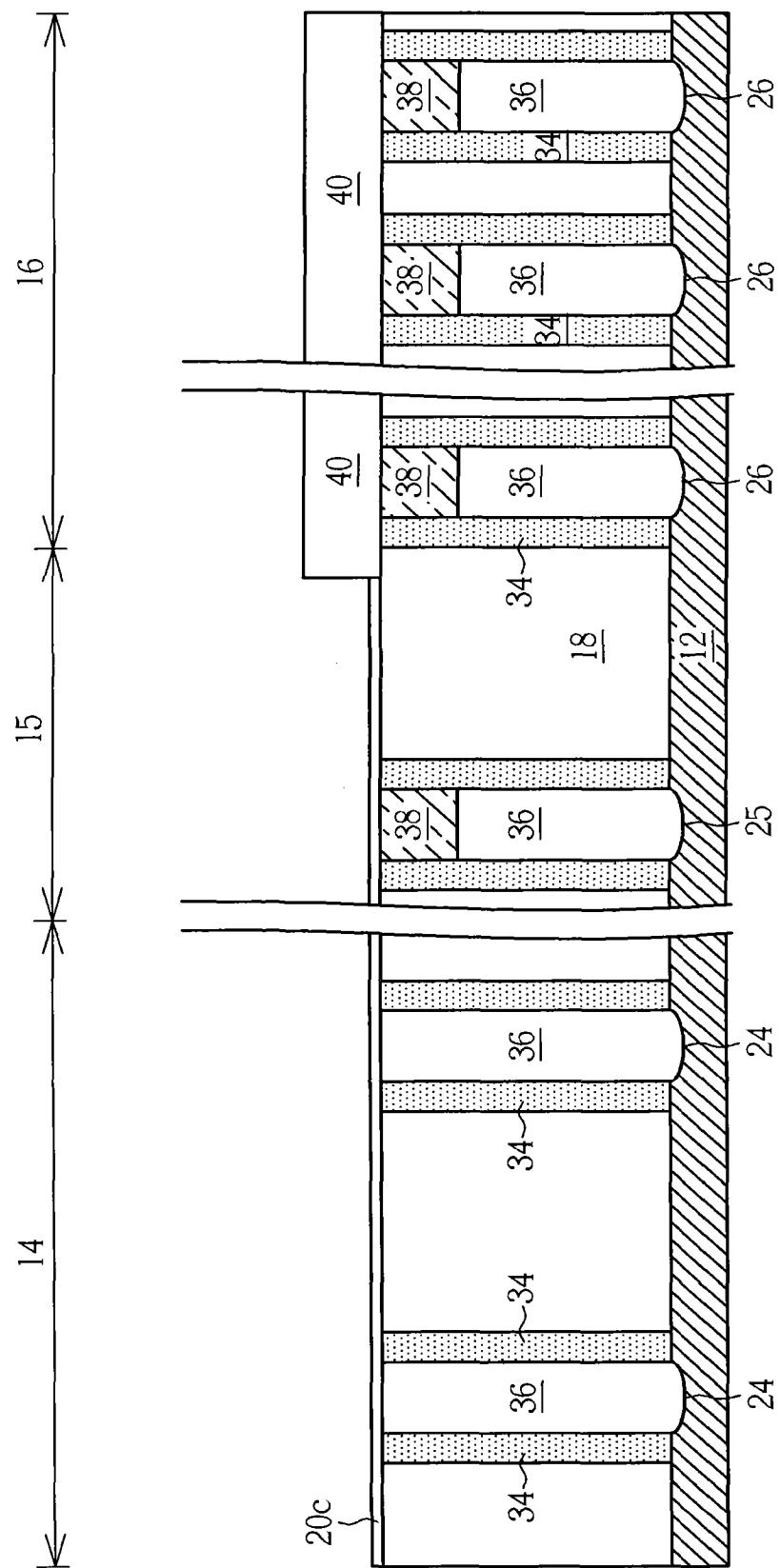


图 9

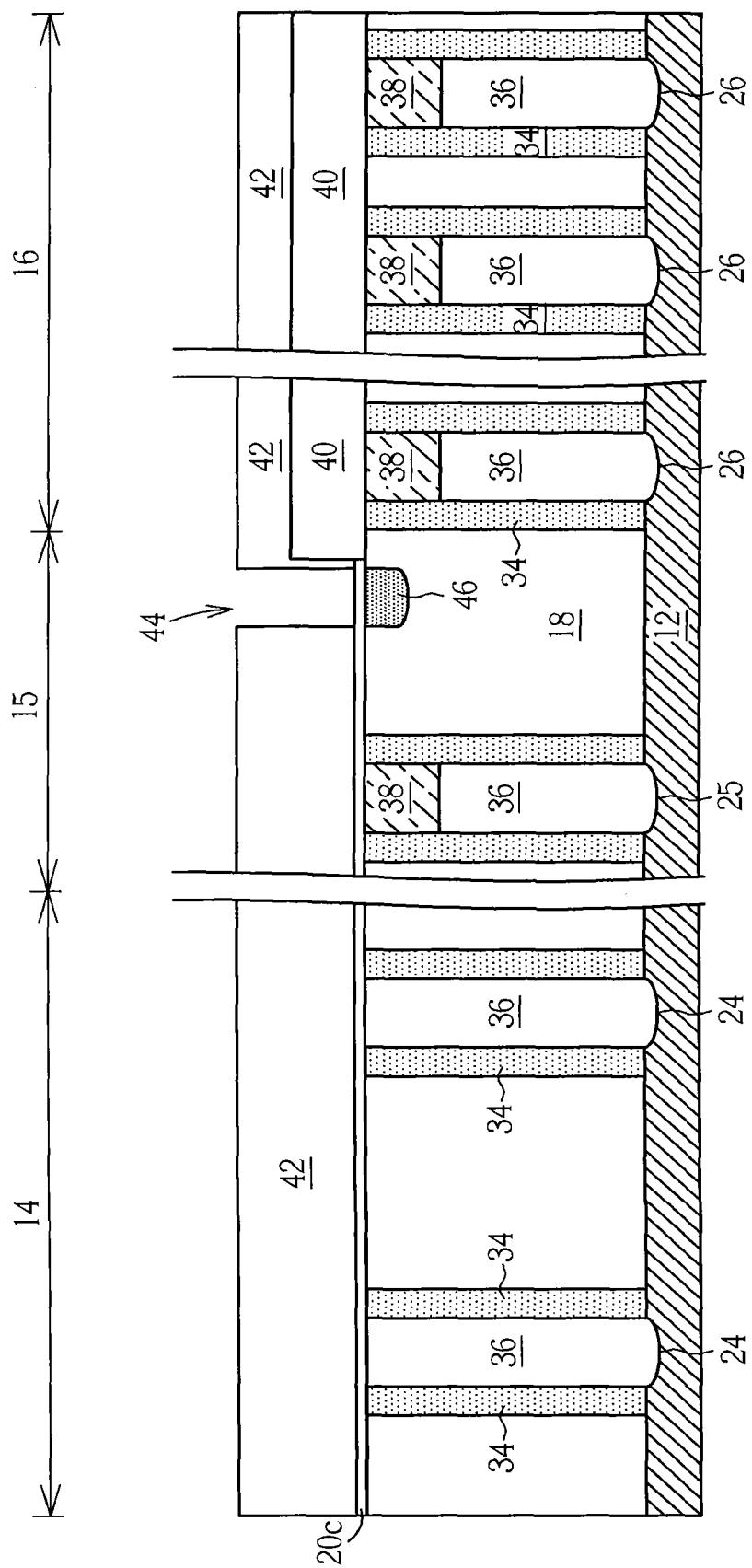


图 10

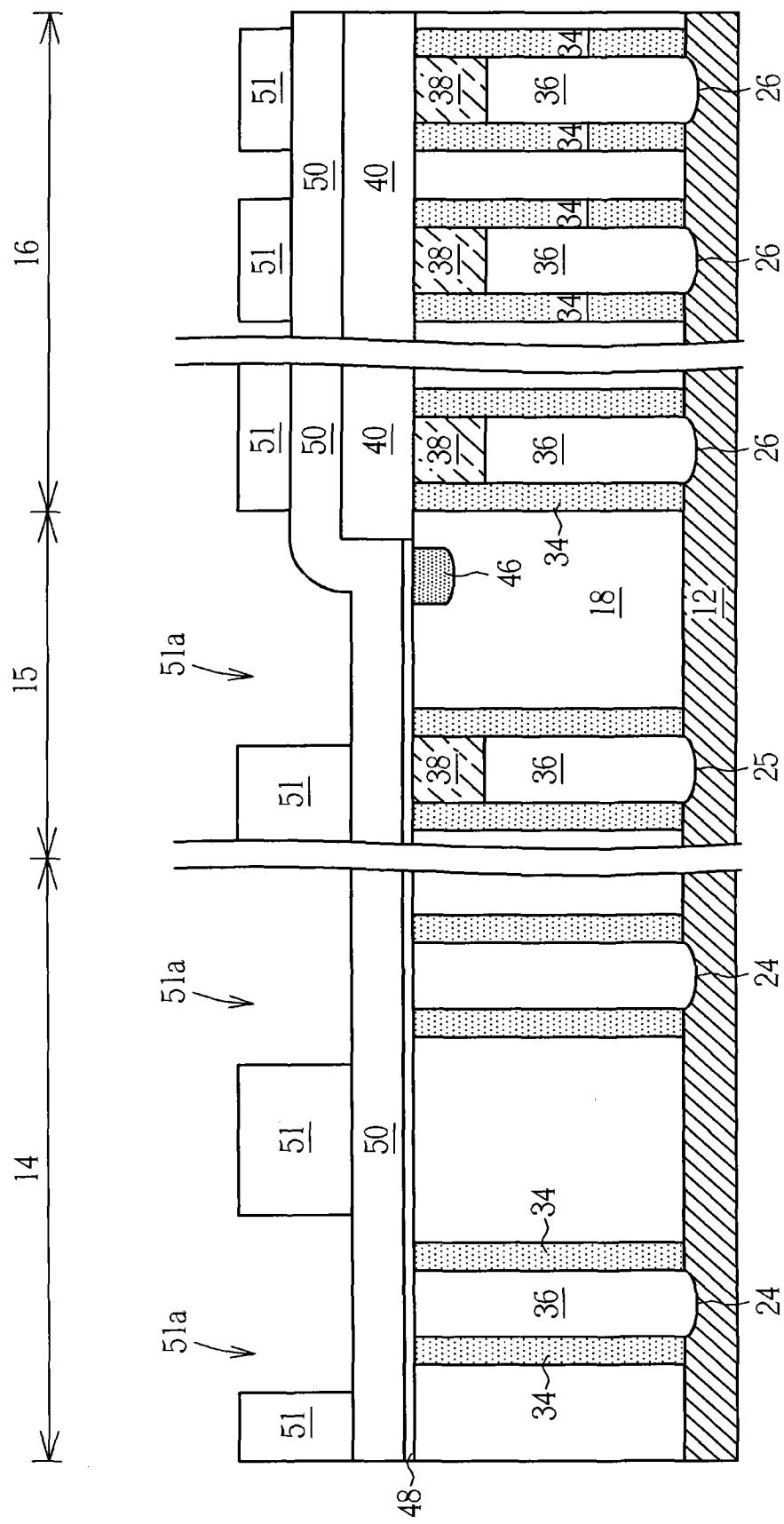


图 11

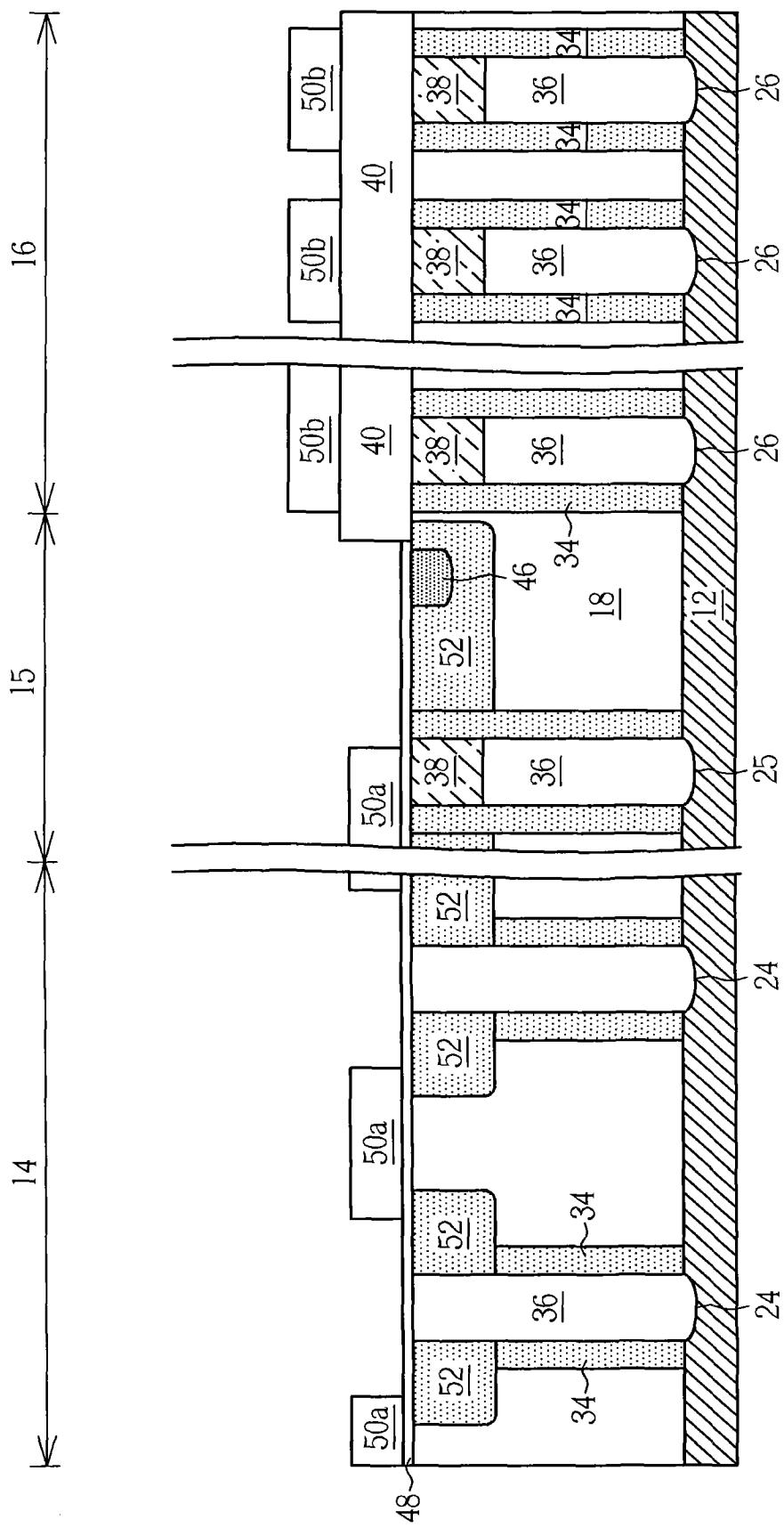


图 12

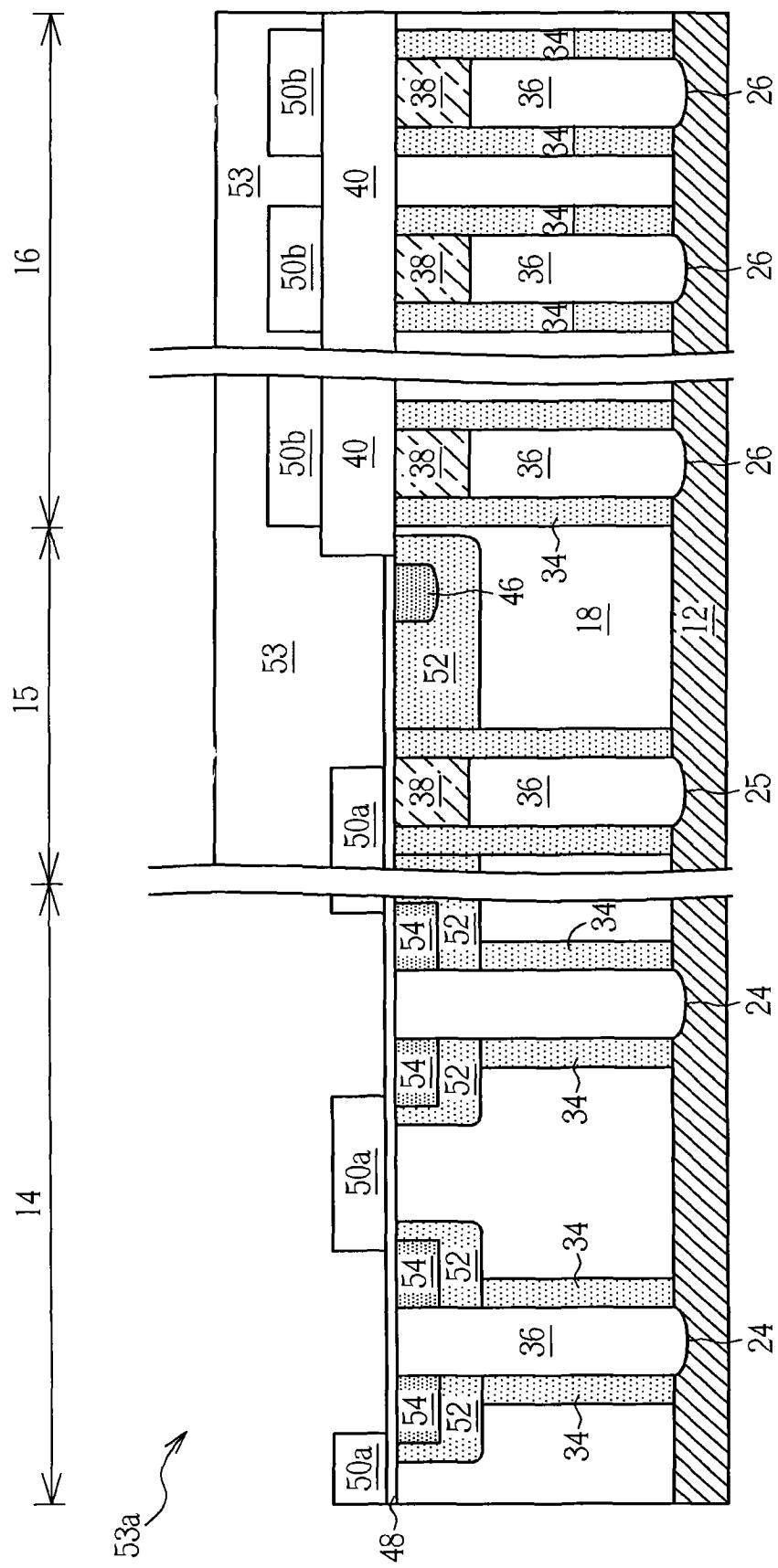


图 13

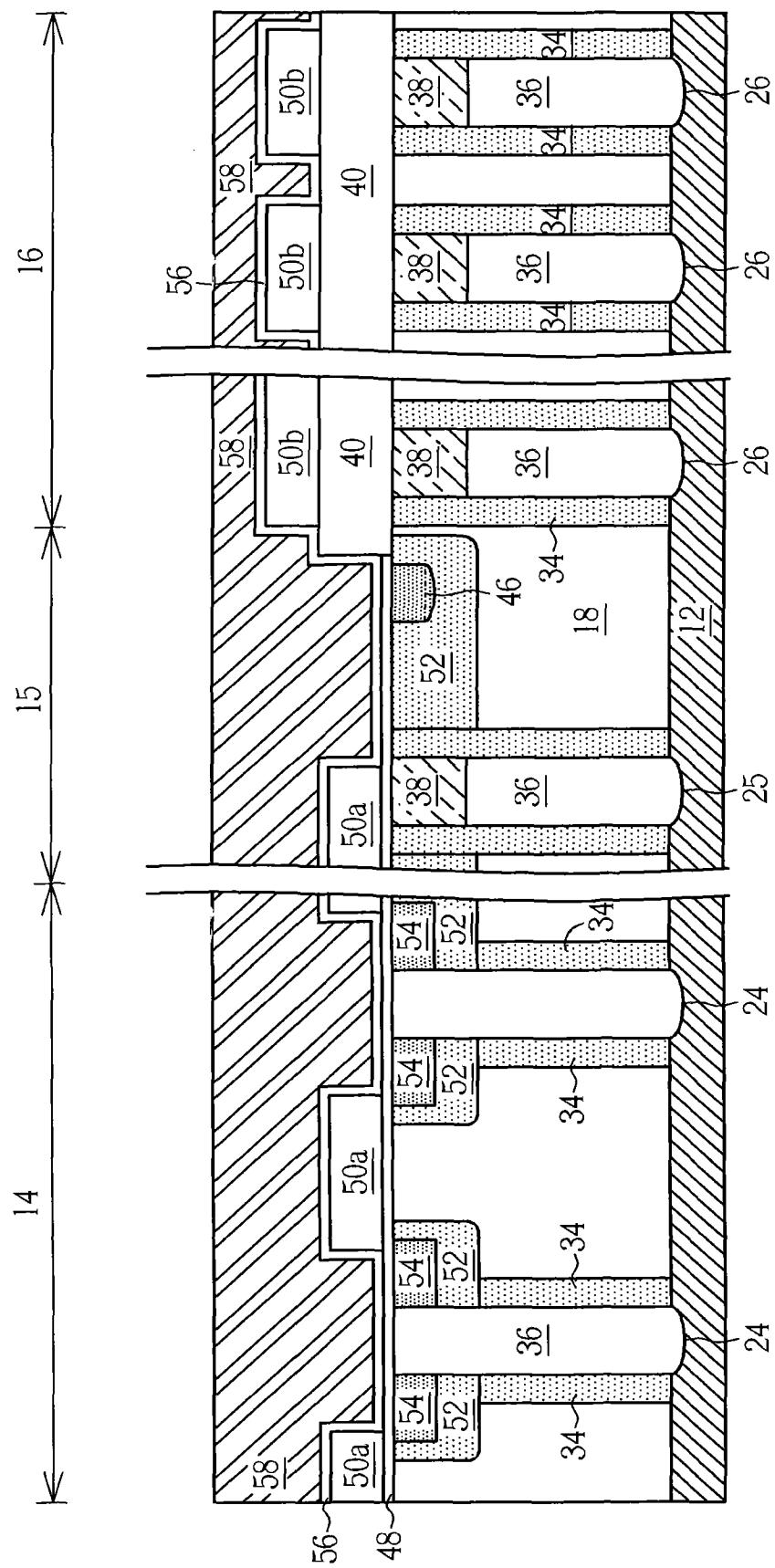


图 14

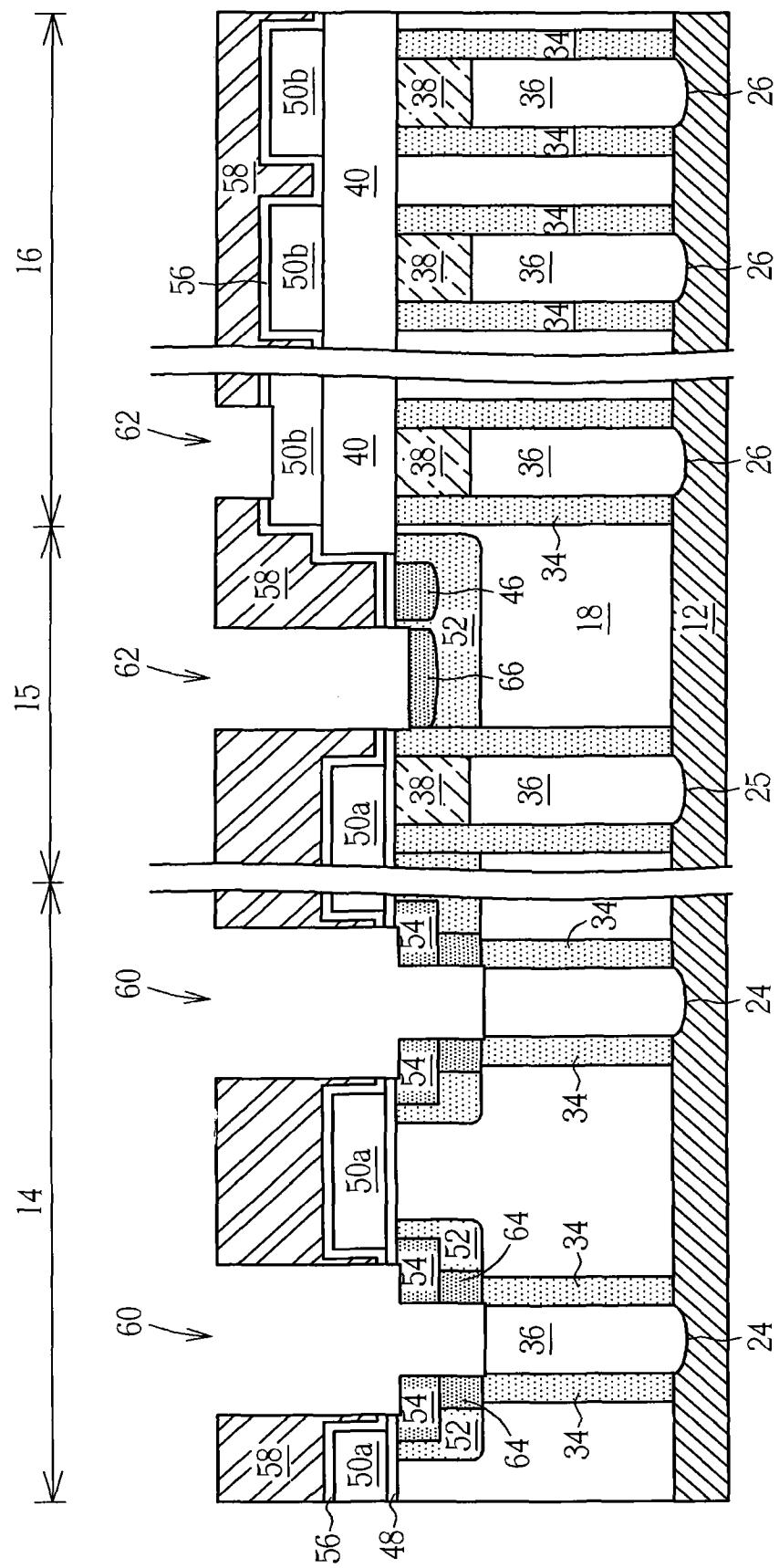


图 15

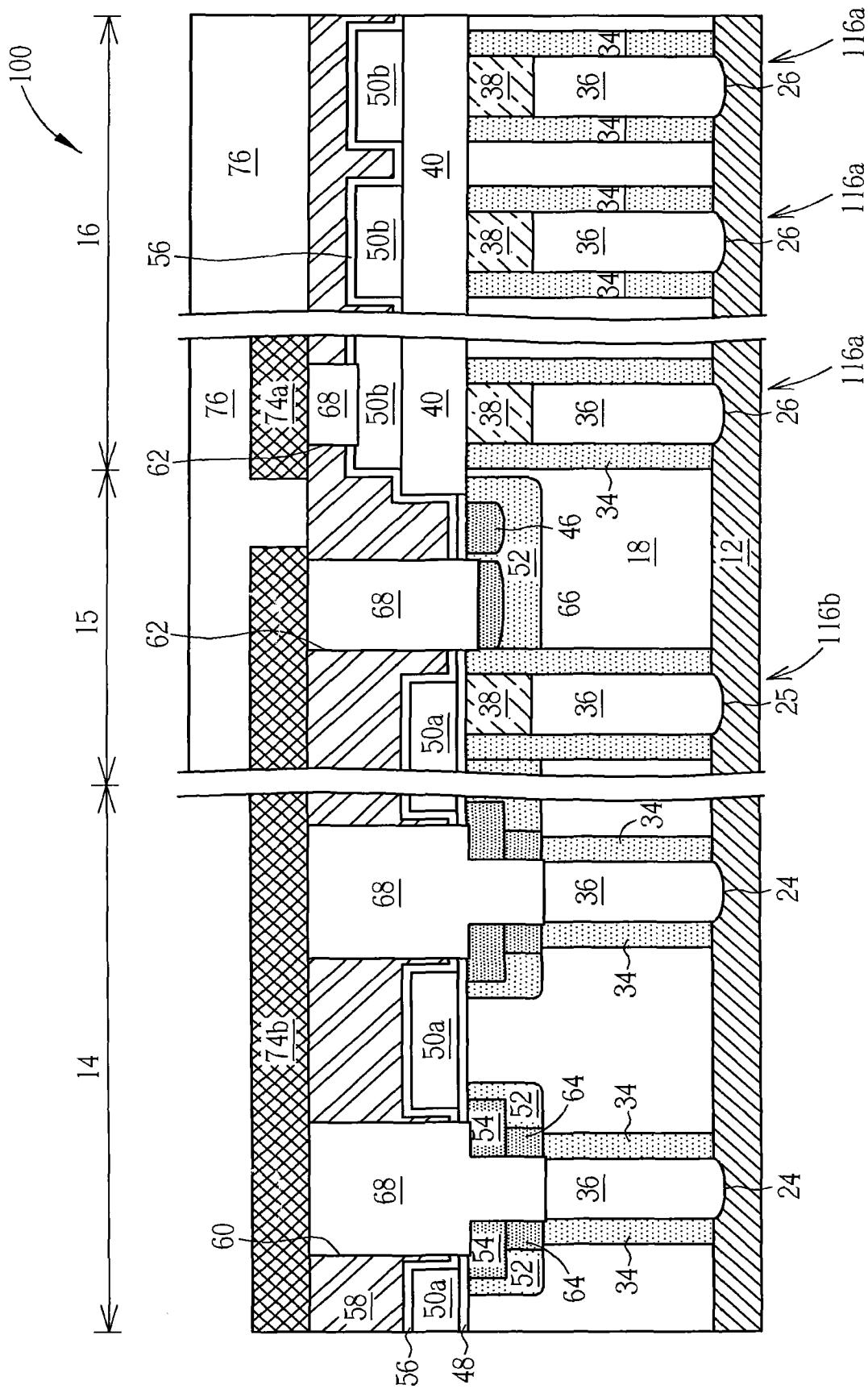


图 16