

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 7 月 25 日(25.07.2013)



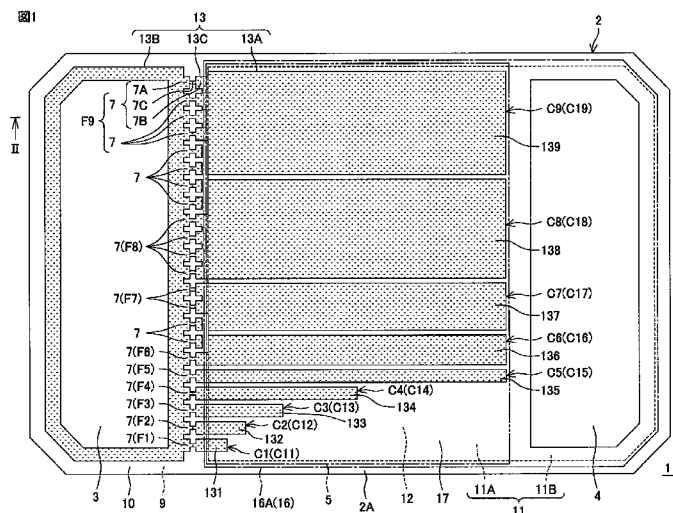
(10) 国際公開番号
WO 2013/108555 A1

- (51) 国際特許分類:
H01G 4/255 (2006.01) *H01G 4/38* (2006.01)
- (21) 国際出願番号: PCT/JP2012/083571 (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.);
〒5410054 大阪府大阪市中央区南本町 2 丁目 6
番 1 2 号 サンマリオン NBF タワー 2 1 階
あい特許事務所内 Osaka (JP).
- (22) 国際出願日: 2012 年 12 月 26 日(26.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (30) 優先権データ:
特願 2012-007071 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007072 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007073 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007074 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007075 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007076 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-268570 2012 年 12 月 7 日(07.12.2012) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1
番地 Kyoto (JP).
- (72) 発明者: 岡田 博行(OKADA, Hiroyuki); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地 ローム
株式会社内 Kyoto (JP). 不破 保博(FUWA, Yas-

[続葉有]

(54) Title: CHIP CAPACITOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: チップコンデンサおよびその製造方法



(57) Abstract: [Problem] To provide: a chip capacitor that is capable of easily and rapidly accommodating a plurality of types of capacitance values using a common design; and a method for manufacturing said chip capacitor. [Solution] A chip capacitor (1) includes a substrate (2), a first external electrode (3) positioned on the substrate (2), a second external electrode (4), capacitor elements (C1 to C19) and fuses (F1 to F9). The capacitor elements (C1 to C19): include a first electrode film, a first capacitor film (12) on the first electrode film (11), a second electrode film (13) on the first capacitor film (12) and facing the first electrode film (11), a second capacitor film (17) on the second electrode film (13), and a third electrode film (16) on the second capacitor film (17) and facing the second electrode film (13); and are connected between the first external electrode (3) and the second external electrode (4). The fuses (F1 to F9) are each disposed between the capacitor elements (C1 to C19) and the first external electrode (3) or the second external electrode (4), and are able to cut off each of the plurality of capacitor elements (C1 to C19).

(57) 要約:

[続葉有]

WO 2013/108555 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

【課題】共通の設計で複数種類の容量値に容易にかつ速やかに対応することができるチップコンデンサおよびその製造方法を提供すること。【解決手段】チップコンデンサ 1 は、基板 2 と、基板 2 上に配置された第 1 外部電極 3、第 2 外部電極 4、キャパシタ要素 C 1 ～ C 19 およびヒューズ F 1 ～ F 9 とを含む。キャパシタ要素 C 1 ～ C 19 は、第 1 電極膜 1 1 と、第 1 電極膜 1 1 上の第 1 容量膜 1 2 と、第 1 容量膜 1 2 上で第 1 電極膜 1 1 に対向する第 2 電極膜 1 3 と、第 2 電極膜 1 3 上の第 2 容量膜 1 7 と、第 2 容量膜 1 7 上で第 2 電極膜 1 3 に対向する第 3 電極膜 1 6 とを含み、第 1 外部電極 3 および第 2 外部電極 4 の間に接続されている。ヒューズ F 1 ～ F 9 は、キャパシタ要素 C 1 ～ C 19 と第 1 外部電極 3 または第 2 外部電極 4 との間にそれぞれ介装され、複数のキャパシタ要素 C 1 ～ C 19 をそれぞれ切り離し可能である。

明 細 書

発明の名称： チップコンデンサおよびその製造方法

技術分野

[0001] 本発明は、チップコンデンサおよびその製造方法に関する。

背景技術

[0002] 特許文献 1 は、ベース基板の表面に内部電極を介して誘電体層を形成し、この誘電体層上にレーザによりトリミング可能な上部電極を前記内部電極と対向して形成したレーザトリマブルコンデンサを開示している。上部電極の一部がレーザによって除去され、それによって、電極間の静電容量が所望の値に追い込まれる。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 0 1 - 2 8 4 1 6 6 号公報

発明の概要

発明が解決しようとする課題

[0004] 上記のような構造では、複数種類の容量値のコンデンサが必要な場合に、その複数の容量値に対応した複数種類のコンデンサを個別に設計する必要がある。そのため、設計のための長い期間が必要となり、かつ、そのための多大な労力が必要となる。しかも、コンデンサが搭載される機器の仕様変更のために新たな容量値のコンデンサが必要となったときに、速やかに対応することができない。

[0005] そこで、本発明の目的は、共通の設計で複数種類の容量値に容易にかつ速やかに対応することができるチップコンデンサおよびその製造方法を提供することである。

課題を解決するための手段

[0006] 請求項 1 記載の発明は、基板と、前記基板上に配置された第 1 外部電極と、前記基板上に配置された第 2 外部電極と、前記基板上に形成された第 1 電極

膜と、前記第 1 電極膜上に形成された第 1 容量膜と、前記第 1 容量膜上に前記第 1 電極膜に対向するように形成された第 2 電極膜と、前記第 2 電極膜上に形成された第 2 容量膜と、前記第 2 容量膜上に前記第 2 電極膜に対向するように形成された第 3 電極膜とを含み、前記第 1 外部電極および前記第 2 外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第 1 外部電極または前記第 2 外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサである。

[0007] この構成によれば、基板上に配置された第 1 および第 2 外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第 1 または第 2 外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。

[0008] さらに本発明では、第 1 電極膜、第 1 容量膜および第 2 電極膜によって、一つのキャパシタ構造が形成されており、第 2 電極膜、第 2 容量膜および第 3 電極膜によって別のキャパシタ構造が形成されている。すなわち、基板上に多層のキャパシタ構造が形成されているので、チップコンデンサの大容量化を図ることができる。すなわち、小さな基板サイズでも大容量コンデンサを提供でき、同じ容量であればより小型のチップコンデンサを提供することができる。

[0009] 請求項 2 記載の発明は、前記複数のキャパシタ要素が、互いに異なる容量値を有している、請求項 1 に記載のチップコンデンサである。この構成により、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。請求項 3 記載の発明は、前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、請求項 2 に記載のチップコンデンサである。この構

成により、第1外部電極および第2外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

[0010] 請求項4記載の発明は、前記複数のヒューズのうちの少なくとも一つが切断されている、請求項1～3のいずれか一項に記載のチップコンデンサである。容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

[0011] 請求項5記載の発明は、前記第2電極膜が、複数の第2電極膜部分に分割されており、前記複数の第2電極膜部分にそれぞれ前記複数のヒューズが接続されている、請求項1～4のいずれか一項に記載のチップコンデンサである。この構成によれば、第1電極膜と第2電極膜との間に第1容量膜を挟み込むことによってキャパシタ構造が構成されているとともに、第2電極膜と第3電極膜との間に第2容量膜を挟み込むことによって別のキャパシタ構造が構成されている。そして、第2電極膜を複数の第2電極膜部分に分割することによって、それぞれの第2電極膜部分が第1および第3電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。そして、複数のキャパシタ要素のうち、該当する第2電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

[0012] 請求項6記載の発明は、前記複数の第2電極膜部分が、互いに異なる対向面積で前記第1電極膜および前記第3電極膜に対向している、請求項5に記載のチップコンデンサである。この構成により、対向面積が互いに異なる複数の第2電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、

複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

[0013] 請求項7記載の発明は、前記複数の第2電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項6に記載のチップコンデンサである。この構成により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

[0014] 請求項8記載の発明は、前記第1電極膜が、複数の第1電極膜部分に分割されており、前記複数の第1電極膜部分に前記複数のヒューズがそれぞれ接続されている、請求項1～7のいずれか一項に記載のチップコンデンサである。この構成によれば、第1電極膜を複数の第1電極膜部分に分割することによって、それぞれの第1電極膜部分が第2電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。そして、複数のキャパシタ要素のうち、該当する第1電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

[0015] 請求項9記載の発明は、前記複数の第1電極膜部分が、互いに異なる対向面積で前記第2電極膜に対向している、請求項8に記載のチップコンデンサである。この構成により、対向面積が互いに異なる複数の第1電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値

を有するチップコンデンサを構成することができる。

[0016] 請求項 10 記載の発明は、前記複数の第 1 電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項 9 に記載のチップコンデンサである。この構成により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

[0017] 請求項 11 記載の発明は、前記第 3 電極膜が、複数の第 3 電極膜部分に分割されており、前記複数の第 3 電極膜部分に前記複数のヒューズがそれぞれ接続されている、請求項 1～10 のいずれか一項に記載のチップコンデンサである。この構成によれば、第 3 電極膜を複数の第 3 電極膜部分に分割することによって、それぞれの第 3 電極膜部分が第 2 電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。そして、複数のキャパシタ要素のうち、該当する第 3 電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

[0018] 請求項 12 記載の発明は、前記複数の第 3 電極膜部分が、互いに異なる対向面積で前記第 2 電極膜に対向している、請求項 11 に記載のチップコンデンサである。この構成により、対向面積が互いに異なる複数の第 3 電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

[0019] 請求項 13 記載の発明は、前記複数の第 3 電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項 12 に記載のチップコンデンサである。この構成により、容量値が等比数列をなすように設定された複数の

キャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

[0020] 請求項 1 4 記載の発明は、前記複数のヒューズが、前記基板の主面を垂直に見下ろす平面視において重なり合わないように位置をずらして配置されている、請求項 1 ～ 1 3 のいずれか一項に記載のチップコンデンサである。この構成によれば、基板の主面に対して垂直な方向からレーザ光を照射することにより、所望のヒューズのみを切断でき、別のヒューズが誤って切断されることを回避できる。これにより、チップコンデンサの容量値を確実に目標値に合わせ込むことができる。

[0021] 請求項 1 5 記載の発明は、前記第 1 電極膜、前記第 2 電極膜または前記第 3 電極膜と前記ヒューズとが同じ導電性材料の膜で形成されている、請求項 5 ～ 1 3 のいずれか一項に記載のチップコンデンサである。この構成では、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。

[0022] 請求項 1 6 記載の発明は、基板上に複数のキャパシタ要素を形成する工程と、基板上に第 1 外部電極および第 2 外部電極を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続する複数のヒューズを前記基板上に形成する工程とを含み、前記複数のキャパシタ要素を形成する工程が、前記基板上に第 1 電極膜を形成する工程と、前記第 1 電極膜上に第 1 容量膜を形成する工程と、前記第 1 容量膜上に前記第 1 電極膜に対向するように第 2 電極膜を形成する工程と、前記第 2 電極膜上に第 2 容量膜を形成する工程と、前記第 2 容量膜上に前記第 2 電極膜に対向するように第 3 電極膜を形成する工程と、前記第 1 電極膜、前記第 2 電極膜および前記第 3 電極膜の少なくとも一つを複数の電極膜部分に分割する工程とを含む、チップコンデンサの製造方法である。

[0023] この方法により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。また、小さな基板サイズでも大容量コンデンサを提供でき、同じ容量であればより小型のチップコンデンサを提供することができる。

請求項 17 記載の発明は、前記ヒューズが、前記複数の電極膜部分にそれぞれ接続されるように形成される、請求項 16 に記載のチップコンデンサの製造方法である。この方法によれば、複数の電極膜部分によって基板上に設けられた複数のキャパシタ要素のうち、該当する電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

[0024] 請求項 18 記載の発明は、前記複数の電極膜部分が、前記第 1 容量膜または前記第 2 容量膜を挟んで対向する電極膜に対して互いに異なる対向面積で対向するように形成される、請求項 16 または 17 に記載のチップコンデンサの製造方法である。この方法により、複数の電極膜部分が互いに異なる対向面積で電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

[0025] 請求項 19 記載の発明は、前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、請求項 18 に記載のチップコンデンサの製造方法である。この方法により、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。

[0026] 請求項 20 記載の発明は、前記複数のヒューズが、前記基板の主面を垂直に見下ろす平面視において重なり合わないように位置をずらして配置されて形成される、請求項 16 ～ 19 のいずれか一項に記載のチップコンデンサの製

造方法である。この方法によれば、基板の主面に対して垂直な方向からレーザ光を照射することにより、所望のヒューズのみを切断でき、別のヒューズが誤って切断されることを回避できる。これにより、チップコンデンサの容量値を確実に目標値に合わせ込むことができる。

[0027] 請求項 2 1 記載の発明は、前記第 1 電極膜、前記第 2 電極膜または前記第 3 電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、請求項 1 6 ～ 2 0 のいずれか一項に記載のチップコンデンサの製造方法である。この方法によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができる。これにより、製造工程が簡単になる。

[0028] 請求項 2 2 記載の発明は、前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、請求項 1 6 ～ 2 1 のいずれか一項に記載のチップコンデンサの製造方法である。この方法により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第 1 および第 2 外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

[0029] 請求項 2 3 記載の発明は、前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、請求項 2 2 に記載のチップコンデンサの製造方法である。この方法によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

[0030] 請求項 2 4 記載の発明は、前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、請求項 2 2 または 2 3 に記載のチップコンデンサの製造方法である。この方法により、ヒューズの切断

部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

図面の簡単な説明

[0031] [図1]図 1 は、本発明の第 1 の実施形態に係るチップコンデンサの平面図である。

[図2]図 2 は、図 1 の切断面線II-IIから見た断面図である。

[図3]図 3 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図4]図 4 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図5]図 5 は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

[図6]図 6 A、図 6 Bおよび図 6 Cは、ヒューズの切断に関連する工程を説明するための断面図である。

[図7]図 7 は、本発明の第 2 の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図8]図 8 は、本発明の第 3 の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

[図9]図 9 は、本発明の第 3 の実施形態に係るチップコンデンサの模式的な平面図である。

[図10]図 10 は、第 1 参考例の第 1 の実施形態に係るチップコンデンサの平面図である。

[図11]図 11 は、図 10 の切断面線XI-XIから見た断面図である。

[図12]図 12 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図13]図 13 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図14]図14は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

[図15]図15A、図15Bおよび図15Cは、ヒューズの切断に関連する工程を説明するための断面図である。

[図16]図16は、第1参考例の第2の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図17]図17は、第1参考例の第3の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

[図18]図18は、第2参考例の第1の実施形態に係るチップコンデンサの平面図である。

[図19]図19は、図18の切断面線IXX-IXXから見た断面図である。

[図20]図20は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図21]図21は、前記チップコンデンサの電氣的な等価回路図である。

[図22]図22は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図23]図23は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

[図24]図24A、図24Bおよび図24Cは、ヒューズの切断に関連する工程を説明するための断面図である。

[図25]図25は、第2参考例の第2の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図26]図26は、第2参考例の第3の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

[図27]図27は、第3参考例の第1の実施形態に係るチップコンデンサの平面図である。

[図28]図28は、図27の切断面線XXVIII-XXVIIIから見た断面図である。

[図29]図29は、前記チップコンデンサの一部の構成を分離して示す分解斜

視図である。

[図30]図30は、前記チップコンデンサの電氣的な等価回路図である。

[図31]図31は、前記チップコンデンサのインピーダンス特性を示すグラフである。

[図32]図32は、基板の有効抵抗領域の大きさを示すチップ形状の図である。

[図33]図33は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図34]図34は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

[図35]図35A、図35Bおよび図35Cは、ヒューズの切断に関連する工程を説明するための断面図である。

[図36]図36は、第3参考例の第2の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図37]図37は、第3参考例の第3の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

[図38]図38は、第4参考例の第1の実施形態に係るチップコンデンサの平面図である。

[図39]図39は、図38の切断面線XXXIX-XXXIXから見た断面図である。

[図40]図40は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図41]図41は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図42]図42は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

[図43]図43A、図43Bおよび図43Cは、ヒューズの切断に関連する工程を説明するための断面図である。

[図44]図44は、第4参考例の第2の実施形態に係るチップコンデンサの構

成を説明するための平面図である。

[図45]図45は、第4参考例の第3の実施形態に係るチップコンデンサの構成を説明するための断面図である。

[図46]図46は、図45のチップコンデンサの一部の構成を分離して示す分解斜視図である。

[図47]図47は、第4参考例の第4の実施形態に係るチップコンデンサの構成を説明するための断面図である。

[図48]図48は、第5参考例の第1の実施形態に係るチップコンデンサの平面図である。

[図49]図49は、図48の切断面線XLIX-XLIXから見た断面図である。

[図50]図50は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図51]図51は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図52]図52は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

[図53]図53A、図53Bおよび図53Cは、ヒューズの切断に関連する工程を説明するための断面図である。

[図54]図54は、第5参考例の第2の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図55]図55は、第5参考例の第3の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

発明を実施するための形態

[0032] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の第1の実施形態に係るチップコンデンサの平面図であり、図2はその断面図であって、図1の切断面線II-IIから見た切断面が示されている。さらに、図3は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。チップコンデンサ1は、基板2と、基板2上に配置

された第1外部電極3と、同じく基板2上に配置された第2外部電極4とを備えている。基板2は、この実施形態では、基板2の主面（表面）2Aを垂直に見下ろす平面視において四隅を面取りした矩形形状を有している。基板2の長手方向両端部に第1外部電極3および第2外部電極4がそれぞれ配置されている。第1外部電極3および第2外部電極4は、この実施形態では、基板2の短手方向に延びたほぼ矩形の平面形状を有し、基板2の角に対応する各2箇所面に面取り部を有している。基板2上には、第1外部電極3および第2外部電極4の間のキャパシタ配置領域5内に、複数のキャパシタ要素C1～C19が配置されている。複数のキャパシタ要素C1～C19は、複数のヒューズユニット7（ヒューズ）を介してそれぞれ第1外部電極3に電氣的に接続されている。この実施形態では、キャパシタ要素C1の真上にキャパシタ要素C11が位置し、同様に、キャパシタ要素C2～C9のそれぞれの真上に、キャパシタ要素C12～C19において対応するキャパシタ要素（符号の末尾の数字が同じキャパシタ要素）が位置している。そのため、このチップコンデンサ1は、キャパシタ要素が上下に積層された多層（ここでは2層）のキャパシタ構造を有している。

[0033] 図2および図3に示されているように、基板2の表面には絶縁膜8が形成されていて、絶縁膜8の表面に第1電極膜11が形成されている。第1電極膜11は、キャパシタ配置領域5のほぼ全域にわたっているとともに、第2外部電極4の直下の領域にまで延びて形成されている。より具体的には、第1電極膜11は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域11Aと、外部電極引き出しのためのパッド領域11Bとを有している。キャパシタ電極領域11Aがキャパシタ配置領域5に位置していて、パッド領域11Bが第2外部電極4の直下に位置している。

[0034] キャパシタ配置領域5において第1電極膜11（キャパシタ電極領域11A）を覆うように第1容量膜（誘電体膜）12が形成されている。第1容量膜12は、キャパシタ電極領域11Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極3の直下の領域にまで延び、キャパシタ配

置領域 5 外の絶縁膜 8 を覆っている。第 1 容量膜 12 の上には、第 2 電極膜（容量調整電極膜）13 が形成されている。図 1 では、明瞭化のために、第 2 電極膜 13 を着色して示してある。第 2 電極膜 13 は、キャパシタ配置領域 5 に位置するキャパシタ電極領域 13A と、第 1 外部電極 3 の直下に位置するパッド領域 13B と、パッド領域 13B とキャパシタ電極領域 13A との間に配置されたヒューズ領域 13C とを有している。

[0035] キャパシタ電極領域 13A において、第 2 電極膜 13 は、複数の（第 2）電極膜部分 131～139 に分割されている。この実施形態では、各電極膜部分 131～139 は、いずれも矩形形状に形成されていて、ヒューズ領域 13C から第 2 外部電極 4 に向かって帯状に延びている。複数の電極膜部分 131～139 は、複数種類の互いに異なる対向面積で、第 1 容量膜 12 を挟んで第 1 電極膜 11 に対向している。より具体的には、電極膜部分 131～139 の第 1 電極膜 11 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 131～139 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された（第 1 電極膜 11 に対する）対向面積を有する複数の電極膜部分 131～138（または 131～137, 139）を含む。これによって、各電極膜部分 131～139 と第 1 容量膜 12 を挟んで対向する第 1 電極膜 11 とによってそれぞれ構成される複数のキャパシタ要素 C1～C9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 131～139 の対向面積の比が前述の通りである場合、キャパシタ要素 C1～C9 の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となる。すなわち、複数のキャパシタ要素 C1～C9 は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 C1～C8（または C1～C7, C9）を含むことになる。

[0036] この実施形態では、電極膜部分 131～135 は、幅が等しく、長さの比を 1 : 2 : 4 : 8 : 16 に設定した帯状に形成されている。また、電極膜部分

135, 136, 137, 138, 139は、長さが等しく、幅の比を1 : 2 : 4 : 8 : 8に設定した帯状に形成されている。電極膜部分135~139は、キャパシタ配置領域5の第1外部電極3側の端縁から第2外部電極4側の端縁までの範囲に渡って延びて形成されており、電極膜部分131~134は、それよりも短く形成されている。

[0037] パッド領域13Bは、第1外部電極3とほぼ相似形に形成されており、基板2の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域13Bの一つの長辺（基板2の周縁に対して内方側の長辺）に沿ってヒューズ領域13Cが配置されている。ヒューズ領域13Cは、パッド領域13Bの前記1つの長辺に沿って配列された複数のヒューズユニット7を含む。ヒューズユニット7は、第2電極膜13のパッド領域13Bと同じ材料で一体的に形成されている。複数の電極膜部分131~139は、1つまたは複数個のヒューズユニット7と一体的に形成されていて、それらのヒューズユニット7を介してパッド領域13Bに接続され、このパッド領域13Bを介して第1外部電極3に電氣的に接続されている。面積の比較的小さな電極膜部分131~136は、一つのヒューズユニット7によってパッド領域13Bに接続されており、面積の比較的大きな電極膜部分137~139は複数個のヒューズユニット7を介してパッド領域13Bに接続されている。全てのヒューズユニット7が用いられる必要はなく、この実施形態では、一部のヒューズユニット7は未使用である。

[0038] ヒューズユニット7は、パッド領域13Bとの接続のための第1幅広部7Aと電極膜部分131~139との接続のための第2幅広部7Bと、第1および第2幅広部7A, 7Bの間を接続する幅狭部7Cとを含む。幅狭部7Cは、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分131~139のうち不要な電極膜部分をヒューズユニット7の切断によって第1および第2外部電極3, 4から電氣的に切り離すことができる。

[0039] 図2に示すように、第2電極膜13を覆うように第2容量膜（誘電体膜）1

7が形成されている。第2容量膜17は、第2電極膜13の全域にわたって連続しており、この実施形態では、さらに、第1容量膜12において第2電極膜13が配置されていない部分も覆っている。第2容量膜17の上には、第3電極膜16が形成されている。第3電極膜16は、キャパシタ配置領域5に位置するキャパシタ電極領域16Aと、第1電極膜11のパッド領域11Bの真上（平面視で重なる領域）に位置するパッド領域16Bとを有している。

[0040] この場合、キャパシタ配置領域5において、第1電極膜11のキャパシタ電極領域11Aと第2電極膜13のキャパシタ電極領域13Aとが第1容量膜12を挟んで対向していて、第2電極膜13のキャパシタ電極領域13Aと第3電極膜16のキャパシタ電極領域16Aとが第2容量膜17を挟んで対向している。また、第2電極膜13のキャパシタ電極領域13Aにおける複数の電極膜部分131～139（図1参照）は、複数種類の互いに異なる対向面積で、第2容量膜17を挟んで第3電極膜16に対向している。より具体的には、電極膜部分131～139の第3電極膜16に対する対向面積は、第1電極膜11に対する場合と同様に、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分131～139は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された（第3電極膜16に対する）対向面積を有する複数の電極膜部分131～138（または131～137，139）を含む。これによって、各電極膜部分131～139と第2容量膜17を挟んで対向する第3電極膜16とによってそれぞれ構成される複数のキャパシタ要素C11～C19は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分131～139の対向面積の比が前述の通りである場合、キャパシタ要素C11～C19の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C11～C19は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C

11～C18（またはC11～C17，C19）を含むことになる。

[0041] そして、この実施形態では、キャパシタ要素C1～C9のそれぞれと、キャパシタ要素C11～C19における対応するキャパシタ要素（符号の末尾の数字が同じキャパシタ要素）とは、電極膜部分131～138のうち共通する電極膜部分を有しているから、等しい容量値を有している。このように、チップコンデンサ1では、第1電極膜11、第1容量膜12および第2電極膜13によって、一つのキャパシタ構造が形成されており、第2電極膜13、第2容量膜17および第3電極膜16によって別のキャパシタ構造が形成されている。すなわち、基板2上に多層（ここでは2層）のキャパシタ構造が形成されているので、チップコンデンサ1の大容量化を図ることができる。すなわち、小さな基板2サイズでも大容量コンデンサを提供でき、同じ容量であればより小型のチップコンデンサ1を提供することができる。

[0042] 図1および図3では図示を省略したが、図2に表れている通り、第3電極膜16の表面を含むチップコンデンサ1の表面はパッシベーション膜9によって覆われている。パッシベーション膜9は、たとえば窒化膜からなっていて、チップコンデンサ1の上面のみならず、基板2の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜9の上には、ポリイミド樹脂等からなる樹脂膜10が形成されている。樹脂膜10は、チップコンデンサ1の上面を覆い、さらに基板2の側面に至って、当該側面上のパッシベーション膜9を覆うように形成されている。

[0043] パッシベーション膜9および樹脂膜10は、チップコンデンサ1の表面を保護する保護膜である。これらには、第1外部電極3および第2外部電極4に対応する領域にパッド開口21，22がそれぞれ形成されている。パッド開口21は、第1外部電極3に対応しており、第2電極膜13のパッド領域13Bの一部の領域を露出させるようにパッシベーション膜9、樹脂膜10および第2容量膜17を貫通している。パッド開口22は、第2外部電極4に対応しており、第1電極膜11のパッド領域11Bおよび第3電極膜16のパッド領域16Bの一部の領域を露出させるようにパッシベーション膜9、

樹脂膜 10、第 3 電極膜 16、第 1 容量膜 12 および第 2 容量膜 17 を貫通している。

[0044] パッド開口 21, 22 には、第 1 外部電極 3 および第 2 外部電極 4 がそれぞれ埋め込まれている。これにより、第 1 外部電極 3 は第 2 電極膜 13 のパッド領域 13B に接合しており、第 2 外部電極 4 は第 1 電極膜 11 のパッド領域 11B および第 3 電極膜 16 のパッド領域 16B に接合している。第 1 および第 2 外部電極 3, 4 は、樹脂膜 10 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 1 をフリップチップ接合することができる。

[0045] 図 4 は、チップコンデンサ 1 の内部の電氣的構成を示す回路図である。第 1 外部電極 3 と第 2 外部電極 4 との間に複数のキャパシタ要素 C1 ~ C19 が並列に接続されている。各キャパシタ要素 C1 ~ C19 と第 1 外部電極 3 との間には、一つまたは複数のヒューズユニット 7 でそれぞれ構成されたヒューズ F1 ~ F9 が直列に介装されている。具体的には、上下に重なっているキャパシタ要素の組（符号の末尾の数字が同じキャパシタ要素）が、共通のヒューズを介して第 1 外部電極 3（第 1 外部電極 3 および第 2 外部電極 4 の間）に対して接続されている。たとえば、キャパシタ要素 C1 および C11 の組が、共通のヒューズ F1 を介して第 1 外部電極 3 に対して接続されている。

[0046] ヒューズ F1 ~ F9 が全て接続されているときは、チップコンデンサ 1 の容量値は、キャパシタ要素 C1 ~ C19 の容量値の総和に等しい。複数のヒューズ F1 ~ F19 から選択した 1 つまたは 2 つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素の組が切り離され、当該切り離されたキャパシタ要素の組の容量値だけチップコンデンサ 1 の容量値が減少する。たとえば、ヒューズ F1 を切断すると、対応するキャパシタ要素 C1 および C11 の組が切り離され、当該切り離されたキャパシタ要素の組の容量値だけチップコンデンサ 1 の容量値が減少する。

[0047] そこで、パッド領域 1 1 B (1 6 B) , 1 3 B の間の容量値 (キャパシタ要素 C 1 ~ C 1 9 の総容量値) を測定し、その後、に所望の容量値に応じてヒューズ F 1 ~ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み (レーザトリミング) を行うことができる。とくに、キャパシタ要素 C 1 ~ C 8 (C 1 1 ~ C 1 8) の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値 (当該等比数列の初項の値) であるキャパシタ要素 C 1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0048] たとえば、キャパシタ要素 C 1 ~ C 1 9 の容量値は次のように定められていてもよい。前述したように、キャパシタ要素 C 1 ~ C 9 のそれぞれと、キャパシタ要素 C 1 1 ~ C 1 9 における対応するキャパシタ要素 (符号の末尾の数字が同じキャパシタ要素) とは、等しい容量値を有している。

$$\begin{aligned} C 1 &= C 1 1 = 0.03125 \text{ pF} & C 2 &= C 1 2 = 0.0625 \text{ pF} \\ C 3 &= C 1 3 = 0.125 \text{ pF} & C 4 &= C 1 4 = 0.25 \text{ pF} \\ C 5 &= C 1 5 = 0.5 \text{ pF} & C 6 &= C 1 6 = 1 \text{ pF} \\ C 7 &= C 1 7 = 2 \text{ pF} & C 8 &= C 1 8 = 4 \text{ pF} \\ C 9 &= C 1 9 = 4 \text{ pF} \end{aligned}$$

この場合、0.03125 pF の最小合わせ込み精度でチップコンデンサ 1 の容量を微調整できる。また、ヒューズ F 1 ~ F 9 から切断すべきヒューズを適切に選択することで、0.1 pF ~ 20 pF の間の任意の容量値のチップコンデンサ 1 を提供することができる。

[0049] 以上のように、この実施形態によれば、第 1 外部電極 3 および第 2 外部電極 4 の間に、ヒューズ F 1 ~ F 9 によって切り離し可能な複数のキャパシタ要素 C 1 ~ C 1 9 が設けられている。キャパシタ要素 C 1 ~ C 1 9 は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズ F 1 ~ F 9 から 1 つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所

望の容量値に正確に合わせ込むことができるチップコンデンサ 1 を提供できる。

[0050] チップコンデンサ 1 の各部の詳細について以下に説明を加える。 図 1 を参照して、基板 2 は、たとえば平面視において $0.3\text{ mm} \times 0.15\text{ mm}$ 、 $0.4\text{ mm} \times 0.2\text{ mm}$ 、または $0.2\text{ mm} \times 0.1\text{ mm}$ などの矩形形状（好ましくは、 $0.4\text{ mm} \times 0.2\text{ mm}$ 以下の大きさ）を有していてもよい。キャパシタ配置領域 5 は、概ね、基板 2 の短辺の長さに相当する一辺を有する正方形領域となる。基板 2 の厚さは、 $150\text{ }\mu\text{m}$ 程度であってもよい。基板 2 は、たとえば、裏面側（キャパシタ要素 $C_1 \sim C_{19}$ が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 2 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0051] 図 2 を参照して、絶縁膜 8 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、 $500\text{ }\text{\AA} \sim 2000\text{ }\text{\AA}$ 程度であってもよい。第 1 電極膜 11 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる第 1 電極膜 11 は、スパッタ法によって形成することができる。第 2 電極膜 13 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる第 2 電極膜 13 は、スパッタ法によって形成することができる。第 2 電極膜 13 のキャパシタ電極領域 13A を電極膜部分 131 ~ 139 に分割し、かつヒューズ領域 13C を複数のヒューズユニット 7 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。第 3 電極膜 16 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる第 3 電極膜 16 は、スパッタ法によって形成することができる。

[0052] このように、第 1 電極膜 11、第 2 電極膜 13 および第 3 電極膜 16 の少なくともいずれか（ここでは全部）は、ヒューズユニット 7 と同じ導電性材料

の膜で形成されている。この場合、電極膜とヒューズユニット 7 とを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができるので、製造工程が簡単になる。

[0053] 第 1 容量膜 1 2 および第 2 容量膜 1 7 は、たとえば窒化シリコン膜で構成することができ、その膜厚は $500\text{ \AA} \sim 2000\text{ \AA}$ （たとえば $1000\text{ \AA}$ ）とすることができる。第 1 容量膜 1 2 および第 2 容量膜 1 7 は、プラズマ CVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。

パッシベーション膜 9 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ CVD 法によって形成できる。その膜厚は、 $8000\text{ \AA}$ 程度とされてもよい。樹脂膜 1 0 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0054] 第 1 および第 2 外部電極 3, 4 は、たとえば、第 1 電極膜 1 1（第 3 電極膜 1 6）または第 2 電極膜 1 3 に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は第 1 電極膜 1 1（第 3 電極膜 1 6）または第 2 電極膜 1 3 に対する密着性の向上に寄与し、パラジウム層は第 1 電極膜 1 1（第 3 電極膜 1 6）または第 2 電極膜 1 3 の材料と第 1 および第 2 外部電極 3, 4 の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0055] 図 5 は、チップコンデンサ 1 の製造工程の一例を説明するための流れ図である。基板 2 の表面に、熱酸化法および／または CVD 法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜 8 が形成される（ステップ S 1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる第 1 電極膜 1 1 が絶縁膜 8 の表面全域に形成される（ステップ S 2）。第 1 電極膜 1 1 の膜厚は $8000\text{ \AA}$ 程度とされてもよい。次に、その第 1 電極膜 1 1 の表面に、第 1 電極膜 1 1 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップ S 3）。このレジストパターンをマ

スクとして、第1電極膜11がエッチングされることにより、図3等にしたパターンの第1電極膜11が得られる（ステップS4）。第1電極膜11のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0056] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる第1容量膜12が、第1電極膜11上に形成される（ステップS5）。第1電極膜11が形成されていない領域では、絶縁膜8の表面に第1容量膜12が形成されることになる。次いで、その第1容量膜12の上に、第2電極膜13が形成される（ステップS6）。第2電極膜13は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000Å程度とされてもよい。次いで、第2電極膜13の表面に第2電極膜13の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS7）。このレジストパターンをマスクとしたエッチングにより、第2電極膜13が、最終形状（図3等参照）にパターニングされる（ステップS8）。それによって、第2電極膜13は、キャパシタ電極領域13Aに複数の電極膜部分131～139を有し、ヒューズ領域13Cに複数のヒューズユニット7を有し、それらのヒューズユニット7に接続されたパッド領域13Bを有するパターンに整形される。第2電極膜13のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0057] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる第2容量膜17が、第2電極膜13上に形成される（ステップS9）。第2電極膜13が形成されていない領域では、第1容量膜12の表面に第2容量膜17が形成されることになる。次いで、その第2容量膜17の上に、第3電極膜16が形成される（ステップS10）。次に、その第3電極膜16の表面に、第3電極膜16の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS11）。このレジストパターンを

マスクとして、第3電極膜16がエッチングされることにより、図3等にしたパッド領域16Bを有するパターンの第3電極膜16が得られる（ステップS12）。第3電極膜16のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0058] この後、第2電極膜13のパッド領域13Bと第1電極膜11のパッド領域11B（第3電極膜16のパッド領域16B）とに検査用プローブを押し当てて、複数のキャパシタ要素C1～C19の総容量値が測定される（ステップS13）。この測定された総容量値に基づき、目的とするチップコンデンサ1の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS14）。

[0059] 次いで、図6Aに示すように、基板2上の全面にたとえば窒化膜からなるカバー膜23が形成される（ステップS15）。このカバー膜23の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜23は、パターニングされた第3電極膜16を覆い、第3電極膜16が形成されていない領域では第1容量膜12や第2容量膜17やパッド領域11Bにおける第1電極膜11を覆う。カバー膜23は、ヒューズ領域13Cにおいてはヒューズユニット7を覆うことになる。

[0060] この状態から、ヒューズユニット7を溶断するためのレーザトリミングが行われる（ステップS16）。すなわち、図6Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット7にレーザ光24を当てて、そのヒューズユニット7の幅狭部7Cが溶断される。これにより、対応するキャパシタ要素（キャパシタ要素の組）がパッド領域13Bから切り離される。ヒューズユニット7にレーザ光24を当てるとき、カバー膜23の働きによって、ヒューズユニット7の近傍にレーザ光24のエネルギーが蓄積され、それによって、ヒューズユニット7が溶断する。

[0061] なお、第2容量膜17が、レーザ光のエネルギーを蓄積するためのカバー膜

として利用できる程度に厚ければ、レーザトリミングの直前のカバー膜23の形成（ステップS15）は省かれてもよい。次に、図6Cに示すように、たとえばプラズマCVD法によって、カバー膜23上に窒化シリコン膜が堆積させられ、パッシベーション膜9が形成される（ステップS17）。前述のカバー膜23は最終形態において、パッシベーション膜9と一体化し、このパッシベーション膜9の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜9は、ヒューズ溶断の際に同時に破壊されたカバー膜23の開口内に入り込み、ヒューズユニット7の切断面を覆って保護する。したがって、パッシベーション膜9は、ヒューズユニット7の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぎ、チップコンデンサ1の信頼性を向上させる。パッシベーション膜9は、全体で、たとえば8000Å程度の膜厚を有するように形成されてもよい。

[0062] 次に、第1および第2外部電極3, 4を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜9上に形成される（ステップS18）。このレジストパターンをマスクとしてパッシベーション膜9のエッチングが行われる。この際、必要に応じて、第2容量膜17もエッチングされる。それによって、第1電極膜11をパッド領域11Bにおいて露出させ、第3電極膜16をパッド領域16Bにおいて露出させるパッド開口と、第2電極膜13をパッド領域13Bにおいて露出させるパッド開口とが形成されることになる（ステップS19）。パッシベーション膜9のエッチングは、反応性イオンエッチングによって行われてもよい。

[0063] 次いで、全面に樹脂膜が塗布される（ステップS20）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS21）。これにより、樹脂膜10およびパッシベーション膜9等を貫通したパッド開口21, 22が形成される。その後、

樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップS 2 2）、さらに、パッド開口2 1， 2 2内に、たとえば無電解めっき法によって、第1外部電極3および第2外部電極4が成長させられる（ステップS 2 3）。こうして、図1等を示す構造のチップコンデンサ1が得られる。

[0064] フォトリソグラフィ工程を利用した第2電極膜1 3のパターニングでは、微小面積の電極膜部分1 3 1～1 3 9を精度良く形成することができ、さらに微細なパターンのヒューズユニット7を形成することができる。そして、第3電極膜1 6のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ1を得ることができる。

[0065] 図7は、本発明の第2の実施形態に係るチップコンデンサ2 5の構成を説明するための平面図である。図7において、前述の図1に示された各部と対応する部分には同一の参照符号を付して示す。 前述の第1の実施形態では、第2電極膜1 3のキャパシタ電極領域1 3 Aがそれぞれ帯状の電極膜部分1 3 1～1 3 9に分割されている。この場合、図1に示すように、キャパシタ配置領域5内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板2上の限られた領域を有効に活用することができない。

[0066] そこで、図7に示す実施形態では、複数の電極膜部分1 3 1～1 3 9がL字形の電極膜部分1 4 1～1 4 9に分割されている。これによって、たとえば、図7の構成における電極膜部分1 4 9は、図1の構成の電極膜部分1 3 9の1. 5倍の面積で第1電極膜1 1および第3電極膜1 6のそれぞれに対向することができる。よって、図1の第1の実施形態において電極膜部分1 3 9に対応したキャパシタ要素C 9（C 1 9）が4 p Fの容量を有しているとすれば、この実施形態における電極膜部分1 4 9を用いることで、キャパシタ要素C 9（C 1 9）は6 p Fの容量を有することができる。これにより、キャパシタ配置領域5内を有効に活用して、より広い範囲でチップコンデン

サ 1 の容量値を設定することが可能となる。

[0067] この実施形態に係るチップコンデンサ 2 5 の製造工程は、図 5 に示した工程と実質的に同様である。ただし、第 2 電極膜 1 3 のパターニング（ステップ S 7, S 8）では、キャパシタ電極領域 1 3 A が、図 7 に示す形状の複数の電極膜部分 1 3 1 ~ 1 3 9 に分割される。図 8 は、本発明の第 3 の実施形態に係るチップコンデンサ 2 6 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 3 と同様にチップコンデンサ 2 6 の各部が表されている。

[0068] 第 1 の実施形態では、第 1 電極膜 1 1 および第 3 電極膜 1 6 のそれぞれがキャパシタ配置領域 5 のほぼ全域にわたる連続パターンからなるキャパシタ電極領域 1 1 A, 1 6 A を有し、第 2 電極膜 1 3 のキャパシタ電極領域 1 3 A が複数の電極膜部分 1 3 1 ~ 1 3 9 に分割されている（図 3 参照）。これに対して、この実施形態では、第 2 電極膜 1 3 のキャパシタ電極領域 1 3 A がキャパシタ配置領域 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、第 1 電極膜 1 1 のキャパシタ電極領域 1 1 A が複数の（第 1）電極膜部分 1 5 1 ~ 1 5 9 に分割され、第 3 電極膜 1 6 のキャパシタ電極領域 1 6 A が複数の（第 3）電極膜部分 1 8 1 ~ 1 8 4 に分割されている。電極膜部分 1 5 1 ~ 1 5 9 は、第 1 の実施形態における電極膜部分 1 3 1 ~ 1 3 9 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 1 4 1 ~ 1 4 9 と同様の形状および面積比に形成されてもよい。また、電極膜部分 1 8 1 ~ 1 8 4 も、電極膜部分 1 5 1 ~ 1 5 9 と同様に形成されてもよい。つまり、電極膜部分 1 5 1 ~ 1 5 9 は、互いに異なる対向面積で第 2 電極膜 1 3 に対向していて、当該対向面積は、等比数列をなすように設定されていてもよい。同様に、電極膜部分 1 8 1 ~ 1 8 4 も、互いに異なる対向面積で第 2 電極膜 1 3 に対向していて、当該対向面積は、等比数列をなすように設定されていてもよい。

[0069] このようにして、電極膜部分 1 5 1 ~ 1 5 9 と、第 1 容量膜 1 2 と、第 2 電極膜 1 3 とによって、複数のキャパシタ要素 C 2 1 ~ C 2 9 が構成されてい

る。この複数のキャパシタ要素C 2 1～C 2 9の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。さらに、電極膜部分1 8 1～1 8 4と、第2容量膜1 7と、第2電極膜1 3とによって、複数のキャパシタ要素C 3 1～C 3 4がさらに構成されている。この複数のキャパシタ要素C 3 1～C 3 4の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

[0070] 第1電極膜1 1は、さらに、キャパシタ電極領域1 1 Aとパッド領域1 1 Bとの間にヒューズ領域1 1 Cを有している。ヒューズ領域1 1 Cには、第1の実施形態のヒューズユニット7と同様の複数のヒューズユニット2 7がパッド領域1 1 Bに沿って一列に配列されている。各電極膜部分1 5 1～1 5 9（キャパシタ要素C 2 1～C 2 9）は、一つまたは複数のヒューズユニット2 7を介してパッド領域1 1 Bに接続されている。つまり、複数のヒューズユニット2 7は、キャパシタ要素C 2 1～C 2 9とパッド領域1 1 Bの第2外部電極4との間にそれぞれ介装されている。キャパシタ要素C 2 1～C 2 9のそれぞれに対応するヒューズユニット2 7は、ヒューズF 1 1～F 1 9を構成している（図9参照）。

[0071] 第3電極膜1 6は、さらに、キャパシタ電極領域1 6 Aとパッド領域1 6 Bとの間にヒューズ領域1 6 Cを有している。ヒューズ領域1 6 Cには、第1の実施形態のヒューズユニット7と同様の複数のヒューズユニット2 8がパッド領域1 6 Bに沿って一列に配列されている。各電極膜部分1 8 1～1 8 4（キャパシタ要素C 3 1～C 3 4）は、一つまたは複数のヒューズユニット2 8を介してパッド領域1 6 Bに接続されている。つまり、複数のヒューズユニット2 8は、キャパシタ要素C 3 1～C 3 4とパッド領域1 6 Bの第2外部電極4との間にそれぞれ介装されている。キャパシタ要素C 3 1～C 3 4のそれぞれに対応するヒューズユニット2 8は、ヒューズF 2 1～F 2 4を構成している（図9参照）。

[0072] 複数のヒューズユニット2 7（ヒューズF 1 1～F 1 9）および2 8（ヒューズF 2 1～F 2 4）は、それぞれ、第1電極膜1 1と第2電極膜1 3との間に配置されている。

ーズF 2 1～F 2 4)は、平面視において、重なり合わないように位置をずらして配置されている(図9参照)。詳しくは、ヒューズユニット2 7および2 8は、第2外部電極4の延びる方向(基板2の短手方向)に沿って間隔を隔てて1つずつ並んでいる。そのため、基板2の主面2 Aに対して垂直な方向からレーザ光2 4(図6 B参照)を照射することにより、所望のヒューズ(ヒューズユニット2 7, 2 8)のみを切断でき、別のヒューズが誤って切断されることを回避できる。これにより、チップコンデンサ1の容量値を確実に目標値に合わせ込むことができる。なお、第2電極膜1 3を、レーザ光2 4で切断しないように、平面視において、ヒューズユニット2 7および2 8と重なり合わないように配置しておく必要がある。

[0073] 第3の実施形態の構成によっても、電極膜部分1 5 1～1 5 9が互いに異なる対向面積で、第1容量膜1 2を挟んで第2電極膜1 3に対向しており、これらはヒューズユニット2 7を切断することによって個別に切り離すことができる。同様に、電極膜部分1 8 1～1 8 4も互いに異なる対向面積で、第2容量膜1 7を挟んで第2電極膜1 3に対向しており、これらはヒューズユニット2 8を切断することによって個別に切り離すことができる。したがって、第1の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分1 5 1～1 5 9の少なくとも一部、および、複数の電極膜部分1 8 1～1 8 4の少なくとも一部が公比2の等比数列をなすように設定した対向面積で第2電極膜1 3に対向するように形成しておくことで、第1の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0074] 第1および第2の実施形態の場合には、前述したように上下に重なるキャパシタ要素(たとえば、キャパシタ要素C 1およびC 1 1)が共通のヒューズ(キャパシタ要素C 1およびC 1 1の場合にはヒューズF 1)を介して第1外部電極3に接続されていたので(図1～図3参照)、当該共通のヒューズを切断すると、上下のキャパシタ要素が一度に切り離されてしまう。一方、第3の実施形態の場合には、キャパシタ要素C 2 1～C 2 9およびC 3 1～

C 3 4 のそれぞれは、専用のヒューズ（ヒューズユニット 2 7， 2 8）を介して第 2 外部電極 4 に接続されている。そのため、各キャパシタ要素を個別に切り離すことができるから、第 1 および第 2 の実施形態に比べて、キャパシタ要素の組み合わせ範囲が広がるため、チップコンデンサ 2 6 全体の容量値を一層広範囲に設定できる。さらに、キャパシタ要素 C 2 1 ～ C 2 9 および C 3 1 ～ C 3 4 のすべての容量値を異ならせれば、チップコンデンサ 2 6 全体の容量値をより一層広範囲に設定できる。

[0075] 第 3 の実施形態に係るチップコンデンサ 2 6 の製造工程は、図 5 に示した工程と実質的に同様である。ただし、第 1 電極膜 1 1 のパターニング（ステップ S 3， S 4）において、キャパシタ電極領域 1 1 A が電極膜部分 1 5 1 ～ 1 5 9 に分割され、かつヒューズ領域 1 1 C に複数のヒューズユニット 2 7 が形成されることになる。また、第 2 電極膜 1 3 のパターニング（ステップ S 7， S 8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。また、第 3 電極膜 1 6 のパターニング（ステップ S 1 1， S 1 2）において、キャパシタ電極領域 1 6 A が電極膜部分 1 8 1 ～ 1 8 4 に分割され、かつヒューズ領域 1 6 C に複数のヒューズユニット 2 8 が形成されることになる。さらに、レーザトリミング（ステップ S 1 6）においては、第 1 電極膜 1 1 に形成されたヒューズユニット 2 7 および第 3 電極膜 1 6 に形成されたヒューズユニット 2 8 のうち選択されたものがレーザ光によって切断される。

[0076] 第 1 電極膜 1 1 に形成されたヒューズユニット 2 7 だけをレーザトリミングするのであれば、レーザトリミングの際、第 1 電極膜 1 1 が第 1 容量膜 1 2 によって覆われているので、この第 1 容量膜 1 2 をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップ S 1 5）は省かれてもよい。

[0077] なお、第 3 の実施形態では、第 1 電極膜 1 1 を 9 つの電極膜部分 1 5 1 ～ 1 5 9 に分割する一方で、第 3 電極膜 1 6 を 4 つの電極膜部分 1 8 1 ～ 1 8 4

に分割することで、第1電極膜11のキャパシタ電極領域11Aと第3電極膜16のキャパシタ電極領域16Aとを異なる形状にしている。しかし、これは一例に過ぎず、もちろん、キャパシタ電極領域11Aおよびキャパシタ電

極領域16Aの互いの形状（電極膜部分の数）を一致させても構わない。ただし、この場合においても、複数のヒューズユニット27および28は、平面視において、重なり合わないように位置をずらして配置されている必要がある（図9参照）。

[0078] 以上、本発明の実施形態について説明してきたが、本発明はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、第2電極膜13だけが複数の電極膜に分割されている構成や、第2電極膜13以外の第1電極膜11および第3電極膜16が複数の電極膜に分割されている構成を示したが、第1電極膜11、第2電極膜13および第3電極膜16のすべてが複数の電極膜部分に分割されていてもよい。いずれにせよ、複数のキャパシタ要素（C1～C19，C21～C29，C31～C34）のうち、該当する電極膜部分（131～139，141～149，151～159，181～184）に対応するヒューズ（ヒューズユニット7，27，28）を切断することによって、所要の容量値を有するチップコンデンサ1を構成することができる。

[0079] また、以上の実施形態では、2層のキャパシタ構造を有するチップコンデンサ1，25，26について説明したが、3層以上のキャパシタ構造を有するチップコンデンサも考えられる。たとえば、図8のチップコンデンサ26の場合において、第3電極膜16の上に、第3容量膜を形成し、当該第3容量膜上に、第1外部電極3に接続された第4電極膜を形成することで、3層構造のチップコンデンサを実現できる。さらに、当該第4電極膜の上に第4容量膜を介して第5電極膜を形成すれば、4層構造のチップコンデンサを実現できる。このような多層構造のチップコンデンサを構成することによって、チップコンデンサの小型化および大容量化の両立を一層達成できるとともに

、容量値を広範囲かつ高精度に調整できるコンデンサを提供できる。

[0080] ただし、多層構造のチップコンデンサを構成する場合には、前述したように各電極膜のヒューズを平面視で重ならないように配置することに留意する必要がある。さらに、前述の実施形態では、第1電極膜11、第2電極膜13および第3電極膜16のいずれかとヒューズユニットとが一体化されている例を示したが、第1電極膜11、第2電極膜13および第3電極膜16とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r ($0 < r$, $r \neq 1$) = 2の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、前述の実施形態では、基板2の表面に絶縁膜8が形成されているが、基板2が絶縁性の基板であれば、絶縁膜8を省くこともできる。また、基板2として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように第1容量膜12を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

[0081] その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。＜第1参考例に係る発明＞(1)第1参考例に係る発明の特徴 たとえば、第1参考例に係る発明の特徴は、以下のA1～A20である。(A1)基板と、前記基板上に配置された第1外部電極と、前記基板上に配置された第2外部電極と、前記基板上に形成され、前記第1外部電極および前記第2外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第1外部電極または前記第2外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサ。

[0082] A1記載の発明によれば、基板上に配置された第1および第2外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第1または第2外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数

のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。(A 2) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、A 1 に記載のチップコンデンサ。

[0083] A 2 記載の発明により、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。(A 3) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、A 2 に記載のチップコンデンサ。A 3 記載の発明により、第 1 外部電極および第 2 外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。(A 4) 前記複数のヒューズのうちの少なくとも一つが切断されている、A 1 ～ A 3 のいずれか一項に記載のチップコンデンサ。

[0084] 容量値を合わせ込んだチップコンデンサは、1 つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第 1 外部電極および第 2 外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。(A 5) 前記基板上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜とを含み、前記上部電極膜および上記下部電極膜のうちの一方の電極膜が、分割された複数の電極膜部分を含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および前記下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成されている、A 1 ～ A 4 のいずれか一項に記載のチップコンデンサ。

[0085] A 5 記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟み込

むことによってキャパシタ構造が構成されている。そして、上部電極膜および下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。(A 6) 前記複数の電極膜部分が、互いに異なる対向面積で前記他方の電極膜に対向している、A 5 に記載のチップコンデンサ。

[0086] A 6 記載の発明により、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。(A 7) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、A 6 に記載のチップコンデンサ。

[0087] A 7 記載の発明により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。(A 8) 前記複数の電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、A 5 ～ A 7 のいずれか一項に記載のチップコンデンサ。

[0088] A 8 記載の発明では、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。(A 9) 前記上部電極膜を覆い、前記第 1 外部電極および前記第 2 外部電極を露出させるように形成された保護膜をさらに含む、A 1 ～ A 8 のいずれか一項に記載のチップコンデンサ。

[0089] A 9 記載の発明により、第 1 および第 2 外部電極を露出させる一方で上部電

極膜を保護膜で覆うことができるから、共通の設計で複数種類の容量値を実現でき、かつ信頼性の高いチップコンデンサを提供できる。（A 1 0）前記保護膜が、前記基板の側面にまで延びて、当該側面を覆っている、A 9 に記載のチップコンデンサ。

[0090] A 1 0 記載の発明により、基板の側面からも保護することができるので、チップコンデンサの信頼性を一層向上できる。（A 1 1）第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、基板上に複数のキャパシタ要素を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続するための複数のヒューズを前記基板上に形成する工程と、基板上に第 1 外部電極および第 2 外部電極を形成する工程とを含む、チップコンデンサの製造方法。

[0091] A 1 1 記載の発明により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。（A 1 2）前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、A 1 1 に記載のチップコンデンサの製造方法。

[0092] A 1 2 記載の発明により、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値を実現できる。（A 1 3）前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、A 1 2 に記載のチップコンデンサの製造方法。 A 1 3 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。（A 1 4）前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、A 1 1 ～A 1 3 のいずれか一項に記載のチップコンデンサの製造方法。

[0093] A 1 4 記載の発明により、切断すべきヒューズを適切に選択することによっ

て、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。(A15) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、A14に記載のチップコンデンサの製造方法。

[0094] A15記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。(A16) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、A14またはA15に記載のチップコンデンサの製造方法。

[0095] A16記載の発明により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。(A17) 前記複数のキャパシタ要素を形成する工程が、前記基板上に下部電極膜を形成する工程と、前記下部電極膜上に容量膜を形成する工程と、前記容量膜上に前記下部電極膜と対向するように上部電極膜を形成する工程と、前記上部電極膜および前記下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割（たとえばフォトリソグラフィにより分割）する工程とを含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成される、A11～A16のいずれか一項に記載のチップコンデンサの製造方法。

[0096] A17記載の発明により、下部電極膜と上部電極膜との間に容量膜を挟んだ

キャパシタ構造を形成できる。そして、上部電極膜および下部電極膜のうちの一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。（A 1 8）前記複数の電極膜部分が互いに異なる対向面積で前記他方の電極膜に対向するように前記一方の電極膜が分割される、A 1 7に記載のチップコンデンサの製造方法。

[0097] A 1 8 記載の発明により、複数の電極膜部分が互いに異なる対向面積で他方の電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。（A 1 9）前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、A 1 8に記載のチップコンデンサの製造方法。

[0098] A 1 9 記載の発明により、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。（A 2 0）前記一方の電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、A 1 7～A 1 9のいずれか一項に記載のチップコンデンサの製造方法。

[0099] A 2 0 記載の発明によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターンニングして形成することができる。これにより、製造工程が簡単になる。（2）第 1 参考例に係る発明の実施形態 以下では、第 1 参考例の実施の形態を、添付図面を参照して詳細に説明する。

[0100] 図 1 0 は、第 1 参考例の第 1 の実施形態に係るチップコンデンサの平面図であり、図 1 1 はその断面図であって、図 1 0 の切断面線XI-XIから見た切断面が示されている。さらに、図 1 2 は、前記チップコンデンサの一部の構成

を分離して示す分解斜視図である。チップコンデンサ31は、基板32と、基板上に配置された第1外部電極33と、同じく基板32上に配置された第2外部電極34とを備えている。基板32は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。基板32の長手方向両端部に第1外部電極33および第2外部電極34がそれぞれ配置されている。第1外部電極33および第2外部電極34は、この実施形態では、基板32の短手方向に延びたほぼ矩形の平面形状を有し、基板32の角に対応する各2箇所面に面取り部を有している。基板32上には、第1外部電極33および第2外部電極34の間のキャパシタ配置領域35内に、複数のキャパシタ要素C1～C9が配置されている。複数のキャパシタ要素C1～C9は、複数のヒューズユニット37を介してそれぞれ第1外部電極33に電氣的に接続されている。

[0101] 図11および図12に示されているように、基板32の表面には絶縁膜38が形成されていて、絶縁膜38の表面に下部電極膜41が形成されている。下部電極膜41は、キャパシタ配置領域35のほぼ全域にわたっているとともに、第2外部電極34の直下の領域にまで延びて形成されている。より具体的には、下部電極膜41は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域41Aと、外部電極引き出しのためのパッド領域41Bとを有している。キャパシタ電極領域41Aがキャパシタ配置領域35に位置していて、パッド領域41Bが第2外部電極34の直下に位置している。

[0102] キャパシタ配置領域35において下部電極膜41（キャパシタ電極領域41A）を覆うように容量膜（誘電体膜）42が形成されている。容量膜42は、キャパシタ電極領域41Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極33の直下の領域にまで延び、キャパシタ配置領域35外の絶縁膜38を覆っている。容量膜42の上には、上部電極膜43が形成されている。図10では、明瞭化のために、上部電極膜43を着色して示してある。上部電極膜43は、キャパシタ配置領域35に位置するキ

ャパシタ電極領域43Aと、第1外部電極33の直下に位置するパッド領域43Bと、パッド領域43Bとキャパシタ電極領域43Aとの間に配置されたヒューズ領域43Cとを有している。

[0103] キャパシタ電極領域43Aにおいて、上部電極膜43は、複数の電極膜部分231～239に分割されている。この実施形態では、各電極膜部分231～239は、いずれも矩形形状に形成されていて、ヒューズ領域43Cから第2外部電極34に向かって帯状に延びている。複数の電極膜部分231～239は、複数種類の対向面積で、容量膜42を挟んで下部電極膜41に対向している。より具体的には、電極膜部分231～239の下部電極膜41に対する対向面積は、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分231～239は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分231～238（または231～237，239）を含む。これによって、各電極膜部分231～239と容量膜42を挟んで対向する下部電極膜41とによってそれぞれ構成される複数のキャパシタ要素C1～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分231～239の対向面積の比が前述の通りである場合、キャパシタ要素C1～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C1～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1～C8（またはC1～C7，C9）を含むことになる。

[0104] この実施形態では、電極膜部分231～235は、幅が等しく、長さの比を1：2：4：8：16に設定した帯状に形成されている。また、電極膜部分235，236，237，238，239は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分235～239は、キャパシタ配置領域35の第1外部電極33側の端縁から第2外部電極34側の端縁までの範囲に渡って延びて形成されており、電極膜部分23

1～234は、それよりも短く形成されている。

[0105] パッド領域43Bは、第1外部電極33とほぼ相似形に形成されており、基板32の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域43Bの一つの長辺（基板32の周縁に対して内方側の長辺）に沿ってヒューズ領域43Cが配置されている。ヒューズ領域43Cは、パッド領域43Bの前記1つの長辺に沿って配列された複数のヒューズユニット37を含む。ヒューズユニット37は、上部電極膜43のパッド領域43Bと同じ材料で一体的に形成されている。複数の電極膜部分231～239は、1つまたは複数個のヒューズユニット37と一体的に形成されていて、それらのヒューズユニット37を介してパッド領域43Bに接続され、このパッド領域43Bを介して第1外部電極33に電氣的に接続されている。面積の比較的小さな電極膜部分231～236は、一つのヒューズユニット37によってパッド領域43Bに接続されており、面積の比較的大きな電極膜部分237～239は複数個のヒューズユニット37を介してパッド領域43Bに接続されている。全てのヒューズユニット37が用いられる必要はなく、この実施形態では、一部のヒューズユニット37は未使用である。

[0106] ヒューズユニット37は、パッド領域43Bとの接続のための第1幅広部37Aと電極膜部分231～239との接続のための第2幅広部37Bと、第1および第2幅広部37A、37Bの間を接続する幅狭部37Cとを含む。幅狭部37Cは、レーザ光によって切断（溶断）することができるようになっている。それによって、電極膜部分231～239のうち不要な電極膜部分をヒューズユニット37の切断によって第1および第2外部電極33、34から電氣的に切り離すことができる。

[0107] 図10および図12では図示を省略したが、図11に表れている通り、上部電極膜43の表面を含むチップコンデンサ31の表面はパッシベーション膜39によって覆われている。パッシベーション膜39は、たとえば窒化膜からなっていて、チップコンデンサ31の上面のみならず、基板32の側面ま

で延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜39の上には、ポリイミド樹脂等からなる樹脂膜40が形成されている。樹脂膜40は、チップコンデンサ1の上面を覆い、さらに基板32の側面に至って、当該側面上のパッシベーション膜39を覆うように形成されている。

[0108] パッシベーション膜39および樹脂膜40は、チップコンデンサ31の表面を保護する保護膜である。これらには、第1外部電極33および第2外部電極34に対応する領域にパッド開口44、45がそれぞれ形成されている。パッド開口44、45はそれぞれ上部電極膜43のパッド領域43Bの一部の領域、下部電極膜41のパッド領域41Bの一部の領域を露出させるようにパッシベーション膜39および樹脂膜40を貫通している。さらに、この実施形態では、第2外部電極34に対応したパッド開口45は、容量膜42をも貫通している。

[0109] パッド開口44、45には、第1外部電極33および第2外部電極34がそれぞれ埋め込まれている。これにより、第1外部電極33は上部電極膜43のパッド領域43Bに接合しており、第2外部電極34は下部電極膜41のパッド領域41Bに接合している。第1および第2外部電極33、34は、樹脂膜40の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ31をフリップチップ接合することができる。

[0110] 図13は、チップコンデンサ31の内部の電氣的構成を示す回路図である。第1外部電極33と第2外部電極34との間に複数のキャパシタ要素C1～C9が並列に接続されている。各キャパシタ要素C1～C9と第1外部電極33との間には、一つまたは複数のヒューズユニット37でそれぞれ構成されたヒューズF1～F9が直列に介装されている。ヒューズF1～F9が全て接続されているときは、チップコンデンサ31の容量値は、キャパシタ要素C1～C9の容量値の総和に等しい。複数のヒューズF1～F9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズ

ズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ 31 の容量値が減少する。

[0111] そこで、パッド領域 41B, 43B の間の容量値（キャパシタ要素 C1～C9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F1～F9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C1～C8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0112] たとえば、キャパシタ要素 C1～C9 の容量値は次のように定められていてもよい。

$C1 = 0.03125 \text{ pF}$		
$C2 = 0.0625 \text{ pF}$	$C3 = 0.125 \text{ pF}$	
$C4 = 0.25 \text{ pF}$	$C5 = 0.5 \text{ pF}$	
$C6 = 1 \text{ pF}$	$C7 = 2 \text{ pF}$	$C8 = 4 \text{ pF}$
$C9 = 4 \text{ pF}$	この場合、 0.03125 pF の最小合わせ込み精度でチップコンデンサ 31 の容量を微調整できる。また、ヒューズ F1～F9 から切断すべきヒューズを適切に選択することで、 $0.1 \text{ pF} \sim 10 \text{ pF}$ の間の任意の容量値のチップコンデンサ 31 を提供することができる。	

[0113] 以上のように、この実施形態によれば、第 1 外部電極 33 および第 2 外部電極 34 の間に、ヒューズ F1～F9 によって切り離し可能な複数のキャパシタ要素 C1～C9 が設けられている。キャパシタ要素 C1～C9 は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズ F1～F9 から 1 つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ 31 を提供で

きる。

[0114] チップコンデンサ 31 の各部の詳細について以下に説明を加える。 基板 32 は、たとえば平面視において $0.3\text{ mm} \times 0.15\text{ mm}$ 、 $0.4\text{ mm} \times 0.2\text{ mm}$ 、または $0.2\text{ mm} \times 0.1\text{ mm}$ などの矩形形状（好ましくは、 $0.4\text{ mm} \times 0.2\text{ mm}$ 以下の大きさ）を有していてもよい。キャパシタ配置領域 35 は、概ね、基板 32 の短辺の長さに相当する一辺を有する正方形領域となる。基板 32 の厚さは、 $150\text{ }\mu\text{m}$ 程度であってもよい。基板 32 は、たとえば、裏面側（キャパシタ要素 C1～C9 が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 32 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0115] 絶縁膜 38 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、 $500\text{ }\text{\AA} \sim 2000\text{ }\text{\AA}$ 程度であってもよい。 下部電極膜 41 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜 41 は、スパッタ法によって形成することができる。上部電極膜 43 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 43 は、スパッタ法によって形成することができる。上部電極膜 43 のキャパシタ電極領域 43A を電極膜部分 231～239 に分割し、かつヒューズ領域 43C を複数のヒューズユニット 37 に整形するためのパターンニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0116] 容量膜 42 は、たとえば窒化シリコン膜で構成することができ、その膜厚は $500\text{ }\text{\AA} \sim 2000\text{ }\text{\AA}$ （たとえば $1000\text{ }\text{\AA}$ ）とすることができる。容量膜 42 は、プラズマ CVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。 パッシベーション膜 39 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ CVD 法によって形成できる。その膜厚は、 $8000\text{ }\text{\AA}$ 程度とされてもよい。樹脂膜 40 は、前述の通り、

ポリイミド膜その他の樹脂膜で構成することができる。

[0117] 第1および第2外部電極33, 34は、たとえば、下部電極膜41または上部電極膜43に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜41または上部電極膜43に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極33, 34の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0118] 図14は、チップコンデンサ31の製造工程の一例を説明するための流れ図である。基板32の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜38が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜41が絶縁膜38の表面全域に形成される（ステップS2）。下部電極膜41の膜厚は8000 Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜41の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS3）。このレジストパターンをマスクとして、下部電極膜41がエッチングされることにより、図10等にしたパターンの下部電極膜41が得られる（ステップS4）。下部電極膜41のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0119] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜42が、下部電極膜41上に形成される（ステップS5）。下部電極膜41が形成されていない領域では、絶縁膜38の表面に容量膜42が形成されることになる。次いで、その容量膜42の上に、上部電極膜43が形成される（ステップS6）。上部電極膜43は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000 Å程度とされてもよい。次いで、上部電極膜43の表面に上部電極膜43の最終形

状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS 7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜4 3が、最終形状（図1 0等参照）にパターニングされる（ステップS 8）。それによって、上部電極膜4 3は、キャパシタ電極領域4 3 Aに複数の電極膜部分2 3 1～2 3 9を有し、ヒューズ領域4 3 Cに複数のヒューズユニット3 7を有し、それらのヒューズユニット3 7に接続されたパッド領域4 3 Bを有するパターンに整形される。上部電極膜4 3のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0120] この後、上部電極膜4 3のパッド領域4 3 Bと下部電極膜4 1のパッド領域4 1 Bとに検査用プローブを押し当てて、複数のキャパシタ要素C 1～C 9の総容量値が測定される（ステップS 9）。この測定された総容量値に基づき、目的とするチップコンデンサ3 1の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS 1 0）。

[0121] 次いで、図1 5 Aに示すように、基板3 2上の全面にたとえば窒化膜からなるカバー膜4 6が形成される（ステップS 1 1）。このカバー膜4 6の形成は、プラズマC V D法によって行われてもよく、たとえば膜厚3 0 0 0 Å程度の窒化シリコン膜が形成されてもよい。カバー膜4 6は、パターニングされた上部電極膜4 3を覆い、上部電極膜4 3が形成されていない領域では容量膜4 2を覆う。カバー膜4 6は、ヒューズ領域4 3 Cにおいてはヒューズユニット3 7を覆うことになる。

[0122] この状態から、ヒューズユニット3 7を溶断するためのレーザトリミングが行われる（ステップS 1 2）。すなわち、図1 5 Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット3 7にレーザ光4 7を当てて、そのヒューズユニット3 7の幅狭部3 7 Cが溶断される。これにより、対応するキャパシタ要素がパッド領域4 3 Bから切

り離される。ヒューズユニット37にレーザ光47を当てるとき、カバー膜46の働きによって、ヒューズユニット37の近傍にレーザ光47のエネルギーが蓄積され、それによって、ヒューズユニット37が溶断する。

[0123] 次に、図15Cに示すように、たとえばプラズマCVD法によって、カバー膜46上に窒化シリコン膜が堆積させられ、パッシベーション膜39が形成される（ステップS13）。前述のカバー膜46は最終形態において、パッシベーション膜39と一体化し、このパッシベーション膜39の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜39は、ヒューズ溶断の際に同時に破壊されたカバー膜46の開口内に入り込み、ヒューズユニット37の切断面を保護する。したがって、パッシベーション膜39は、ヒューズユニット37の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜39は、全体で、たとえば8000 Å程度の膜厚を有するように形成されてもよい。

[0124] 次に、第1および第2外部電極33、34を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜39上に形成される（ステップS14）。このレジストパターンをマスクとしてパッシベーション膜39のエッチングが行われる。それによって、下部電極膜41をパッド領域41Bにおいて露出させるパッド開口と、上部電極膜43をパッド領域43Bにおいて露出させるパッド開口とが形成されることになる（ステップS15）。パッシベーション膜39のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜39のエッチングの際に、同じく窒化膜で形成されている容量膜42も開口することになり、それによって、下部電極膜41のパッド領域41Bが露出することになる。

[0125] 次いで、全面に樹脂膜が塗布される（ステップS16）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS17）。これにより、樹脂膜40およびパッシ

ベーション膜 39 を貫通したパッド開口 44, 45 が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップ S 18）、さらに、パッド開口 44, 45 内に、たとえば無電解めっき法によって、第 1 外部電極 33 および第 2 外部電極 34 が成長させられる（ステップ S 19）。こうして、図 10 等を示す構造のチップコンデンサ 31 が得られる。

[0126] フトリソグラフィ工程を利用した上部電極膜 43 のパターニングでは、微小面積の電極膜部分 231 ~ 239 を精度良く形成することができ、さらに微細なパターンのヒューズユニット 37 を形成することができる。そして、上部電極膜 43 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ 31 を得ることができる。

[0127] 図 16 は、第 1 参考例の第 2 の実施形態に係るチップコンデンサ 48 の構成を説明するための平面図である。図 16 において、前述の図 10 に示された各部と対応する部分には同一の参照符号を付して示す。 前述の第 1 の実施形態では、上部電極膜 43 のキャパシタ電極領域 43A がそれぞれ帯状の電極膜部分 231 ~ 239 に分割されている。この場合、図 10 に示すように、キャパシタ配置領域 35 内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板 32 上の限られた領域を有効に活用することができない。

[0128] そこで、図 16 に示す実施形態では、複数の電極膜部分 231 ~ 239 が L 字形の電極膜部分 241 ~ 249 に分割されている。これによって、たとえば、図 16 の構成における電極膜部分 249 は、図 10 の構成の電極膜部分 239 の 1.5 倍の面積で下部電極膜 41 に対向することができる。よって、図 10 の第 1 の実施形態において電極膜部分 239 に対応したキャパシタ要素 C9 が 4 pF の容量を有しているとすれば、この実施形態における電極膜部分 249 を用いることで、キャパシタ要素 C9 は 6 pF の容量を有する

ことができる。これにより、キャパシタ配置領域 35 内を有効に活用して、より広

い範囲でチップコンデンサ 48 の容量値を設定することが可能となる。

[0129] この実施形態に係るチップコンデンサ 48 の製造工程は、図 14 に示した工程と実質的に同様である。ただし、上部電極膜 43 のパターニング（ステップ S7, S8）では、キャパシタ電極領域 43A が、図 16 に示す形状の複数の電極膜部分 231～239 に分割される。図 17 は、第 1 参考例の第 3 の実施形態に係るチップコンデンサ 49 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 12 と同様にチップコンデンサ 49 の各部が表されている。

[0130] 第 1 の実施形態では、下部電極膜 41 がキャパシタ配置領域 35 のほぼ全域にわたる連続パターンからなるキャパシタ電極領域 41A を有し、上部電極膜 43 のキャパシタ電極領域 43A が複数の電極膜部分 231～239 に分割されている。これに対して、この実施形態では、上部電極膜 43 のキャパシタ電極領域 43A がキャパシタ配置領域 35 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 41 のキャパシタ電極領域 41A が複数の電極膜部分 251～259 に分割されている。電極膜部分 251～259 は、第 1 の実施形態における電極膜部分 231～239 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 241～249 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 251～259 と、容量膜 42 と、上部電極膜 43 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

[0131] 下部電極膜 41 は、さらに、キャパシタ電極領域 41A とパッド領域 41B との間にヒューズ領域 41C を有している。ヒューズ領域 41C には、第 1 の実施形態のヒューズユニット 37 と同様の複数のヒューズユニット 50 がパッド領域 41B に沿って一列に配列されている。各電極膜部分 251～2

５９は、一つまたは複数のヒューズユニット５０を介してパッド領域４１Ｂに接続されている。

[0132] このような構成によっても、電極膜部分２５１～２５９が互いに異なる対向面積で上部電極膜４３に対向しており、これらはヒューズユニット５０を切断することによって個別に切り離すことができる。したがって、第１の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分２５１～２５９の少なくとも一部が公比２の等比数列をなすように設定した対向面積で上部電極膜４３に対向するように形成しておくことで、第１の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0133] この実施形態に係るチップコンデンサ４９の製造工程は、図１４に示した工程と実質的に同様である。ただし、下部電極膜４１のパターニング（ステップＳ３，Ｓ４）において、キャパシタ電極領域４１Ａが電極膜部分２５１，２５９に分割され、かつヒューズ領域４１Ｃに複数のヒューズユニット５０が形成されることになる。また、上部電極膜４３のパターニング（ステップＳ７，Ｓ８）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップＳ１２）においては、下部電極膜４１に形成されたヒューズユニット５０がレーザ光によって切断される。レーザトリミングの際、下部電極膜４１は容量膜４２によって覆われているので、この容量膜４２をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップＳ１１）は省かれてもよい。

[0134] 以上、第１参考例の実施形態について説明してきたが、第１参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜ま

たは下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r ($0 < r$, $r \neq 1$) $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。また、前述の実施形態では、基板 32 の表面に絶縁膜 38 が形成されているが、基板 32 が絶縁性の基板であれば、絶縁膜 38 を省くこともできる。また、基板 32 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 42 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

[0135] その他、前記 (1) 第 1 参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴 A1 ~ A20 で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第 1 参考例の範囲に含まれる。＜第 2 参考例に係る発明＞ (1) 第 2 参考例に係る発明の特徴 たとえば、第 2 参考例に係る発明の特徴は、以下の B1 ~ B25 である。(B1) 基板と、前記基板上に配置された第 1 外部電極と、前記基板上に配置された第 2 外部電極と、前記基板上に形成され、前記第 1 外部電極および前記第 2 外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第 1 外部電極または前記第 2 外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズと、前記基板内に形成され、前記第 1 外部電極の直下を含む領域と前記第 2 外部電極の直下を含む領域との間に、互いに逆向きに接続された一対のダイオードと、を含むチップコンデンサ。

[0136] B1 記載の発明によれば、基板上に配置された第 1 および第 2 外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第 1 または第 2 外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にか

つ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。また、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。(B 2) 前記一对のダイオードが、前記第 1 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域と、前記第 2 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域とを含む、B 1 記載のチップコンデンサ。

[0137] B 2 記載の発明によれば、不純物拡散領域を形成することで、容易に一对のダイオードを形成することができる。(B 3) 前記基板は、半導体基板であり、前記一对のダイオードは、前記基板と前記不純物領域との p n 接合により形成されるものである、B 2 記載のチップコンデンサ。 B 3 記載の発明によれば、一对のダイオードは、半導体の p n 接合を用いて容易に作ることができる。(B 4) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、B 1 ~ B 3 のいずれか一項に記載のチップコンデンサ。

[0138] B 4 記載の発明によれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。(B 5) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、B 4 に記載のチップコンデンサ。 B 5 記載の発明によれば、第 1 外部電極および第 2 外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。(B 6) 前記複数のヒューズのうちの少なくとも一つが切断されている、B 1 ~ B 5 のいずれか一項に記載のチップコンデンサ。

[0139] B 6 記載の発明によれば、容量値を合わせ込んだチップコンデンサは、1 つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第 1 外部電極および第 2 外部電極の間に接続するキャパシタ要素を選択

でき、それによって、所要の容量値のチップコンデンサを実現できる。（B 7）前記基板上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜とを含み、前記上部電極膜および上記下部電極膜のうちの一方の電極膜が、分割された複数の電極膜部分を含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および前記下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成されている、B 1～B 6のいずれか一項に記載のチップコンデンサ。

[0140] B 7 記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極膜および下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。（B 8）前記複数の電極膜部分が、互いに異なる対向面積で前記他方の電極膜に対向している、B 7 に記載のチップコンデンサ。

[0141] B 8 記載の発明によれば、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。（B 9）前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、B 8 に記載のチップコンデンサ。

[0142] B 9 記載の発明によれば、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。（B 10）前記複数の電極膜部分と前記

ヒューズとが同じ導電性材料の膜で形成されている、B 7～B 9のいずれか一項に記載のチップコンデンサ。

[0143] B 1 0 記載の発明によれば、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。(B 1 1) 前記上部電極膜を覆い、前記第 1 外部電極および前記第 2 外部電極を露出させるように形成された保護膜をさらに含む、B 1～B 1 0のいずれか一項に記載のチップコンデンサ。

[0144] B 1 1 記載の発明によれば、第 1 および第 2 外部電極を露出させる一方で上部電極膜を保護膜で覆うことができるから、共通の設計で複数種類の容量値を実現でき、かつ信頼性の高いチップコンデンサを提供できる。(B 1 2) 前記保護膜が、前記基板の側面にまで延びて、当該側面を覆っている、B 1 1 に記載のチップコンデンサ。

[0145] B 1 2 記載の発明によれば、基板の側面からも保護することができるので、チップコンデンサの信頼性を一層向上できる。(B 1 3) 第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、基板の表面領域の前記第 1 外部電極および第 2 外部電極の各直下の領域を含む領域に、それぞれ、拡散領域を形成する工程と、前記基板上に複数のキャパシタ要素を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続するための複数のヒューズを前記基板上に形成する工程と、前記基板上に第 1 外部電極および第 2 外部電極を形成する工程とを含む、チップコンデンサの製造方法。

[0146] B 1 3 記載の発明によれば、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。また、寄生容量の影響を受けないチップコンデンサを製造することができる。(B 1 4) 前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、B 1 3 に記載のチップコンデ

ンサの製造方法。

[0147] B 1 4 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値を実現できる。（B 1 5）前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、B 1 4 に記載のチップコンデンサの製造方法。 B 1 5 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。（B 1 6）前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、B 1 3 ～B 1 5 のいずれか一項に記載のチップコンデンサの製造方法。

[0148] B 1 6 記載の発明によれば、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第 1 および第 2 外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。（B 1 7）前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含む、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、B 1 6 に記載のチップコンデンサの製造方法。

[0149] B 1 7 記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。（B 1 8）前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、B 1 6 または B 1 7 に記載のチップコンデンサの製造方法。

[0150] B 1 8 記載の発明によれば、ヒューズの切断部が保護膜によって覆われるの

で、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。（B 1 9）前記複数のキャパシタ要素を形成する工程が、前記基板上に下部電極膜を形成する工程と、前記下部電極膜上に容量膜を形成する工程と、前記容量膜上に前記下部電極膜と対向するように上部電極膜を形成する工程と、前記上部電極膜および前記下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割（たとえばフォトリソグラフィにより分割）する工程とを含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成される、B 1 3～B 1 8のいずれか一項に記載のチップコンデンサの製造方法。

[0151] B 1 9 記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟んだキャパシタ構造を形成できる。そして、上部電極膜および下部電極膜のうちの一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。（B 2 0）前記複数の電極膜部分が互いに異なる対向面積で前記他方の電極膜に対向するように前記一方の電極膜が分割される、B 1 9 に記載のチップコンデンサの製造方法。

[0152] B 2 0 記載の発明によれば、複数の電極膜部分が互いに異なる対向面積で他方の電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。（B 2 1）前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、B 1 9 に記載のチップコンデンサの製造方法。

[0153] B 2 1 記載の発明によれば、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップ

コンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。(B 2 2) 前記一方の電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、B 1 9 ~ B 2 1 のいずれか一項に記載のチップコンデンサの製造方法。

[0154] B 2 2 記載の発明によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができる。これにより、製造工程が簡単になる。(B 2 3) 基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対抗するように形成された上部電極膜と、前記絶縁膜上に配置され前記下部電極膜に接続された第 1 外部電極と、前記絶縁膜上に配置され前記上部電極膜に接続された第 2 外部電極と、前記基板内に形成され、前記第 1 外部電極の直下を含む領域と前記第 2 外部電極の直下を含む領域との間に、互いに逆向きに接続された一対のダイオードと、を含むチップコンデンサ。

[0155] B 2 3 記載の発明によれば、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。(B 2 4) 前記一対のダイオードが、前記第 1 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域と、前記第 2 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域とを含む、B 2 3 記載のチップコンデンサ。

[0156] B 2 4 記載の発明によれば、不純物拡散領域を形成することで、容易に一対のダイオードを形成することができる。(B 2 5) 前記基板は、半導体基板であり、前記一対のダイオードは、前記基板と前記不純物領域との p n 接合により形成されるものである、B 2 4 記載のチップコンデンサ。 B 2 5 記載の発明によれば、一対のダイオードは、半導体の p n 接合を用いて容易に作ることができる。(2) 第 2 参考例に係る発明の実施形態 以下では、第 2 参考例の実施の形態を、添付図面を参照して詳細に説明する。

[0157] 図 1 8 は、第 2 参考例の第 1 の実施形態に係るチップコンデンサの平面図で

あり、図 19 はその断面図であって、図 18 の切断面線 IXX-IXX から見た切断面が示されている。さらに、図 20 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。チップコンデンサ 51 は、基板 52 と、基板 52 上に配置された第 1 外部電極 53 と、同じく基板 52 上に配置された第 2 外部電極 54 とを備えている。基板 52 は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、0.3 mm × 0.15 mm 程度の寸法である。基板 52 の長手方向両端部に第 1 外部電極 53 および第 2 外部電極 54 がそれぞれ配置されている。第 1 外部電極 53 および第 2 外部電極 54 は、この実施形態では、基板 52 の短手方向に延びたほぼ矩形の平面形状を有し、基板 52 の角に対応する各 2 箇所に面取り部を有している。基板 52 上には、第 1 外部電極 53 および第 2 外部電極 54 の間のキャパシタ配置領域 55 内に、複数のキャパシタ要素 C1 ~ C9 が配置されている。複数のキャパシタ要素 C1 ~ C9 は、複数のヒューズユニット 57 を介してそれぞれ第 1 外部電極 53 に電氣的に接続されている。

[0158] 図 19 および図 20 に示されているように、基板 52 の表面には絶縁膜 58 が形成されていて、絶縁膜 58 の表面に下部電極膜 311 が形成されている。下部電極膜 311 は、キャパシタ配置領域 55 のほぼ全域にわたっていると、第 2 外部電極 54 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 311 は、キャパシタ要素 C1 ~ C9 の共通の下部電極として機能するキャパシタ電極領域 311A と、外部電極引き出しのためのパッド領域 311B とを有している。キャパシタ電極領域 311A がキャパシタ配置領域 55 に位置していて、パッド領域 311B が第 2 外部電極 54 の直下に位置している。

[0159] キャパシタ配置領域 55 において下部電極膜 311 (キャパシタ電極領域 311A) を覆うように容量膜 (誘電体膜) 312 が形成されている。容量膜 312 は、キャパシタ電極領域 311A の全域にわたって連続しており、この実施形態では、さらに第 1 外部電極 53 の直下の領域にまで延び、キャパ

シタ配置領域 5 5 外の絶縁膜 5 8 を覆っている。容量膜 3 1 2 の上には、上部電極膜 3 1 3 が形成されている。図 1 8 では、明瞭化のために、上部電極膜 3 1 3 に細ドットを付して示してある。上部電極膜 3 1 3 は、キャパシタ配置領域 5 5 に位置するキャパシタ電極領域 3 1 3 A と、第 1 外部電極 5 3 の直下に位置するパッド領域 3 1 3 B と、パッド領域 3 1 3 B とキャパシタ電極領域 3 1 3 A との間に配置されたヒューズ領域 3 1 3 C とを有している。

[0160] キャパシタ電極領域 3 1 3 A において、上部電極膜 3 1 3 は、複数の電極膜部分 3 3 1 ~ 3 3 9 に分割されている。この実施形態では、各電極膜部分 3 3 1 ~ 3 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 3 1 3 C から第 2 外部電極 5 4 に向かって帯状に延びている。複数の電極膜部分 3 3 1 ~ 3 3 9 は、複数種類の対向面積で、容量膜 3 1 2 を挟んで下部電極膜 3 1 1 に対向している。より具体的には、電極膜部分 3 3 1 ~ 3 3 9 の下部電極膜 3 1 1 に対する対向面積は、 $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128$ となるように定められていてもよい。すなわち、複数の電極膜部分 3 3 1 ~ 3 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 3 3 1 ~ 3 3 8 (または 3 3 1 ~ 3 3 7, 3 3 9) を含む。これによって、各電極膜部分 3 3 1 ~ 3 3 9 と容量膜 3 1 2 を挟んで対向する下部電極膜 3 1 1 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 3 3 1 ~ 3 3 9 の対向面積の比が前述の通りである場合、キャパシタ要素 C 1 ~ C 9 の容量値の比は、当該対向面積の比と等しく、 $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128$ となる。すなわち、複数のキャパシタ要素 C 1 ~ C 9 は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 C 1 ~ C 8 (または C 1 ~ C 7, C 9) を含むことになる。

[0161] この実施形態では、電極膜部分 3 3 1 ~ 3 3 5 は、幅が等しく、長さの比を

1 : 2 : 4 : 8 : 16 に設定した帯状に形成されている。また、電極膜部分 335, 336, 337, 338, 339 は、長さが等しく、幅の比を 1 : 2 : 4 : 8 : 8 に設定した帯状に形成されている。電極膜部分 335 ~ 339 は、キャパシタ配置領域 55 の第 1 外部電極 53 側の端縁から第 2 外部電極 54 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 331 ~ 334 は、それよりも短く形成されている。

[0162] パッド領域 313B は、第 1 外部電極 53 とほぼ相似形に形成されており、基板 52 の角部に対応する 2 つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域 313B の一つの長辺（基板 52 の周縁に対して内方側の長辺）に沿ってヒューズ領域 313C が配置されている。ヒューズ領域 313C は、パッド領域 313B の前記 1 つの長辺に沿って配列された複数のヒューズユニット 57 を含む。ヒューズユニット 57 は、上部電極膜 313 のパッド領域 313B と同じ材料で一体的に形成されている。複数の電極膜部分 331 ~ 339 は、1 つまたは複数個のヒューズユニット 57 と一体的に形成されていて、それらのヒューズユニット 57 を介してパッド領域 313B に接続され、このパッド領域 313B を介して第 1 外部電極 53 に電氣的に接続されている。面積の比較的小さな電極膜部分 331 ~ 336 は、一つのヒューズユニット 57 によってパッド領域 313B に接続されており、面積の比較的大きな電極膜部分 337 ~ 339 は複数個のヒューズユニット 57 を介してパッド領域 313B に接続されている。全てのヒューズユニット 57 が用いられる必要はなく、この実施形態では、一部のヒューズユニット 57 は未使用である。

[0163] ヒューズユニット 57 は、パッド領域 313B との接続のための第 1 幅広部 57A と電極膜部分 331 ~ 339 との接続のための第 2 幅広部 57B と、第 1 および第 2 幅広部 57A, 57B の間を接続する幅狭部 57C とを含む。幅狭部 57C は、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分 331 ~ 339 のうち不要な電極膜部分をヒューズユニット 57 の切断によって第 1 および第 2 外部電極 5

3, 54から電氣的に切り離すことができる。

[0164] 図18および図20では図示を省略したが、図19に表れている通り、上部電極膜313の表面を含むチップコンデンサ51の表面はパッシベーション膜59によって覆われている。パッシベーション膜59は、たとえば窒化膜からなっていて、チップコンデンサ51の上面のみならず、基板52の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜59の上には、ポリイミド樹脂等からなる樹脂膜310が形成されている。樹脂膜310は、チップコンデンサ51の上面を覆い、さらに基板52の側面に至って、当該側面上のパッシベーション膜59を覆うように形成されている。

[0165] パッシベーション膜59および樹脂膜310は、チップコンデンサ51の表面を保護する保護膜である。これらには、第1外部電極53および第2外部電極54に対応する領域にパッド開口321, 322がそれぞれ形成されている。パッド開口321, 322はそれぞれ上部電極膜313のパッド領域313Bの一部の領域、下部電極膜311のパッド領域311Bの一部の領域を露出させるようにパッシベーション膜59および樹脂膜310を貫通している。さらに、この実施形態では、第2外部電極54に対応したパッド開口322は、容量膜312をも貫通している。

[0166] パッド開口321, 322には、第1外部電極53および第2外部電極54がそれぞれ埋め込まれている。これにより、第1外部電極53は上部電極膜313のパッド領域313Bに接合しており、第2外部電極54は下部電極膜311のパッド領域311Bに接合している。第1および第2外部電極53, 54は、樹脂膜310の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ51をフリップチップ接合することができる。

[0167] この実施形態では、基板52は、例えば半導体で形成された半導体基板(例えばp型シリコン基板)が使用されている。このため、図19を参照して説明すると、第1外部電極53の直下には、当該第1外部電極53と基板52との

間に、絶縁膜 5 8 および容量膜 3 1 2 を挟んだ寄生容量が形成される。また、第 2 外部電極 5 4 の直下には、当該第 2 外部電極 5 4 と基板 5 2 との間に、絶縁膜 5 8 を挟んだ寄生容量が形成される。そして、これら寄生容量が基板 5 2 を介して第 1 外部電極 5 3 および第 2 外部電極 5 4 の間に直列に接続されていることになる。そして、この寄生容量の直列回路は、前記構成したキャパシタ要素 C 1 ~ C 9 に対して並列接続されることになり、チップコンデンサ 5 1 に対して寄生容量が加算され、また、特にチップコンデンサ 5 1 を所望の容量値（たとえば 1 p F 以下）に合わせ込む場合に妨げとなる。

[0168] そこで、この実施形態では、第 1 外部電極 5 3 の直下およびパッド領域 3 1 3 B の直下の基板 5 2 の表面領域には、n 型不純物がドーピングされた n 型拡散領域 3 2 3 が形成されている。また、第 2 外部電極 5 4 の直下および下部電極膜 3 1 1 の直下にも、n 型不純物がドーピングされた n 型拡散領域 3 2 4 が形成されている。このように、基板 5 2 の表面領域に拡散領域 3 2 3、3 2 4 を形成することにより、基板 5 2 と拡散領域 3 2 3 と第 1 外部電極 5 3 との間に p n 接合によるダイオードが形成される。同様に、基板 5 2 と拡散領域 3 2 4 と第 2 外部電極 5 4 との間にも p n 接合によるダイオードが形成される。その結果、チップコンデンサ 5 1 の電氣的な等価回路は、図 2 1 に示すものとなる。

[0169] 図 2 1 において、C は、チップコンデンサ 5 1 の本来の容量であり、C P 1 および C P 2 は、それぞれ、第 1 外部電極 5 3 および第 2 外部電極 5 4 側の寄生容量である。これら寄生容量 C P 1 および C P 2 は、p n 接合で形成された互いに逆向きに接続された一対のダイオード D 1、D 2 により、電氣的に遮断され、第 1 外部電極 5 3 および第 2 外部電極 5 4 間を接続する直列寄生容量回路が、外部電極 5 3、5 4 から分離されている。

[0170] 図 2 2 は、チップコンデンサ 5 1 の内部の電氣的構成を示す回路図である。第 1 外部電極 5 3 と第 2 外部電極 5 4 との間に複数のキャパシタ要素 C 1 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第 1 外部電極 5 3 との間には、一つまたは複数のヒューズユニット 5 7 でそれぞれ構成さ

れたヒューズF 1～F 9が直列に介装されている。ヒューズF 1～F 9が全て接続されているときは、チップコンデンサ5 1の容量値は、キャパシタ要素C 1～C 9の容量値の総和に等しい。複数のヒューズF 1～F 9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ5 1の容量値が減少する。

[0171] そこで、パッド領域3 1 1 B, 3 1 3 Bの間の容量値（キャパシタ要素C 1～C 9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF 1～F 9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C 1～C 8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C 1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0172] たとえば、キャパシタ要素C 1～C 9の容量値は次のように定められていてもよい。

$C 1 = 0.03125 \text{ pF}$	$C 2 = 0.0625 \text{ pF}$	$C 3 = 0.125 \text{ pF}$
$C 4 = 0.25 \text{ pF}$	$C 5 = 0.5 \text{ pF}$	$C 6 = 1 \text{ pF}$
$C 7 = 2 \text{ pF}$	$C 8 = 4 \text{ pF}$	$C 9 = 4 \text{ pF}$

この場合、0.03125 pFの最小合わせ込み精度でチップコンデンサ5 1の容量を微調整できる。また、ヒューズF 1～F 9から切断すべきヒューズを適切に選択することで、0.1 pF～10 pFの間の任意の容量値のチップコンデンサ5 1を提供することができる。

[0173] 以上のように、この実施形態によれば、第1外部電極5 3および第2外部電極5 4の間に、ヒューズF 1～F 9によって切り離し可能な複数のキャパシタ要素C 1～C 9が設けられている。キャパシタ要素C 1～C 9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズ

ズF 1～F 9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ5 1を提供できる。

[0174] チップコンデンサ5 1の各部の詳細について以下に説明を加える。 基板5 2は、たとえば平面視において0. 3 mm×0. 1 5 mm、0. 4 mm×0. 2 mm、または0. 2 mm×0. 1 mmなどの矩形形状（好ましくは、0. 4 mm×0. 2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域5 5は、概ね、基板5 2の短辺の長さに相当する一辺を有する正方形領域となる。基板5 2の厚さは、1 5 0 μm程度であってもよい。基板5 2は、たとえば、裏面側（キャパシタ要素C 1～C 9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板5 2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0175] 絶縁膜5 8は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、5 0 0 Å～2 0 0 0 Å程度であってもよい。 下部電極膜3 1 1は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜3 1 1は、スパッタ法によって形成することができる。上部電極膜3 1 3も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜3 1 3は、スパッタ法によって形成することができる。上部電極膜3 1 3のキャパシタ電極領域3 1 3 Aを電極膜部分3 3 1～3 3 9に分割し、かつヒューズ領域3 1 3 Cを複数のヒューズユニット5 7に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0176] 容量膜3 1 2は、たとえば窒化シリコン膜で構成することができ、その膜厚は5 0 0 Å～2 0 0 0 Å（たとえば1 0 0 0 Å）とすることができる。容量膜3 1 2は、プラズマCVD（化学的気相成長）によって形成された窒化シ

リコン膜であってもよい。パッシベーション膜59は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、8000 Å程度とされてもよい。樹脂膜310は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0177] 第1および第2外部電極53, 54は、たとえば、下部電極膜311または上部電極膜313に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜311または上部電極膜313に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極53, 54の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0178] 図23は、チップコンデンサ51の製造工程の一例を説明するための流れ図である。基板52として、例えばp型シリコン基板を準備する。そして、基板52の表面領域の、下部電極膜311の直下となる領域および上部電極膜313のパッド領域313Bの直下となる領域に、n型不純物をドーピングして、n型拡散領域323、324を形成する（ステップS0）。次いで、基板52の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜58が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜311が絶縁膜58の表面全域に形成される（ステップS2）。下部電極膜311の膜厚は8000 Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜311の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS3）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図18等にしたパターンの下部電極膜311が得られる（ステップS4）。下部電極膜311のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0179] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜312が、下部電極膜311上に形成される（ステップS5）。下部電極膜311が形成されていない領域では、絶縁膜58の表面に容量膜312が形成されることになる。次いで、その容量膜312の上に、上部電極膜313が形成される（ステップS6）。上部電極膜313は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000 Å程度とされてもよい。次いで、上部電極膜313の表面に上部電極膜313の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜313が、最終形状（図18等参照）にパターンニングされる（ステップS8）。それによって、上部電極膜313は、キャパシタ電極領域313Aに複数の電極膜部分331～339を有し、ヒューズ領域313Cに複数のヒューズユニット57を有し、それらのヒューズユニット57に接続されたパッド領域313Bを有するパターンに整形される。上部電極膜313のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0180] この後、上部電極膜313のパッド領域313Bと下部電極膜311のパッド領域311Bとに検査用プローブを押し当てて、複数のキャパシタ要素C1～C9の総容量値が測定される（ステップS9）。この測定された総容量値に基づき、目的とするチップコンデンサ51の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS10）。

[0181] 次いで、図24Aに示すように、基板52上の全面にたとえば窒化膜からなるカバー膜326が形成される（ステップS11）。このカバー膜326の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000 Å程度の窒化シリコン膜が形成されてもよい。カバー膜326は、パターニ

ングされた上部電極膜 3 1 3 を覆い、上部電極膜 3 1 3 が形成されていない領域では容量膜 3 1 2 を覆う。カバー膜 3 2 6 は、ヒューズ領域 3 1 3 C においてはヒューズユニット 5 7 を覆うことになる。

[0182] この状態から、ヒューズユニット 5 7 を溶断するためのレーザトリミングが行われる（ステップ S 1 2）。すなわち、図 2 4 B に示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット 5 7 にレーザ光 3 2 7 を当てて、そのヒューズユニット 5 7 の幅狭部 5 7 C が溶断される。これにより、対応するキャパシタ要素がパッド領域 3 1 3 B から切り離される。ヒューズユニット 5 7 にレーザ光 3 2 7 を当てるとき、カバー膜 3 2 6 の働きによって、ヒューズユニット 5 7 の近傍にレーザ光 3 2 7 のエネルギーが蓄積され、それによって、ヒューズユニット 5 7 が溶断する。

[0183] 次に、図 2 4 C に示すように、たとえばプラズマ C V D 法によって、カバー膜 3 2 6 上に窒化シリコン膜が堆積させられ、パッシベーション膜 5 9 が形成される（ステップ S 1 3）。前述のカバー膜 3 2 6 は最終形態において、パッシベーション膜 5 9 と一体化し、このパッシベーション膜 5 9 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 5 9 は、ヒューズ溶断の際に同時に破壊されたカバー膜 3 2 6 の開口内に入り込み、ヒューズユニット 5 7 の切断面を保護する。したがって、パッシベーション膜 5 9 は、ヒューズユニット 5 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜 5 9 は、全体で、たとえば 8 0 0 Å 程度の膜厚を有するように形成されてもよい。

[0184] 次に、第 1 および第 2 外部電極 5 3, 5 4 を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜 5 9 上に形成される（ステップ S 1 4）。このレジストパターンをマスクとしてパッシベーション膜 5 9 のエッチングが行われる。それによって、下部電極膜 3 1 1 をパッド領域 3 1 1 B において露出させるパッド開口と、上部電極膜 3 1 3 をパッド領域 3 1 3 B において露出させるパッド開口とが形成されることになる（ステップ S 1

5)。パッシベーション膜59のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜59のエッチングの際に、同じく窒化膜で形成されている容量膜312も開口することになり、それによって、下部電極膜311のパッド領域311Bが露出することになる。

[0185] 次いで、全面に樹脂膜が塗布される（ステップS16）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS17）。これにより、樹脂膜310およびパッシベーション膜59を貫通したパッド開口321、322が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップS18）、さらに、パッド開口321、322内に、たとえば無電解めっき法によって、第1外部電極53および第2外部電極54が成長させられる（ステップS19）。こうして、図18等を示す構造のチップコンデンサ51が得られる。

[0186] フォトリソグラフィ工程を利用した上部電極膜313のパターニングでは、微小面積の電極膜部分331～339を精度良く形成することができ、さらに微細なパターンのヒューズユニット57を形成することができる。そして、上部電極膜313のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ51を得ることができる。

[0187] 図25は、第2参考例の第2の実施形態に係るチップコンデンサ325の構成を説明するための平面図である。図25において、前述の図18に示された各部と対応する部分には同一の参照符号を付して示す。前述の第1の実施形態では、上部電極膜313のキャパシタ電極領域313Aがそれぞれ帯状の電極膜部分331～339に分割されている。この場合、図18に示すように、キャパシタ配置領域55内にキャパシタ要素として利用することが

できない領域が生じてしまい、小さな基板 5 2 上の限られた領域を有効に活用することができない。

[0188] そこで、図 2 5 に示す実施形態では、複数の電極膜部分 3 3 1 ~ 3 3 9 が L 字形の電極膜部分 3 4 1 ~ 3 4 9 に分割されている。これによって、たとえば、図 2 5 の構成における電極膜部分 3 4 9 は、図 1 8 の構成の電極膜部分 3 3 9 の 1. 5 倍の面積で下部電極膜 3 1 1 に対向することができる。よって、図 1 8 の第 1 の実施形態において電極膜部分 3 3 9 に対応したキャパシタ要素 C 9 が 4 p F の容量を有しているとすれば、この実施形態における電極膜部分 3 4 9 を用いることで、キャパシタ要素 C 9 は 6 p F の容量を有することができる。これにより、キャパシタ配置領域 5 5 内を有効に活用して、より広い範囲でチップコンデンサ 5 1 の容量値を設定することが可能となる。

[0189] なお、この実施形態においても、寄生容量を切り離すために、基板 5 2 の表面領域であって、第 1 外部電極 5 3 の直下の領域、および、下部電極膜 3 1 1 直下の領域には拡散領域が形成され、p n 接合による一对のダイオードが形成されている。この実施形態に係るチップコンデンサ 3 2 5 の製造工程は、図 2 3 に示した工程と実質的に同様である。ただし、上部電極膜 3 1 3 のパターニング（ステップ S 7, S 8）では、キャパシタ電極領域 3 1 3 A が、図 2 5 に示す形状の複数の電極膜部分 3 3 1 ~ 3 3 9 に分割される。

[0190] 図 2 6 は、第 2 参考例の第 3 の実施形態に係るチップコンデンサ 3 2 8 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 2 0 と同様にチップコンデンサ 3 2 8 の各部が表されている。第 1 の実施形態では、下部電極膜 3 1 1 がキャパシタ配置領域 5 5 のほぼ全域にわたる連続パターンからなるキャパシタ電極領域 3 1 1 A を有し、上部電極膜 3 1 3 のキャパシタ電極領域 3 1 3 A が複数の電極膜部分 3 3 1 ~ 3 3 9 に分割されている。

[0191] これに対して、この実施形態では、上部電極膜 3 1 3 のキャパシタ電極領域 3 1 3 A がキャパシタ配置領域 5 5 のほぼ全域にわたって連続する連続膜パ

ターンに形成されている一方で、下部電極膜 3 1 1 のキャパシタ電極領域 3 1 1 A が複数の電極膜部分 3 5 1 ～ 3 5 9 に分割されている。電極膜部分 3 5 1 ～ 3 5 9 は、第 1 の実施形態における電極膜部分 3 3 1 ～ 3 3 9 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 3 4 1 ～ 3 4 9 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 3 5 1 ～ 3 5 9 と、容量膜 3 1 2 と、上部電極膜 3 1 3 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

[0192] 下部電極膜 3 1 1 は、さらに、キャパシタ電極領域 3 1 1 A とパッド領域 3 1 1 B との間にヒューズ領域 3 1 1 C を有している。ヒューズ領域 3 1 1 C には、第 1 の実施形態のヒューズユニット 5 7 と同様の複数のヒューズユニット 3 2 9 がパッド領域 3 1 1 B に沿って一列に配列されている。各電極膜部分 3 5 1 ～ 3 5 9 は、一つまたは複数のヒューズユニット 3 2 9 を介してパッド領域 3 1 1 B に接続されている。

[0193] このような構成によっても、電極膜部分 3 5 1 ～ 3 5 9 が互いに異なる対向面積で上部電極膜 3 1 3 に対向しており、これらはヒューズユニット 3 2 9 を切断することによって個別に切り離すことができる。したがって、第 1 の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 3 5 1 ～ 3 5 9 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 3 1 3 に対向するように形成しておくことで、第 1 の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0194] なお、この実施形態においても、上述の各実施形態と同様に、寄生容量を切り離すために、基板 5 2 の表面領域であって、第 1 外部電極 5 3 の直下の領域、および、第 2 外部電極 5 4 の直下の領域には拡散領域が形成され、p n 接合による一对のダイオードが形成されている。この実施形態に係るチップコンデンサ 3 2 8 の製造工程は、図 2 3 に示した工程と実質的に同様であ

る。ただし、下部電極膜 311 のパターニング（ステップ S3, S4）において、キャパシタ電極領域 311A が電極膜部分 351, 359 に分割され、かつヒューズ領域 311C に複数のヒューズユニット 329 が形成されることになる。また、上部電極膜 313 のパターニング（ステップ S7, S8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップ S12）においては、下部電極膜 311 に形成されたヒューズユニット 329 がレーザ光によって切断される。レーザトリミングの際、下部電極膜 311 は容量膜 312 によって覆われているので、この容量膜 312 をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップ S11）は省かれてもよい。

[0195] 以上、第 2 参考例の実施形態について説明してきたが、第 2 参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r ($0 < r, r \neq 1$) $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。また、前述の実施形態では、基板 52 の表面に絶縁膜 58 が形成されているが、基板 52 が絶縁性の基板であれば、絶縁膜 58 を省くこともできる。また、基板 52 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 312 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。さらに、導電性基板を使用する場合、pn 接合によるダイオード以外のダイオードを利用して

、基板と外部電極との間に生じうる寄生容量の切り離しを行ってもよい。

[0196] その他、前記（１）第２参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴Ｂ１～Ｂ２５で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第２参考例の範囲に含まれる。＜第３参考例に係る発明＞（１）第３参考例に係る発明の特徴 たとえば、第３参考例に係る発明の特徴は、以下のＣ１～Ｃ２３である。（Ｃ１）基板と、前記基板上に配置された第１外部電極と、前記基板上に配置された第２外部電極と、前記基板上に形成され、前記第１外部電極および前記第２外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第１外部電極または前記第２外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサであって、前記基板として、比抵抗が $30\Omega\cdot\text{cm}$ 以上の基板が用いられていることを特徴とするチップコンデンサ。

[0197] Ｃ１記載の発明によれば、基板上に配置された第１および第２外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第１または第２外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。また、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。

[0198] より具体的には、基板の比抵抗が高ければ、第１外部電極および第２外部電極の直下に形成された寄生容量は、基板によって互いに電氣的に接続されることがない。それによって、これらの寄生容量を通る回路が第１外部電極および第２外部電極の間に形成されることがない。これにより、第１外部電極および第２外部電極と基板との間に生じた寄生容量を、チップコンデンサ本来の回路から切り離すことができるので、基板材料として半導体を選択して

も差し支えのないチップコンデンサを製造することができる。(C 2) 前記基板が、 $100\Omega \cdot \text{cm}$ 以上の比抵抗を有する、C 1記載のチップコンデンサ。

[0199] C 2記載の発明によれば、比抵抗の大きな基板を使用し、より確実に寄生容量を分離することができ、本来のキャパシタ容量が小さくても、寄生容量の与える影響を除去することができる。(C 3) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、C 1またはC 2に記載のチップコンデンサ。

[0200] この構成によれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。(C 4) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、C 3に記載のチップコンデンサ。C 4記載の発明によれば、第1外部電極および第2外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項(当該数列内で最小値の項)の精度でチップコンデンサの容量値を合わせ込むことができる。(C 5) 前記複数のヒューズのうちの少なくとも一つが切断されている、C 1～C 4のいずれか一項に記載のチップコンデンサ。

[0201] C 5記載の発明によれば、容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。(C 6) 前記基板上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜とを含み、前記上部電極膜および前記下部電極膜のうちの一方の電極膜が、分割された複数の電極膜部分を含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および前記下部電極膜のうちの他方の電極膜に

対向することにより、前記複数のキャパシタ要素が形成されている、C 1 ～ C 5 のいずれか一項に記載のチップコンデンサ。

[0202] C 6 記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極膜および下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。(C 7) 前記複数の電極膜部分が、互いに異なる対向面積で前記他方の電極膜に対向している、C 6 に記載のチップコンデンサ。

[0203] C 7 記載の発明によれば、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。(C 8) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、C 7 に記載のチップコンデンサ。

[0204] C 8 記載の発明によれば、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。(C 9) 前記複数の電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、C 6 ～ C 8 のいずれか一項に記載のチップコンデンサ。

[0205] C 9 記載の発明によれば、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。(C 10) 前記上部電極膜を覆い、前記第 1 外部電極および前記第 2 外部電極を露出させるように

形成された保護膜をさらに含む、C 1 ～C 9 のいずれか一項に記載のチップコンデンサ。

[0206] C 1 0 記載の発明によれば、第 1 および第 2 外部電極を露出させる一方で上部電極膜を保護膜で覆うことができるから、共通の設計で複数種類の容量値を実現でき、かつ信頼性の高いチップコンデンサを提供できる。(C 1 1) 前記保護膜が、前記基板の側面にまで延びて、当該側面を覆っている、C 1 0 に記載のチップコンデンサ。

[0207] C 1 1 記載の発明によれば、基板の側面からも保護することができるので、チップコンデンサの信頼性を一層向上できる。(C 1 2) 第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、前記基板として、比抵抗が $30 \Omega \cdot \text{cm}$ 以上、好ましくは $100 \Omega \cdot \text{cm}$ 以上の比抵抗を有する基板を準備する工程と、前記基板上に複数のキャパシタ要素を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続するための複数のヒューズを前記基板上に形成する工程と、前記基板上に第 1 外部電極および第 2 外部電極を形成する工程とを含む、チップコンデンサの製造方法。

[0208] C 1 2 記載の発明によれば、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。また、寄生容量の影響を受けないチップコンデンサを製造することができる。(C 1 3) 前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、C 1 2 に記載のチップコンデンサの製造方法。

[0209] C 1 3 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値を実現できる。(C 1 4) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、C 1 3 に記載のチップコンデンサの製造方法。 C 1 4 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。

たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。（C 1 5）前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、C 1 2～C 1 4のいずれか一項に記載のチップコンデンサの製造方法。

[0210] C 1 5 記載の発明によれば、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。（C 1 6）前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含む、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、C 1 5 に記載のチップコンデンサの製造方法。

[0211] C 1 6 記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。（C 1 7）前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、C 1 5 またはC 1 6 に記載のチップコンデンサの製造方法。

[0212] C 1 7 記載の発明によれば、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。（C 1 8）前記複数のキャパシタ要素を形成する工程が、前記基板上に下部電極膜を形成する工程と、前記下部電極膜上に容量膜を形成する工程と、前記容量膜上に前記下部電極膜と対向するように上部電極膜を形成する工程と、前記上部電極膜および前記下部電極膜のうちの一方の電極膜を複数の電極膜部分に

分割（たとえばフォトリソグラフィにより分割）する工程とを含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成される、C 1 2～C 1 7のいずれか一項に記載のチップコンデンサの製造方法。

[0213] C 1 8 記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟んだキャパシタ構造を形成できる。そして、上部電極膜および下部電極膜のうちの一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。（C 1 9）前記複数の電極膜部分が互いに異なる対向面積で前記他方の電極膜に対向するように前記一方の電極膜が分割される、C 1 8 に記載のチップコンデンサの製造方法。

[0214] C 1 9 記載の発明によれば、複数の電極膜部分が互いに異なる対向面積で他方の電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。（C 2 0）前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、C 1 8 に記載のチップコンデンサの製造方法。

[0215] C 2 0 記載の発明によれば、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。（C 2 1）前記一方の電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、C 1 8～C 2 0のいずれか一項に記載のチップコンデンサの製造方法。

[0216] C 2 1 記載の発明によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターンニングして形成す

ることができる。これにより、製造工程が簡単になる。(C 2 2) $30 \Omega \cdot \text{cm}$ 以上の比抵抗を有する基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対抗するように形成された上部電極膜と、前記絶縁膜上に配置され前記下部電極膜に接続された第1外部電極と、前記絶縁膜上に配置され前記上部電極膜に接続された第2外部電極と、を含む、チップコンデンサ。(C 2 3) 前記基板が、 $100 \Omega \cdot \text{cm}$ 以上の比抵抗を有する、C 2 2記載のチップコンデンサ。

[0217] C 2 2、2 3記載の発明によれば、基板に半導体を使用でき、かつ、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。(2) 第3参考例に係る発明の実施形態 以下では、第3参考例の実施の形態を、添付図面を参照して詳細に説明する。図27は、第3参考例の第1の実施形態に係るチップコンデンサの平面図であり、図28はその断面図であって、図27の切断面線XXVIII-XXVIIIから見た切断面が示されている。さらに、図29は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[0218] チップコンデンサ61は、基板62と、基板62上に配置された第1外部電極63と、同じく基板62上に配置された第2外部電極64とを備えている。基板62は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、 $0.3 \text{ mm} \times 0.15 \text{ mm}$ 程度の寸法である。基板62の長手方向両端部に第1外部電極63および第2外部電極64がそれぞれ配置されている。第1外部電極63および第2外部電極64は、この実施形態では、基板62の短手方向に延びたほぼ矩形の平面形状を有し、基板62の角に対応する各2箇所面に面取り部を有している。基板62上には、第1外部電極63および第2外部電極64の間のキャパシタ配置領域65内に、複数のキャパシタ要素C1~C9が配置されている。複数のキャパシタ要素C1~C9は、複数のヒューズユニット67を介してそれぞれ第1外部電極63に電氣的に接続されている。

[0219] 図28および図29に示されているように、基板62の表面には絶縁膜68が形成されていて、絶縁膜68の表面に下部電極膜411が形成されている。下部電極膜411は、キャパシタ配置領域65のほぼ全域にわたっているとともに、第2外部電極64の直下の領域にまで延びて形成されている。より具体的には、下部電極膜411は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域411Aと、外部電極引き出しのためのパッド領域411Bとを有している。キャパシタ電極領域411Aがキャパシタ配置領域65に位置していて、パッド領域411Bが第2外部電極64の直下に位置している。

[0220] キャパシタ配置領域65において下部電極膜411（キャパシタ電極領域411A）を覆うように容量膜（誘電体膜）412が形成されている。容量膜412は、キャパシタ電極領域411Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極63の直下の領域にまで延び、キャパシタ配置領域65外の絶縁膜68を覆っている。容量膜412の上には、上部電極膜413が形成されている。図27では、明瞭化のために、上部電極膜413に細ドットを付して示してある。上部電極膜413は、キャパシタ配置領域65に位置するキャパシタ電極領域413Aと、第1外部電極63の直下に位置するパッド領域413Bと、パッド領域413Bとキャパシタ電極領域413Aとの間に配置されたヒューズ領域413Cとを有している。

[0221] キャパシタ電極領域413Aにおいて、上部電極膜413は、複数の電極膜部分431～439に分割されている。この実施形態では、各電極膜部分431～439は、いずれも矩形形状に形成されていて、ヒューズ領域413Cから第2外部電極64に向かって帯状に延びている。複数の電極膜部分431～439は、複数種類の対向面積で、容量膜412を挟んで下部電極膜411に対向している。より具体的には、電極膜部分431～439の下部電極膜411に対する対向面積は、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜

部分431～439は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分431～438（または431～437，439）を含む。これによって、各電極膜部分431～439と容量膜412を挟んで対向する下部電極膜411とによってそれぞれ構成される複数のキャパシタ要素C1～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分431～439の対向面積の比が前述の通りである場合、キャパシタ要素C1～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C1～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1～C8（またはC1～C7，C9）を含むことになる。

[0222] この実施形態では、電極膜部分431～435は、幅が等しく、長さの比を1：2：4：8：16に設定した帯状に形成されている。また、電極膜部分435，436，437，438，439は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分435～439は、キャパシタ配置領域65の第1外部電極63側の端縁から第2外部電極64側の端縁までの範囲に渡って延びて形成されており、電極膜部分431～434は、それよりも短く形成されている。

[0223] パッド領域413Bは、第1外部電極63とほぼ相似形に形成されており、基板62の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域413Bの一つの長辺（基板62の周縁に対して内方側の長辺）に沿ってヒューズ領域413Cが配置されている。ヒューズ領域413Cは、パッド領域413Bの前記1つの長辺に沿って配列された複数のヒューズユニット67を含む。ヒューズユニット67は、上部電極膜413のパッド領域413Bと同じ材料で一体的に形成されている。複数の電極膜部分431～439は、1つまたは複数個のヒューズユニット67と一体的に形成されていて、それらのヒューズユニット67を介してパッド領

域 4 1 3 B に接続され、このパッド領域 4 1 3 B を介して第 1 外部電極 6 3 に電氣的に接続されている。面積の比較的小さな電極膜部分 4 3 1 ～ 4 3 6 は、一つのヒューズユニット 6 7 によってパッド領域 4 1 3 B に接続されており、面積の比較的大きな電極膜部分 4 3 7 ～ 4 3 9 は複数個のヒューズユニット 6 7 を介してパッド領域 4 1 3 B に接続されている。全てのヒューズユニット 6 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット 6 7 は未使用である。

[0224] ヒューズユニット 6 7 は、パッド領域 4 1 3 B との接続のための第 1 幅広部 6 7 A と電極膜部分 4 3 1 ～ 4 3 9 との接続のための第 2 幅広部 6 7 B と、第 1 および第 2 幅広部 6 7 A、6 7 B の間を接続する幅狭部 6 7 C とを含む。幅狭部 6 7 C は、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分 4 3 1 ～ 4 3 9 のうち不要な電極膜部分をヒューズユニット 6 7 の切断によって第 1 および第 2 外部電極 6 3、6 4 から電氣的に切り離すことができる。

[0225] 図 2 7 および図 2 9 では図示を省略したが、図 2 8 に表れている通り、上部電極膜 4 1 3 の表面を含むチップコンデンサ 6 1 の表面はパッシベーション膜 6 9 によって覆われている。パッシベーション膜 6 9 は、たとえば窒化膜からなっていて、チップコンデンサ 6 1 の上面のみならず、基板 6 2 の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 6 9 の上には、ポリイミド樹脂等からなる樹脂膜 4 1 0 が形成されている。樹脂膜 4 1 0 は、チップコンデンサ 6 1 の上面を覆い、さらに基板 6 2 の側面に至って、当該側面上のパッシベーション膜 6 9 を覆うように形成されている。

[0226] パッシベーション膜 6 9 および樹脂膜 4 1 0 は、チップコンデンサ 6 1 の表面を保護する保護膜である。これらには、第 1 外部電極 6 3 および第 2 外部電極 6 4 に対応する領域にパッド開口 4 1 4、4 1 5 がそれぞれ形成されている。パッド開口 4 1 4、4 1 5 はそれぞれ上部電極膜 4 1 3 のパッド領域 4 1 3 B の一部の領域、下部電極膜 4 1 1 のパッド領域 4 1 1 B の一部の領

域を露出させるようにパッシベーション膜 6 9 および樹脂膜 4 1 0 を貫通している。さらに、この実施形態では、第 2 外部電極 6 4 に対応したパッド開口 4 1 5 は、容量膜 4 1 2 をも貫通している。

[0227] パッド開口 4 1 4, 4 1 5 には、第 1 外部電極 6 3 および第 2 外部電極 6 4 がそれぞれ埋め込まれている。これにより、第 1 外部電極 6 3 は上部電極膜 4 1 3 のパッド領域 4 1 3 B に接合しており、第 2 外部電極 6 4 は下部電極膜 4 1 1 のパッド領域 4 1 1 B に接合している。第 1 および第 2 外部電極 6 3, 6 4 は、樹脂膜 4 1 0 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 6 1 をフリップチップ接合することができる。

[0228] この実施形態に係る構成のチップコンデンサ 6 1 には、寄生容量が発生する。図 2 8 を参照して説明すると、第 1 外部電極 6 3 の直下には、当該第 1 外部電極 6 3 と基板 6 2 の間に、絶縁膜 6 8 および容量膜 4 1 2 を挟んだ寄生容量 C_P1 が形成される。また、第 2 外部電極 6 4 の直下には、当該第 2 外部電極 6 4 と基板 6 2 との間に、絶縁膜 6 8 を挟んだ寄生容量 C_P2 が形成される。そして、これら寄生容量 C_P1 、 C_P2 が基板 6 2 を介して第 1 外部電極 6 3 および第 2 外部電極 6 4 の間に直列に接続されていることになる。そして、この寄生容量の直列回路は、前記構成したキャパシタ要素 $C1 \sim C9$ に対して並列接続されることになり、チップコンデンサ 6 1 全体の容量値を低下させ、また、チップコンデンサ 6 1 を所望の容量値に合わせ込む妨げとなる。

[0229] しかしながら、この実施形態では、基板 6 2 として、 $30 \Omega \cdot \text{cm}$ 以上、より好ましくは $100 \Omega \cdot \text{cm}$ 以上の比抵抗を有する基板 6 2 を使用したので、寄生容量 C_P1 、 C_P2 を分離することができ、寄生容量 C_P1 、 C_P2 が本来のキャパシタ容量に与える影響を除去することができる。より具体的に、図 3 0 を参照して説明する。

[0230] 図 3 0 (A) は、チップコンデンサ 6 1 の電氣的な等価回路である。図 3 0 (A) において、 C は、チップコンデンサ 6 1 本来の容量であり、 C_P1 お

よびC P 2は、それぞれ、第1外部電極63および第2外部電極64側の寄生容量である。また、Rはチップコンデンサ61の本来のキャパシタ回路に直列に存在する抵抗である。一方、R sは、基板62の抵抗である。

[0231] 図30(A)の等価回路は、図30(B)に示す等価回路に書き直すことができる。図30(B)において、C pは、寄生容量C P 1およびC P 2の合成容量を示している。図30(B)の等価回路において、RとCとの直列回路は、インピーダンスZ 0のチップコンデンサ61固有の値であり、合成容量C pと基板62の抵抗R sとの直列回路は、インピーダンスZ pと表わすことができる。

[0232] そこで、図30(C)に示すように、寄生容量C pおよび基板抵抗R sを含めた等価回路において、 $C p = 0.3 \text{ pF}$ 、 $R = 0.5 \Omega$ として、 $C = 0.2 \text{ pF}$ 、 1 pF 、 10 pF と変化させ、かつ、 $R s$ を $10 \Omega \sim 10 \text{ M}\Omega$ と変化させ、 $f = 5 \text{ GHz}$ のときのインピーダンス特性を確認した。

[0233] 図31は、周波数 $f = 5 \text{ GHz}$ 時の、RおよびCのみのインピーダンス($Z 0$)特性と、C p、R sが合成された場合のインピーダンス($Z 0 // Z p$)特性を示すグラフである。図31から、チップコンデンサ61が、容量 0.2 pF 以上において、寄生容量の影響を受けないようにするためには、基板62の抵抗値を少なくとも $1 \text{ K}\Omega$ 以上にする必要があることを確認できる。

[0234] 基板62の抵抗値を $1 \text{ K}\Omega$ 以上にするために必要な基板62の比抵抗は、基板62の有効抵抗領域を、図32に示す寸法、すなわち1辺が 0.15 mm の立方体チップである場合を想定すれば、比抵抗 ρ ($\Omega \cdot \text{cm}$)は、 $\rho * 10 / 0.15 * 10 / 0.15 * 0.15 / 10 = R s * 66.7 > 1 \text{ K}\Omega$ とする必要がある。

[0235] よって、 $\rho > 15 \Omega \cdot \text{cm}$ が、基板62の最低比抵抗となる。この実施形態のチップコンデンサ61は、基板62の大きさが、図32で説明した寸法の約2倍であるから、チップコンデンサ61に使用する基板62の比抵抗は、 $30 \Omega \cdot \text{cm}$ 以上であればよい。

[0236] なお、この実施形態のチップコンデンサ61では、0.2 pFの低容量でも、寄生容量の影響を受けないようにするため、比抵抗100 $\Omega \cdot \text{cm}$ 意匠のシリコン基板を使用して製造している。図33は、チップコンデンサ61の内部の電氣的構成を示す回路図である。第1外部電極63と第2外部電極64との間に複数のキャパシタ要素C1～C9が並列に接続されている。各キャパシタ要素C1～C9と第1外部電極63との間には、一つまたは複数のヒューズユニット67でそれぞれ構成されたヒューズF1～F9が直列に介装されている。

[0237] ヒューズF1～F9が全て接続されているときは、チップコンデンサ61の容量値は、キャパシタ要素C1～C9の容量値の総和に等しい。複数のヒューズF1～F9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ61の容量値が減少する。

[0238] そこで、パッド領域411B、413Bの間の容量値（キャパシタ要素C1～C9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF1～F9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C1～C8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0239] たとえば、キャパシタ要素C1～C9の容量値は次のように定められていてもよい。

$$\begin{array}{lll}
 C1 = 0.03125 \text{ pF} & & C2 = 0.0625 \text{ pF} \\
 C3 = 0.125 \text{ pF} & & C4 = 0.25 \text{ pF} \\
 C5 = 0.5 \text{ pF} & & C6 = 1 \text{ pF} \\
 C7 = 2 \text{ pF} & & C8 = 4 \text{ pF} \\
 C9 = 4 \text{ pF} & &
 \end{array}$$

この場合、0.03125 pFの最小合わせ込み精度でチップ

コンデンサ 61 の容量を微調整できる。また、ヒューズ F 1 ~ F 9 から切断すべきヒューズを適切に選択することで、0.1 pF ~ 10 pF の間の任意の容量値のチップコンデンサ 61 を提供することができる。

[0240] 以上のように、この実施形態によれば、第 1 外部電極 63 および第 2 外部電極 64 の間に、ヒューズ F 1 ~ F 9 によって切り離し可能な複数のキャパシタ要素 C 1 ~ C 9 が設けられている。キャパシタ要素 C 1 ~ C 9 は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズ F 1 ~ F 9 から 1 つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ 61 を提供できる。

[0241] チップコンデンサ 61 の各部の詳細について以下に説明を加える。基板 62 は、たとえば平面視において 0.3 mm × 0.15 mm、0.4 mm × 0.2 mm、または 0.2 mm × 0.1 mm などの矩形形状（好ましくは、0.4 mm × 0.2 mm 以下の大きさ）を有していてもよい。キャパシタ配置領域 65 は、概ね、基板 62 の短辺の長さに相当する一辺を有する正方形領域となる。基板 62 の厚さは、150 μm 程度であってもよい。基板 62 は、たとえば、裏面側（キャパシタ要素 C 1 ~ C 9 が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 62 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0242] 絶縁膜 68 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å ~ 2000 Å 程度であってもよい。下部電極膜 411 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜 411 は、スパッタ法によって形成することができる。上部電極膜 413 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム

膜からなる上部電極膜413は、スパッタ法によって形成することができる。上部電極膜413のキャパシタ電極領域413Aを電極膜部分431～439に分割し、かつヒューズ領域413Cを複数のヒューズユニット67に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0243] 容量膜412は、たとえば窒化シリコン膜で構成することができ、その膜厚は500Å～2000Å（たとえば1000Å）とすることができる。容量膜412は、プラズマCVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。パッシベーション膜69は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、8000Å程度とされてもよい。樹脂膜410は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0244] 第1および第2外部電極63, 64は、たとえば、下部電極膜411または上部電極膜413に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜411または上部電極膜413に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極63, 64の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0245] 図34は、チップコンデンサ61の製造工程の一例を説明するための流れ図である。基板62として、比抵抗が100Ω・cm以上の基板を準備する。次いで、基板62の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜68が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜411が絶縁膜68の表面全域に形成される（ステップS2）。下部電極膜411の膜厚は8000Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜411の最終形状に対応したレジストパターンが

、フォトリソグラフィによって形成される（ステップS 3）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図27等にしたパターンの下部電極膜411が得られる（ステップS 4）。下部電極膜411のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0246] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜412が、下部電極膜411上に形成される（ステップS 5）。下部電極膜411が形成されていない領域では、絶縁膜68の表面に容量膜412が形成されることになる。次いで、その容量膜412の上に、上部電極膜413が形成される（ステップS 6）。上部電極膜413は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000 Å程度とされてもよい。次いで、上部電極膜413の表面に上部電極膜413の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS 7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜413が、最終形状（図27等参照）にパターンニングされる（ステップS 8）。それによって、上部電極膜413は、キャパシタ電極領域413Aに複数の電極膜部分431～439を有し、ヒューズ領域413Cに複数のヒューズユニット67を有し、それらのヒューズユニット67に接続されたパッド領域413Bを有するパターンに整形される。上部電極膜413のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0247] この後、上部電極膜413のパッド領域413Bと下部電極膜411のパッド領域411Bとに検査用プローブを押し当てて、複数のキャパシタ要素C1～C9の総容量値が測定される（ステップS 9）。この測定された総容量値に基づき、目的とするチップコンデンサ61の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS 10）。

[0248] 次いで、図35Aに示すように、基板62上の全面にたとえば窒化膜からなるカバー膜416が形成される（ステップS11）。このカバー膜416の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜416は、パターニングされた上部電極膜413を覆い、上部電極膜413が形成されていない領域で

は容量膜412を覆う。カバー膜416は、ヒューズ領域413Cにおいてはヒューズユニット67を覆うことになる。

[0249] この状態から、ヒューズユニット67を溶断するためのレーザトリミングが行われる（ステップS12）。すなわち、図35Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット67にレーザ光417を当てて、そのヒューズユニット67の幅狭部67Cが溶断される。これにより、対応するキャパシタ要素がパッド領域413Bから切り離される。ヒューズユニット67にレーザ光417を当てるとき、カバー膜416の働きによって、ヒューズユニット67の近傍にレーザ光417のエネルギーが蓄積され、それによって、ヒューズユニット67が溶断する。

[0250] 次に、図35Cに示すように、たとえばプラズマCVD法によって、カバー膜416上に窒化シリコン膜が堆積させられ、パッシベーション膜69が形成される（ステップS13）。前述のカバー膜416は最終形態において、パッシベーション膜69と一体化し、このパッシベーション膜69の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜69は、ヒューズ溶断の際に同時に破壊されたカバー膜416の開口内に入り込み、ヒューズユニット67の切断面を保護する。したがって、パッシベーション膜69は、ヒューズユニット67の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜69は、全体で、たとえば8000Å程度の膜厚を有するように形成されてもよい。

[0251] 次に、第1および第2外部電極63、64を形成すべき位置に貫通孔を有す

るレジストパターンがパッシベーション膜 6 9 上に形成される（ステップ S 1 4）。このレジストパターンをマスクとしてパッシベーション膜 6 9 のエッチングが行われる。それによって、下部電極膜 4 1 1 をパッド領域 4 1 1 B において露出させるパッド開口と、上部電極膜 4 1 3 をパッド領域 4 1 3 B において露出させるパッド開口とが形成されることになる（ステップ S 1 5）。パッシベーション膜 6 9 のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜 6 9 のエッチングの際に、同じく窒化膜で形成されている容量膜 4 1 2 も開口することになり、それによって、下部電極膜 4 1 1 のパッド領域 4 1 1 B が露出することになる。

[0252] 次いで、全面に樹脂膜が塗布される（ステップ S 1 6）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップ S 1 7）。これにより、樹脂膜 4 1 0 およびパッシベーション膜 6 9 を貫通したパッド開口 4 1 4, 4 1 5 が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップ S 1 8）、さらに、パッド開口 4 1 4, 4 1 5 内に、たとえば無電解めっき法によって、第 1 外部電極 6 3 および第 2 外部電極 6 4 が成長させられる（ステップ S 1 9）。こうして、図 2 7 等を示す構造のチップコンデンサ 6 1 が得られる。

[0253] フォトリソグラフィ工程を利用した上部電極膜 4 1 3 のパターニングでは、微小面積の電極膜部分 4 3 1 ~ 4 3 9 を精度良く形成することができ、さらに微細なパターンのヒューズユニット 6 7 を形成することができる。そして、上部電極膜 4 1 3 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ 6 1 を得ることができる。

[0254] 図 3 6 は、第 3 参考例の第 2 の実施形態に係るチップコンデンサ 4 1 8 の構

成を説明するための平面図である。図36において、前述の図27に示された各部と対応する部分には同一の参照符号を付して示す。 前述の第1の実施形態では、上部電極膜413のキャパシタ電極領域413Aがそれぞれ帯状の電極膜部分431～439に分割されている。この場合、図27に示すように、キャパシタ配置領域65内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板62上の限られた領域を有効に活用することができない。

[0255] そこで、図36に示す実施形態では、複数の電極膜部分431～439がL字形の電極膜部分441～449に分割されている。これによって、たとえば、図36の構成における電極膜部分449は、図27の構成の電極膜部分439の1.5倍の面積で下部電極膜411に対向することができる。よって、図27の第1の実施形態において電極膜部分439に対応したキャパシタ要素C9が4pFの容量を有しているとすれば、この実施形態における電極膜部分449を用いることで、キャパシタ要素C9は6pFの容量を有することができる。これにより、キャパシタ配置領域65内を有効に活用して、より広い範囲でチップコンデンサ418の容量値を設定することが可能となる。

[0256] なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板62は、 $100\Omega \cdot \text{cm}$ 以上の比抵抗を有する。 この実施形態に係るチップコンデンサ418の製造工程は、図34に示した工程と実質的に同様である。ただし、上部電極膜413のパターニング（ステップS7，S8）では、キャパシタ電極領域413Aが、図34に示す形状の複数の電極膜部分431～439に分割される。

[0257] 図37は、第3参考例の第3の実施形態に係るチップコンデンサ419の構成を説明するための分解斜視図であり、前述の第1の実施形態の説明において用いた図29と同様にチップコンデンサ419の各部が表されている。 第1の実施形態では、下部電極膜411がキャパシタ配置領域65のほぼ全域にわたる連続パターンからなるキャパシタ電極領域411Aを有し、上部

電極膜 4 1 3 のキャパシタ電極領域 4 1 3 A が複数の電極膜部分 4 3 1 ~ 4 3 9 に分割されている。

[0258] これに対して、この実施形態では、上部電極膜 4 1 3 のキャパシタ電極領域 4 1 3 A がキャパシタ配置領域 6 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 4 1 1 のキャパシタ電極領域 4 1 1 A が複数の電極膜部分 4 5 1 ~ 4 5 9 に分割されている。電極膜部分 4 5 1 ~ 4 5 9 は、第 1 の実施形態における電極膜部分 4 3 1 ~ 4 3 9 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 4 4 1 ~ 4 4 9 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 4 5 1 ~ 4 5 9 と、容量膜 4 1 2 と、上部電極膜 4 1 3 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

[0259] 下部電極膜 4 1 1 は、さらに、キャパシタ電極領域 4 1 1 A とパッド領域 4 1 1 B との間にヒューズ領域 4 1 1 C を有している。ヒューズ領域 4 1 1 C には、第 1 の実施形態のヒューズユニット 6 7 と同様の複数のヒューズユニット 4 2 0 がパッド領域 4 1 1 B に沿って一列に配列されている。各電極膜部分 4 5 1 ~ 4 5 9 は、一つまたは複数のヒューズユニット 4 2 0 を介してパッド領域 4 1 1 B に接続されている。

[0260] このような構成によっても、電極膜部分 4 5 1 ~ 4 5 9 が互いに異なる対向面積で上部電極膜 4 1 3 に対向しており、これらはヒューズユニット 4 2 0 を切断することによって個別に切り離すことができる。したがって、第 1 の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 4 5 1 ~ 4 5 9 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 4 1 3 に対向するように形成しておくことで、第 1 の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0261] なお、この実施形態においても、寄生容量の影響を受けないようにするため

、基板62は、 $100\Omega \cdot \text{cm}$ 以上の比抵抗を有する。この実施形態に係るチップコンデンサ419の製造工程は、図34に示した工程と実質的に同様である。ただし、下部電極膜411のパターニング（ステップS3，S4）において、キャパシタ電極領域411Aが電極膜部分451，459に分割され、かつヒューズ領域411Cに複数のヒューズユニット420が形成されることになる。また、上部電極膜413のパターニング（ステップS7，S8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップS12）においては、下部電極膜411に形成されたヒューズユニット420がレーザ光によって切断される。レーザトリミングの際、下部電極膜411は容量膜412によって覆われているので、この容量膜412をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップS11）は省かれてもよい。

[0262] 以上、第3参考例の実施形態について説明してきたが、第3参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、前述の実施形態では、基板62の表面に絶縁膜68が形成されているが、基板62が絶縁性の基板であれば、絶縁膜68を省くこともできる。また、基板62として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜412を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。さらに、半導体の

基板を使用する場合、寄生容量の影響を受けないようにするため、基板 6 2 は、 $30\ \Omega \cdot \text{cm}$ 以上、好ましくは $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する半導体により形成するのがよい。

[0263] その他、前記 (1) 第 3 参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴 C 1 ~ C 2 3 で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第 3 参考例の範囲に含まれる。＜第 4 参考例に係る発明＞ (1) 第 4 参考例に係る発明の特徴 たとえば、第 4 参考例に係る発明の特徴は、以下の D 1 ~ D 2 2 である。(D 1) トレンチが形成された表面を有する基板と、前記基板の表面に倣う容量膜を有するキャパシタ構造とを含む、チップコンデンサ。

[0264] D 1 記載の発明によれば、基板の表面にトレンチが形成されており、このトレンチが形成された表面に倣うように容量膜が設けられて、キャパシタ構造が形成されている。したがって、基板の表面積は、基板の主面に垂直な平面視における見かけ上の表面積よりも大きい。それに応じて、基板の表面に倣う容量膜は、大きな面積を有するので、キャパシタ構造は大きな容量値を有することができる。このようにして、基板の小型化と大容量化とを両立したチップコンデンサを提供することができる。(D 2) 前記キャパシタ構造が、複数のキャパシタ要素を有しており、前記基板に設けられた第 1 外部電極と、前記基板に設けられた第 2 外部電極と、前記基板上に形成され、前記複数のキャパシタ要素と前記第 1 外部電極または前記第 2 外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとをさらに含む、D 1 に記載のチップコンデンサ。

[0265] D 2 記載の発明では、基板上に配置された第 1 および第 2 外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第 1 または第 2 外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒ

ューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。(D 3) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、D 2に記載のチップコンデンサ。

[0266] D 3 記載の発明により、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。(D 4) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、D 3に記載のチップコンデンサ。D 4 記載の発明により、第 1 外部電極および第 2 外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。(D 5) 前記複数のヒューズのうちの少なくとも一つが切断されている、D 2～D 4 のいずれか一項に記載のチップコンデンサ。

[0267] 容量値を合わせ込んだチップコンデンサは、1 つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第 1 外部電極および第 2 外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。(D 6) 前記キャパシタ構造が、前記容量膜を挟んで対向する下部電極および上部電極を含み、前記下部電極が前記容量膜に対して前記基板側に配置され、前記上部電極が前記容量膜に対して前記基板とは反対側に配置されており、前記下部電極および前記上部電極のうち一方の電極が、前記複数のキャパシタ要素にそれぞれ対応した複数の電極膜部分を含む、D 2～D 5 のいずれか一項に記載のチップコンデンサ。

[0268] D 6 記載の発明によれば、下部電極と上部電極との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極および下部

電極のうちの一方の電極を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。(D 7) 前記複数の電極膜部分が、互いに異なる対向面積で前記下部電極および前記上部電極のうちの他方の電極に対向している、D 6 に記載のチップコンデンサ。

[0269] D 7 記載の発明により、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。(D 8) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、D 7 に記載のチップコンデンサ。

[0270] D 8 記載の発明により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。(D 9) 前記上部電極が前記一方の電極である、D 6 ~ D 8 のいずれか一項に記載のチップコンデンサ。(D 10) 前記基板が導電性基板であり、前記容量膜が前記基板の表面に接して形成されていて、前記基板が前記下部電極を構成している、D 6 ~ D 9 のいずれか一項に記載のチップコンデンサ。

[0271] D 10 記載の発明により、製造時に、上部電極が設計した位置に対してずれて形成されても、上部電極全体を確実に下部電極に対向させることができる。そのため、各キャパシタ要素の容量値の精度を向上させることができる。また、各キャパシタ要素の構造を単純化することができる。さらに、トレンチの形成と同時に下部電極を形成することができるので、製造工程を簡略化することもできる。(D 11) 前記第 1 外部電極および前記第 2 外部電極の

うちの一方が、前記基板の裏面に接合されている、D 1 0 記載のチップコンデンサ。

[0272] D 1 1 記載の発明により、導電性基板の表面において、第 1 外部電極および第 2 外部電極のうちの一方を形成すべき領域をも、上部電極の形成スペースとして有効利用することができる。その結果、導電性基板の表面の面積を最大限に利用することができるので、さらなる大容量化を図ることができる。

(D 1 2) 前記上部電極が前記一方の電極であり、前記下部電極が前記基板の表面に倣うように形成された導電性膜を含む、D 6 ~ D 8 のいずれか一項に記載のチップコンデンサ。(D 1 3) 前記基板の表面に絶縁膜が形成されており、前記絶縁膜の表面に前記導電性膜が形成されている、D 1 2 に記載のチップコンデンサ。(D 1 4) 前記電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、D 6 ~ D 1 3 のいずれか一項に記載のチップコンデンサ。

[0273] D 1 4 記載の発明では、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。(D 1 5) 前記上部電極が、表面が平坦に形成された電極膜からなる、D 6 ~ D 1 3 のいずれか一項に記載のチップコンデンサ。

[0274] D 1 5 記載の発明により、上部電極の表面に対する成膜性を向上させることができるので、たとえば、上部電極の上に、絶縁膜や金属膜（追加の電極膜等）を精度よく形成することができる。(D 1 6) 前記複数のキャパシタ要素は、一つの前記トレンチを共有する少なくとも 2 つのキャパシタ要素を含む、D 2 ~ D 1 5 のいずれか一項に記載のチップコンデンサ。

[0275] D 1 6 記載の発明により、複数のキャパシタ要素間の平面視における見かけ上の表面積の比率を維持したまま、それぞれのキャパシタ構造の容量値を同じ比率で大きくすることができる。(D 1 7) 前記複数のキャパシタ要素は、前記トレンチが形成された領域に配置された少なくとも 1 つのキャパシタ要素と、前記トレンチ形成されていない領域に配置された少なくとも 1 つの

キャパシタ要素とを含む、D 2～D 1 6のいずれか一項に記載のチップコンデンサ。

[0276] D 1 7 記載の発明により、大容量化を望むキャパシタ要素は、トレンチが形成された領域に配置することにより、当該キャパシタ要素の容量値を大きくすることができる。一方、小容量でもよいキャパシタ要素については、トレンチ形成されていない領域に配置して大容量化させないでおくことにより、ヒューズを切断してチップコンデンサの容量値を設計する際に、容量値を微調整するための要素として使用することができる。（D 1 8）基板の表面にトレンチを形成する工程と、前記トレンチ形成された基板の表面に、前記基板の表面に倣う容量膜を有するキャパシタ構造を形成する工程とを含む、チップコンデンサの製造方法。

[0277] D 1 8 記載の発明により、基板の小型化と大容量化とを両立したチップコンデンサを製造することができる。（D 1 9）前記チップコンデンサが、前記基板に設けられた第 1 外部電極および第 2 外部電極を含み、前記キャパシタ構造を形成する工程が、複数のキャパシタ要素を形成する工程を含み、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または前記第 2 外部電極に接続する複数のヒューズを前記基板上に形成する工程と、前記第 1 外部電極および前記第 2 外部電極を形成する工程とをさらに含む、D 1 8 に記載のチップコンデンサの製造方法。

[0278] D 1 9 記載の発明により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。（D 2 0）前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、D 1 8 または D 1 9 に記載のチップコンデンサの製造方法。

[0279] D 2 0 記載の発明により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第 1 および第 2 外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより

、所望の容量値に合わせ込んだチップコンデンサを製造できる。(D 2 1) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、D 2 0 に記載のチップコンデンサの製造方法。

[0280] D 2 1 記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。(D 2 2) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、D 2 0 または D 2 1 に記載のチップコンデンサの製造方法。

[0281] D 2 2 記載の発明により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。(2) 第 4 参考例に係る発明の実施形態 以下では、第 4 参考例の実施の形態を、添付図面を参照して詳細に説明する。

[0282] 図 3 8 は、第 4 参考例の第 1 の実施形態に係るチップコンデンサの平面図であり、図 3 9 はその断面図であって、図 3 8 の切断面線XXXIX-XXXIXから見た切断面が示されている。さらに、図 4 0 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。チップコンデンサ 7 1 は、基板 7 2 と、基板上に配置された第 1 外部電極 7 3 と、同じく基板 7 2 上に配置された第 2 外部電極 7 4 と、複数のキャパシタ要素 C 0 ~ C 9 とを備えている。

[0283] 基板 7 2 は、この実施形態では、導電性基板（たとえば、 $5 \text{ m}\Omega \cdot \text{cm}$ 以下の比抵抗を有するシリコン基板）であり、平面視において四隅を面取りした矩形形状を有している。基板 7 2 の長手方向両端部に第 1 外部電極 7 3 および第 2 外部電極 7 4 がそれぞれ配置されている。第 1 外部電極 7 3 および第 2 外部電極 7 4 は、この実施形態では、基板 7 2 の短手方向に延びたほぼ矩

形の平面形状を有し、基板 7 2 の角に対応する各 2 箇所面に面取り部を有している。

[0284] また、基板 7 2 は、複数のキャパシタ要素 C 0 ～ C 9 の共通の下部電極として機能するキャパシタ電極領域 7 2 A と、外部電極引き出しのためのパッド領域 7 2 B とを有している。キャパシタ電極領域 7 2 A は、この実施形態では、第 1 外部電極 7 3 の直下の領域と、第 1 外部電極 7 3 および第 2 外部電極 7 4 の間の領域とを含む。キャパシタ要素 C 0 が、キャパシタ電極領域 7 2 A における第 1 外部電極 7 3 の直下の領域に位置しており、第 1 外部電極 7 3 に対して直接電氣的に接続されている。一方、キャパシタ要素 C 1 ～ C 9 は、キャパシタ電極領域 7 2 A における第 1 外部電極 7 3 および第 2 外部電極 7 4 の間の領域に位置しており、複数のヒューズユニット 7 7 を介してそれぞれ第 1 外部電極 7 3 に電氣的に接続されている。

[0285] 基板 7 2 には、キャパシタ電極領域 7 2 A 内に、複数のトレンチ 7 6 が形成されている。図 3 8 では、明瞭化のために、トレンチ 7 6 を斜めハッチングで示してある。複数のトレンチ 7 6 は、キャパシタ電極領域 7 2 A の一部に選択的に形成されている。これにより、キャパシタ電極領域 7 2 A は、さらにトレンチ形成領域 5 1 6 とトレンチ非形成領域 5 1 7 とを含む。トレンチ形成領域 5 1 6 およびトレンチ非形成領域 5 1 7 は、この実施形態では、第 1 外部電極 7 3 および第 2 外部電極 7 4 の間の領域を 2 分割するように、たとえば、基板 7 2 の短手方向に互いに隣り合って形成されている。

[0286] トレンチ形成領域 5 1 6 において、複数のトレンチ 7 6 は、互いに平行なストライプ状に形成されている。各トレンチ 7 6 は、トレンチ形成領域 5 1 6 およびトレンチ非形成領域 5 1 7 に跨る方向（この実施形態では、基板 7 2 の短手方向）にトレンチ非形成領域 5 1 7 へ向かって延びている。複数のトレンチ 7 6 のピッチ、および各トレンチ 7 6 の深さや幅などは、チップコンデンサ 7 1 に要求される容量値に応じて適宜設計することができる。

[0287] 基板 7 2 の表面には、キャパシタ電極領域 7 2 A において基板 7 2 の表面に

接するように容量膜（誘電体膜）512が形成されている。容量膜512は、キャパシタ電極領域72Aの全域にわたって連続しており、その一方表面および他方方面が基板72の表面に倣う（沿う）ように形成されている。これにより、複数のトレンチ76の内面は、容量膜512で覆われている。また、容量膜512は、この実施形態では、パッド領域72Bを露出させるように形成されている。この露出したパッド領域72B上に、下部電極膜511が形成されている。下部電極膜511は、基板72のパッド領域72Bに直接電氣的に接続されている。

[0288] 容量膜512の上には、上部電極膜513が形成されている。図38では、明瞭化のために、上部電極膜513を着色して示してある。上部電極膜513は、その表面が平坦に形成されていて、キャパシタ電極領域72Aの第1外部電極73および第2外部電極74の間の領域に位置するキャパシタ電極領域513Aと、キャパシタ電極領域72Aの第1外部電極73の直下に位置するパッド領域513Bと、パッド領域513Bとキャパシタ電極領域513Aとの間に配置されたヒューズ領域513Cとを有している。

[0289] キャパシタ電極領域513Aにおいて、上部電極膜513は、複数の電極膜部分531～539に分割されている。この実施形態では、各電極膜部分531～539のうち、電極膜部分534～539がトレンチ形成領域516に配置されていて、電極膜部分531～533がトレンチ非形成領域517に配置されている。トレンチ形成領域516に配置された電極膜部分534～539は、矩形形状に形成されていて、ヒューズ領域513Cから複数のトレンチ76を横切るように第2外部電極74に向かって帯状に延びている。換言すると、複数のトレンチ76はそれぞれ、複数の電極膜部分534～539に跨るように、それらに直交している。これにより、各トレンチ76は、少なくとも2つのキャパシタ要素C4～C9に共有されている。

[0290] 複数の電極膜部分534～539は、複数種類の対向面積で、容量膜512を挟んで基板72のキャパシタ電極領域513Aに対向している。より具体

的には、電極膜部分 5 3 4 ~ 5 3 9 のキャパシタ電極領域 5 1 3 A に対する、基板 7 2 の主面に垂直な平面視における見かけ上の対向面積は、1 : 2 : 4 : 8 : 16 : 32 となるように定められていてもよい。すなわち、複数の電極膜部分 5 3 4 ~ 5 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 5 3 4 ~ 5 3 9 を含む。また、複数の電極膜部分 5 3 4 ~ 5 3 9 は、トレンチ 7 6 において容量膜 5 1 2 の内側に埋設されていて、各トレンチ 7 6 においても、容量膜 5 1 2 を挟んでキャパシタ電極領域 5 1 3 A に対向している。

[0291] これによって、各電極膜部分 5 3 4 ~ 5 3 9 と容量膜 5 1 2 を挟んで対向する基板 7 2 とによってそれぞれ構成される複数のキャパシタ要素 C 4 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 5 3 4 ~ 5 3 9 の対向面積の比が前述の通りである場合、キャパシタ要素 C 4 ~ C 9 の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 16 : 32 となる。すなわち、複数のキャパシタ要素 C 4 ~ C 9 は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 C 4 ~ C 9 を含むことになる。

[0292] この実施形態では、電極膜部分 5 3 4 ~ 5 3 6 は、幅が等しく、長さの比を 1 : 2 : 4 に設定した帯状に形成されている。また、電極膜部分 5 3 6 ~ 5 3 9 は、長さが等しく、幅の比を 1 : 2 : 4 : 8 に設定した帯状に形成されている。電極膜部分 5 3 6 ~ 5 3 9 は、キャパシタ電極領域 7 2 A の第 1 外部電極 7 3 側の端縁から第 2 外部電極 7 4 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 5 3 4, 5 3 5 は、それよりも短く形成されている。

[0293] 一方、トレンチ非形成領域 5 1 7 に配置された電極膜部分 5 3 1 ~ 5 3 3 は、L 字形に形成されている。電極膜部分 5 3 4 ~ 5 3 9 のように帯状に形成されている構成の場合、図 3 8 に示すように、トレンチ形成領域 5 1 6 内にキャパシタ要素として利用することができない領域が生じてしまい、小さな

基板 7 2 上の限られた領域を有効に活用することができない。そこで、電極膜部分 5 3 1 ～ 5 3 3 のように L 字形にすることにより、トレンチ非形成領域 5 1 7 内を有効に活用して、より広い範囲でチップコンデンサ 7 1 の容量値を設定することが可能となる。なお、このような L 字形電極は、トレンチ形成領域 5 1 6 に配置された電極膜部分 5 3 4 ～ 5 3 9 にも適用することができる。逆に、トレンチ非形成領域 5 1 7 に配置された電極膜部分 5 3 1 ～ 5 3 3 を帯状に形成してもよい。

[0294] パッド領域 5 1 3 B は、第 1 外部電極 7 3 とほぼ相似形に形成されており、基板 7 2 の角部に対応する 2 つの面取り部を有するほぼ矩形の平面形状を有している。図 3 9 に示すように、パッド領域 5 1 3 B における上部電極膜 5 1 3 の上面は、第 1 外部電極 7 3 に接している。パッド領域 5 1 3 B における上部電極膜 5 1 3 は、電極膜部分 5 4 0 として機能している。電極膜部分 5 4 0 は、容量膜 5 1 2 を挟んで基板 7 2 のキャパシタ電極領域 7 2 A に対向している。電極膜部分 5 4 0、容量膜 5 1 2 および基板 7 2 のキャパシタ電極領域 7 2 A は、前述したキャパシタ要素 C 0 を構成している。

[0295] この構成によれば、当該基板 7 2 の表面側にキャパシタ構造（キャパシタ要素 C 1 ～ C 9）が形成されているだけでなく、第 1 外部電極 7 3 直下の領域にもキャパシタ構造（キャパシタ要素 C 0）が形成されている。そのため、チップコンデンサ 7 1 では、第 1 外部電極 7 3 の直下の領域をも利用して、容量値の増大が図られている。それによって、基板 7 2 の表面の面積を最大限に利用して大容量化を図ることができるから、小型化および大容量化を両立したチップコンデンサ 7 1 を提供することができる。

[0296] ヒューズ領域 5 1 3 C は、パッド領域 5 1 3 B の前記 1 つの長辺に沿って配列された複数のヒューズユニット 7 7 を含む。ヒューズユニット 7 7 は、上部電極膜 5 1 3 のパッド領域 5 1 3 B と同じ材料で一体的に形成されている。複数の電極膜部分 5 3 1 ～ 5 3 9 は、1 つまたは複数個のヒューズユニット 7 7 と一体的に形成されていて、それらのヒューズユニット 7 7 を介してパッド領域 5 1 3 B に接続され、このパッド領域 5 1 3 B を介して第 1 外部

電極 7 3 に電氣的に接続されている。面積の比較的小さな電極膜部分 5 3 1 ～ 5 3 7 は、一つのヒューズユニット 7 7 によってパッド領域 5 1 3 B に接続されており、面積の比較的大きな電極膜部分 5 3 8, 5 3 9 は複数個のヒューズユニット 7 7 を介してパッド領域 5 1 3 B に接続されている。全てのヒューズユニット 7 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット 7 7 は未使用である。

[0297] ヒューズユニット 7 7 は、パッド領域 5 1 3 B との接続のための第 1 幅広部 7 7 A と電極膜部分 5 3 1 ～ 5 3 9 との接続のための第 2 幅広部 7 7 B と、第 1 および第 2 幅広部 7 7 A, 7 7 B の間を接続する幅狭部 7 7 C とを含む。幅狭部 7 7 C は、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分 5 3 1 ～ 5 3 9 のうち不要な電極膜部分をヒューズユニット 7 7 の切断によって第 1 および第 2 外部電極 7 3, 7 4 から電氣的に切り離すことができる。

[0298] 図 3 8 および図 4 0 では図示を省略したが、図 3 9 に表れている通り、上部電極膜 5 1 3 の表面を含むチップコンデンサ 7 1 の表面はパッシベーション膜 7 9 によって覆われている。パッシベーション膜 7 9 は、たとえば窒化膜からなっていて、チップコンデンサ 7 1 の上面のみならず、基板 7 2 の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 7 9 の上には、ポリイミド樹脂等からなる樹脂膜 5 1 0 が形成されている。樹脂膜 5 1 0 は、チップコンデンサ 7 1 の上面を覆い、さらに基板 7 2 の側面に至って、当該側面上のパッシベーション膜 7 9 を覆うように形成されている。

[0299] パッシベーション膜 7 9 および樹脂膜 5 1 0 は、チップコンデンサ 7 1 の表面を保護する保護膜である。これらには、第 1 外部電極 7 3 および第 2 外部電極 7 4 に対応する領域にパッド開口 5 1 4, 5 1 5 がそれぞれ形成されている。パッド開口 5 1 4, 5 1 5 はそれぞれ上部電極膜 5 1 3 のパッド領域 5 1 3 B の一部の領域、下部電極膜 5 1 1 の一部の領域を露出させるようにパッシベーション膜 7 9 および樹脂膜 5 1 0 を貫通している。

- [0300] パッド開口 5 1 4, 5 1 5 には、第 1 外部電極 7 3 および第 2 外部電極 7 4 がそれぞれ埋め込まれている。これにより、第 1 外部電極 7 3 は上部電極膜 5 1 3 のパッド領域 5 1 3 B に接合しており、第 2 外部電極 7 4 は下部電極膜 5 1 1 に接合している。第 1 および第 2 外部電極 7 3, 7 4 は、樹脂膜 5 1 0 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 7 1 をフリップチップ接合することができる。
- [0301] 図 4 1 は、チップコンデンサ 7 1 の内部の電氣的構成を示す回路図である。第 1 外部電極 7 3 と第 2 外部電極 7 4 との間に複数のキャパシタ要素 C 0 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第 1 外部電極 7 3 との間には、一つまたは複数のヒューズユニット 7 7 でそれぞれ構成されたヒューズ F 1 ~ F 9 が直列に介装されている。一方、キャパシタ要素 C 0 と第 1 外部電極 7 3 との間には、ヒューズが介装されておらず、キャパシタ要素 C 0 は、第 1 外部電極 7 3 に対して直接接続されている。
- [0302] ヒューズ F 1 ~ F 9 が全て接続されているときは、チップコンデンサ 7 1 の容量値は、キャパシタ要素 C 1 ~ C 9 の容量値の総和に等しい。複数のヒューズ F 1 ~ F 9 から選択した 1 つまたは 2 つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ 7 1 の容量値が減少する。ヒューズ F 1 ~ F 9 の全てを切断した場合、チップコンデンサ 7 1 の容量値は、キャパシタ要素 C 0 の容量値となる。
- [0303] そこで、下部電極膜 5 1 1 とパッド領域 5 1 3 B との間の容量値（キャパシタ要素 C 1 ~ C 9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F 1 ~ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C 1 ~ C 8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C 1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0304] たとえば、キャパシタ要素C 1～C 9の容量値は次の

ように定められていてもよい。

$$C 0 = 5 \text{ p F}$$

$$C 1 = 0.25 \text{ p F}$$

$$C 2 = 0.5 \text{ p F}$$

$$C 3 =$$

$$1 \text{ p F}$$

$$C 4 = 2 \text{ p F}$$

$$C 5 = 4 \text{ p F}$$

$$C 6 = 8 \text{ p F}$$

$$C 7 = 16 \text{ p F}$$

$$C 8 = 32$$

$$\text{p F}$$

$$C 9 = 64 \text{ p F}$$

この場合、0.25 p Fの最小合わせ込み精度でチップコンデンサ7 1の容量を微調整できる。また、ヒューズF 1～F 9から切断すべきヒューズを適切に選択することで、0.1 p F～10 p Fの間の任意の容量値のチップコンデンサ7 1を提供することができる。

[0305] 以上のように、この実施形態によれば、第1外部電極7 3および第2外部電極7 4の間に、ヒューズF 1～F 9によって切り離し可能な複数のキャパシタ要素C 1～C 9が設けられている。さらに、第1外部電極7 3の直下には、第1外部電極7 3に直接接続されたキャパシタ要素C 0が設けられている。キャパシタ要素C 1～C 9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF 1～F 9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ7 1を提供できる。

[0306] しかも、基板7 2に複数のトレンチ7 6が形成されており、このトレンチ7 6が形成された表面に倣うように容量膜が設けられて、キャパシタ構造（キャパシタ要素C 4～C 9）が形成されている。したがって、トレンチ形成領域5 1 6においては、基板7 2の表面積は、基板7 2の主面に垂直な平面視における見かけ上の表面積よりも大きい。それに応じて、基板7 2の表面に倣う容量膜5 1 2は、大きな面積を有するので、キャパシタ要素C 4～C 9は大きな容量値を有することができる。このようにして、基板7 2の小型化と大容量化とを両立したチップコンデンサを提供することができる。

[0307] また、基板 7 2 がキャパシタ構造（キャパシタ要素 C 0 ～ C 9）の共通の下部電極を兼ねているので、製造時に、上部電極膜 5 1 3 が設計した位置に対してずれて形成されても、上部電極膜 5 1 3 全体を確実に下部電極（基板 7 2）に対向させることができる。そのため、各キャパシタ要素 C 0 ～ C 9 の容量値の精度を向上させることができる。また、各キャパシタ要素 C 0 ～ C 9 の構造を単純化することができる。さらに、トレンチ 7 6 の形成と同時に下部電極を形成することができるので、製造工程を簡略化することもできる。

[0308] また、上部電極膜 5 1 3 は、トレンチ 7 6 に埋設されてはいるが、その表面が平坦に形成されているため、上部電極膜 5 1 3 に対するパッシベーション膜 7 9 および樹脂膜 5 1 0 の成膜性を向上させることができる。また、トレンチ 7 6 が複数のキャパシタ要素 C 4 ～ C 9 で共有されているので、複数のキャパシタ要素 C 4 ～ C 9 間の平面視における見かけ上の表面積の比率を維持したまま、それぞれのキャパシタ構造の容量値を同じ比率で大きくすることができる。

[0309] さらに、トレンチ 7 6 が基板 7 2 のキャパシタ電極領域 7 2 A の一部に選択的に形成されているので、大容量化を望むキャパシタ要素（この実施形態では、C 4 ～ C 9）は、トレンチ形成領域 5 1 6 に配置することにより、当該キャパシタ要素の容量値を大きくすることができる。一方、小容量でもよいキャパシタ要素（この実施形態では、C 1 ～ C 3）については、トレンチ非形成領域 5 1 7 に配置して大容量化させないでおくことにより、ヒューズを切断してチップコンデンサ 7 1 の容量値を設計する際に、容量値を微調整するための要素として使用することができる。

[0310] チップコンデンサ 7 1 の各部の詳細について以下に説明を加える。基板 7 2 は、たとえば平面視において 0.3 mm × 0.15 mm、0.4 mm × 0.2 mm、または 0.2 mm × 0.1 mm などの矩形形状（好ましくは、0.4 mm × 0.2 mm 以下の大きさ）を有していてもよい。基板 7 2 の厚さは、150 μm 程度であってもよい。基板 7 2 は、たとえば、裏面側（キャ

パシタ要素C 0～C 9が形成されていない表面)からの研削または研磨によって薄型化された基板であってもよい。

[0311] 下部電極膜5 1 1は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜5 1 1は、スパッタ法によって形成することができる。上部電極膜5 1 3も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜5 1 3は、スパッタ法によって形成することができる。上部電極膜5 1 3のキャパシタ電極領域5 1 3 Aを電極膜部分5 3 1～5 3 9に分割し、かつヒューズ領域5 1 3 Cを複数のヒューズユニット7 7に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0312] 容量膜5 1 2は、たとえば窒化シリコン膜で構成することができ、その膜厚は5 0 0 Å～2 0 0 0 Å (たとえば1 0 0 0 Å) とすることができる。容量膜5 1 2は、プラズマC V D (化学的気相成長)によって形成された窒化シリコン膜であってもよい。パッシベーション膜7 9は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマC V D法によって形成できる。その膜厚は、8 0 0 0 Å程度とされてもよい。樹脂膜5 1 0は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0313] 第1および第2外部電極7 3, 7 4は、たとえば、下部電極膜5 1 1または上部電極膜5 1 3に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法(より具体的には無電解めっき法)で形成することができる。ニッケル層は下部電極膜5 1 1または上部電極膜5 1 3に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極7 3, 7 4の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0314] 図4 2は、チップコンデンサ7 1の製造工程の一例を説明するための流れ図である。基板7 2を表面からエッチングすることにより、ストライプ状の

トレンチ 76 が形成される（ステップ S1）。次に、たとえばプラズマ CVD 法によって、窒化シリコン膜等からなる容量膜 512 が、基板 72 上に形成される（ステップ S2）。容量膜 512 は、その一方表面および他方表面が基板 72 の表面に倣うように形成される。容量膜 512 の形成後、容量膜 512 をパターニングすることにより、基板 72 のパッド領域 72B が露出する。

[0315] 次に、たとえばスパッタ法によって、アルミニウム膜からなる上部電極膜 513 および下部電極膜 511 の材料が容量膜 512 の表面全域に形成される（ステップ S3）。パッド領域 72B が露出した部分では、当該電極膜の材料がパッド領域 72B に接するように形成されることになる。上部電極膜 513 および下部電極膜 511 の膜厚は 8000 Å 程度とされてもよい。次に、その上部電極膜 513 および下部電極膜 511 の表面に、上部電極膜 513 および下部電極膜 511 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップ S4）。

[0316] このレジストパターンをマスクとして、上部電極膜 513 および下部電極膜 511 がエッチングされることにより、図 38 等にしたパターンの上部電極膜 513 および下部電極膜 511 が同時に得られる（ステップ S5）。上部電極膜 513 および下部電極膜 511 のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。これにより、上部電極膜 513 は、キャパシタ電極領域 72A に複数の電極膜部分 531～539 を有し、ヒューズ領域 513C に複数のヒューズユニット 77 を有し、それらのヒューズユニット 77 に接続されたパッド領域 513B に電極膜部分 540 を有するパターンに整形される。上部電極膜 513 のパターニングのためのエッチングは、リン酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。ここで、上部電極膜 513 の電極膜部分 531～540 とヒューズユニット 77 とを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができる。これにより、製造工程が簡単になる。

[0317] この後、上部電極膜 5 1 3 のパッド領域 5 1 3 B と下部電極膜 5 1 1 とに検査用プローブを押し当てて、複数のキャパシタ要素 C 1 ~ C 9 の総容量値が測定される（ステップ S 6）。この測定された総容量値に基づき、目的とするチップコンデンサ 7 1 の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップ S 7）。

[0318] 次に、図 4 3 A に示すように、基板 7 2 上の全面にたとえば窒化膜からなるカバー膜 5 1 8 が形成される（ステップ S 8）。このカバー膜 5 1 8 の形成は、プラズマ C V D 法によって行われてもよく、たとえば膜厚 3 0 0 0 Å 程度の窒化シリコン膜が形成されてもよい。カバー膜 5 1 8 は、パターニングされた上部電極膜 5 1 3 および下部電極膜 5 1 1 を覆い、上部電極膜 5 1 3 および下部電極膜 5 1 1 が形成されていない領域では容量膜 5 1 2 を覆う。カバー膜 5 1 8 は、ヒューズ領域 5 1 3 C においてはヒューズユニット 7 7 を覆うことになる。

[0319] この状態から、ヒューズユニット 7 7 を溶断するためのレーザトリミングが行われる（ステップ S 9）。すなわち、図 4 3 B に示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット 7 7 にレーザ光 5 1 9 を当てて、そのヒューズユニット 7 7 の幅狭部 7 7 C が溶断される。これにより、対応するキャパシタ要素がパッド領域 5 1 3 B から切り離される。ヒューズユニット 7 7 にレーザ光 5 1 9 を当てるとき、カバー膜 5 1 8 の働きによって、ヒューズユニット 7 7 の近傍にレーザ光 5 1 9 のエネルギーが蓄積され、それによって、ヒューズユニット 7 7 が溶断する。これにより、チップコンデンサ 7 1 の容量値を確実に目的の容量値とすることができる。

[0320] 次に、図 4 3 C に示すように、たとえばプラズマ C V D 法によって、カバー膜 5 1 8 上に窒化シリコン膜が堆積させられ、パッシベーション膜 7 9 が形成される（ステップ S 1 0）。前述のカバー膜 5 1 8 は最終形態において、パッシベーション膜 7 9 と一体化し、このパッシベーション膜 7 9 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 7 9 は、ヒュ

ーズ溶断の際に同時に破壊されたカバー膜 518 の開口内に入り込み、ヒューズユニット 77 の切断面を保護する。したがって、パッシベーション膜 79 は、ヒューズユニット 77 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜 79 は、全体で、たとえば 8000 Å 程度の膜厚を有するように形成されてもよい。

[0321] 次に、第 1 および第 2 外部電極 73, 74 を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜 79 上に形成される（ステップ S11）。このレジストパターンをマスクとしてパッシベーション膜 79 のエッチングが行われる。それによって、下部電極膜 511 を露出させるパッド開口と、上部電極膜 513 をパッド領域 513B において露出させるパッド開口とが形成されることになる（ステップ S12）。パッシベーション膜 79 のエッチングは、反応性イオンエッチングによって行われてもよい。

[0322] 次に、全面に樹脂膜が塗布される（ステップ S13）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラ

フィによる樹脂膜のパターニングを行うことができる（ステップ S14）。これにより、樹脂膜 510 およびパッシベーション膜 79 を貫通したパッド開口 514, 515 が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップ S15）、さらに、パッド開口 514, 515 内に、たとえば無電解めっき法によって、第 1 外部電極 73 および第 2 外部電極 74 が成長させられる（ステップ S16）。こうして、図 38 等に示す構造のチップコンデンサ 71 が得られる。

[0323] フォトリソグラフィ工程を利用した上部電極膜 513 のパターニングでは、微小面積の電極膜部分 531～540 を精度良く形成することができ、さらに微細なパターンのヒューズユニット 77 を形成することができる。そして、上部電極膜 513 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによっ

て、所望の容量値に正確に合わせ込まれたチップコンデンサ 71 を得ることができる。

[0324] 図 44 は、第 4 参考例の第 2 の実施形態に係るチップコンデンサ 520 の構成を説明するための平面図である。図 44 において、前述の図 38 に示された各部と対応する部分には同一の参照符号を付して示す。 前述の第 1 の実施形態では、トレンチ形成領域 516 に配置された上部電極膜 513 の電極膜部分 536～539 はそれぞれ、所望の幅に設定された 1 本の帯状に形成されている。この場合、電極膜部分 536～539 の幅が互いに異なるので、上部電極膜 513 をエッチングして最終形状に仕上げる際に（図 42 のステップ S4、S5）、上部電極膜 513 のうちエッチングで除去すべき領域が不規則に分布する。そのため、エッチングのばらつきが生じることがある。

[0325] そこで、図 44 に示す実施形態では、複数の電極膜部分 536～539 がそれぞれ、互いに同一幅の電極膜部分 546～549（この実施形態では、電極膜部分 534～536 と同一幅）に分割されている。そして、電極膜部分 536～539 間の面積の比率は、それぞれ電極膜部分 546～549 の本数の増減により調整されている。これによって、上部電極膜 513 のうちエッチングで除去すべき領域が等間隔で規則正しく分布するので、エッチングのばらつきを減らすことができる。

[0326] この実施形態に係るチップコンデンサ 520 の製造工程は、図 42 に示した工程と実質的に同様である。ただし、上部電極膜 513 のパターニング（ステップ S4、S5）では、キャパシタ電極領域 513A が、図 44 に示す形状の複数の電極膜部分 546～549 に分割される。 図 45 は、第 4 参考例の第 3 の実施形態に係るチップコンデンサ 521 の構成を説明するための断面図である。図 46 は、図 45 のチップコンデンサ 521 の一部の構成を分離して示す分解斜視図である。図 45 および図 46 において、前述の図 39 および図 40 に示された各部と対応する部分には同一の参照符号を付して示す。

- [0327] 前述の第1の実施形態では、基板72がキャパシタ要素C0～C9の下部電極の機能を兼ねていたが、下部電極は、図45および図46に示すように、導電性膜としての下部電極膜522を、その一方表面および他方表面が基板72の表面に倣う（沿う）ように形成することにより構成されていてもよい。基板72の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。
- [0328] この場合、基板72の表面に一方表面および他方表面が倣うように絶縁膜78が形成されていて、絶縁膜78の表面に下部電極膜522が形成されている。下部電極膜522は、より具体的には、下部電極膜522は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域522Aと、外部電極引き出しのためのパッド領域522Bとを有している。これにより、複数のトレンチ76の内面は、絶縁膜78、下部電極膜522および容量膜512からなる積層膜で覆われている。なお、絶縁膜78は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500Å～2000Å程度であってもよい。
- [0329] さらに、この実施形態では、上部電極膜513のキャパシタ電極領域513Aがほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜522のキャパシタ電極領域522Aが複数の電極膜部分541～549に分割されている。電極膜部分541～549は、第1の実施形態における電極膜部分531～539と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分541～549と、容量膜512と、上部電極膜513とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。
- [0330] 下部電極膜522は、さらに、キャパシタ電極領域522Aとパッド領域522Bとの間にヒューズ領域522Cを有している。ヒューズ領域522Cには、第1の実施形態のヒューズユニット77と同様の複数のヒューズユニ

ット523がパッド領域522Bに沿って一列に配列されている。各電極膜部分541～549は、一つまたは複数のヒューズユニット523を介してパッド領域522Bに接続されている。

[0331] このような構成によっても、電極膜部分541～549が互いに異なる対向面積で上部電極膜513に対向しており、これらはヒューズユニット523を切断することによって個別に切り離すことができる。したがって、第1の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分541～549の少なくとも一部が公比2の等比数列をなすように設定した対向面積で上部電極膜13に対向するように形成しておくことで、第1の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0332] この実施形態に係るチップコンデンサ521の製造工程は、図42に示した工程と実質的に同様である。ただし、容量膜512の形成（ステップS2）に先立って、絶縁膜78の形成工程、下部電極膜522の形成工程、レジストパターンの形成工程および下部電極膜522のエッチング工程（ステップS1-2～1-5）を行う。具体的には、基板72にトレンチ76を形成（ステップS1）した後、基板72の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜78が形成される（ステップS1-2）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜522が絶縁膜78の表面全域に形成される（ステップS1-3）。下部電極膜522の膜厚は8000 Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜522の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS1-4）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図45および図46等にしたパターンの下部電極膜522が得られる（ステップS1-5）。下部電極膜511のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。その後、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜

５１２が、下部電極膜５２２上に形成される（ステップＳ２）。また、上部・下部電極膜の形成およびパターニング（ステップＳ３～Ｓ５）では下部電極膜の形成、および複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップＳ９）においては、下部電極膜５２２に形成されたヒューズユニット５２３がレーザ光によって切断される。レーザトリミングの際、下部電極膜５２２は容量膜５１２によって覆われているので、この容量膜５１２をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップＳ８）は省かれてもよい。

[0333] 図４７は、第４参考例の第４の実施形態に係るチップコンデンサ５２４の構成を説明するための断面図である。図４７において、前述の図３９に示された各部と対応する部分には同一の参照符号を付して示す。 前述の第１の実施形態では、第２外部電極７４は、下部電極膜５１１を介して基板７２の表面側に配置されている。この場合、図３８および図３９に示すように、基板７２のパッド領域７２Ｂがキャパシタ要素として利用することができず、小さな基板７２上の限られた領域を有効に活用することができない。

[0334] そこで、図４７に示す実施形態では、基板７２の裏面に接するように、第２外部電極５２５が形成されている。この構成により、基板７２のパッド領域７２Ｂも、上部電極膜５１３の形成スペースとして有効利用することができる。その結果、基板７２の表面の面積を最大限に利用することができるので、さらなる大容量化を図ることができる。 また、第１外部電極７３が上方に向くフェイスアップ姿勢（第２外部電極５２５が下方に向く姿勢）でチップコンデンサ５２４を回路基板に複数搭載してパッケージングすることにより、複数のチップコンデンサ５２４（マルチチップ）を備える半導体装置を実現することができる。この場合、第１外部電極７３は、たとえばワイヤボンディングにより、回路基板の回路に電氣的に接続すればよい。

[0335] この実施形態に係るチップコンデンサ５２４の製造工程は、図４２に示した工程と実質的に同様である。ただし、ステップＳ３～Ｓ５では、上部電極膜

5 1 3のみを形成し、複数のキャパシタ要素C 1～C 9の総容量値の測定（ステップS 6）の際には、上部電極膜5 1 3のパッド領域5 1 3 Bと基板7 2の裏面とに検査用プローブを押し当てる。そして、第2外部電極5 2 5は、第1外部電極7 3の成長後、たとえばスパッタ法によって形成する。

[0336] 以上、第4参考例の実施形態について説明してきたが、第4参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、図4 5および図4 6に示した実施形態では、基板7 2の表面に絶縁膜7 8が形成されているが、基板7 2が絶縁性の基板であれば、絶縁膜7 8を省くこともできる。

[0337] その他、前記（1）第4参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴D 1～D 2 2で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第4参考例の範囲に含まれる。＜第5参考例に係る発明＞（1）第5参考例に係る発明の特徴 たとえば、第5参考例に係る発明の特徴は、以下のE 1～E 2 2である。（E 1）基板と、基板の一方表面側に配置された第1外部電極と、基板の一方表面側に配置された第2外部電極と、前記第1外部電極および前記第2外部電極の間の領域から、前記第2外部電極と前記基板との間にまで延びて前記基板の一方表面側に形成されており、前記第1外部電極に接する上面を有する下部電極膜と、前記第1外部電極および前記第2外部電極の間の領域から、前記第2外部電極と前記基板との間にまで延びて前記

下部電極膜上に形成された容量膜と、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記容量膜上に形成されて前記下部電極膜に対向しており、前記第 2 外部電極に接する上面を有する上部電極膜とを含む、チップコンデンサ。

[0338] E 1 記載の発明によれば、第 1 外部電極および第 2 外部電極は、いずれも、基板の一方表面側に配置されている。また、当該基板の一方表面側に、下部電極膜、容量膜および上部電極膜を含むキャパシタ構造が配置されている。この構成では、第 2 外部電極と基板との間に、下部電極膜、容量膜および上部電極膜が入り込んでいて、第 2 外部電極直下の領域にもキャパシタ構造が形成されている。そのため、第 2 外部電極の直下の領域をも利用して、容量値の増大が図られている。それによって、基板の一方表面の面積を最大限に利用して大容量化を図ることができるから、小型化および大容量化を両立したチップコンデンサを提供することができる。（E 2）前記上部電極膜および前記下部電極膜の少なくともいずれか一方が複数の電極膜部分に分割されており、前記複数の電極膜部分をそれぞれ含む複数のキャパシタ要素が前記基板上に形成されている、E 1 に記載のチップコンデンサ。

[0339] E 2 記載の発明によれば、上部電極膜および下部電極膜の少なくともいずれか一方を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。（E 3）前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが前記基板上に形成されている、E 2 に記載のチップコンデンサ。

[0340] E 3 記載のチップコンデンサでは、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。（E 4）前記複数のキャパシタ要素が、互いに異なる容量値を有している、E 3 に記載のチップコンデンサ。

[0341] E 4 記載の発明によれば、容量値の異なる複数のキャパシタ要素を組み合わ

せることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。（E 5）前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、E 4に記載のチップコンデンサ。E 5記載の発明によれば、第1外部電極および第2外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。（E 6）前記複数のヒューズのうちの少なくとも一つが切断されている、E 3に記載のチップコンデンサ。

[0342] E 6記載の発明によれば、容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。（E 7）前記上部電極膜または前記下部電極膜と前記ヒューズとが同じ導電性材料の膜で形成されている、E 3～E 6のいずれか一項に記載のチップコンデンサ。

[0343] E 7記載の発明によれば、上部電極膜または下部電極膜とヒューズとを共通の導電性材料膜で構成することができる。そして、上部電極膜または下部電極膜の各電極膜部分に対応するヒューズを切断することで、当該電極膜部分（キャパシタ要素）を切り離すことができる。（E 8）前記上部電極膜が、前記第1外部電極および前記第2外部電極の間の領域に、分離された複数の上部電極膜部分を有しており、前記複数の上部電極膜部分が複数のヒューズをそれぞれ介して前記第2外部電極に電氣的に接続されており、前記下部電極膜が、前記ヒューズの直下の領域を回避した領域に形成されている、E 1に記載のチップコンデンサ。

[0344] E 8記載の発明によれば、たとえばレーザ光を照射することによってヒューズを切断する場合において、切断で生じた破片がヒューズの直下の領域に到

達したとしても、当該領域に下部電極膜が存在しない。よって、この破片によって上部電極膜部と下部電極膜との間に短絡が生じたり下部電極膜が腐食したりするといった不具合を回避できる。また、下部電極膜が、ヒューズの直下の領域（レーザ光が照射される領域）を回避した領域に形成されているので、ヒューズを切断する際に、下部電極膜も切断されて下部電極膜がダメージを受けるといった不具合を回避することもできる。（E 9）前記複数の上部電極膜部分が、異なる対向面積で前記下部電極膜に対向している、E 8に記載のチップコンデンサ。

[0345] E 9 記載の発明によれば、対向面積が互いに異なる複数の上部電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。（E 10）前記複数の上部電極膜部分の前記対向面積が、等比数列をなすように設定されている、E 9 に記載のチップコンデンサ。

[0346] E 10 記載の発明によれば、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。（E 11）基板上に第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びるように、前記基板上に下部電極膜を形成する工程と、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びるように、前記下部電極膜上に容量膜を形成する工程と、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びるように、前記容量膜上に前記

下部電極膜に対向する上部電極膜を形成する工程と、前記下部電極膜の上面に接するように前記第 1 外部電極を形成する工程と、前記上部電極膜の上面に接するように前記第 2 外部電極を形成する工程とを含む、チップコンデンサの製造方法。

[0347] E 1 1 記載の発明により、第 1 外部電極および第 2 外部電極の間の領域だけでなく、第 2 外部電極直下の領域にもキャパシタ構造が形成されることで、チップコンデンサの容量値の増大を図れるので、小型化および大容量化を両立したチップコンデンサを提供することができる。（E 1 2）前記上部電極膜および前記下部電極膜の少なくともいずれか一方が複数の電極膜部分に分割され、前記複数の電極膜部分をそれぞれ含む複数のキャパシタ要素が前記基板上に形成される、E 1 1 に記載のチップコンデンサの製造方法。

[0348] E 1 1 記載の発明により、上部電極膜および下部電極膜の少なくともいずれか一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。（E 1 3）前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズを前記基板上に形成する工程をさらに含む、E 1 2 に記載のチップコンデンサの製造方法。

[0349] E 1 3 記載の発明により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。（E 1 4）前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、E 1 3 に記載のチップコンデンサの製造方法。

[0350] E 1 4 記載の発明により、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値を実現できる。（E 1 5）前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、E 1 4 に記載のチップコンデンサの製造方法。 E 1 5 記載の発明により、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。たと

例えば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。（E 1 6）前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、E 1 3～E 1 5のいずれか一項に記載のチップコンデンサの製造方法。

[0351] E 1 6 記載の発明により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。（E 1 7）前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、E 1 6に記載のチップコンデンサの製造方法。

[0352] E 1 7 記載の発明により、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。（E 1 8）前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、E 1 6 または E 1 7 に記載のチップコンデンサの製造方法。

[0353] E 1 8 記載の発明により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。（E 1 9）前記上部電極膜または前記下部電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、E 1 3～E 1 8のいずれか一項に記載のチップコンデンサの製造方法。

[0354] E 1 9 記載の発明により、上部電極膜または下部電極膜の電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜

からパターニングして形成することができる。これにより、製造工程が簡単になる。(E 2 0) 前記上部電極膜が、前記第 1 外部電極および前記第 2 外部電極の間の領域に、分離された複数の上部電極膜部分を有するように形成され、前記複数の上部電極膜部分をそれぞれ前記第 2 外部電極に切り離し可能に接続する複数のヒューズを形成する工程をさらに含み、前記下部電極膜が、前記ヒューズの直下の領域を回避した領域に形成される、E 1 1 に記載のチップコンデンサの製造方法。

[0355] E 2 0 記載の発明により、たとえばレーザ光を照射することによってヒューズを切断する場合において、切断で生じた破片がヒューズの直下の領域に到達したとしても、当該領域に下部電極膜が存在しない。よって、この破片によって上部電極膜部と下部電極膜との間に短絡が生じたり下部電極膜が腐食したりするといった不具合を回避できる。また、下部電極膜が、ヒューズの直下の領域（レーザ光が照射される領域）を回避した領域に形成されているので、ヒューズを切断する際に、下部電極膜も切断されて下部電極膜がダメージを受けるといった不具合を回避することもできる。(E 2 1) 前記複数の上部電極膜部分が、異なる対向面積で前記下部電極膜に対向するように形成される、E 2 0 に記載のチップコンデンサの製造方法。

[0356] E 2 1 記載の発明により、複数の上部電極膜部分が互いに異なる対向面積で下部電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基

板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。(E 2 2) 前記複数の上部電極膜部分の前記対向面積が、等比数列をなすように設定される、E 2 1 に記載のチップコンデンサの製造方法。

[0357] E 2 2 記載の発明により、複数の上部電極膜部分が互いに異なる対向面積で下部電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ

要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。（２）第５参考例に係る発明の実施形態以下では、第５参考例の実施の形態を、添付図面を参照して詳細に説明する。

[0358] 図４８は、第５参考例の第１の実施形態に係るチップコンデンサの平面図であり、図４９はその断面図であって、図４８の切断面線XLIX-XLIXから見た切断面が示されている。さらに、図５０は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。チップコンデンサ８１は、基板８２と、基板８２上（基板８２の一方表面８２Ａ側）に配置された第１外部電極８３と、同じく基板８２上に配置された第２外部電極８４とを備えている。基板８２は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。基板８２の長手方向両端部に第１外部電極８３および第２外部電極８４がそれぞれ配置されている。第１外部電極８３および第２外部電極８４は、この実施形態では、基板８２の短手方向に延びたほぼ矩形の平面形状を有し、基板８２の角に対応する各２箇所面に面取り部を有している。基板８２の一方表面８２Ａには、第１外部電極８３および第２外部電極８４の間の第１キャパシタ配置領域８５Ａ内に、複数のキャパシタ要素Ｃ１～Ｃ９が配置されている。複数のキャパシタ要素Ｃ１～Ｃ９は、複数のヒューズユニット８７（ヒューズ）を介してそれぞれ第２外部電極８４に電氣的に接続されている。また、基板８２上には、第２外部電極８４の直下（平面視で第２外部電極８４と重なる位置）の第２キャパシタ配置領域８５Ｂに、キャパシタ要素Ｃ０が配置されている。キャパシタ要素Ｃ０は、第２外部電極８４に対して直接電氣的に接続されている。ここで、第１キャパシタ配置領域８５Ａおよび第２キャパシタ配置領域８５Ｂの全体を、「キャパシタ配置領域８５」ということにする。

[0359] 図４９および図５０に示されているように、基板８２の一方表面８２Ａには絶縁膜８８が形成されていて、絶縁膜８８の表面に下部電極膜６１１が形成されている。下部電極膜６１１は、キャパシタ配置領域８５のほぼ全域にわ

たっている。そのため、下部電極膜 6 1 1 は、第 1 キャパシタ配置領域 8 5 A から、第 2 外部電極 8 4 と基板 8 2 との間の第 2 キャパシタ配置領域 8 5 B にまで延びて形成されている。さらに、下部電極膜 6 1 1 は、第 1 外部電極 8 3 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 6 1 1 は、第 1 キャパシタ配置領域 8 5 A においてキャパシタ要素 C 1 ～C 9 の共通の下部電極として機能する第 1 キャパシタ電極領域 6 1 1 A と、第 2 キャパシタ配置領域 8 5 B においてキャパシタ要素 C 0 の下部電極として機能する第 2 キャパシタ電極領域 6 1 1 B と、外部電極引き出しのためのパッド領域 6 1 1 C とを有している。第 1 キャパシタ電極領域 6 1 1 A が第 1 キャパシタ配置領域 8 5 A に位置していて、第 2 キャパシタ電極領域 6 1 1 B が第 2 キャパシタ配置領域 8 5 B（第 2 外部電極 8 4 の直下）に位置していて、パッド領域 6 1 1 C が第 1 外部電極 8 3 の直下に位置している。パッド領域 6 1 1 C の上面 6 1 1 J が第 1 外部電極 8 3 に接している。

[0360] 下部電極膜 6 1 1 において第 1 キャパシタ電極領域 6 1 1 A と第 2 キャパシタ電極領域 6 1 1 B との境界には、複数の開口 6 1 6 が形成されている（図 5 0 参照）。複数の開口 6 1 6 は、基板 8 2 の短手方向に沿って間隔を隔てて配置されている（図 5 0 参照）。各開口 6 1 6 は、下部電極膜 6 1 1 を厚さ方向に貫通している。第 1 キャパシタ電極領域 6 1 1 A と第 2 キャパシタ電極領域 6 1 1 B とは、開口 6 1 6 が形成された領域では連続していないが（図 4 9 参照）、開口 6 1 6 が形成されていない領域では連続している（図 5 0 参照）。

[0361] キャパシタ配置領域 8 5 において下部電極膜 6 1 1（第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B）を覆うように容量膜（誘電体膜）6 1 2 が形成されている。容量膜 6 1 2 は、第 1 キャパシタ電極領域 6 1 1 A（第 1 キャパシタ配置領域 8 5 A）および第 2 キャパシタ電極領域 6 1 1 B（第 2 キャパシタ配置領域 8 5 B）の全域にわたって連続している。そのため、容量膜 6 1 2 は、第 1 キャパシタ配置領域 8 5 A から、第 2 外部電極 8 4 と基板 8 2 との間の第 2 キャパシタ配置領域 8 5 B にまで延

びて下部電極膜 6 1 1 上に形成されている。容量膜 6 1 2 は、この実施形態では、さらにキャパシタ配置領域 8 5 外および各開口 6 1 6 内の絶縁膜 8 8 を覆っている。

[0362] 容量膜 6 1 2 の上には、上部電極膜 6 1 3 が形成されている。図 4 8 では、明瞭化のために、上部電極膜 6 1 3 を着色して示してある。上部電極膜 6 1 3 は、第 1 外部電極 8 3 および第 2 外部電極 8 4 の間の第 1 キャパシタ配置領域 8 5 A に位置するキャパシタ電極領域 6 1 3 A と、第 2 外部電極 8 4 の直下（第 2 キャパシタ配置領域 8 5 B）に位置するパッド領域 6 1 3 B と、キャパシタ電極領域 6 1 3 A とパッド領域 6 1 3 B との間に配置されたヒューズ領域 6 1 3 C とを有している。そのため、上部電極膜 6 1 3 は、第 1 キャパシタ配置領域 8 5 A から、第 2 外部電極 8 4 と基板 8 2 との間の第 2 キャパシタ配置領域 8 5 B にまで延びて容量膜 6 1 2 上に形成されている（図 4 9 参照）。

[0363] キャパシタ電極領域 6 1 3 A において、上部電極膜 6 1 3 は、複数の電極膜部分（上部電極膜部分）7 3 1 ～7 3 9 に分割（分離）されている。この実施形態では、各電極膜部分 7 3 1 ～7 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 6 1 3 C から第 1 外部電極 8 3 に向かって帯状に延びている。複数の電極膜部分 7 3 1 ～7 3 9 は、複数種類の対向面積で、容量膜 6 1 2 を挟んで下部電極膜 6 1 1 に対向している。より具体的には、電極膜部分 7 3 1 ～7 3 9 の下部電極膜 6 1 1 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 7 3 1 ～7 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 7 3 1 ～7 3 8（または 7 3 1 ～7 3 7, 7 3 9）を含む。これによって、各電極膜部分 7 3 1 ～7 3 9 と容量膜 6 1 2 を挟んで対向する下部電極膜 6 1 1 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ～C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 7 3 1 ～7 3 9 の対向面積の比が前述の

通りである場合、キャパシタ要素C 1～C 9の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128となる。すなわち、複数のキャパシタ要素C 1～C 9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C 1～C 8（またはC 1～C 7, C 9）を含むことになる。

[0364] この実施形態では、電極膜部分731～735は、幅が等しく、長さの比を1 : 2 : 4 : 8 : 16に設定した帯状に形成されている。また、電極膜部分735, 736, 737, 738, 739は、長さが等しく、幅の比を1 : 2 : 4 : 8 : 8に設定した帯状に形成されている。電極膜部分735～739は、第1キャパシタ配置領域85Aの第2外部電極84側の端縁から第1外部電極83側の端縁までの範囲に渡って延びて形成されており、電極膜部分731～734は、それよりも短く形成されている。

[0365] パッド領域613Bは、第2外部電極84とほぼ相似形に形成されており、基板82の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。図49に示すように、パッド領域613Bにおける上部電極膜613の上面613Dは、第2外部電極84に接している。パッド領域613Bにおける上部電極膜613は、電極膜部分740として機能している。電極膜部分740は、容量膜612を挟んで第2キャパシタ電極領域611Bにおける下部電極膜611に対向している。電極膜部分740、容量膜612および第2キャパシタ電極領域611Bにおける下部電極膜611は、前述したキャパシタ要素C0を構成している。一例として、電極膜部分740の下部電極膜611に対する対向面積は、電極膜部分738や電極膜部分739の下部電極膜611に対する対向面積の約2倍であり（図48参照）、キャパシタ要素C0の容量値は、キャパシタ要素C8やキャパシタ要素C9の容量値の約2倍である。

[0366] この構成によれば、当該基板82の一方表面82A側にキャパシタ構造（キャパシタ要素C1～C9）が形成されているだけでなく、第2外部電極84直下の領域にもキャパシタ構造（キャパシタ要素C0）が形成されている。

そのため、チップコンデンサ 8 1 では、第 2 外部電極 8 4 の直下の領域をも利用して、容量値の増大が図られている。それによって、基板 8 2 の一方表面 8 2 A の面積を最大限に利用して大容量化を図ることができるから、小型化および大容量化を両立したチップコンデンサ 8 1 を提供することができる。

[0367] ヒューズ領域 6 1 3 C は、パッド領域 6 1 3 B の一つの長辺（基板 8 2 の周縁に対して内方側の長辺）に沿って配置されている。ヒューズ領域 6 1 3 C は、パッド領域 6 1 3 B の前記 1 つの長辺に沿って配列された複数のヒューズユニット 8 7 を含む。ヒューズユニット 8 7 の数と、前述した下部電極膜 6 1 1 の開口 6 1 6 の数とは一致している（図 5 0 参照）。1 つのヒューズユニット 8 7 の直下に開口 6 1 6 が 1 つ位置している。そのため、下部電極膜 6 1 1 は、ヒューズユニット 8 7 の直下の領域（開口 6 1 6）を回避した領域に形成されている。

[0368] ヒューズユニット 8 7 は、上部電極膜 6 1 3 のパッド領域 6 1 3 B と同じ材料で一体的に形成されている。複数の電極膜部分 7 3 1 ~ 7 3 9 は、1 つまたは複数個のヒューズユニット 8 7 と一体的に形成されていて、それらのヒューズユニット 8 7 を介してパッド領域 6 1 3 B（電極膜部分 7 4 0）に接続され、このパッド領域 6 1 3 B を介して第 2 外部電極 8 4 に電氣的に接続されている。図 4 8 に示すように、面積の比較的小さな電極膜部分 7 3 1 ~ 7 3 6 は、一つのヒューズユニット 8 7 によってパッド領域 6 1 3 B に接続されており、面積の比較的大きな電極膜部分 7 3 7 ~ 7 3 9 は複数個のヒューズユニット 8 7 を介してパッド領域 6 1 3 B に接続されている。全てのヒューズユニット 8 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット 8 7 は未使用である。

[0369] ヒューズユニット 8 7 は、パッド領域 6 1 3 B との接続のための第 1 幅広部 8 7 A と電極膜部分 7 3 1 ~ 7 3 9 との接続のための第 2 幅広部 8 7 B と、第 1 および第 2 幅広部 8 7 A、8 7 B の間を接続する幅狭部 8 7 C とを含む。幅狭部 8 7 C は、レーザ光によって切断（溶断）することができるように

構成されている。それによって、電極膜部分 731～739のうち不要な電極膜部分をヒューズユニット 87の切断によって第1および第2外部電極 83, 84から電氣的に切り離すことができる。

[0370] 図48および図50では図示を省略したが、図49に表れている通り、上部電極膜 613の表面を含むチップコンデンサ 81の表面はパッシベーション膜 89によって覆われている。パッシベーション膜 89は、たとえば窒化膜からなっていて、チップコンデンサ 81の上面のみならず、基板 82の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 8

9の上には、ポリイミド樹脂等からなる樹脂膜 610が形成されている。樹脂膜 610は、チップコンデンサ 81の上面を覆い、さらに基板 82の側面に至って、当該側面上のパッシベーション膜 89を覆うように形成されている。

[0371] パッシベーション膜 89および樹脂膜 610は、チップコンデンサ 81の表面を保護する保護膜である。これらには、第1外部電極 83および第2外部電極 84に対応する領域にパッド開口 621, 622がそれぞれ形成されている。パッド開口 621, 622はそれぞれ下部電極膜 611のパッド領域 611Cの一部の領域、上部電極膜 613のパッド領域 613Bの一部の領域を露出させるようにパッシベーション膜 89および樹脂膜 610を貫通している。さらに、この実施形態では、第1外部電極 83に対応したパッド開口 621は、容量膜 612をも貫通している。

[0372] パッド開口 621, 622には、第1外部電極 83および第2外部電極 84がそれぞれ埋め込まれている。これにより、第1外部電極 83は下部電極膜 611のパッド領域 611Cに接合しており、第2外部電極 84は上部電極膜 613のパッド領域 613Bに接合している。第1および第2外部電極 83, 84は、樹脂膜 610の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 81をフリップチップ接合することができる。

[0373] 図5 1は、チップコンデンサ8 1の内部の電氣的構成を示す回路図である。

第1外部電極8 3と第2外部電極8 4との間に複数のキャパシタ要素C 0～C 9が並列に接続されている。各キャパシタ要素C 1～C 9と第2外部電極8 4との間には、一つまたは複数のヒューズユニット8 7でそれぞれ構成されたヒューズF 1～F 9が直列に介装されている。一方、キャパシタ要素C 0と第2外部電極8 4との間には、ヒューズが介装されておらず、キャパシタ要素C 0は、第2外部電極8 4に対して直接接続されている。

[0374] ヒューズF 1～F 9が全て接続されているときは、チップコンデンサ8 1の容量値は、キャパシタ要素C 0～C 9の容量値の総和に等しい。複数のヒューズF 1～F 9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ8 1の容量値が減少する。ヒューズF 1～F 9の全てを切断した場合、チップコンデンサ8 1の容量値は、キャパシタ要素C 0の容量値となる。

[0375] そこで、パッド領域6 1 1 C, 6 1 3 Bの間の容量値（キャパシタ要素C 0～C 9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF 1～F 9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C 1～C 8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C 1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0376] たとえば、キャパシタ要素C 0～C 9の容量値は次のように定められていてもよい。

$$\begin{array}{lll}
 C 0 = 8 \text{ p F} & & C 1 = 0.03125 \text{ p F} \\
 C 2 = 0.0625 \text{ p F} & & C 3 = 0.125 \text{ p F} \\
 C 4 = 0.25 \text{ p F} & & C 5 = 0.5 \text{ p F} \\
 C 6 = 1 \text{ p F} & & C 7 = 2 \text{ p F} \\
 C 8 = 4 \text{ p F} & & C 9 = 4 \text{ p F}
 \end{array}$$

この場合、0.03125 p Fの

最小合わせ込み精度でチップコンデンサ 8 1 の容量を微調整できる。また、ヒューズ F 1 ～ F 9 から切断すべきヒューズを適切に選択することで、10 pF ～ 18 pF の間の任意の容量値のチップコンデンサ 8 1 を提供することができる。

[0377] 以上のように、この実施形態によれば、第 1 外部電極 8 3 および第 2 外部電極 8 4 の間に、ヒューズ F 1 ～ F 9 によって切り離し可能な複数のキャパシタ要素 C 1 ～ C 9 が設けられている。さらに、第 2 外部電極 8 4 の直下には、第 2 外部電極 8 4 に直接接続されたキャパシタ要素 C 0 が設けられている。キャパシタ要素 C 1 ～ C 9 は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズ F 1 ～ F 9 から 1 つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ 8 1 を提供できる。

[0378] チップコンデンサ 8 1 の各部の詳細について以下に説明を加える。 図 4 8 を参照して、基板 8 2 は、たとえば平面視において 0.3 mm × 0.15 mm、0.4 mm × 0.2 mm、または 0.2 mm × 0.1 mm などの矩形形状（好ましくは、0.4 mm × 0.2 mm 以下の大きさ）を有していてもよい。キャパシタ配置領域 8 5 は、概ね、基板 8 2 の短辺の長さに相当する一辺を有する正方形領域となる。基板 8 2 の厚さは、150 μm 程度であってもよい。図 4 9 を参照して、基板 8 2 は、たとえば、裏面側（キャパシタ要素 C 0 ～ C 9 が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 8 2 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0379] 絶縁膜 8 8 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å ～ 2000 Å 程度であってもよい。 下部電極膜 6 1 1 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であっても

よい。アルミニウム膜からなる下部電極膜 611 は、スパッタ法によって形成することができる。上部電極膜 613 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 613 は、スパッタ法によって形成することができる。上部電極膜 613 のキャパシタ電極領域 613A を電極膜部分 731 ~ 739 に分割し、かつ、パッド領域 613B に電極膜部分 740 を形成し、さらに、ヒューズ領域 613C を複数のヒューズユニット 87 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0380] 容量膜 612 は、たとえば窒化シリコン膜で構成することができ、その膜厚は $500\text{ \AA}$ ~ $2000\text{ \AA}$ (たとえば $1000\text{ \AA}$) とすることができる。容量膜 612 は、プラズマ CVD (化学的気相成長) によって形成された窒化シリコン膜であってもよい。パッシベーション膜 89 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ CVD 法によって形成できる。その膜厚は、 $8000\text{ \AA}$ 程度とされてもよい。樹脂膜 610 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0381] 第 1 および第 2 外部電極 83, 84 は、たとえば、下部電極膜 611 または上部電極膜 613 に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法 (より具体的には無電解めっき法) で形成することができる。ニッケル層は下部電極膜 611 または上部電極膜 613 に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第 1 および第 2 外部電極 83, 84 の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0382] 図 52 は、チップコンデンサ 81 の製造工程の一例を説明するための流れ図である。基板 82 の表面に、熱酸化法および／または CVD 法によって、酸化膜 (たとえば酸化シリコン膜) からなる絶縁膜 88 が形成される (ステップ S1)。次に、たとえばスパッタ法によって、アルミニウム膜からなる下

部電極膜 6 1 1 が絶縁膜 8 8 の表面全域に形成される（ステップ S 2）。下部電極膜 6 1 1 の膜厚は 8 0 0 0 Å 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜 6 1 1 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップ S 3）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図 4 8 等に示した開口 6 1 6（図 5 0 参照）を有するパターンの下部電極膜 6 1 1 が得られる（ステップ S 4）。下部電極膜 6 1 1 のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0383] 次に、たとえばプラズマ C V D 法によって、窒化シリコン膜等からなる容量膜 6 1 2 が、下部電極膜 6 1 1 上に形成される（ステップ S 5）。下部電極膜 6 1 1 が形成されていない領域（開口 6 1 6 の内側等）では、絶縁膜 8 8 の表面に容量膜 6 1 2 が形成されることになる。次いで、その容量膜 6 1 2 の上に、上部電極膜 6 1 3 が形成される（ステップ S 6）。上部電極膜 6 1 3 は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8 0 0 0 Å 程度とされてもよい。次いで、上部電極膜 6 1 3 の表面に上部電極膜 6 1 3 の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップ S 7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜 6 1 3 が、最終形状（図 4 8 等参照）にパターニングされる（ステップ S 8）。それによって、上部電極膜 6 1 3 は、キャパシタ電極領域 6 1 3 A に複数の電極膜部分 7 3 1 ~ 7 3 9 を有し、ヒューズ領域 6 1 3 C に複数のヒューズユニット 8 7 を有し、それらのヒューズユニット 8 7 に接続されたパッド領域 6 1 3 B を有し、パッド領域 6 1 3 B に電極膜部分 7 4 0 を有するパターンに整形される。上部電極膜 6 1 3 のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。ここで、上部電極膜 6 1 3 の電極膜部分 7 3 1 ~ 7 4 0 とヒューズユニット 8 7 とを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することがで

きる。これにより、製造工程が簡単になる。

[0384] この後、上部電極膜 6 1 3 のパッド領域 6 1 3 B と下部電極膜 6 1 1 のパッド領域 6 1 1 C とに検査用プローブを押し当てて、複数のキャパシタ要素 C 0 ～ C 9 の総容量値が測定される（ステップ S 9）。この測定された総容量値に基づき、目的とするチップコンデンサ 8 1 の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップ S 1 0）。

[0385] 次に、図 5 3 A に示すように、基板 8 2 上の全面にたとえば窒化膜からなるカバー膜 6 2 6 が形成される（ステップ S 1 1）。このカバー膜 6 2 6 の形成は、プラズマ C V D 法によって行われてもよく、たとえば膜厚 3 0 0 0 Å 程度の窒化シリコン膜が形成されてもよい。カバー膜 6 2 6 は、パターニングされた上部電極膜 6 1 3 を覆い、上部電極膜 6 1 3 が形成されていない領域では容量膜 6 1 2 を覆う。カバー膜 6 2 6 は、ヒューズ領域 6 1 3 C においてはヒューズユニット 8 7 を覆うことになる。

[0386] この状態から、ヒューズユニット 8 7 を溶断するためのレーザトリミングが行われる（ステップ S 1 2）。すなわち、図 5 3 B に示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット 8 7 にレーザ光 6 2 7 を当てて、そのヒューズユニット 8 7 の幅狭部 8 7 C が溶断される。これにより、対応するキャパシタ要素がパッド領域 6 1 3 B から切り離される。ヒューズユニット 8 7 にレーザ光 6 2 7 を当てるとき、カバー膜 6 2 6 の働きによって、ヒューズユニット 8 7 の近傍にレーザ光 6 2 7 のエネルギーが蓄積され、それによって、ヒューズユニット 8 7 が溶断する。これにより、チップコンデンサ 8 1 の容量値を確実に目的の容量値とすることができる。

[0387] ここで、前述したように、下部電極膜 6 1 1 が、ヒューズユニット 8 7 の直下の領域（開口 6 1 6）を回避した領域に形成されている。そのため、レーザ光 6 2 7 によってヒューズユニット 8 7 を切断する場合において、切断で生じた破片がヒューズユニット 8 7 の直下の領域に到

達したとしても、当該領域に下部電極膜 6 1 1 が存在しない。よって、この破片によって上部電極膜 6 1 3 と下部電極膜 6 1 1 との間に短絡が生じたり下部電極膜 6 1 1 が腐食したりするといった不具合を回避できる。また、下部電極膜 6 1 1 が、ヒューズユニット 8 7 の直下の領域（レーザ光が照射される領域）を回避した領域に形成されているので、ヒューズユニット 8 7 を切断する際に、下部電極膜 6 1 1 も切断されて下部電極膜 6 1 1 がダメージを受けるといった不具合を回避することもできる。

[0388] 次に、図 5 3 C に示すように、たとえばプラズマ CVD 法によって、カバー膜 6 2 6 上に窒化シリコン膜が堆積させられ、パッシベーション膜 8 9 が形成される（ステップ S 1 3）。前述のカバー膜 6 2 6 は最終形態において、パッシベーション膜 8 9 と一体化し、このパッシベーション膜 8 9 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 8 9 は、ヒューズ溶断の際に同時に破壊されたカバー膜 6 2 6 の開口内に入り込み、ヒューズユニット 8 7 の切断面を覆って保護する。したがって、パッシベーション膜 8 9 は、ヒューズユニット 8 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。これにより、信頼性の高いチップコンデンサ 8 1 を製造することができる。パッシベーション膜 8 9 は、全体で、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。

[0389] 次に、第 1 および第 2 外部電極 8 3, 8 4 を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜 8 9 上に形成される（ステップ S 1 4）。このレジストパターンをマスクとしてパッシベーション膜 8 9 のエッチングが行われる。それによって、下部電極膜 6 1 1 をパッド領域 6 1 1 C において露出させるパッド開口と、上部電極膜 6 1 3 をパッド領域 6 1 3 B において露出させるパッド開口とが形成されることになる（ステップ S 1 5）。パッシベーション膜 8 9 のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜 8 9 のエッチングの際に、同じく窒化膜で形成されている容量膜 6 1 2 も開口することになり、それによって、下部電極膜 6 1 1 のパッド領域 6 1 1 C が露出することになる。

[0390] 次いで、全面に樹脂膜が塗布される（ステップS 1 6）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS 1 7）。これにより、樹脂膜6 1 0およびパッシベーション膜8 9を貫通したパッド開口6 2 1, 6 2 2が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップS 1 8）、さらに、パッド開口6 2 1, 6 2 2内に、たとえば無電解めっき法によって、第1外部電極8 3および第2外部電極8 4が成長させられる（ステップS 1 9）。こうして、図4 8等を示す構造のチップコンデンサ8 1が得られる。

[0391] フォトリソグラフィ工程を利用した上部電極膜6 1 3のパターニングでは、微小面積の電極膜部分7 3 1～7 4 0を精度良く形成することができ、さらに微細なパターンのヒューズユニット8 7を形成することができる。そして、上部電極膜6 1 3のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ8 1を得ることができる。

[0392] また、このチップコンデンサ8 1では、第2外部電極8 4の直下も有効容量エリアとして利用することによって、第2外部電極8 4と基板8 2との間における寄生容量の影響を受け難くし、より精度の高いチップコンデンサ8 1を提供できる。図5 4は、第5参考例の第2の実施形態に係るチップコンデンサ6 3 1の構成を説明するための平面図である。図5 4において、前述の図4 8に示された各部と対応する部分には同一の参照符号を付して示す。

[0393] 前述の第1の実施形態では、上部電極膜6 1 3のキャパシタ電極領域6 1 3 Aがそれぞれ帯状の電極膜部分7 3 1～7 3 9に分割されている。この場合、図4 8に示すように、キャパシタ配置領域8 5内にキャパシタ要素として

利用することができない領域が生じてしまい、小さな基板 8 2 上の限られた領域を有効に活用することができない。そこで、図 5 4 に示す実施形態では、複数の電極膜部分 7 3 1 ~ 7 3 9 が L 字形の電極膜部分 7 4 1 ~ 7 4 9 に分割されている。これによって、たとえば、図 5 4 の構成における電極膜部分 7 4 9 は、図 4 8 の構成の電極膜部分 7 3 9 の 1.5 倍の面積で下部電極膜 6 1 1 に対向することができる。よって、図 4 8 の第 1 の実施形態において電極膜部分 7 3 9 に対応したキャパシタ要素 C 9 が 4 p F の容量を有しているとすれば、この実施形態における電極膜部分 7 4 9 を用いることで、キャパシタ要素 C 9 は 6 p F の容量を有することができる。これにより、キャパシタ配置領域 8 5 内を有効に活用して、より広い範囲でチップコンデンサ 8 1 の容量値を設定することが可能となる。

[0394] この実施形態に係るチップコンデンサ 6 3 1 の製造工程は、図 5 2 に示した工程と実質的に同様である。ただし、上部電極膜 6 1 3 のパターニング（ステップ S 7, S 8）では、キャパシタ電極領域 6 1 3 A が、図 5 4 に示す形状の複数の電極膜部分 7 4 1 ~ 7 4 9 に分割される。図 5 5 は、第 5 参考例の第 3 の実施形態に係るチップコンデンサ 6 4 1 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 5 0 と同様にチップコンデンサ 6 4 1 の各部が表されている。

[0395] 第 1 の実施形態では、下部電極膜 6 1 1 がキャパシタ配置領域 8 5 のほぼ全域にわたる連続パターンからなる第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B を有し、上部電極膜 6 1 3 のキャパシタ電極領域 6 1 3 A が複数の電極膜部分 7 3 1 ~ 7 3 9 に分割されている（図 5 0 参照）。これに対して、この第 3 の実施形態では、上部電極膜 6 1 3 のキャパシタ電極領域 6 1 3 A およびパッド領域 6 1 3 B がキャパシタ配置領域 8 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 6 1 1 の第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B が複数の電極膜部分 7 5 1 ~ 7 5 9 に分割されている。電極膜部分 7 5 1 ~ 7 5 9 は、第 1 の実施形態における電極膜部分 7 3 1 ~

739と同様の形状および面積比に形成されてもよいし、第2の実施形態における電極膜部分741～749と同様の形状および面積比に形成されてもよい。そして、電極膜部分751～759のうちの少なくともいずれか（図55では電極膜部分759だけ）は、第2キャパシタ電極領域611Bにおいて第2外部電極84の直下まで延びている。このようにして、電極膜部分751～759と、容量膜612と、上部電極膜613とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。電極膜部分751～759は、順に、キャパシタ要素C1～C9を構成している。図55の電極膜部分759は、L字形に折れ曲っていて、第2キャパシタ配置領域85Bの全域に亘って形成されている。そのため、キャパシタ要素C9の容量値を、キャパシタ要素C8の容量値よりも大きく、たとえば2倍とすることができる。これにより、キャパシタ要素C8、9の容量値が同じであった第1の実施形態（図48参照）とは異なり、全てのキャパシタ要素C1～C9の容量値が等比数列をなすように設定できる。

[0396] 下部電極膜611は、さらに、第1キャパシタ電極領域611Aとパッド領域611Cとの間にヒューズ領域611Dを有している。ヒューズ領域611Dには、第1の実施形態のヒューズユニット87と同様の複数のヒューズユニット647がパッド領域611Cに沿って一列に配列されている。各電極膜部分751～759は、一つまたは複数のヒューズユニット647を介してパッド領域611Cに接続されている。

[0397] このような構成によっても、電極膜部分751～759が互いに異なる対向面積で上部電極膜613に対向しており、これらはヒューズユニット647を切断することによって個別に切り離すことができる。したがって、第1の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分751～759の少なくとも一部が公比2の等比数列をなすように設定した対向面積で上部電極膜613に対向するように形成しておくことで、第1の実施形

態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0398] この実施形態に係るチップコンデンサ641の製造工程は、図52に示した工程と実質的に同様である。ただし、下部電極膜611のパターニング（ステップS3，S4）において、第1キャパシタ電極領域611Aおよび第2キャパシタ電極領域611Bが電極膜部分751～759に分割され、かつヒューズ領域611Dに複数のヒューズユニット647が形成されることになる。また、上部電極膜613のパターニング（ステップS7，S8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。ただし、上部電極膜613は、平面視で各ヒューズユニット647に重ならないようにパターニングされる。さらに、レーザトリミング（ステップS12）においては、下部電極膜611に形成されたヒューズユニット647がレーザ光によって切断される。レーザトリミングの際、下部電極膜611は容量膜612によって覆われているので、この容量膜612をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップS11）は省かれてもよい。前述したように上部電極膜613が平面視で各ヒューズユニット647に重なっていないので、レーザトリミングによって上部電極膜613が切断されることはない。

[0399] 以上、第5参考例の実施形態について説明してきたが、第5参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している

例を示したが、当該等比数列の公比は2以外の数であってもよい。また、前述の実施形態では、基板82の表面に絶縁膜88が形成されているが、基板82が絶縁性の基板であれば、絶縁膜88を省くこともできる。また、基板82として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜612を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

[0400] その他、前記(1)第5参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴E1～E22で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第5参考例の範囲に含まれる。

符号の説明

[0401] C1～C19 キャパシタ要素 C21～C29 キャパシタ要素 C31～C34 キャパシタ要素
 F1～F9 ヒューズ F11～F19 ヒューズ F21～F24
 ヒューズ 1 チップコンデンサ 2 基板 2A 主面 3 第1外部電極 4 第2外部電極 7 ヒューズユニット 9 パッシベーション膜 10 樹脂膜 11 第1電極膜 12 第1容量膜 13 第2電極膜 131～139 電極膜部分 141～149 電極膜部分 151～159 電極膜部分 16 第3電極膜 17 第2容量膜 181～184 電極膜部分 25 チップコンデンサ 26 チップコンデンサ 27 ヒューズユニット 28 ヒューズユニット

請求の範囲

- [請求項1] 基板と、 前記基板上に配置された第1外部電極と、 前記基板上に配置された第2外部電極と、 前記基板上に形成された第1電極膜と、 前記第1電極膜上に形成された第1容量膜と、 前記第1容量膜上に前記第1電極膜に対向するように形成された第2電極膜と、 前記第2電極膜上に形成された第2容量膜と、 前記第2容量膜上に前記第2電極膜に対向するように形成された第3電極膜とを含み、 前記第1外部電極および前記第2外部電極の間に接続された複数のキャパシタ要素と、 前記基板上に形成され、 前記複数のキャパシタ要素と前記第1外部電極または前記第2外部電極との間にそれぞれ介装され、 前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサ。
- [請求項2] 前記複数のキャパシタ要素が、 互いに異なる容量値を有している、 請求項1に記載のチップコンデンサ。
- [請求項3] 前記複数のキャパシタ要素の容量値が、 等比数列をなすように設定されている、 請求項2に記載のチップコンデンサ。
- [請求項4] 前記複数のヒューズのうちの少なくとも一つが切断されている、 請求項1～3のいずれか一項に記載のチップコンデンサ。
- [請求項5] 前記第2電極膜が、 複数の第2電極膜部分に分割されており、 前記複数の第2電極膜部分にそれぞれ前記複数のヒューズが接続されている、 請求項1～4のいずれか一項に記載のチップコンデンサ。
- [請求項6] 前記複数の第2電極膜部分が、 互いに異なる対向面積で前記第1電極膜および前記第3電極膜に対向している、 請求項5に記載のチップコンデンサ。
- [請求項7] 前記複数の第2電極膜部分の前記対向面積が、 等比数列をなすように設定されている、 請求項6に記載のチップコンデンサ。
- [請求項8] 前記第1電極膜が、 複数の第1電極膜部分に分割されており、 前記複数の第1電極膜部分に前記複数のヒューズがそれぞれ接続されている

、請求項 1 ～ 7 のいずれか一項に記載のチップコンデンサ。

- [請求項9] 前記複数の第 1 電極膜部分が、互いに異なる対向面積で前記第 2 電極膜に対向している、請求項 8 に記載のチップコンデンサ。
- [請求項10] 前記複数の第 1 電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項 9 に記載のチップコンデンサ。
- [請求項11] 前記第 3 電極膜が、複数の第 3 電極膜部分に分割されており、前記複数の第 3 電極膜部分に前記複数のヒューズがそれぞれ接続されている、請求項 1 ～ 10 のいずれか一項に記載のチップコンデンサ。
- [請求項12] 前記複数の第 3 電極膜部分が、互いに異なる対向面積で前記第 2 電極膜に対向している、請求項 11 に記載のチップコンデンサ。
- [請求項13] 前記複数の第 3 電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項 12 に記載のチップコンデンサ。
- [請求項14] 前記複数のヒューズが、前記基板の主面を垂直に見下ろす平面視において重なり合わないよう位置をずらして配置されている、請求項 1 ～ 13 のいずれか一項に記載のチップコンデンサ。
- [請求項15] 前記第 1 電極膜、前記第 2 電極膜または前記第 3 電極膜と前記ヒューズとが同じ導電性材料の膜で形成されている、請求項 5 ～ 13 のいずれか一項に記載のチップコンデンサ。
- [請求項16] 基板上に複数のキャパシタ要素を形成する工程と、 基板上に第 1 外部電極および第 2 外部電極を形成する工程と、 前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続する複数のヒューズを前記基板上に形成する工程とを含み、
前記複数のキャパシタ要素を形成する工程が、 前記基板上に第 1 電極膜を形成する工程と、 前記第 1 電極膜上に第 1 容量膜を形成する工程と、 前記第 1 容量膜上に前記第 1 電極膜に対向するように第 2 電極膜を形成する工程と、 前記第 2 電極膜上に第 2 容量膜を形成する工程と、 前記第 2 容量膜上に前記第 2 電極膜に対向するように第 3 電極膜を形成する工程と、 前記第 1 電極膜、前記第 2 電極膜お

よび前記第3電極膜の少なくとも一つを複数の電極膜部分に分割する工程とを含む、チップコンデンサの製造方法。

[請求項17] 前記ヒューズが、前記複数の電極膜部分にそれぞれ接続されるように形成される、請求項16に記載のチップコンデンサの製造方法。

[請求項18] 前記複数の電極膜部分が、前記第1容量膜または前記第2容量膜を挟んで対向する電極膜に対して互いに異なる対向面積で対向するように形成される、請求項16または17に記載のチップコンデンサの製造方法。

[請求項19] 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、請求項18に記載のチップコンデンサの製造方法。

[請求項20] 前記複数のヒューズが、前記基板の主面を垂直に見下ろす平面視において重なり合わないように位置をずらして配置されて形成される、請求項16～19のいずれか一項に記載のチップコンデンサの製造方法。

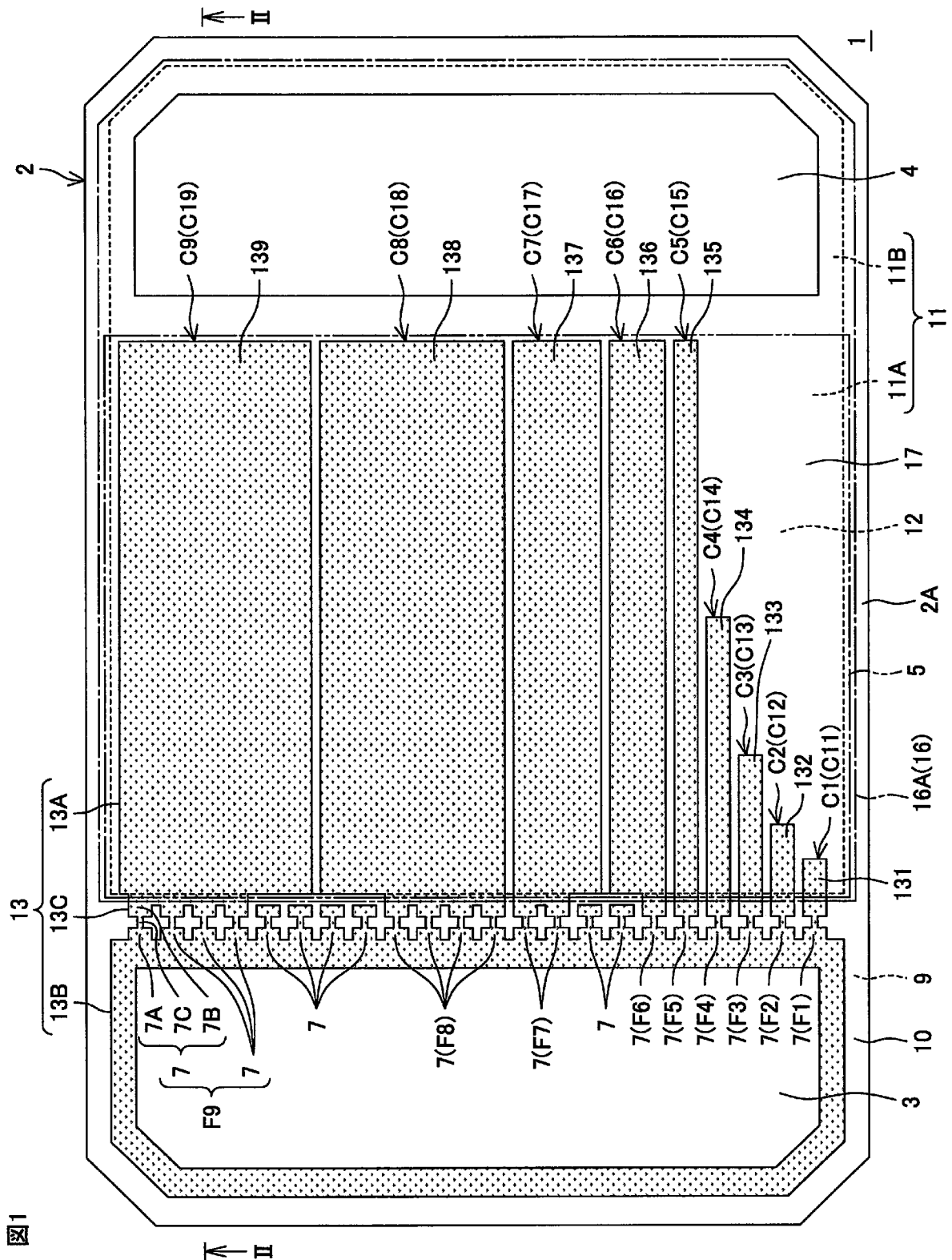
[請求項21] 前記第1電極膜、前記第2電極膜または前記第3電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、請求項16～20のいずれか一項に記載のチップコンデンサの製造方法。

[請求項22] 前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、請求項16～21のいずれか一項に記載のチップコンデンサの製造方法。

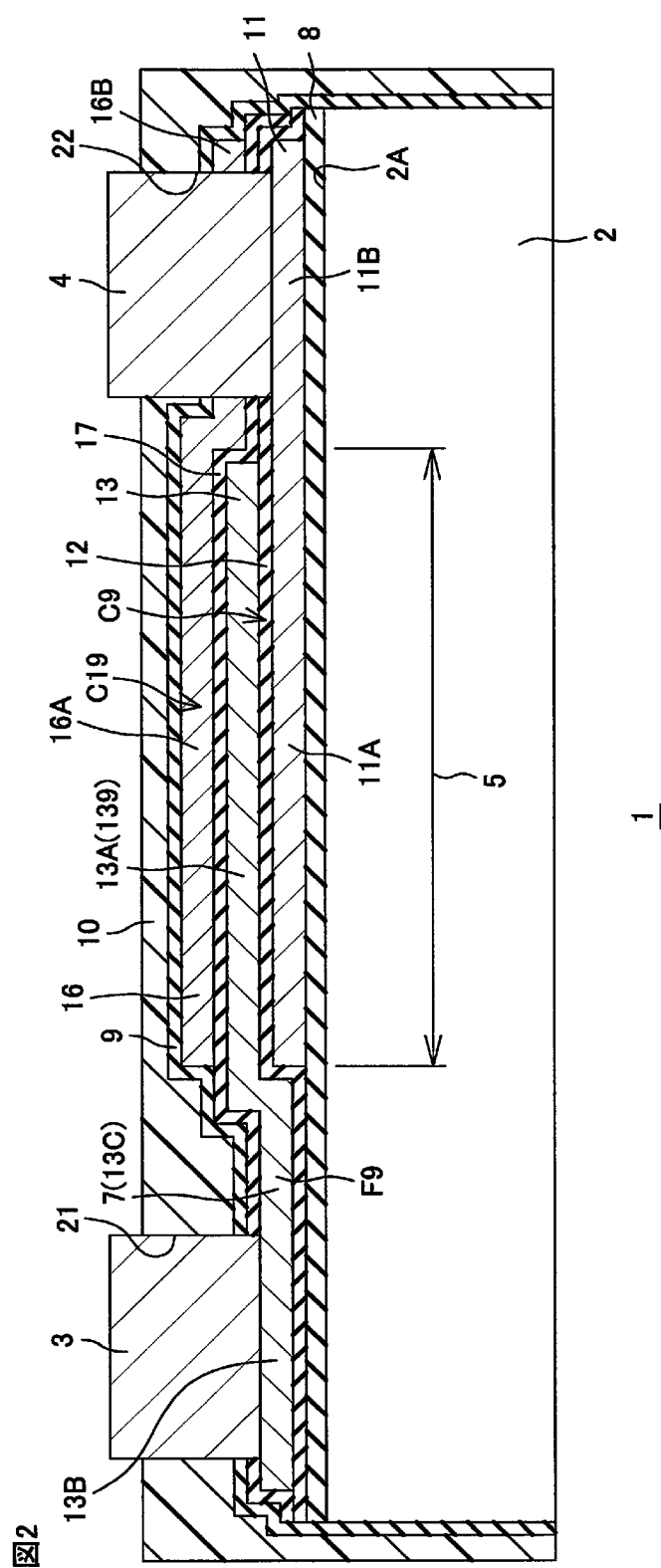
[請求項23] 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、請求項22に記載のチップコンデンサの製造方法。

[請求項24] 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、請求項22または23に記載のチップコンデンサの製造方法。

一、

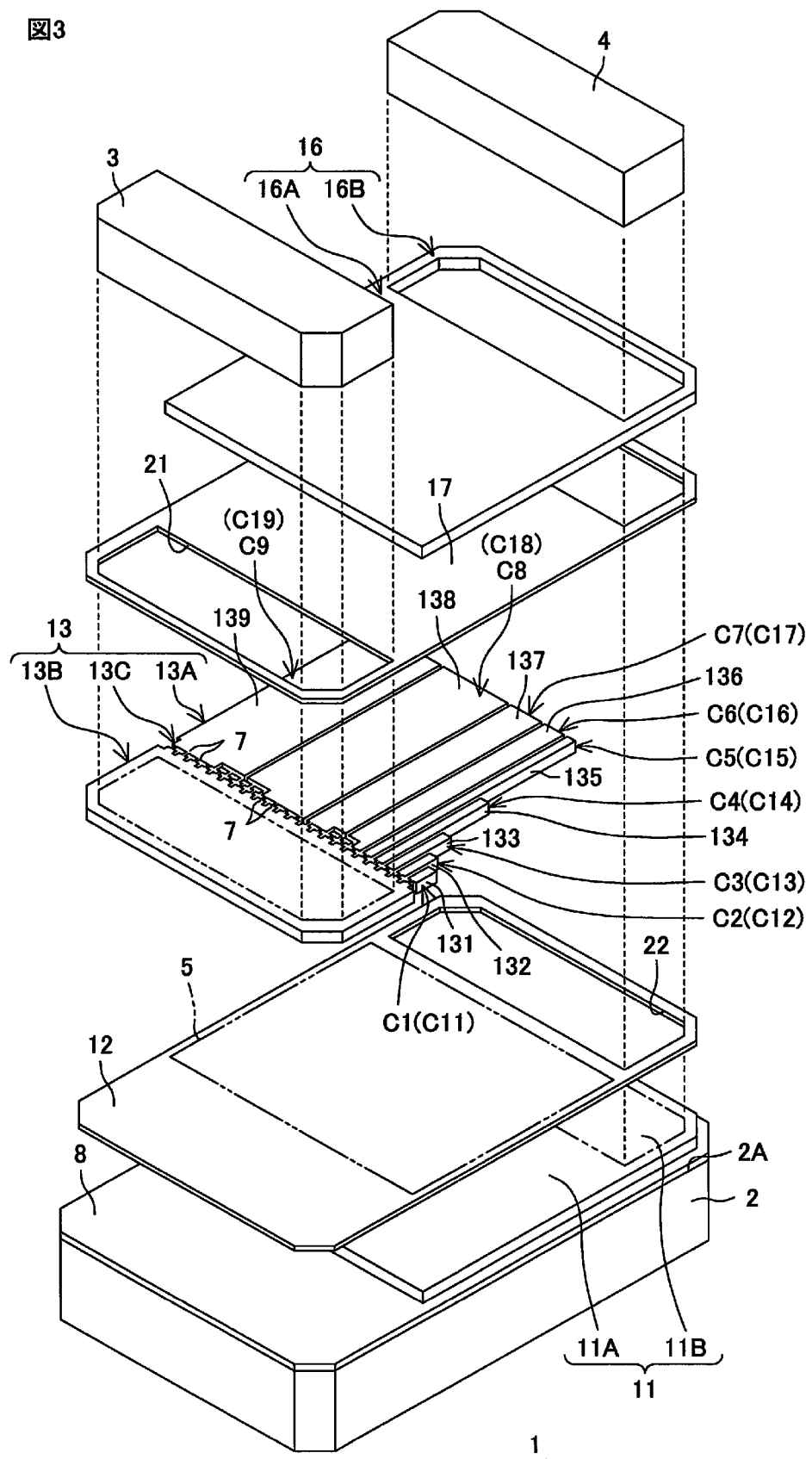


[図2]



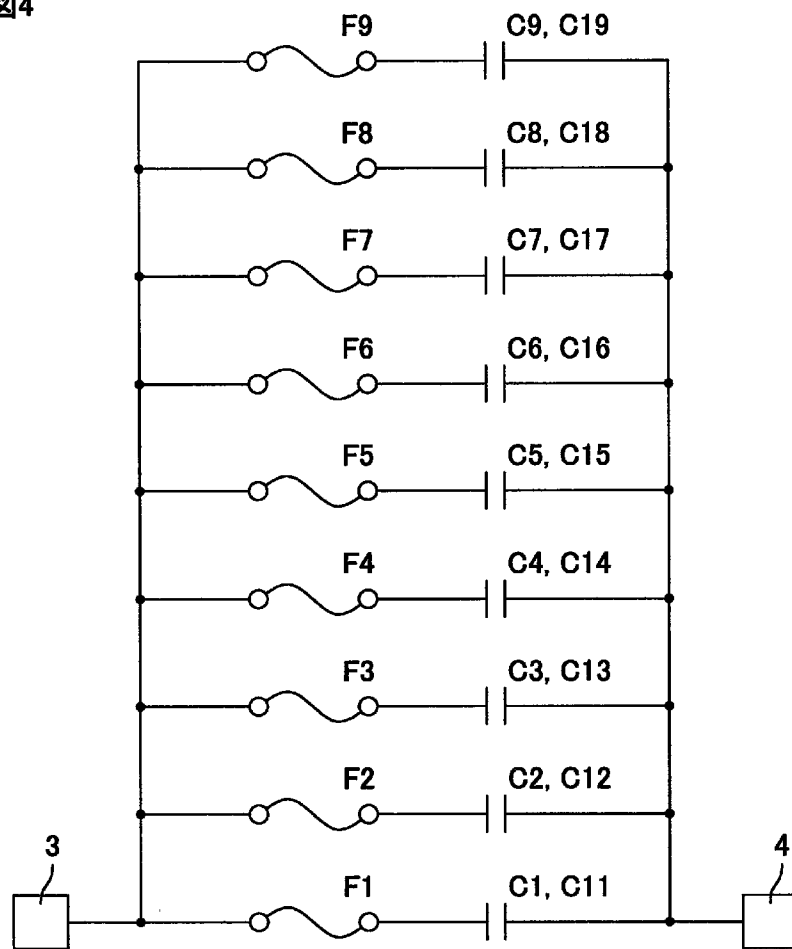
[図3]

図3



[図4]

図4



[図5]

図5

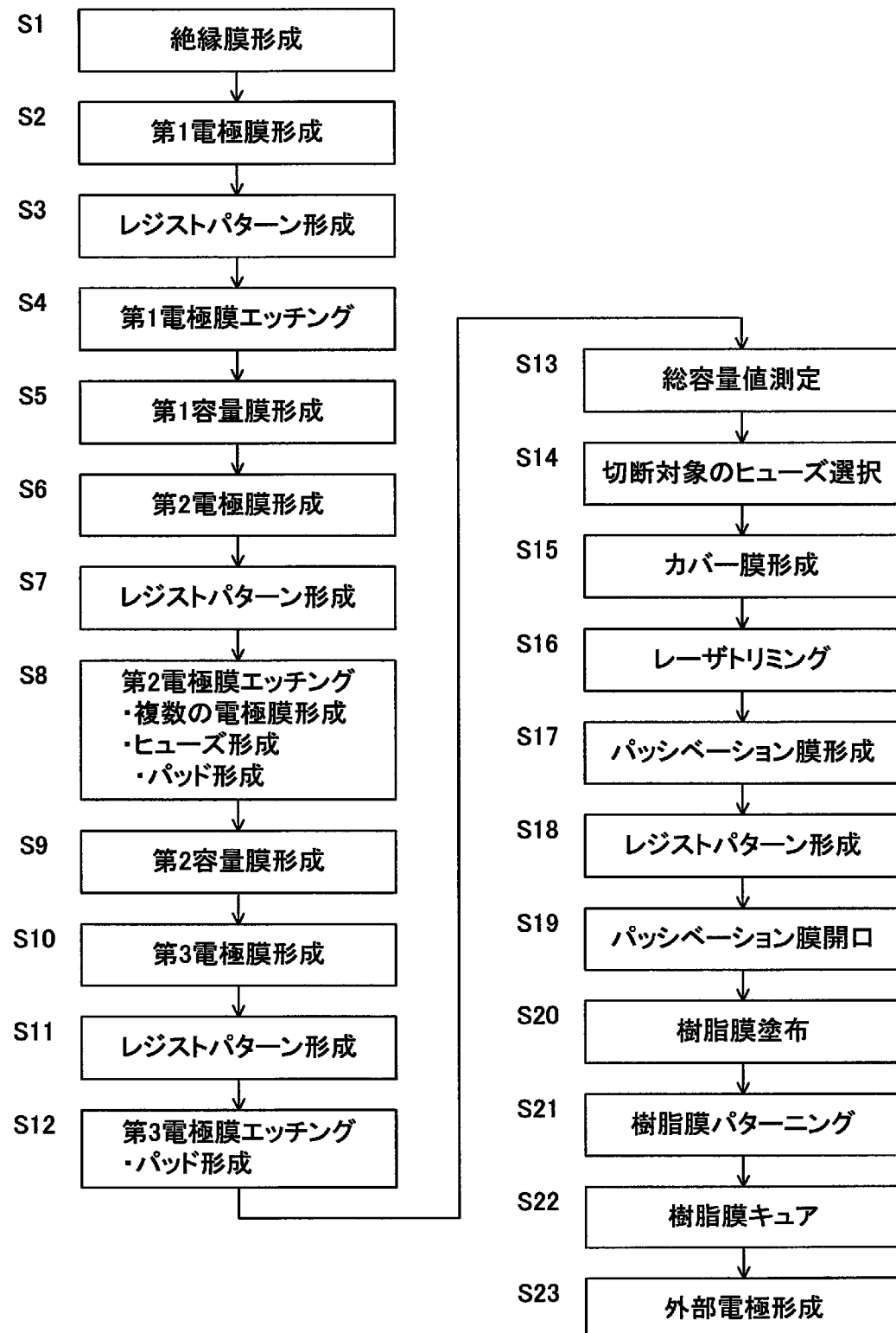


図6A

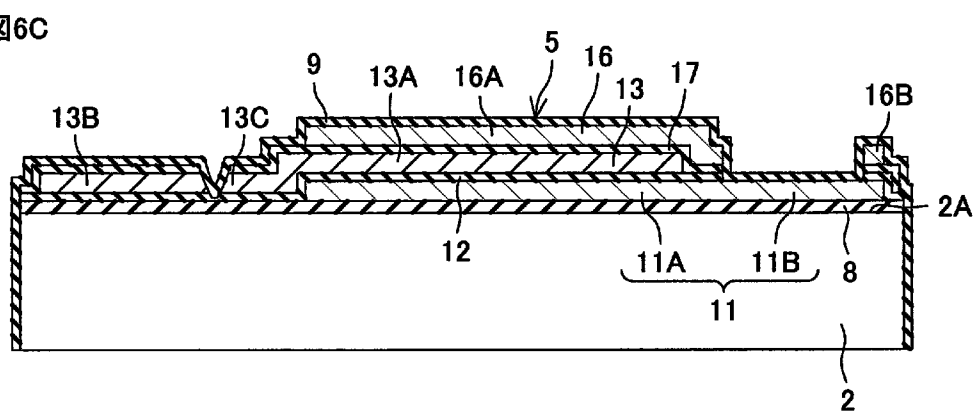
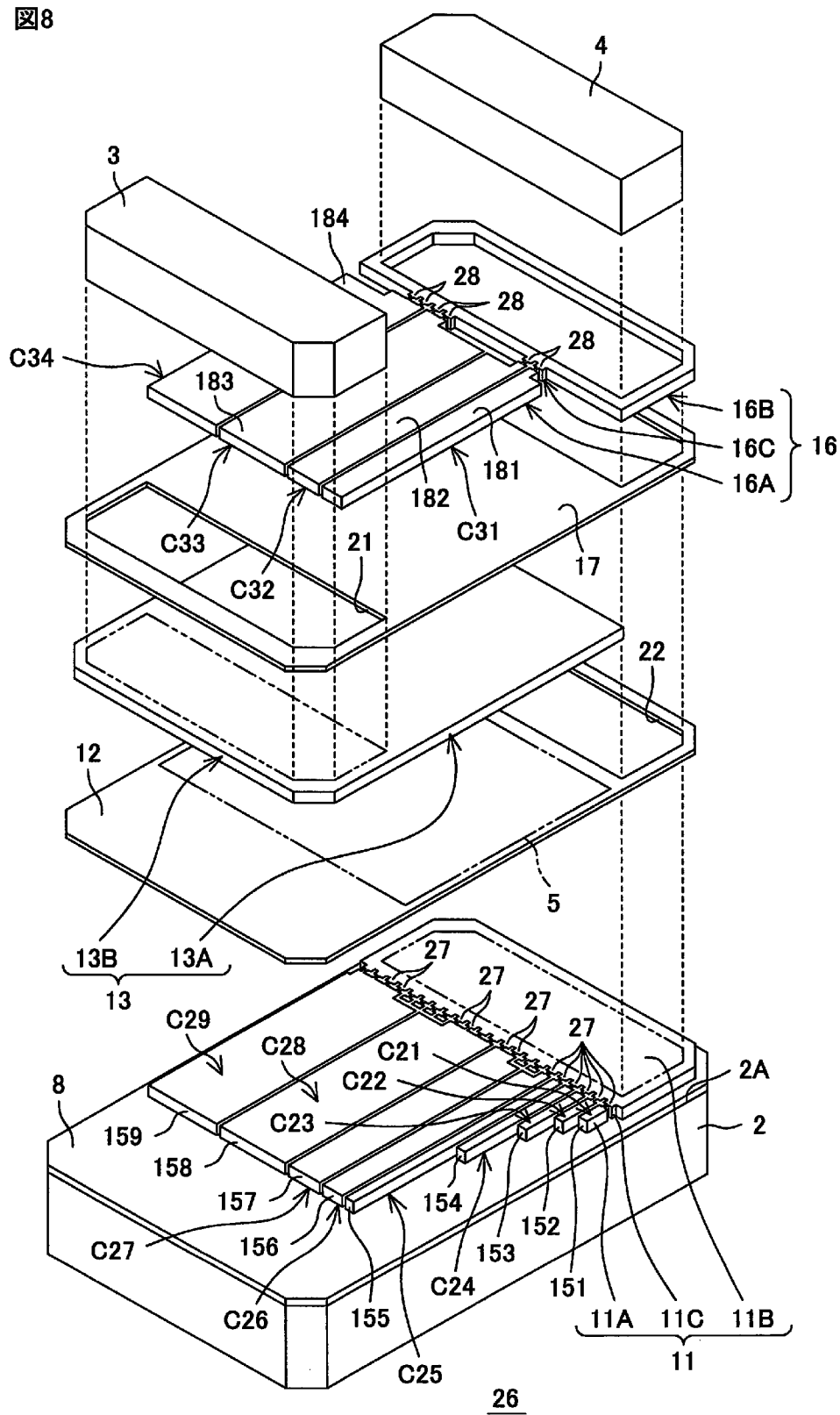
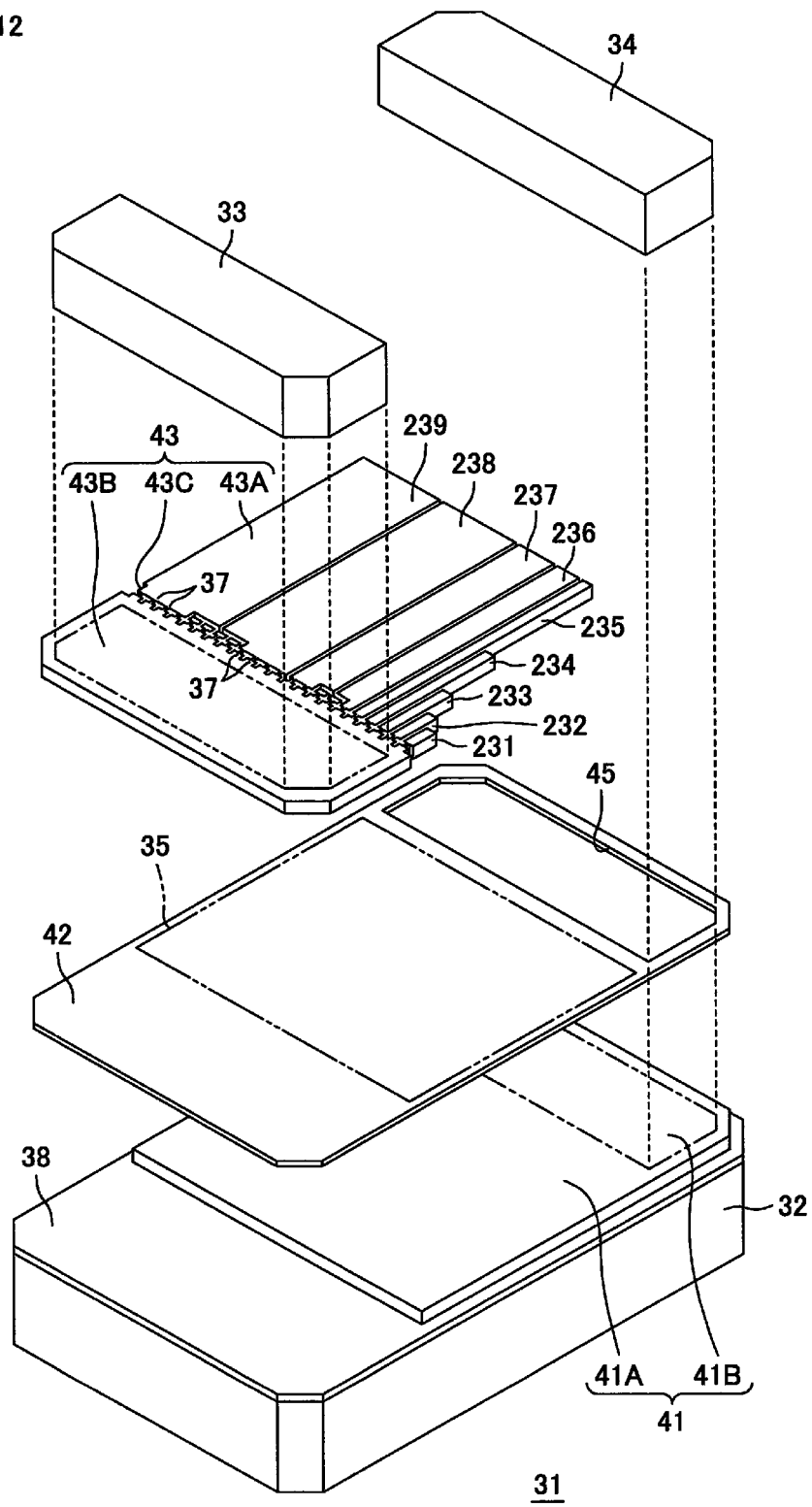


图8



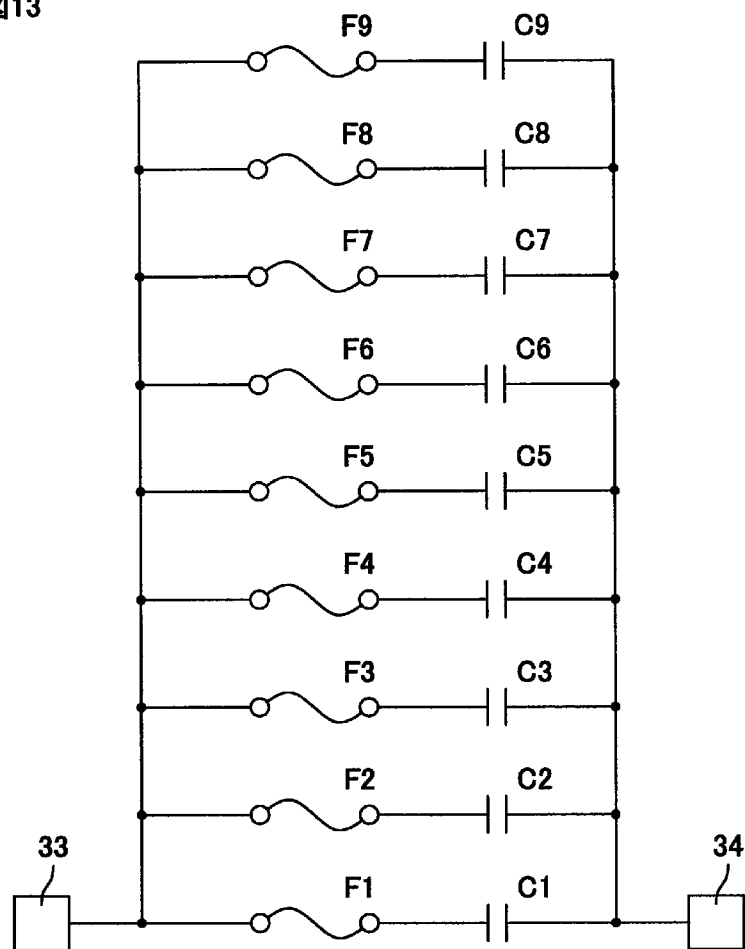
[図12]

図12



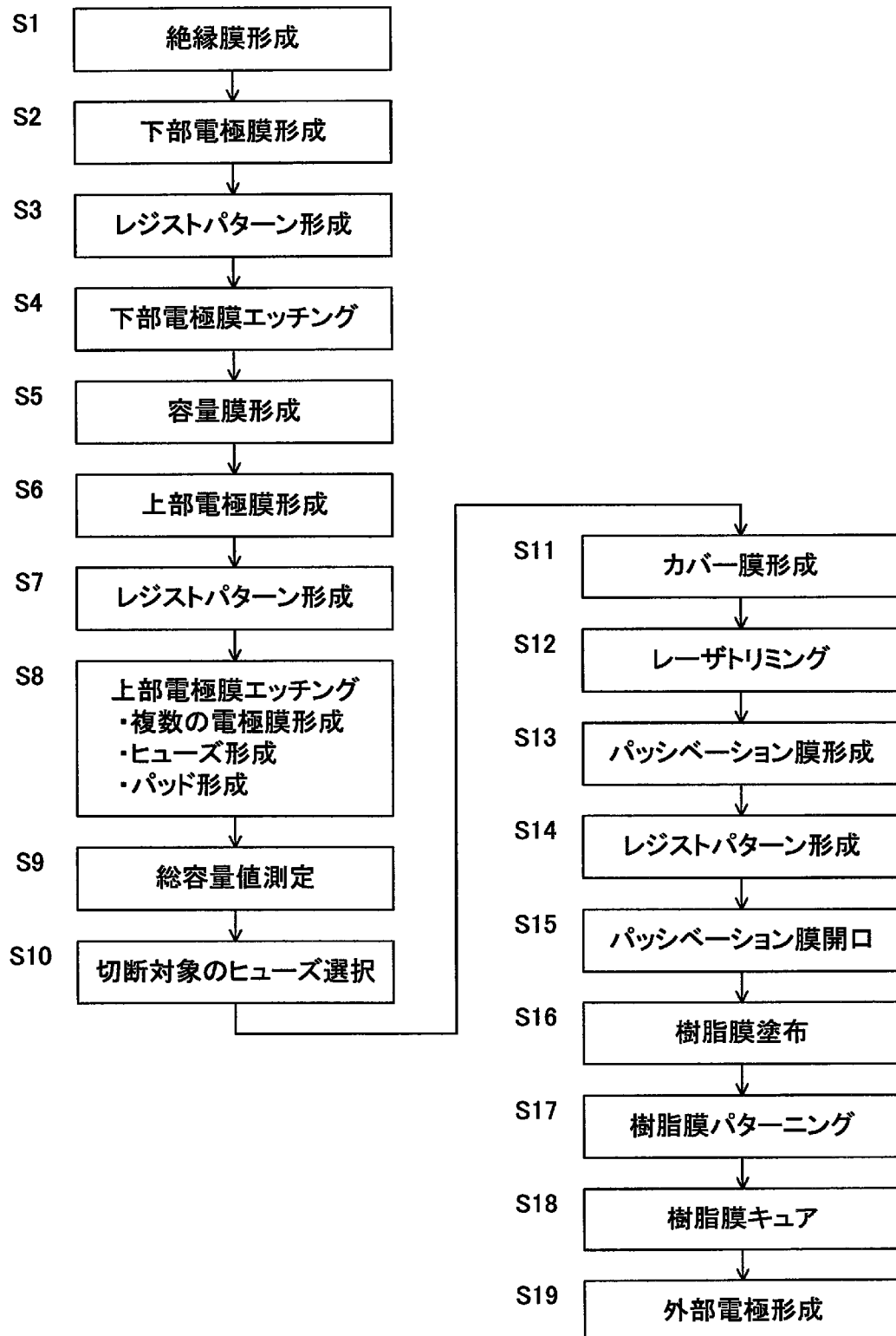
[図13]

図13



[図14]

図14



[図15]

図15A

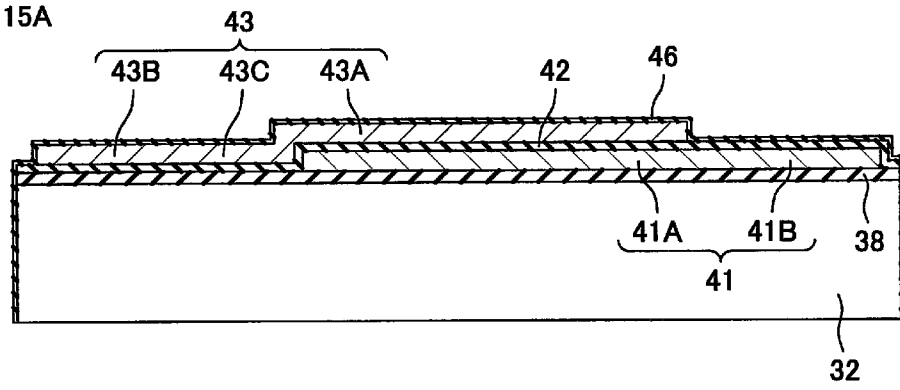


図15B

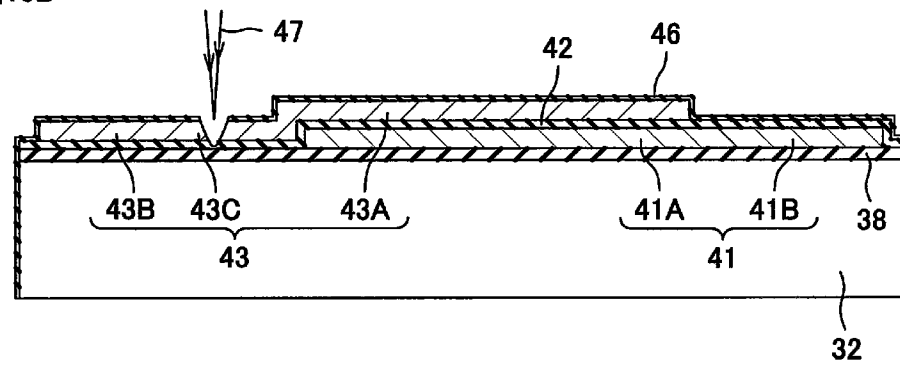
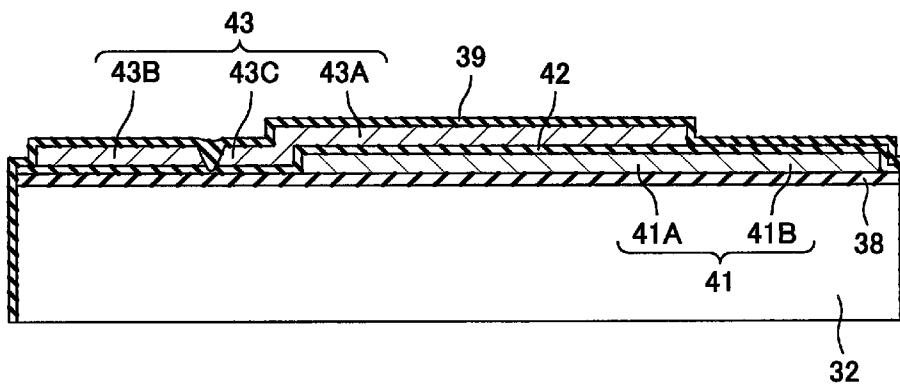
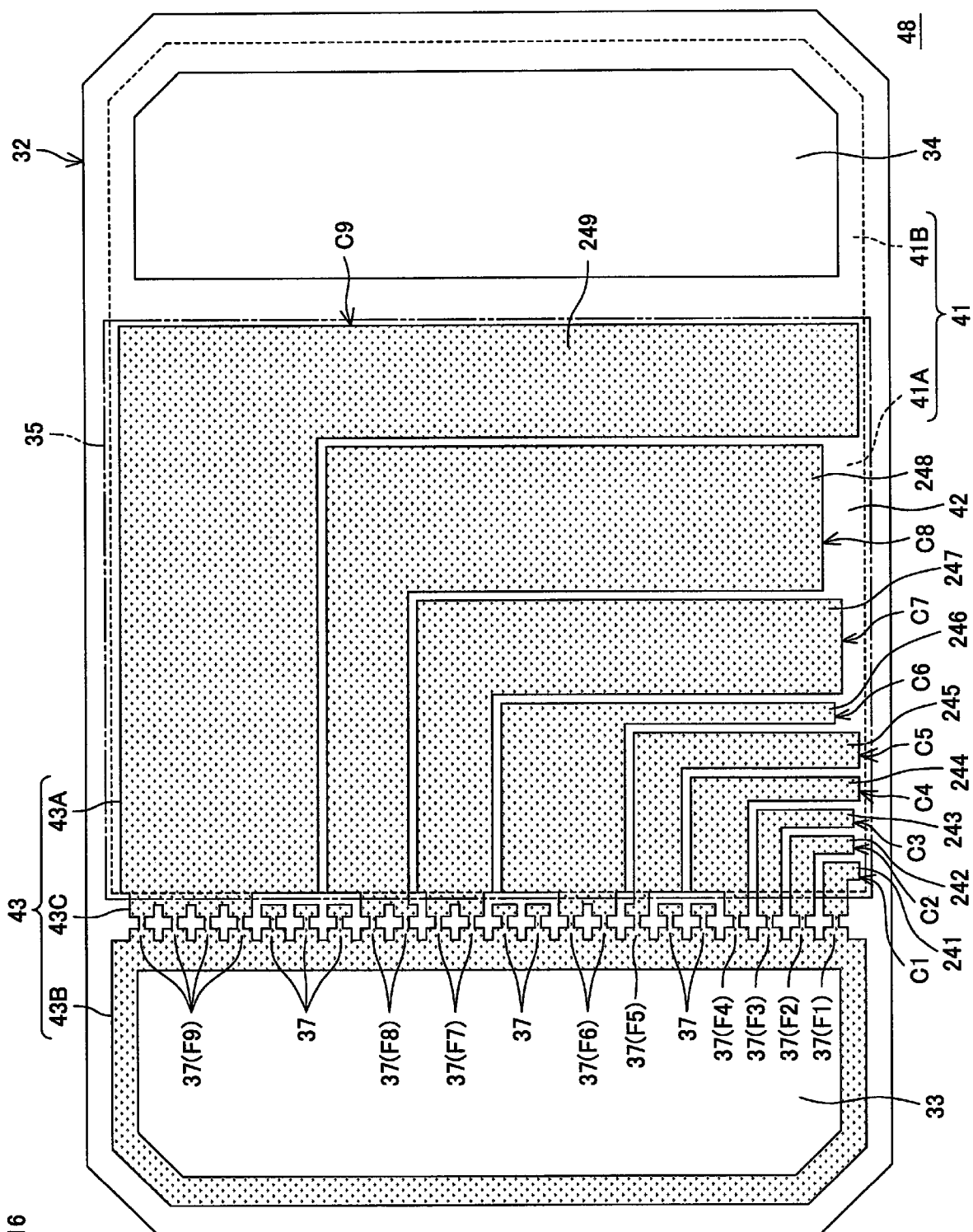


図15C

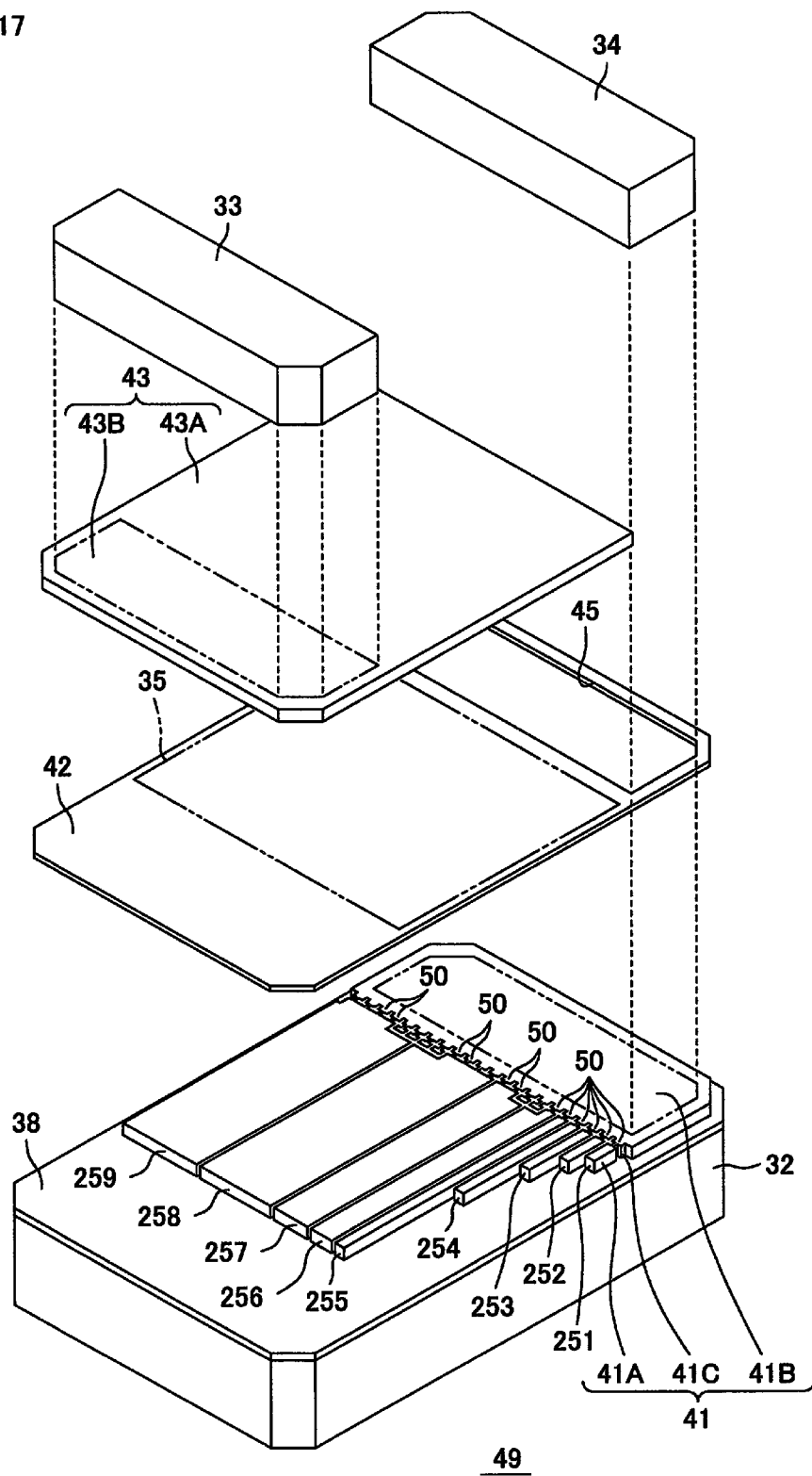


16

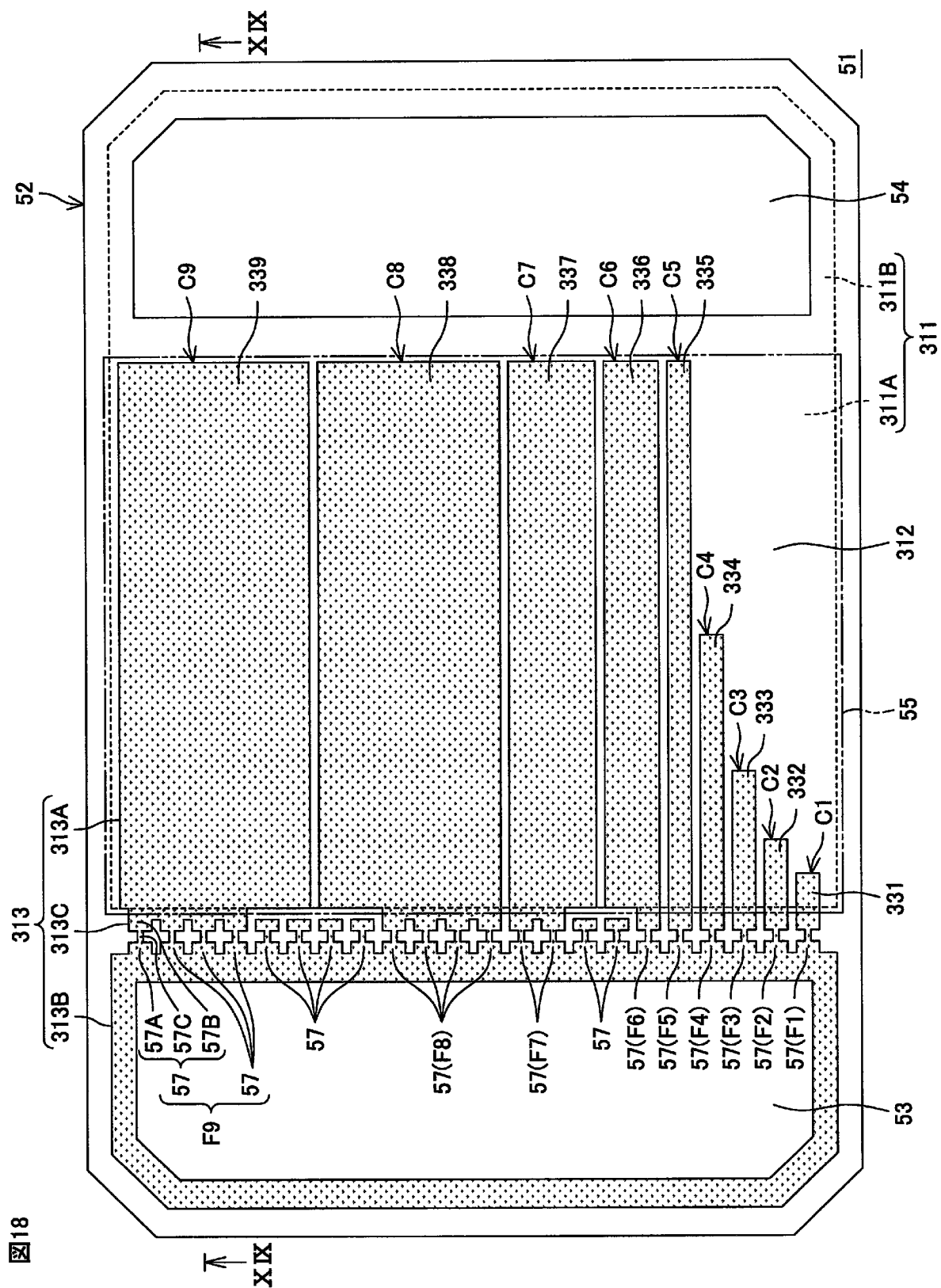


[図17]

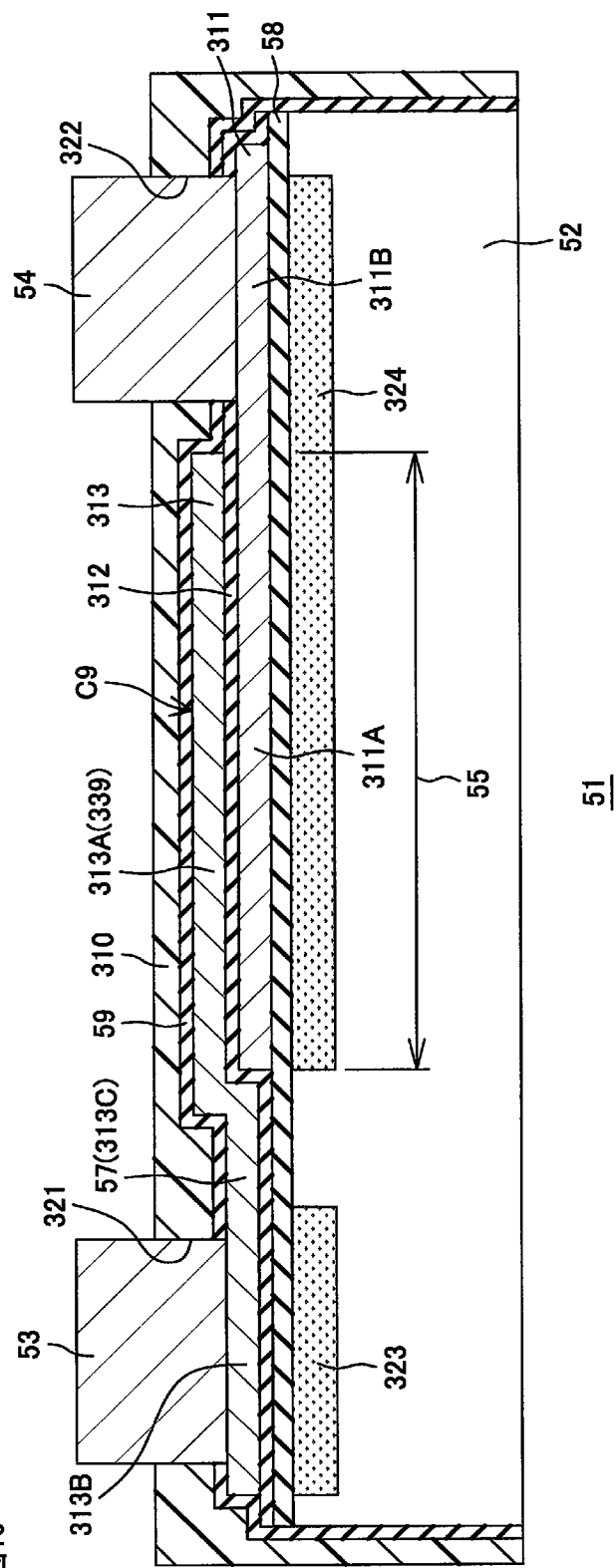
図17



18

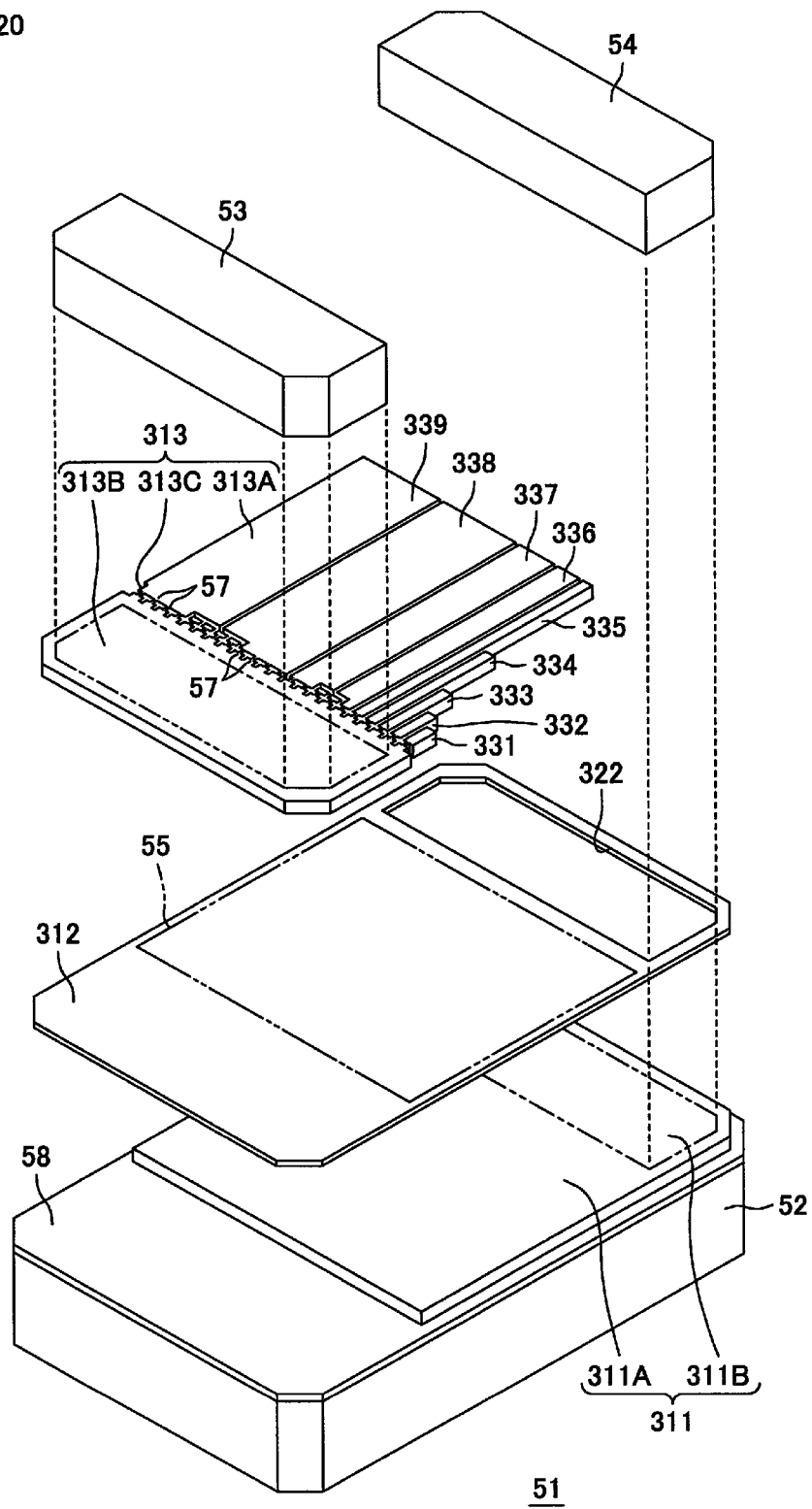


19

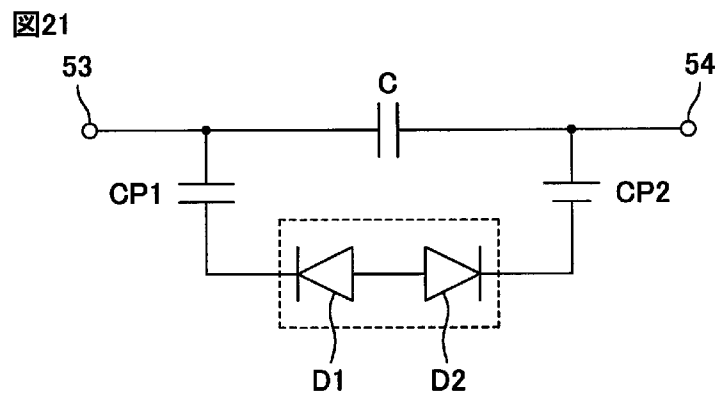


[図20]

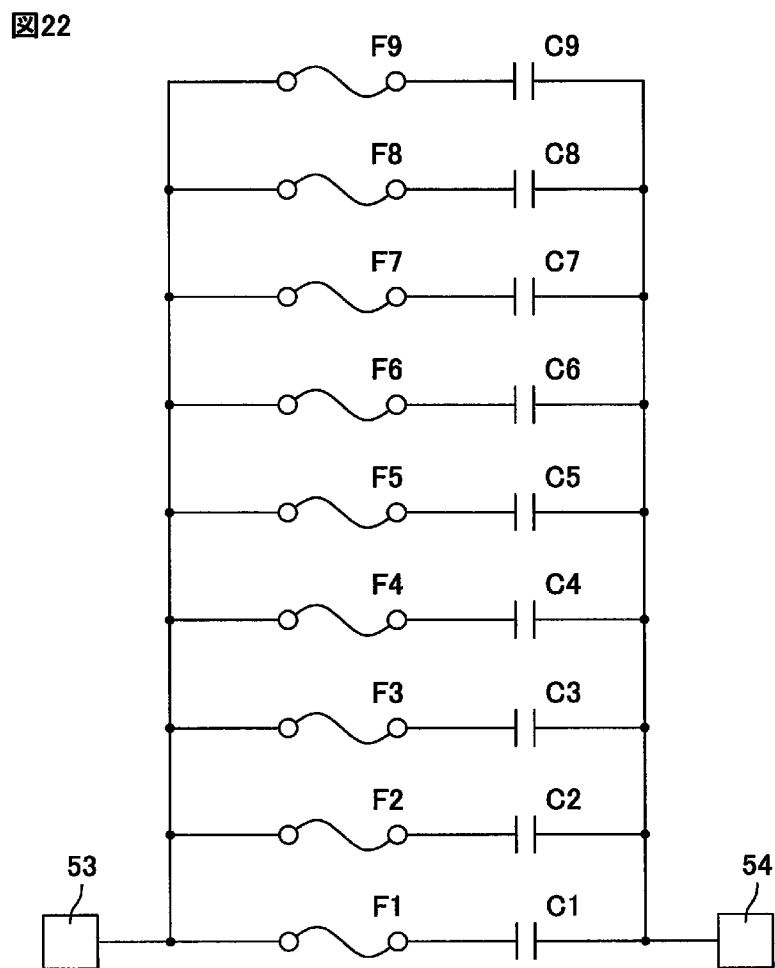
図20



[図21]

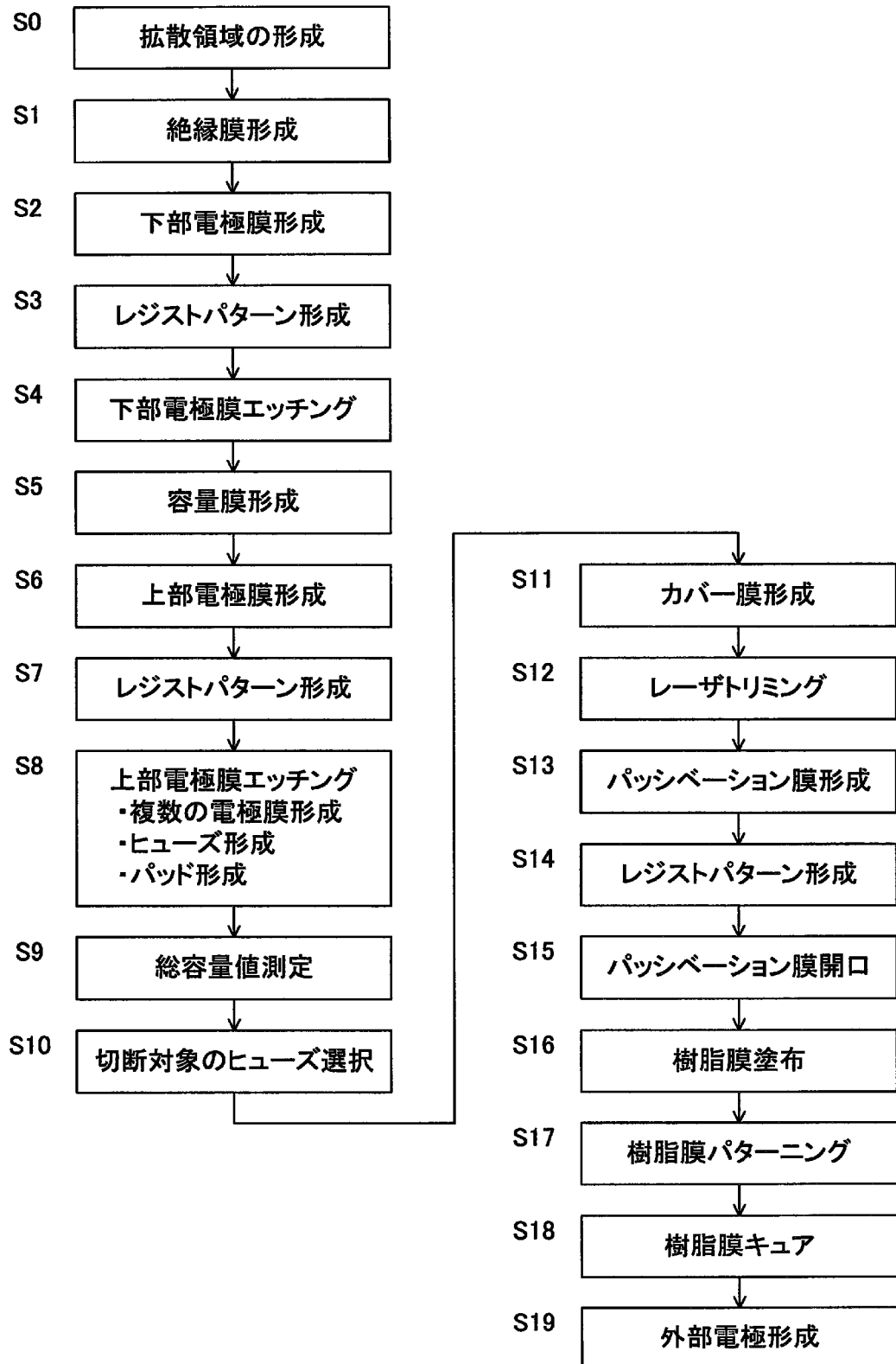


[図22]



[図23]

図23



[図24]

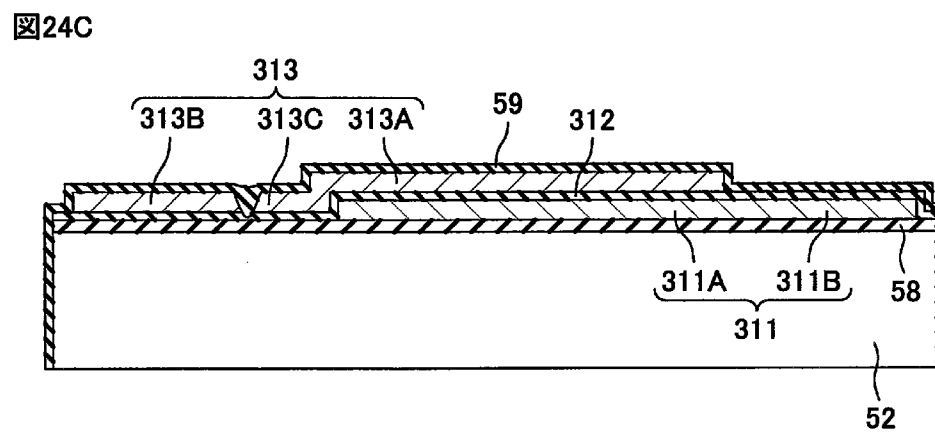
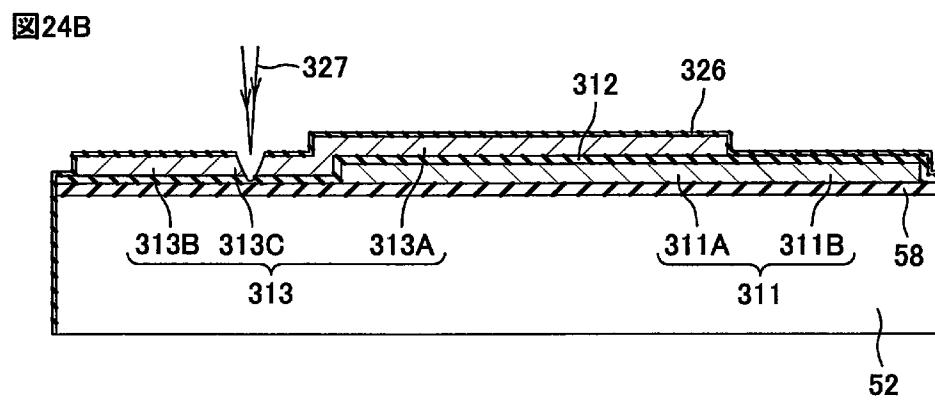
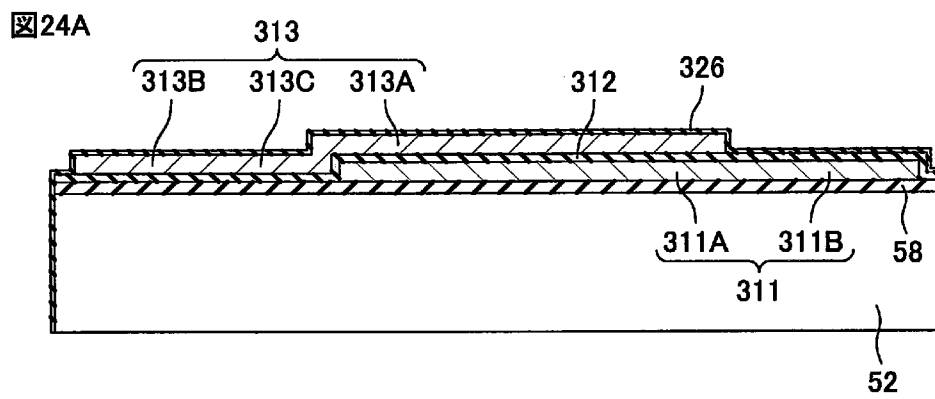
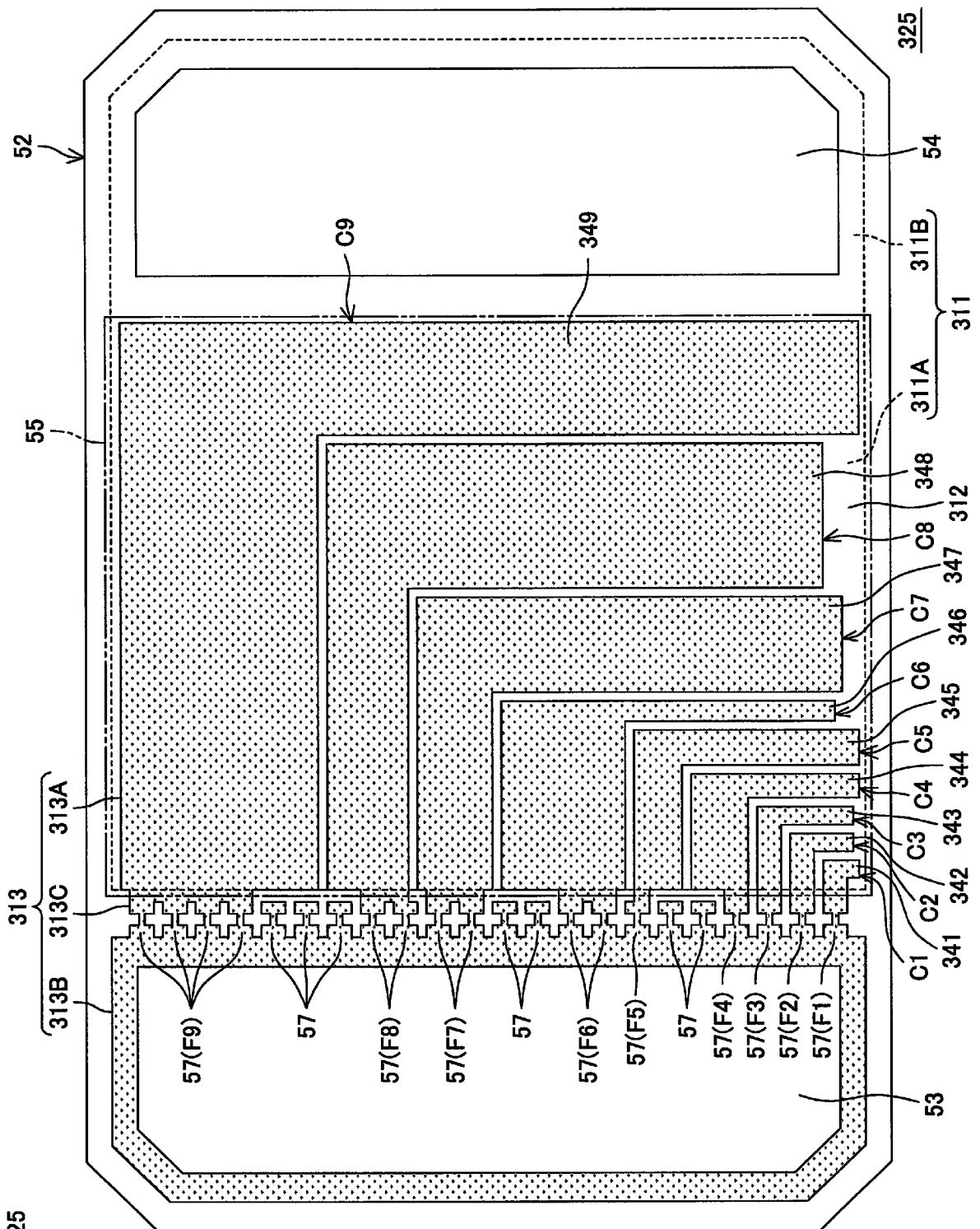
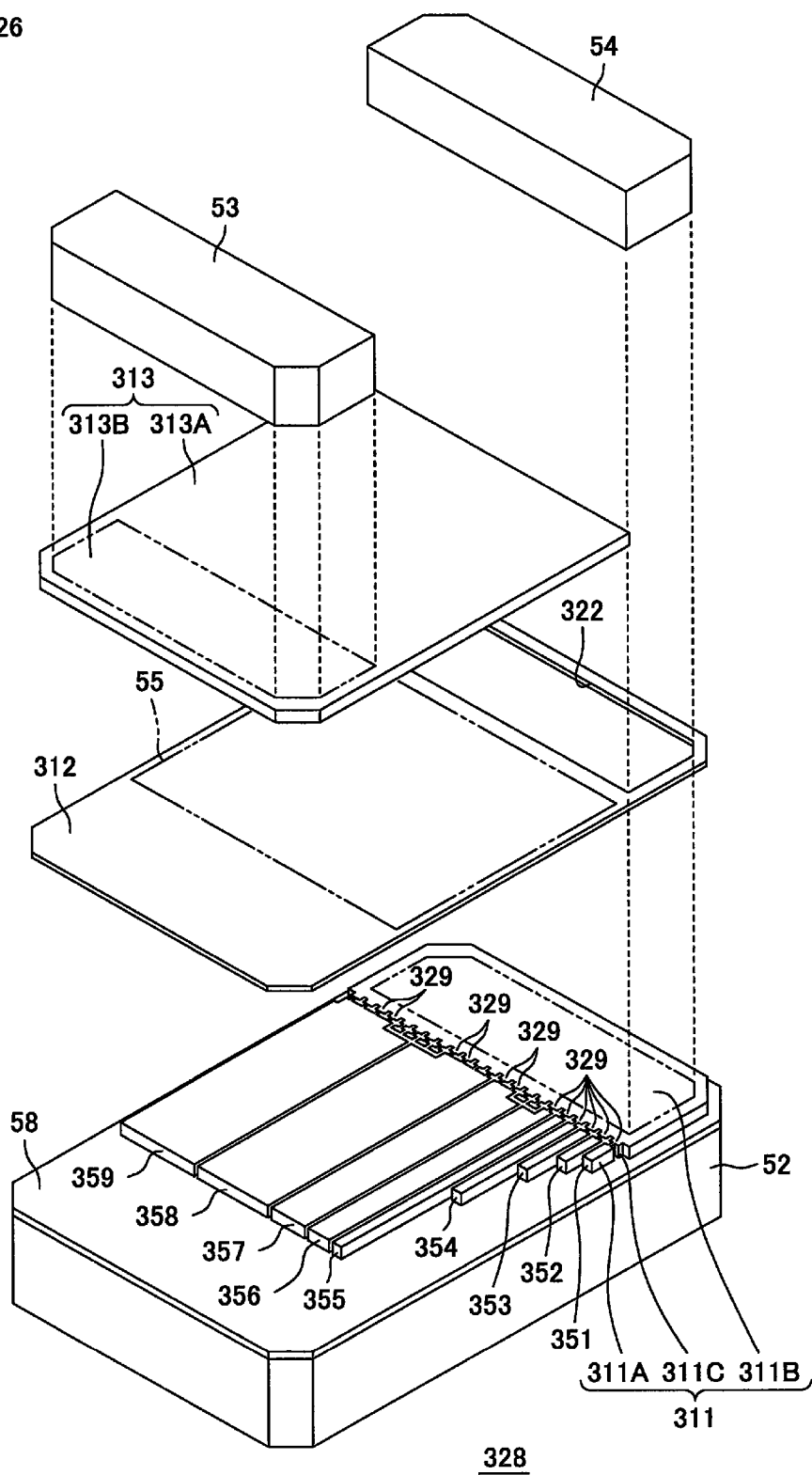


图 25

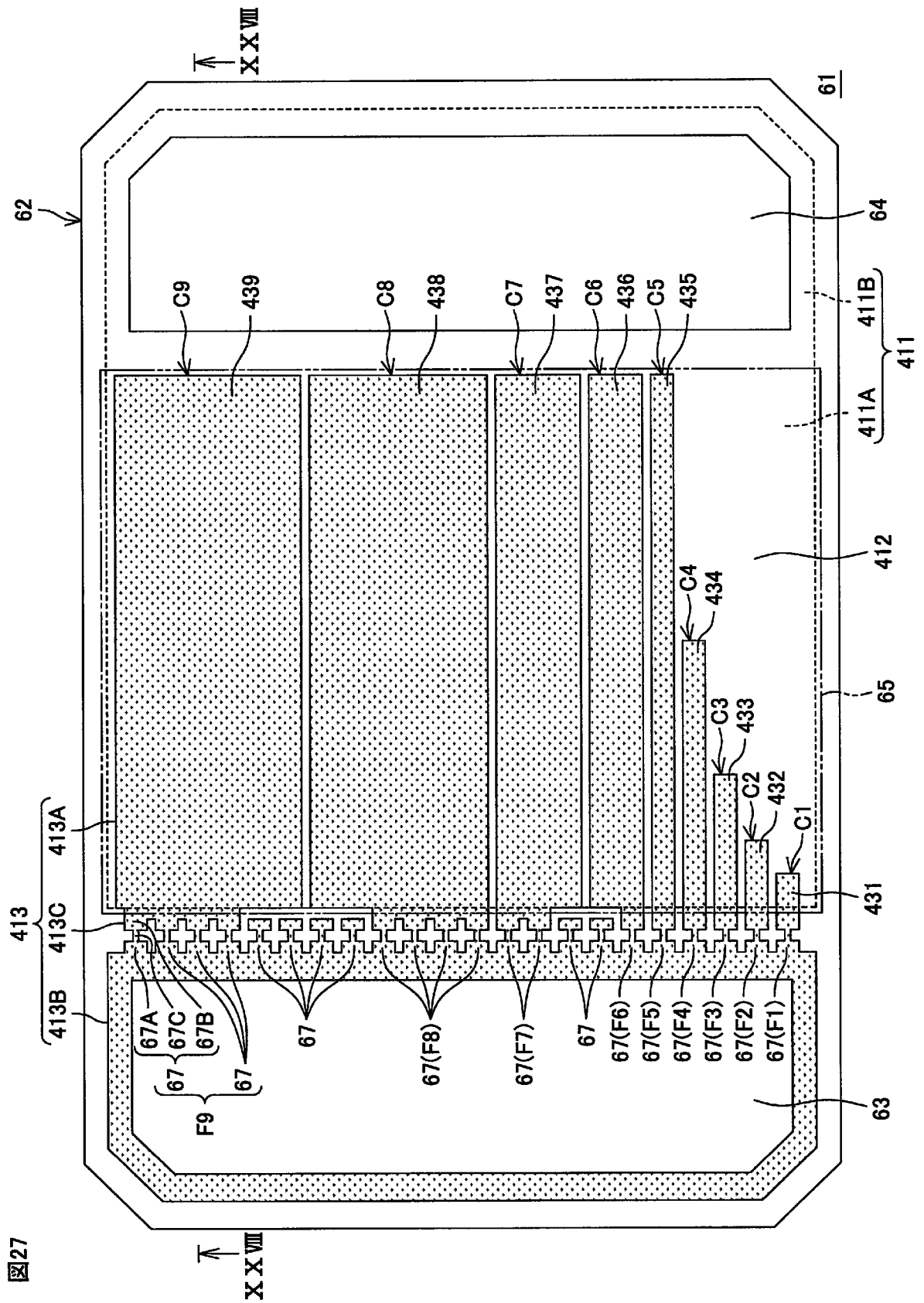


[図26]

図26

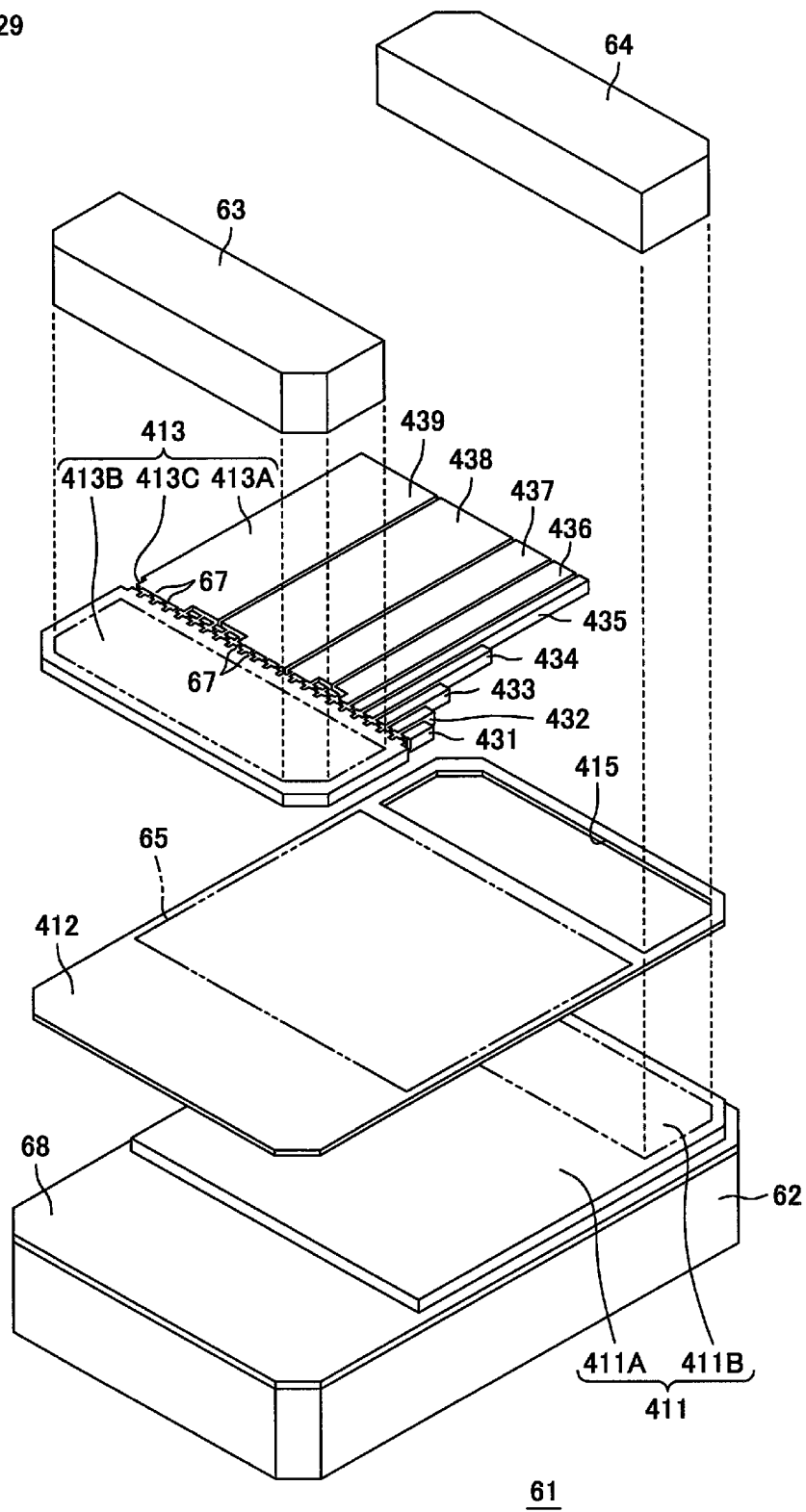


[図27]



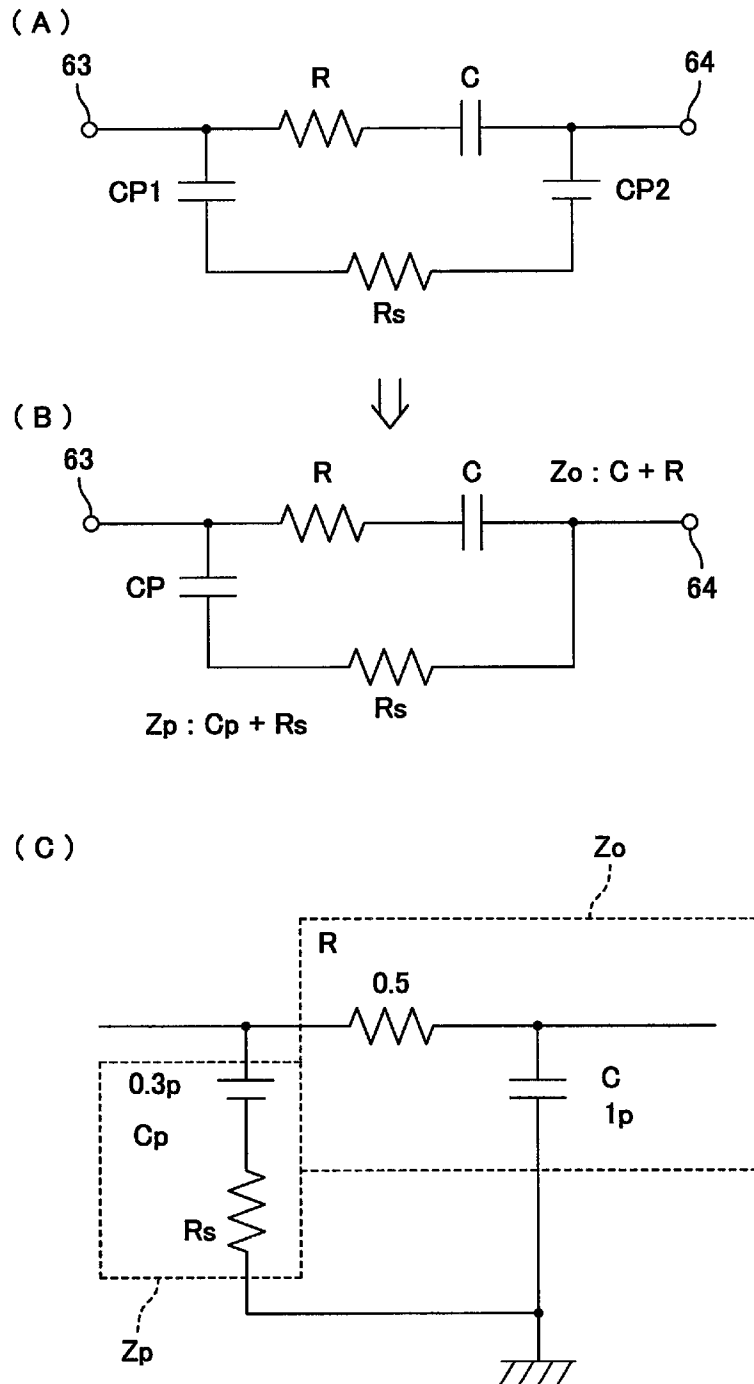
[図29]

図29



[図30]

図30

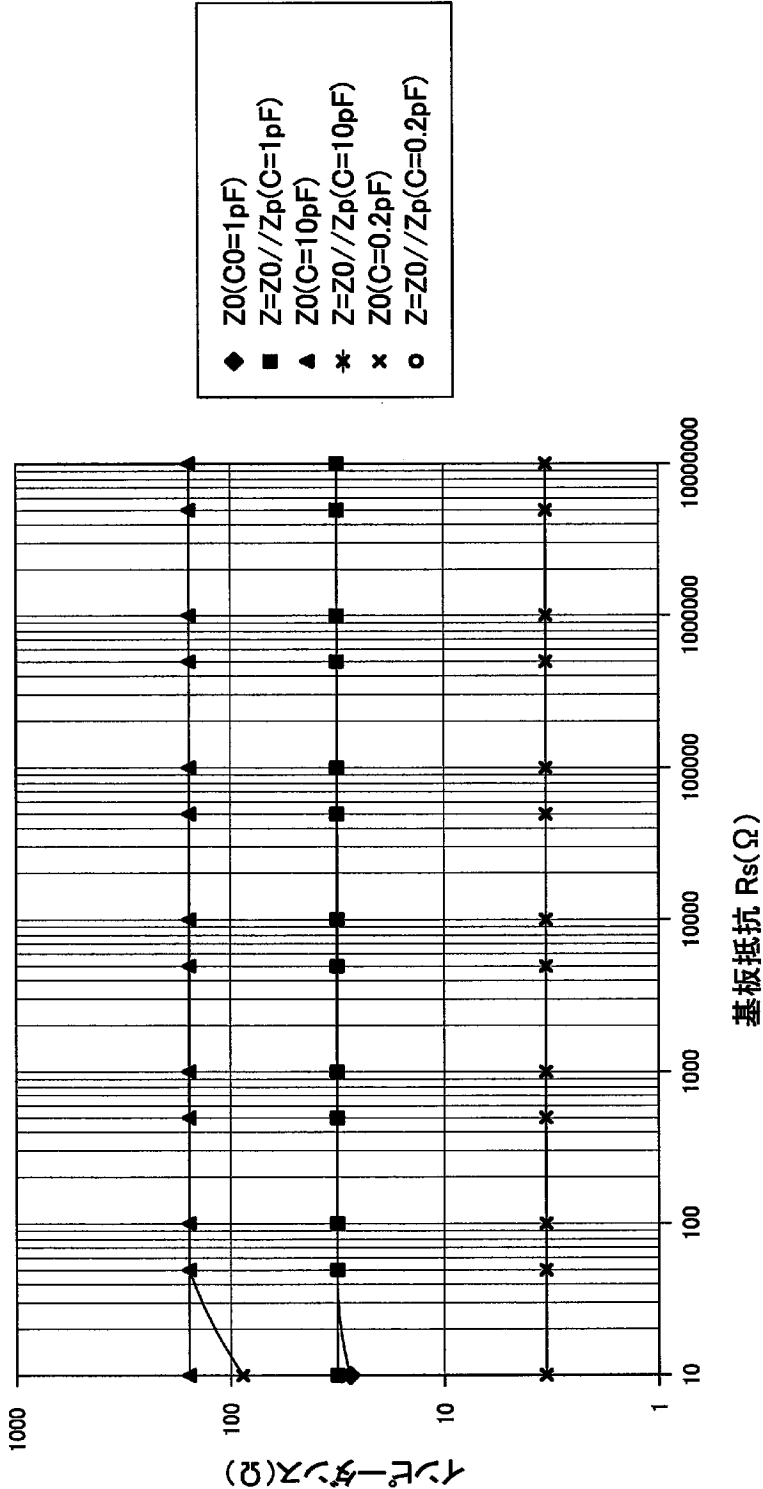


$C_p = 0.3\text{pF}$, $R_o = 0.5\Omega$ として、
 $C = 0.2\text{pF}$, 1pF , 10pF ,
 $R_s = 10\Omega \sim 10\text{M}\Omega$ で $f = 5\text{GHz}$ 時の
インピーダンス特性を確認

[図31]

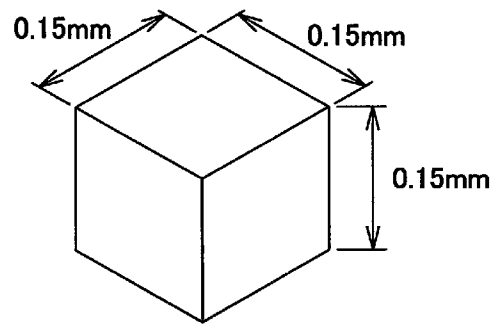
図31

f=5GHz時インピーダンス特性



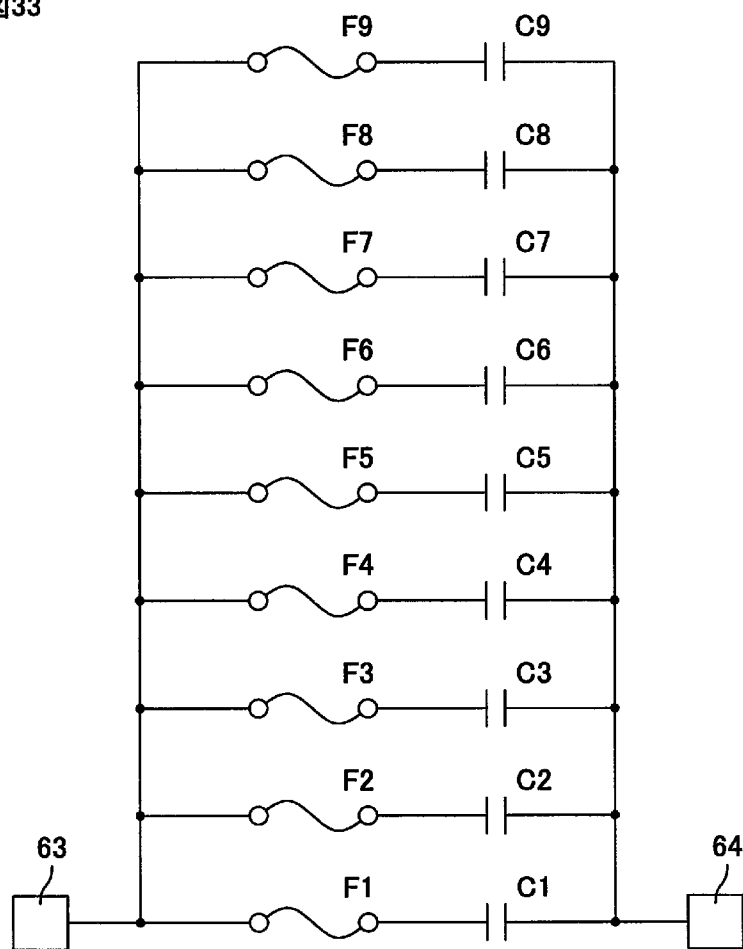
[図32]

図32



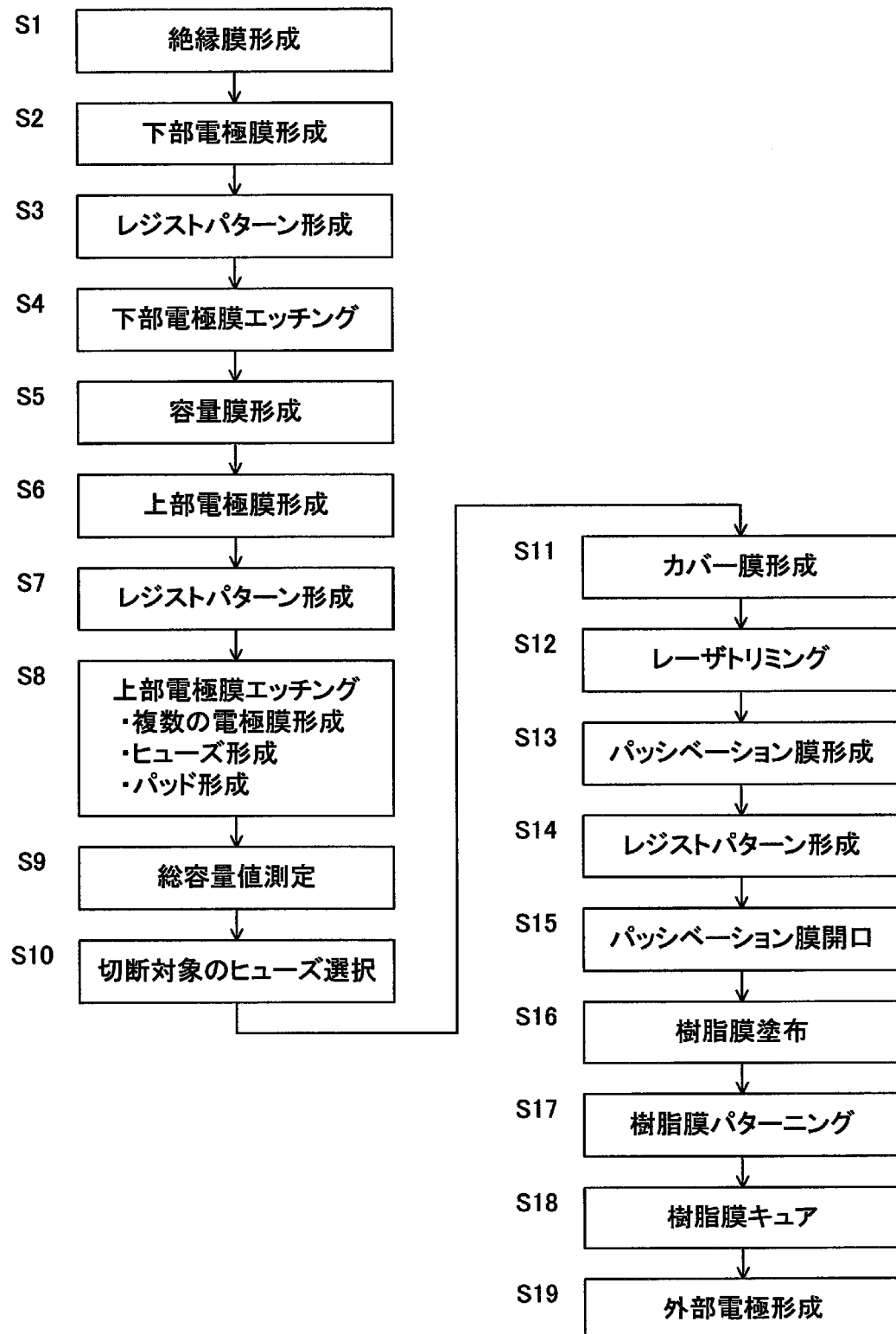
[図33]

図33



[図34]

図34



[図35]

図35A

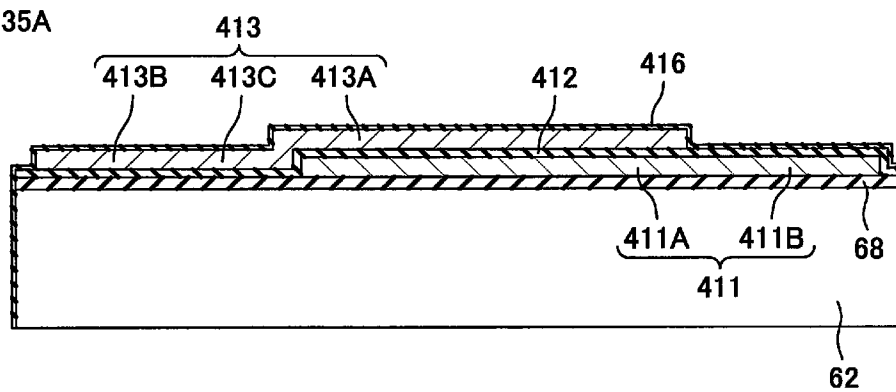


図35B

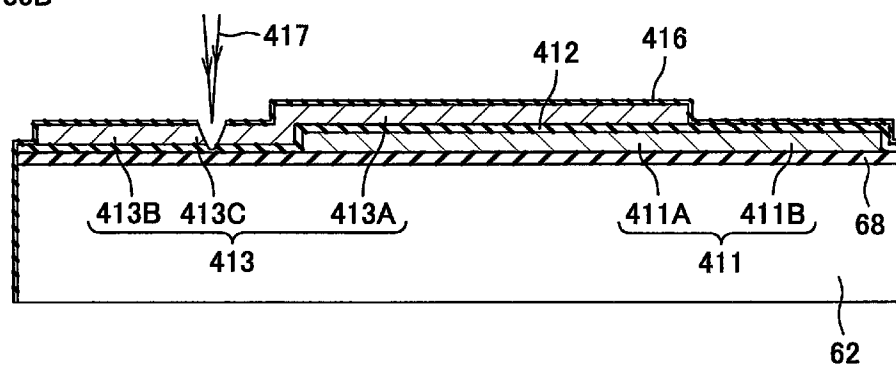
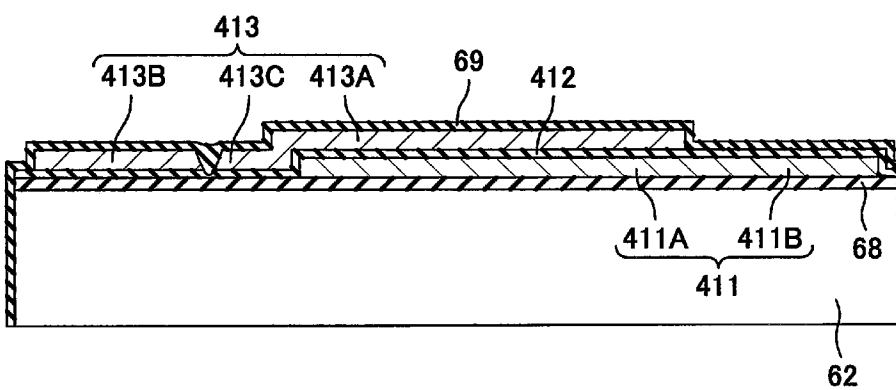


図35C



[図36]

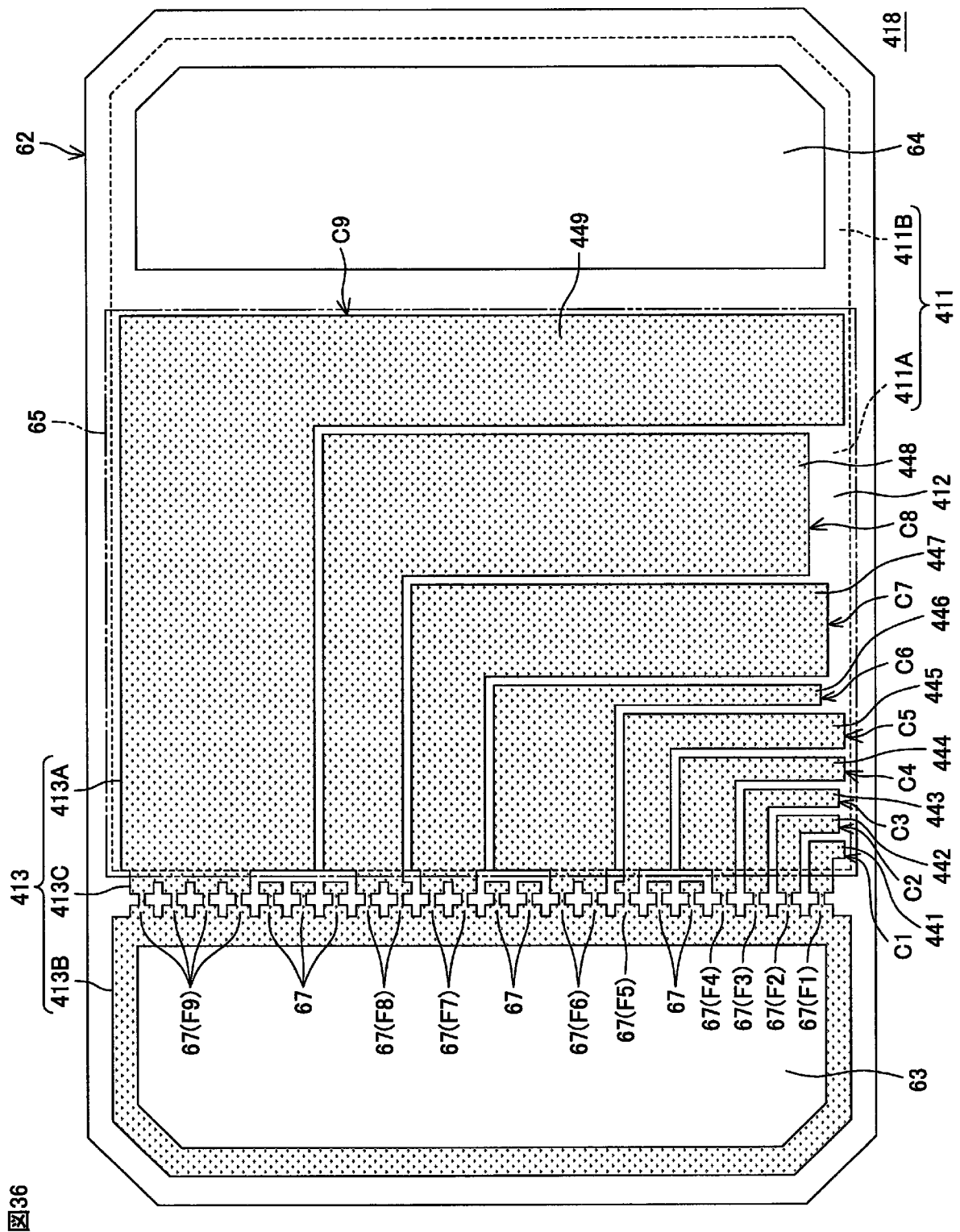
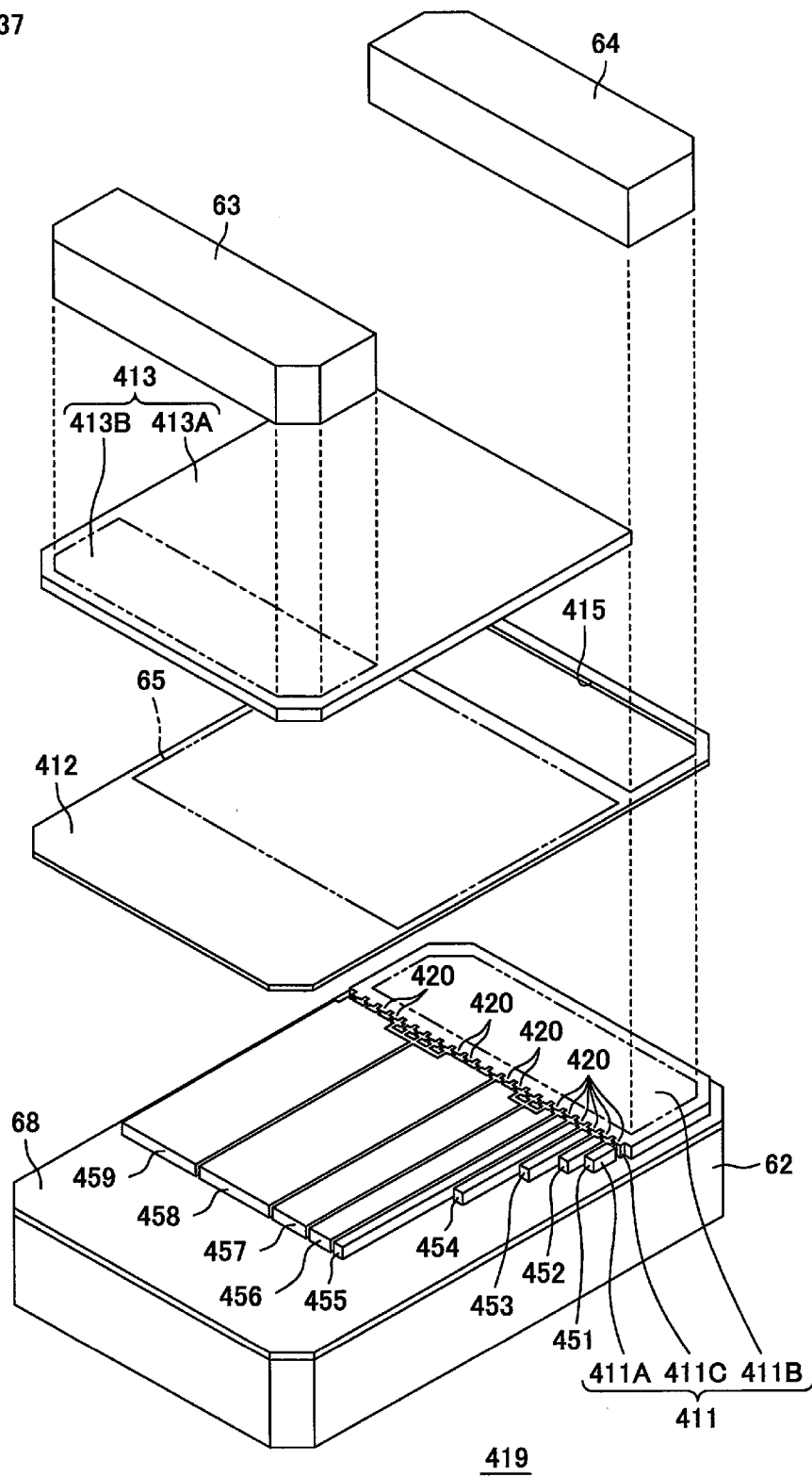


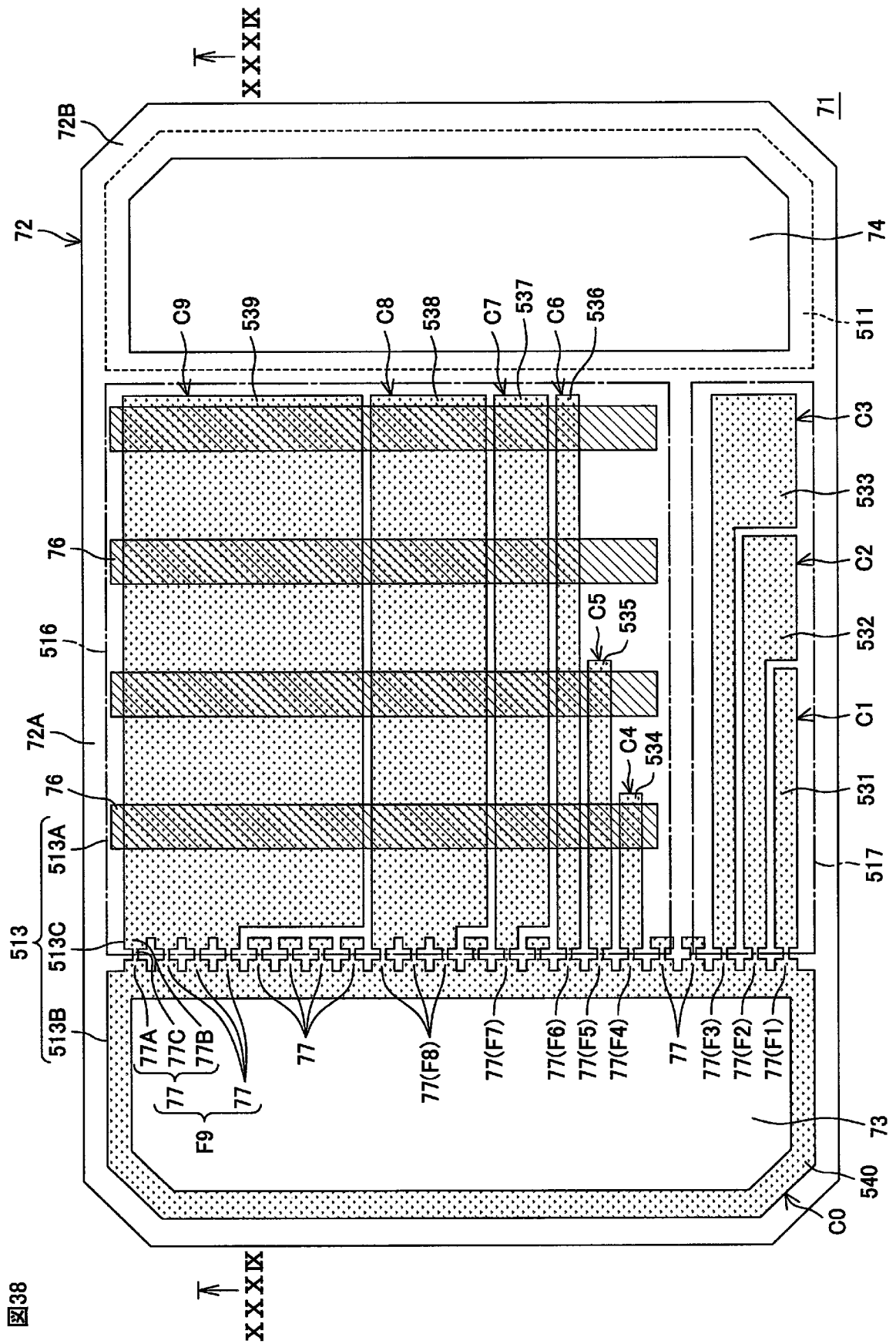
図36

[図37]

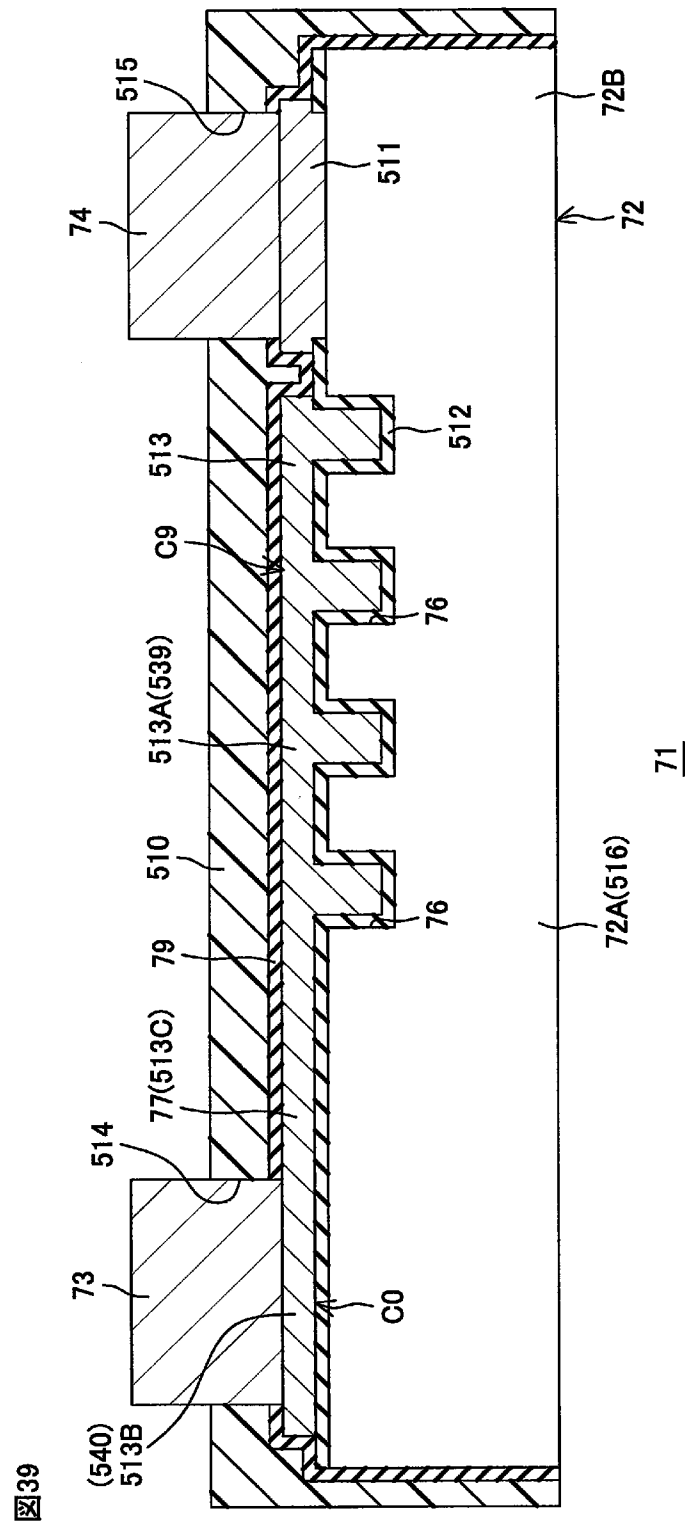
図37



[図38]

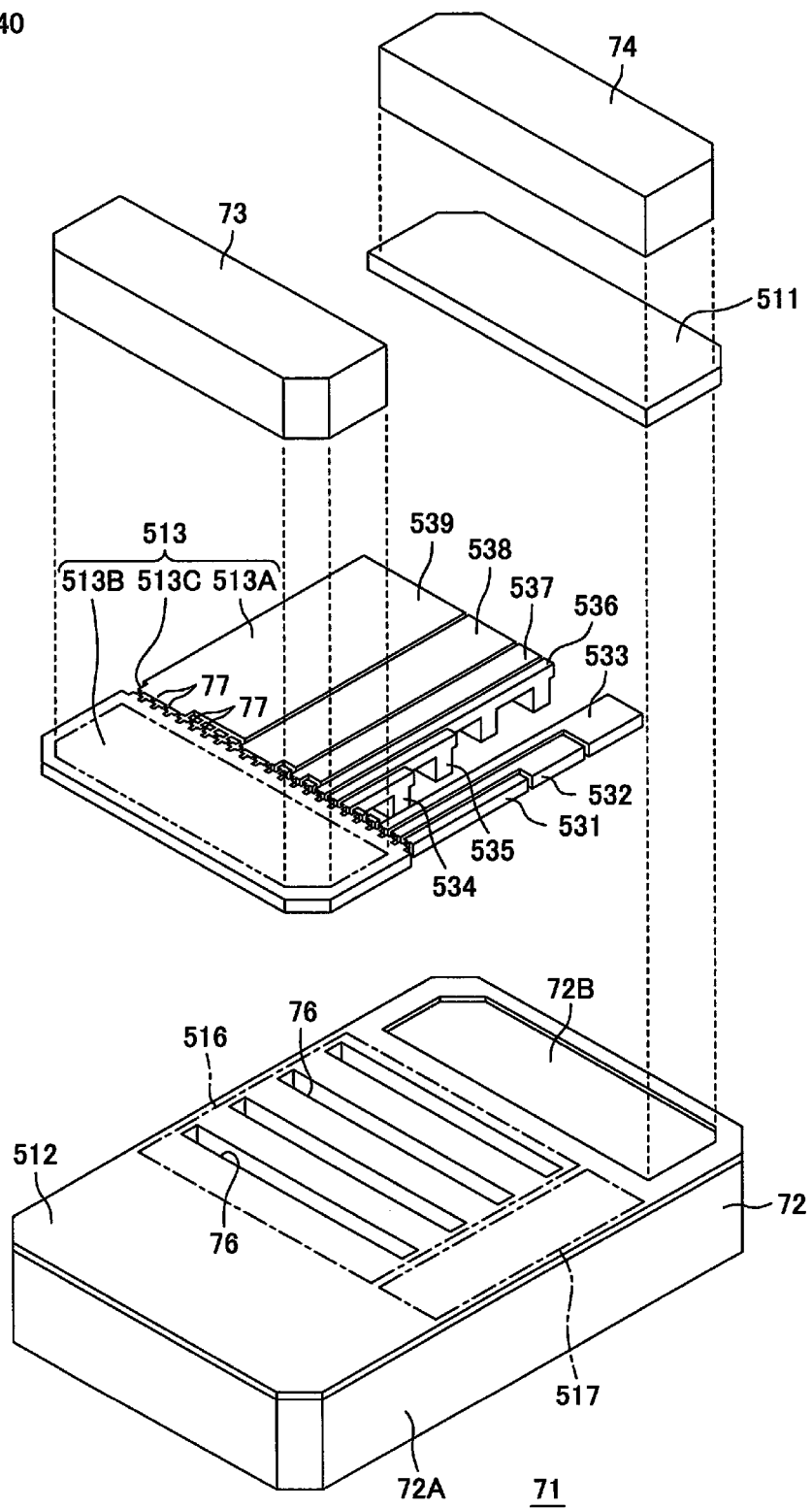


[図39]



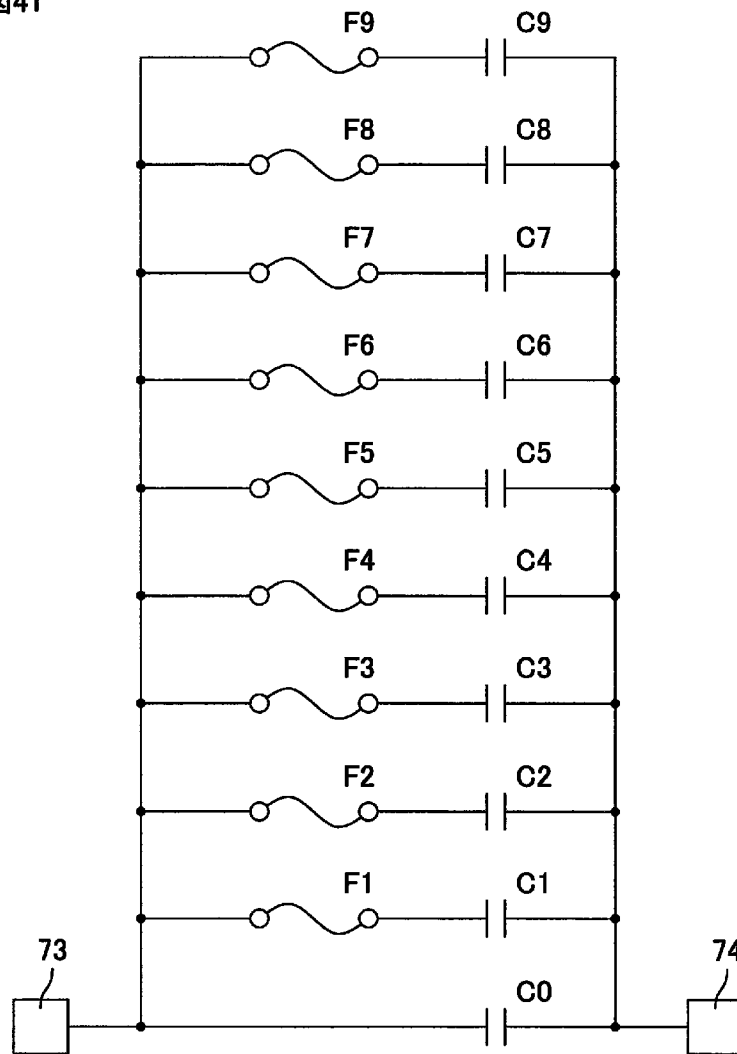
[図40]

図40



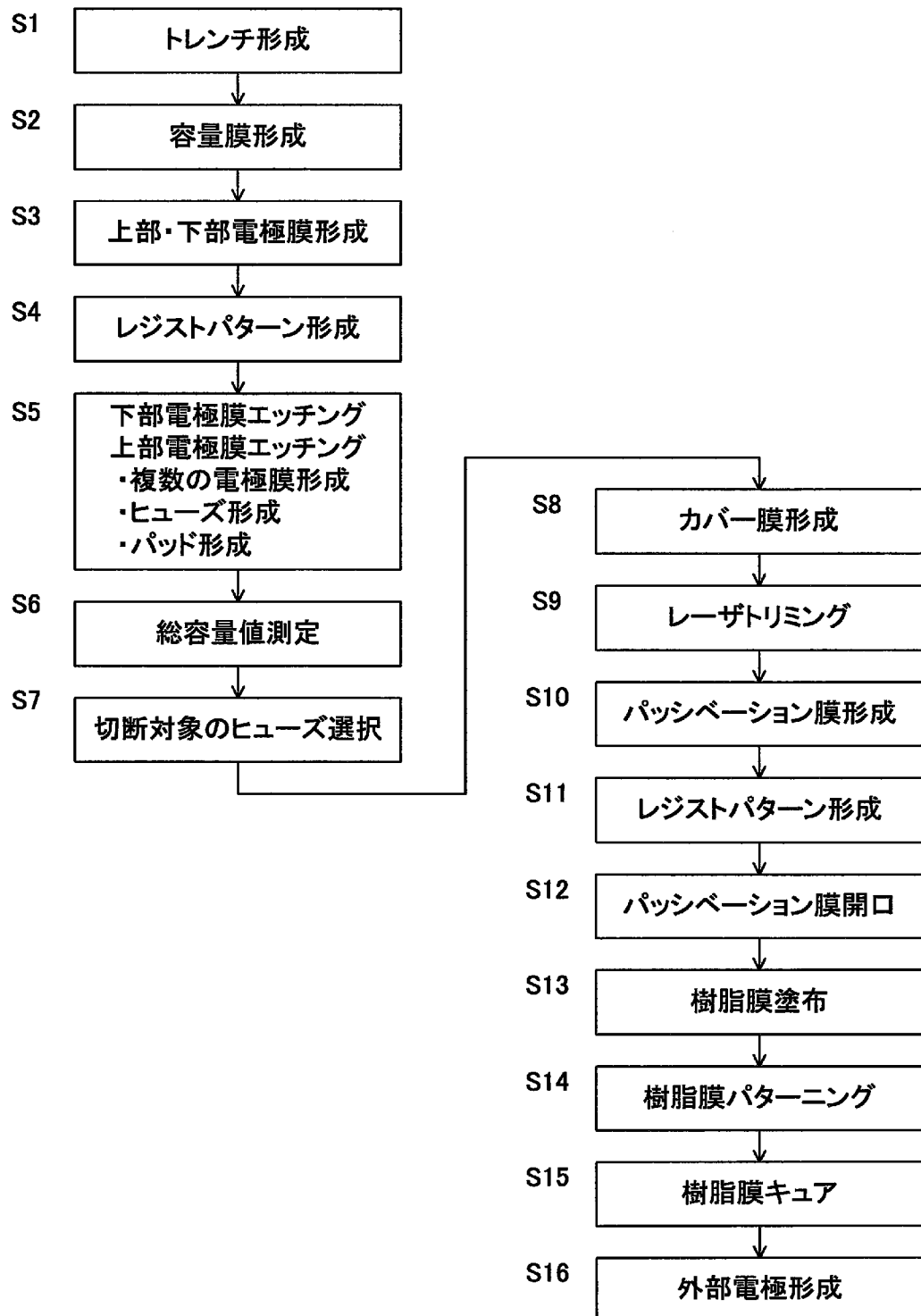
[図41]

図41



[図42]

図42



[図43]

図43A

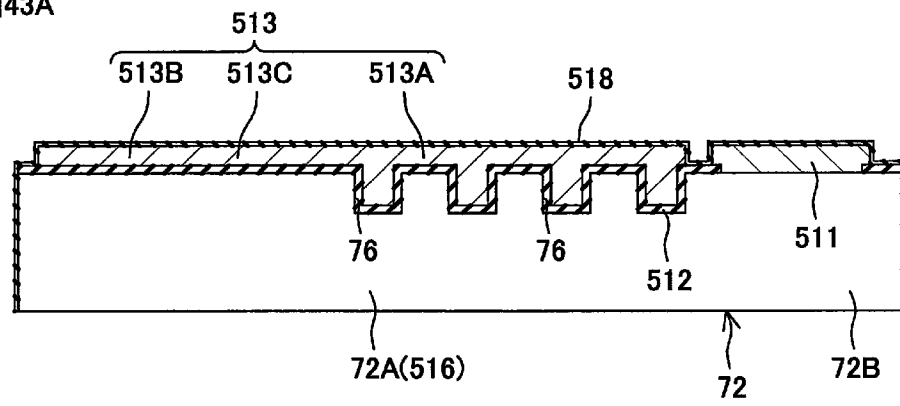


図43B

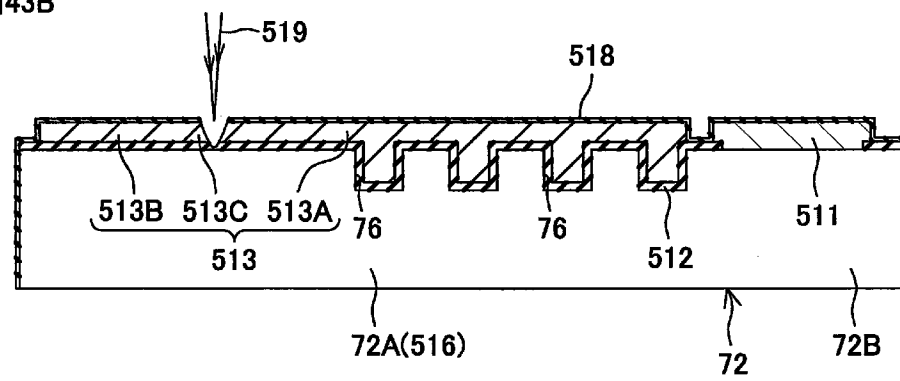
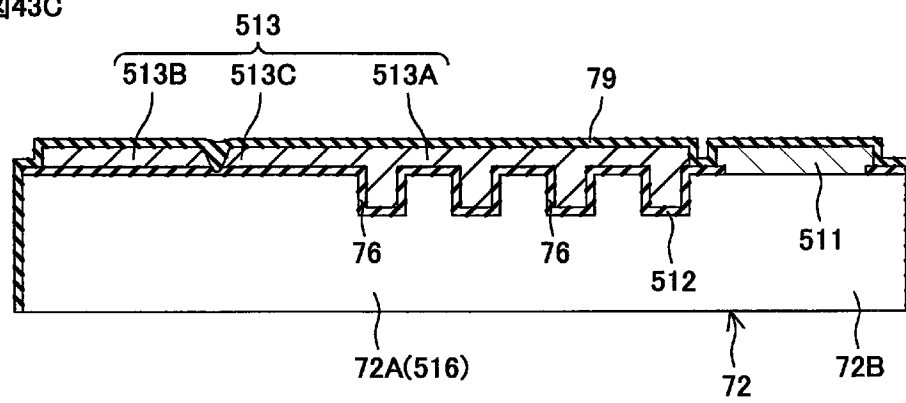
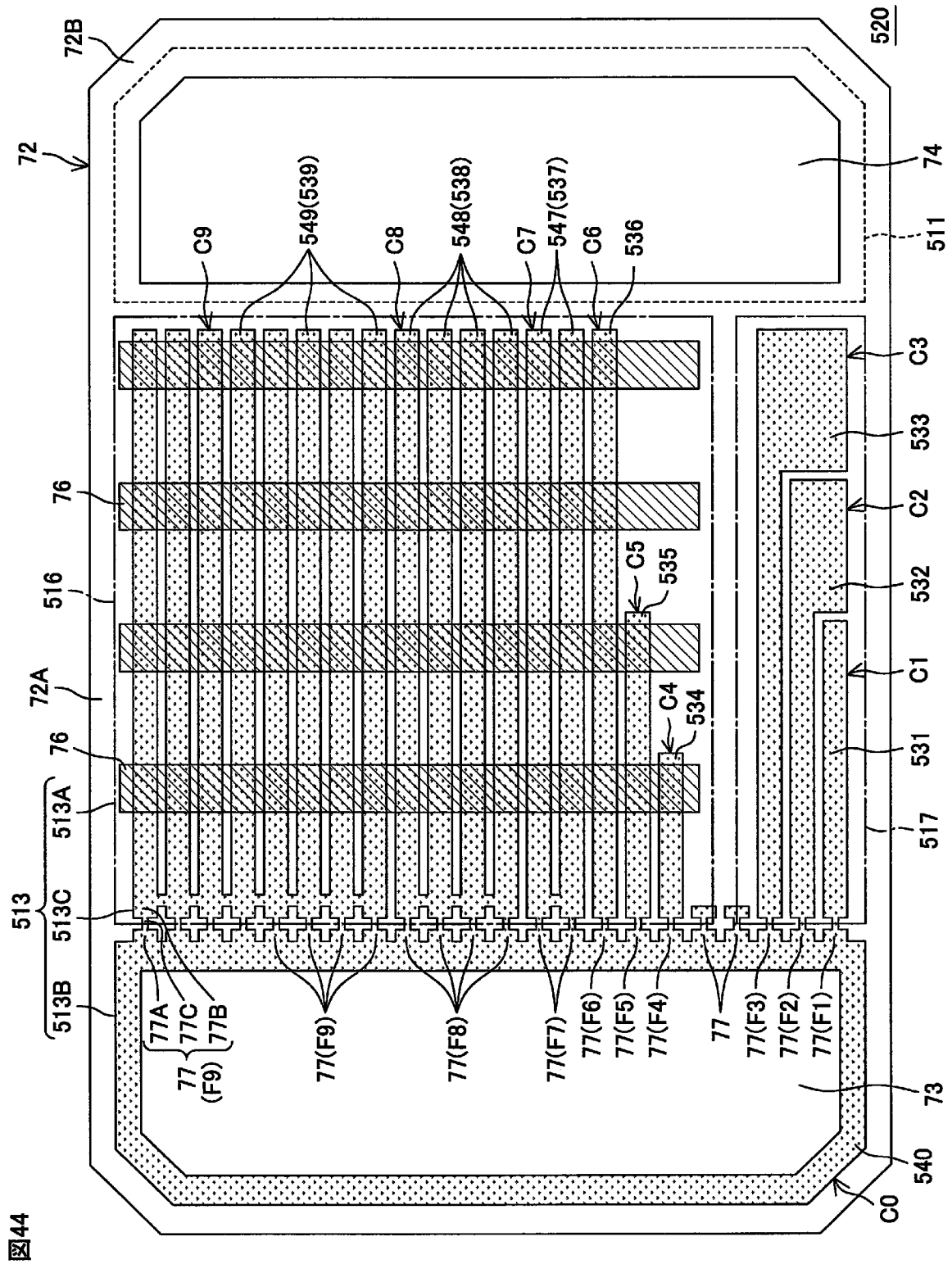


図43C

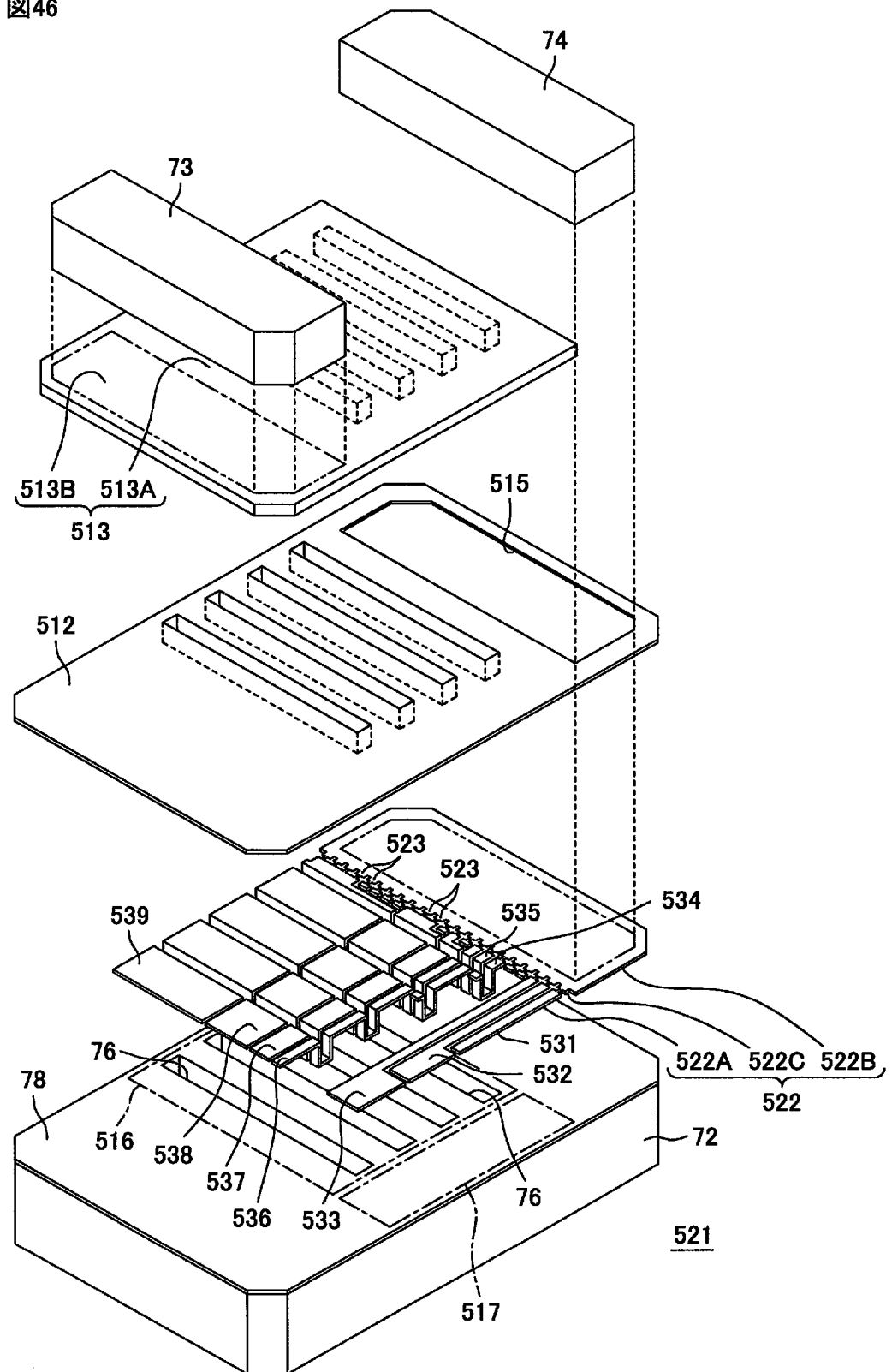


[図44]

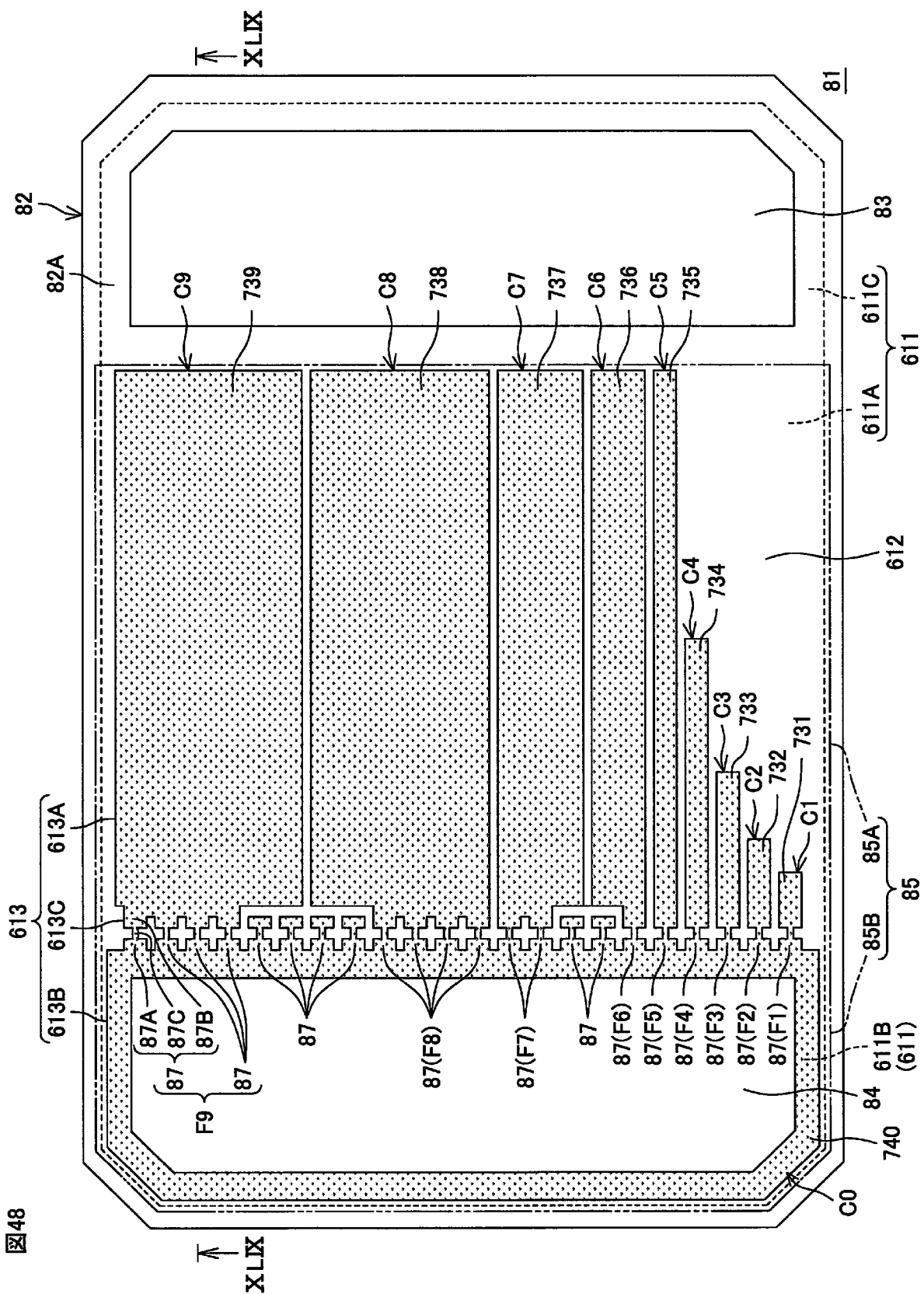


[図46]

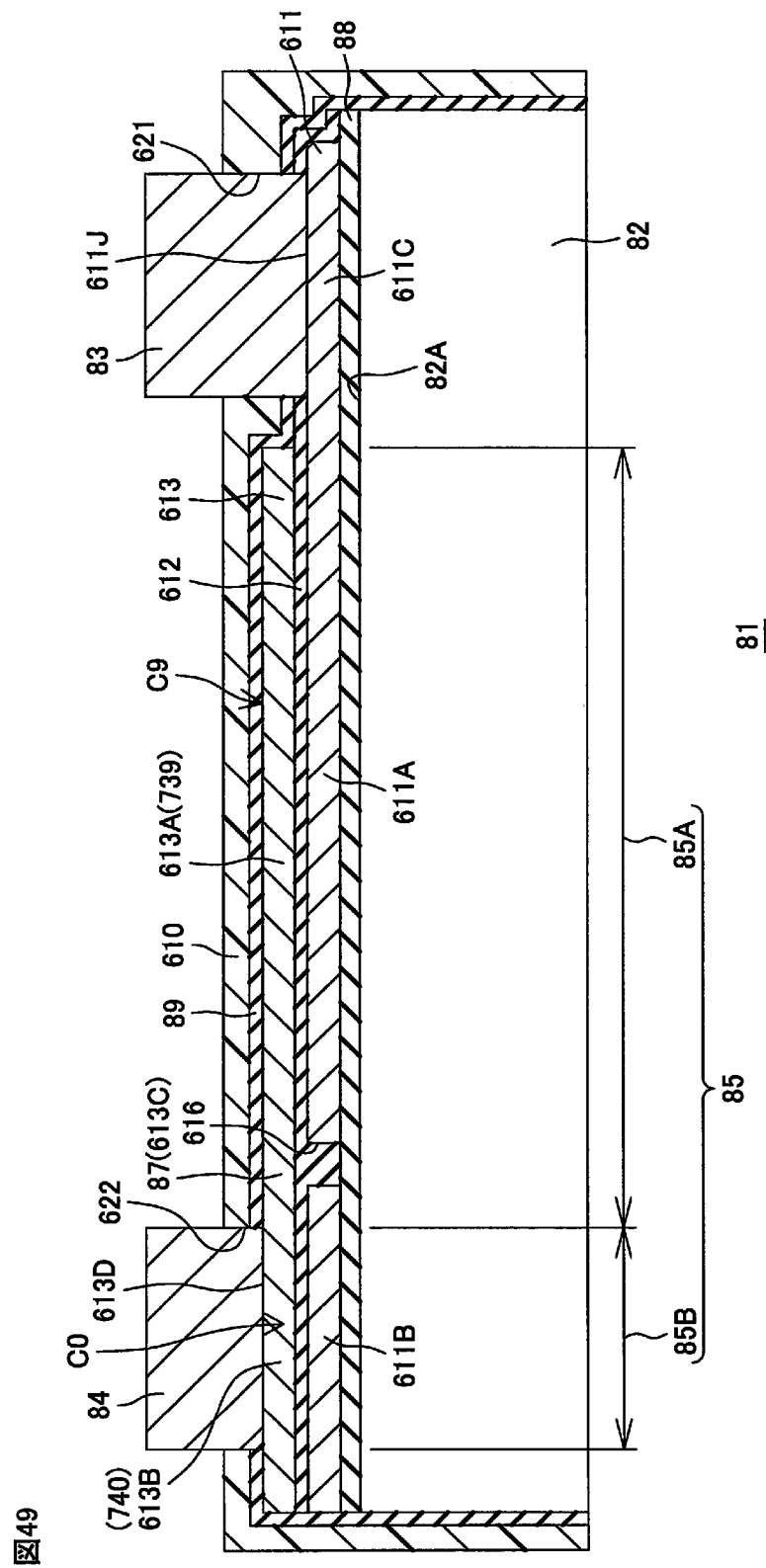
図46



48 ❖

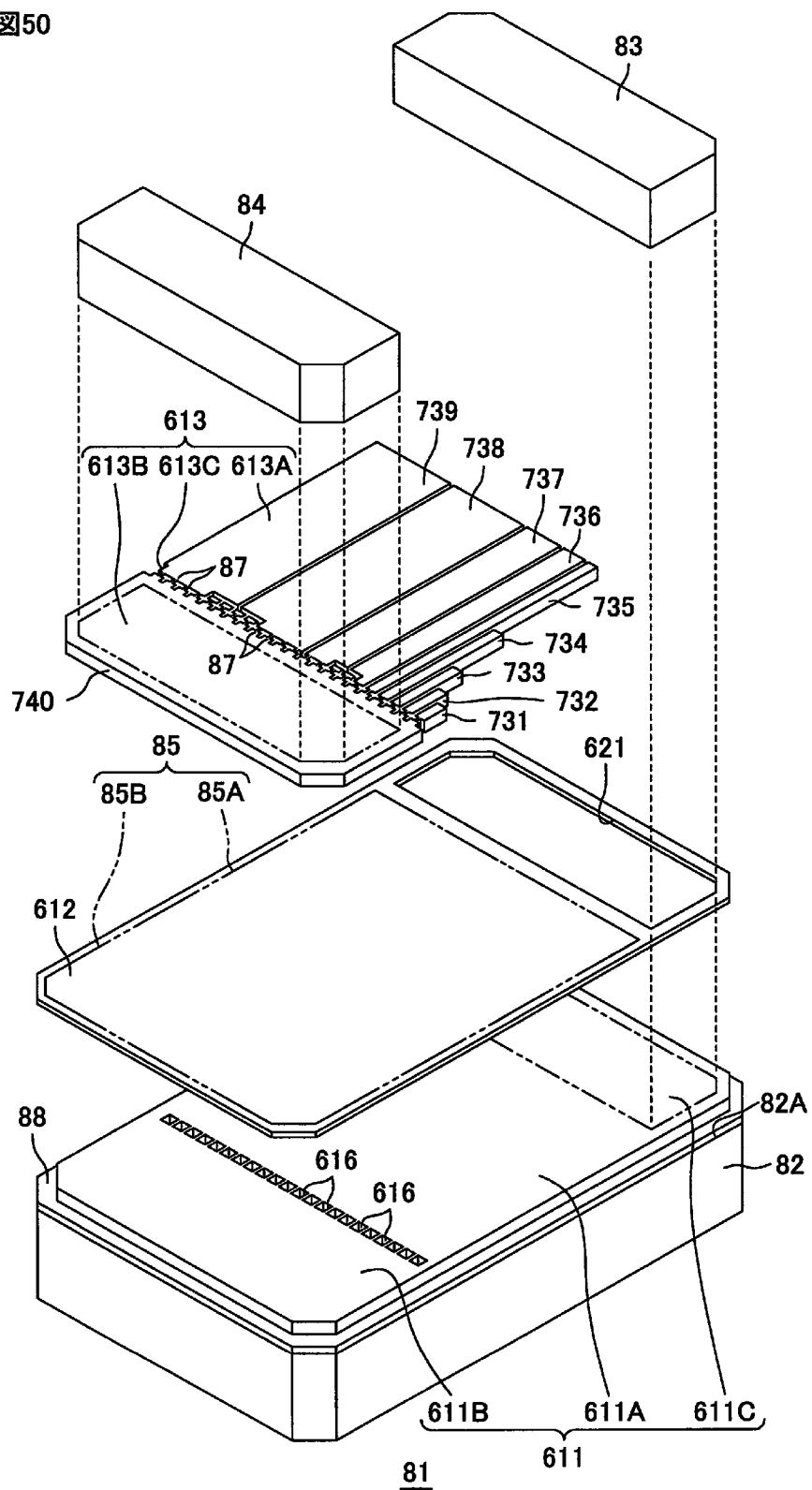


[図49]



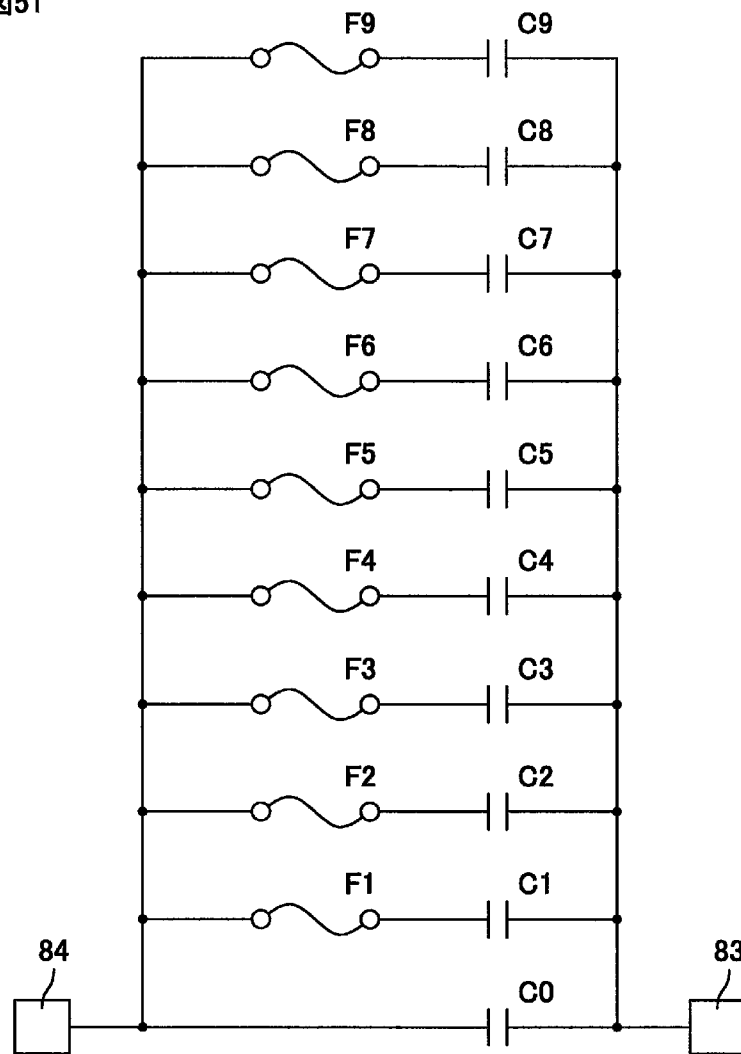
[図50]

図50



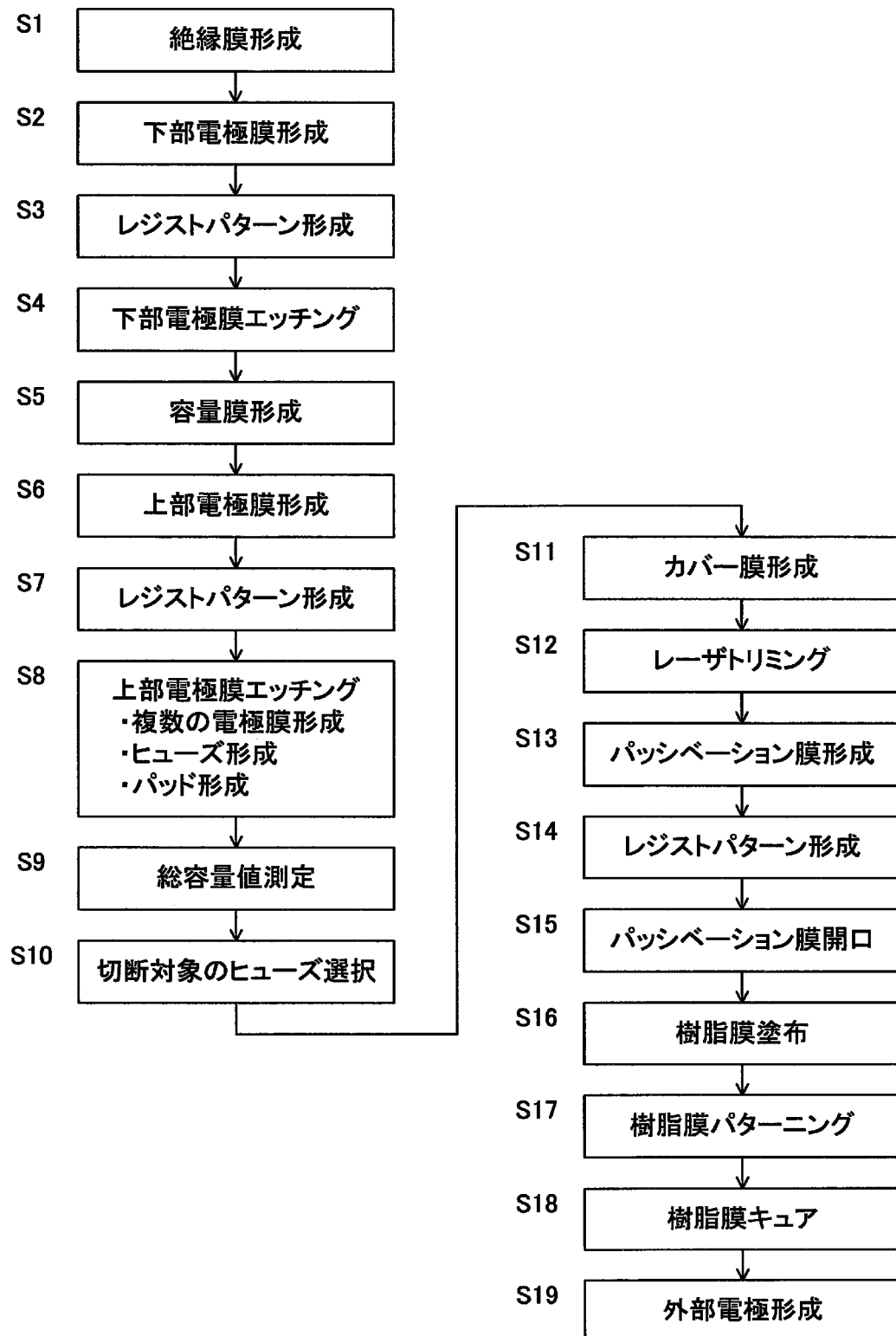
[図51]

図51



[図52]

図52



[図53]

図53A

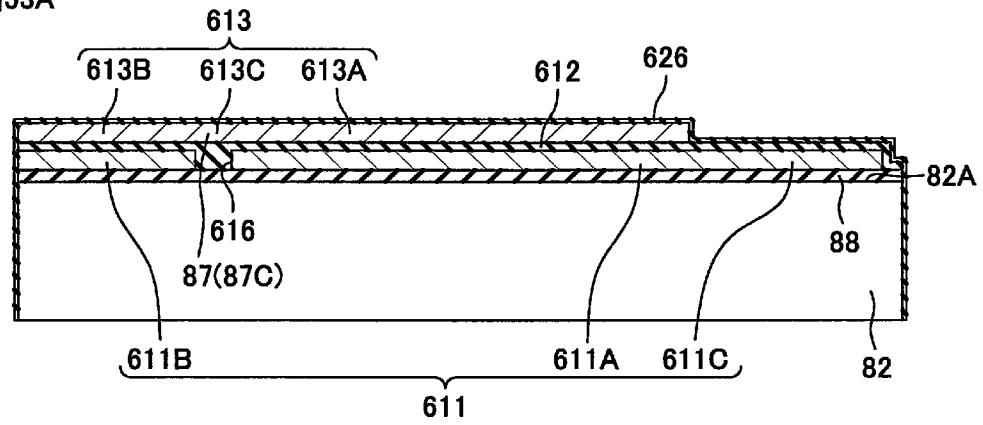


図53B

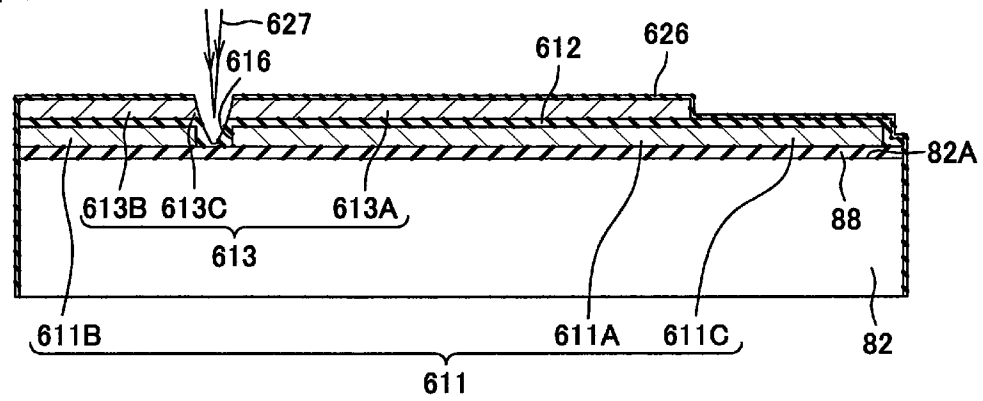
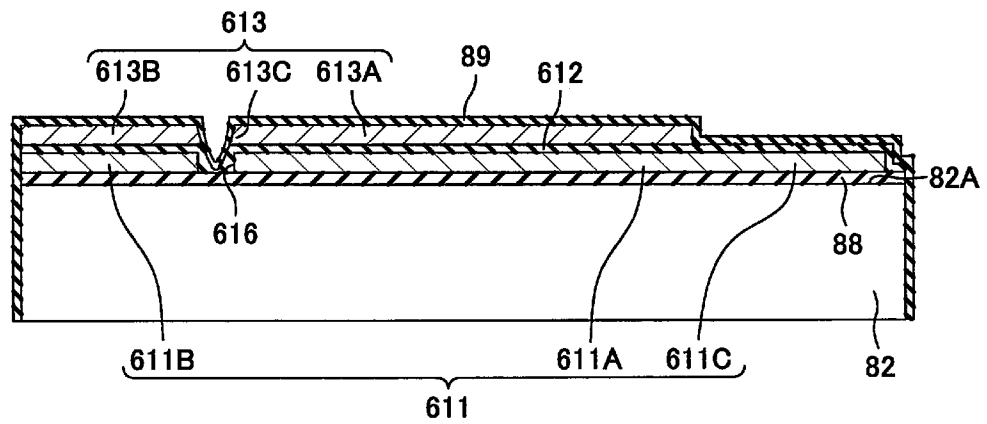
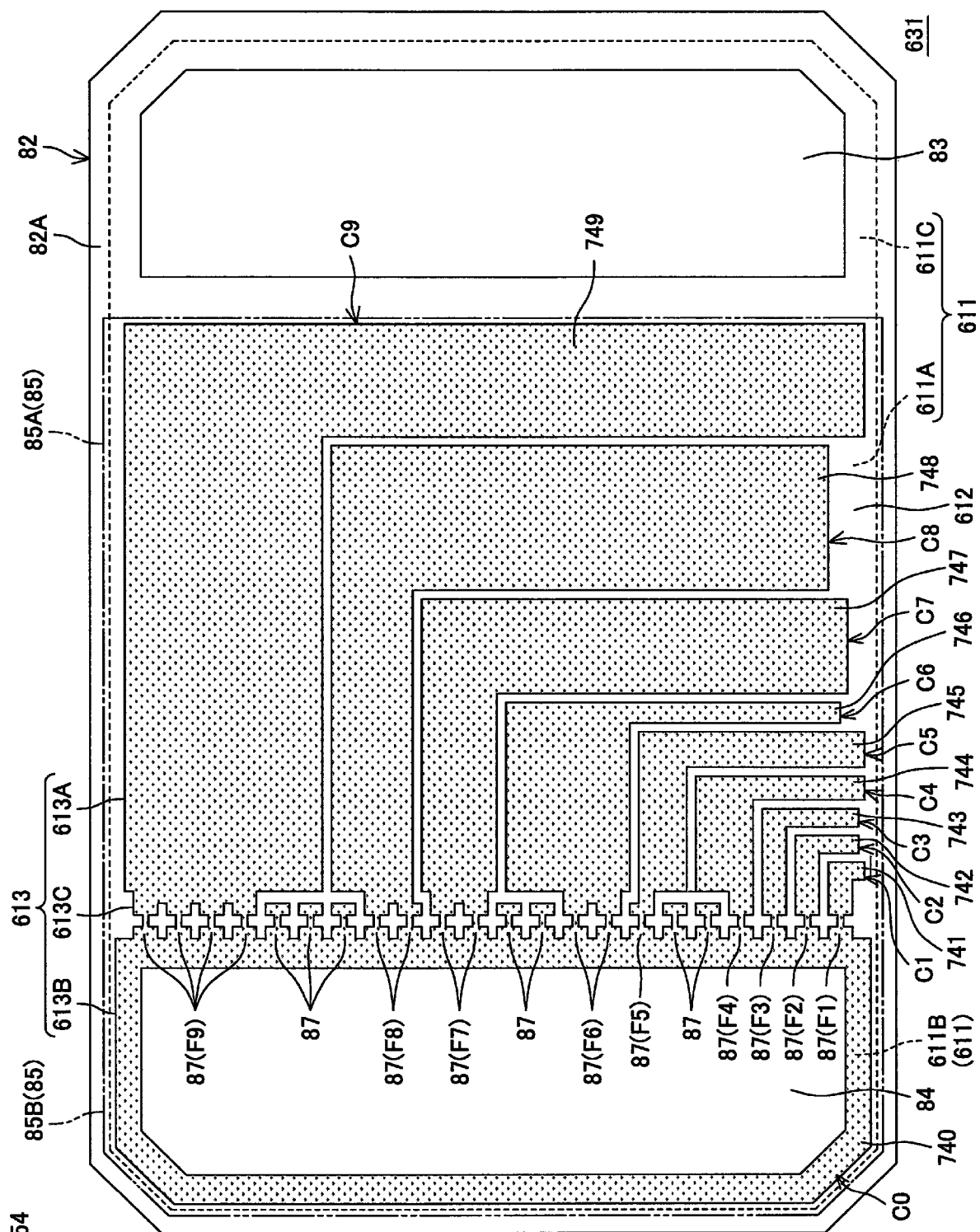


図53C

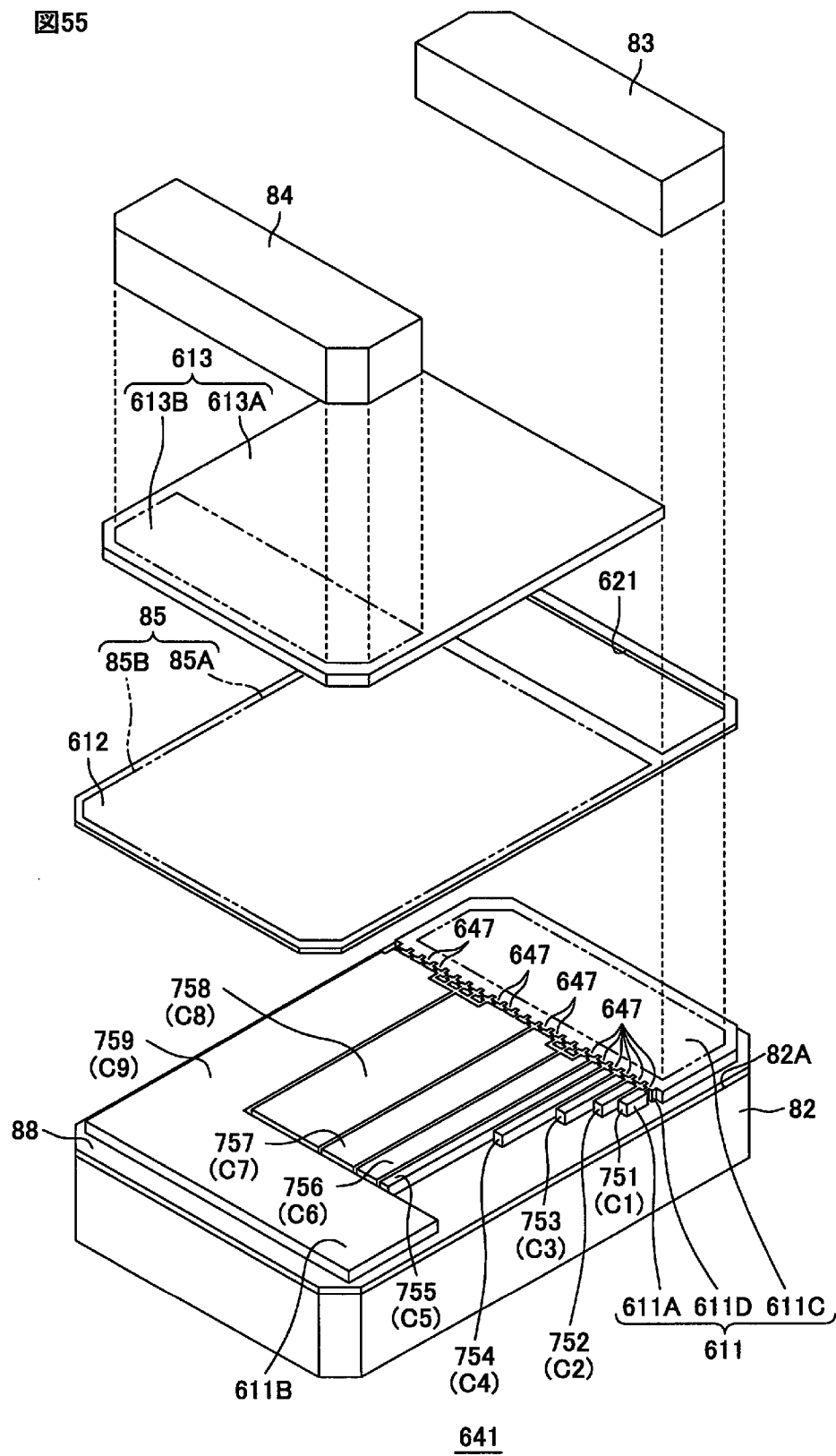


54



[図55]

図55



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083571

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/255(2006.01) i, H01G4/38(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/255, H01G4/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-036965 A (TDK Corp.), 10 February 1994 (10.02.1994), paragraphs [0019] to [0026] (Family: none)	1-24
Y	JP 07-057970 A (Nippon Carbide Industries Co., Inc.), 03 March 1995 (03.03.1995), paragraphs [0026], [0032] to [0033], [0048] (Family: none)	1-24
Y	JP 09-055625 A (Toyo Communication Equipment Co., Ltd.), 25 February 1997 (25.02.1997), paragraph [0003]; fig. 7(c) (Family: none)	1-24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18 March, 2013 (18.03.13)

Date of mailing of the international search report
02 April, 2013 (02.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083571

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 55-062721 A (Tokyo Denki Kagaku Kogyo Kabushiki Kaisha), 12 May 1980 (12.05.1980), page 3, upper left column, lines 11 to 17; fig. 5 (Family: none)	1-24
Y	JP 6-140764 A (Kyocera Corp.), 20 May 1994 (20.05.1994), paragraphs [0017] to [0018] (Family: none)	24
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 074140/1983 (Laid-open No. 180463/1984) (Sony Corp.), 01 December 1984 (01.12.1984), page 5, line 11 to page 6, line 16; page 7, line 18 to page 8, line 14 (Family: none)	1-24

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01G4/255 (2006.01)i, H01G4/38 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01G4/255, H01G4/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 06-036965 A (ティーディーケー株式会社) 1994. 02. 10, 段落【0019】 - 【0026】 (ファミリーなし)	1-24
Y	JP 07-057970 A (日本カーバイド工業株式会社) 1995. 03. 03, 段落【0026】、【0032】 - 【0033】、【0048】 (ファミリーなし)	1-24
Y	JP 09-055625 A (東洋通信機株式会社) 1997. 02. 25, 段落【0003】、図 7 (c) (ファミリーなし)	1-24

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 3 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

小林 大介

5 D

9 8 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 55-062721 A (東京電気化学工業株式会社) 1980. 05. 12, 第 3 ページ左上欄第 11 行-第 17 行、第 5 図 (ファミリーなし)	1-24
Y	JP 6-140764 A (京セラ株式会社) 1994. 05. 20, 段落【0017】 - 【0018】 (ファミリーなし)	24
A	日本国実用新案登録出願58-074140号(日本国実用新案登録出願公開 59-180463 号)の願書に添付した明細書及び図面の内容を撮影したマ イクロフィルム (ソニー株式会社) 1984. 12. 01, 第 5 ページ第 11 行 -第 6 ページ第 16 行、第 7 ページ第 18 行-第 8 ページ第 14 行 (ファ ミリーなし)	1-24