



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I596889 B

(45) 公告日：中華民國 106 (2017) 年 08 月 21 日

(21) 申請案號：103111588

(22) 申請日：中華民國 103 (2014) 年 03 月 28 日

(51) Int. Cl. : **H03B5/04 (2006.01)**

(30) 優先權：2013/03/29 日本 2013-074621

(71) 申請人：日本電波工業股份有限公司 (日本) NIHON DEMPA KOGYO CO., LTD. (JP)  
日本

(72) 發明人：赤池和男 AKAIKE, KAZUO (JP)；古幡司 KOBATA, TSUKASA (JP)

(74) 代理人：葉璟宗；鄭婷文；詹富閔

(56) 參考文獻：

|    |                |    |           |
|----|----------------|----|-----------|
| TW | 587371         | US | 5079521   |
| US | 5563535        | US | 6234658B1 |
| US | 6717998B2      | US | 7577695B2 |
| US | 2005/0073368A1 |    |           |

審查人員：范士隆

申請專利範圍項數：7 項 圖式數：9 共 32 頁

(54) 名稱

振盪器

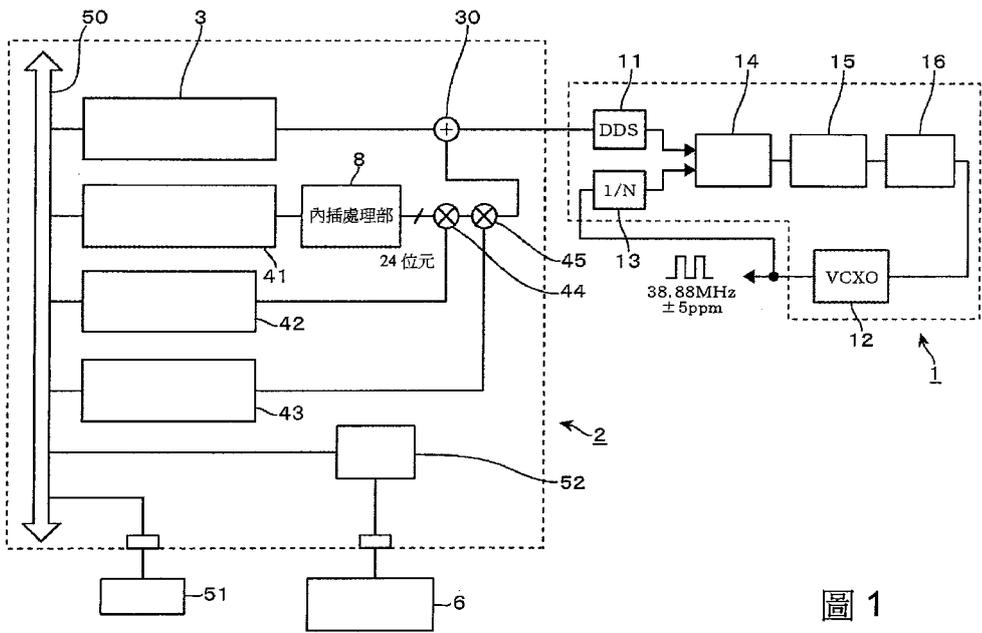
OSCILLATOR

(57) 摘要

本發明提供一種振盪器。本發明利用第一暫存器(3)來輸出與標稱頻率相對應的數位值。利用第二暫存器(41)來輸出對於標稱頻率由頻率比率而表示的頻率的調整量。在第二暫存器(41)的後段設置內插處理部(8)，並在所述內插處理部(8)中分為從第二暫存器(41)輸出的 32 位元的數位值中的高位 24 位元與低位 8 位元。而且，以與低位 8 位元相應的比率輸出“+1”與“-1”(十進制值)，並將該值加上高位 24 位元的數位值。因此，頻率的調整量發生變動，但從時間平均來看，頻率調整量的分辨率高於由 24 位元指定的分辨率。

The invention provides an oscillator. In the invention, a first register (3) is used to output a digital value corresponding to a nominal frequency. A second register (41) is used to output an adjusting amount of a frequency expressed by a frequency ratio with respect to the nominal frequency. An interpolation processing portion (8) is disposed at a rear stage of the second register (41). A 32-bit digital value output from the second register (41) is divided into a high-level 24-bit and a low-level 8-bit in the interpolation processing portion (8). Moreover, “+1” and “-1” (decimal value) is output by using a ratio corresponding to the low-level 8-bit, and the value is added to a digital value of the high-level 24-bit. Therefore, the adjusting amount of the frequency is varied; however, from a perspective view of a time average, a resolution of the adjusting amount of the frequency is higher than a resolution specified by the 24-bit.

指定代表圖：



符號簡單說明：

- 1 . . . 振盪電路部
- 2 . . . 微控制器
- 3 . . . 第一暫存器  
(標稱頻率輸出部)
- 6 . . . 高位計算機
- 8 . . . 內插處理部
- 11 . . . DDS
- 12 . . . 電壓控制振盪器
- 13 . . . 分頻器
- 14 . . . 相位比較部
- 15 . . . 電荷泵
- 16 . . . 環路濾波器
- 30 . . . 加法部
- 41 . . . 第二暫存器  
(頻率調整量輸出部)
- 42 . . . 第三暫存器  
(第一增益輸出部)
- 43 . . . 第四暫存器  
(第二增益輸出部)
- 44、45 . . . 乘法部
- 50 . . . 總線
- 51 . . . 外部記憶體
- 52 . . . 介面

圖 1

## 發明摘要

※ 申請案號：103111588

※ 申請日：103/03/28

※IPC 分類：H03B 5/04 (2006.01)

【發明名稱】振盪器

OSCILLATOR

【中文】

本發明提供一種振盪器。本發明利用第一暫存器(3)來輸出與標稱頻率相對應的數位值。利用第二暫存器(41)來輸出對於標稱頻率由頻率比率而表示的頻率的調整量。在第二暫存器(41)的後段設置內插處理部(8)，並在所述內插處理部(8)中分為從第二暫存器(41)輸出的32位元的數位值中的高位24位元與低位8位元。而且，以與低位8位元相應的比率輸出“+1”與“-1”(十進制值)，並將該值加上高位24位元的數位值。因此，頻率的調整量發生變動，但從時間平均來看，頻率調整量的分辨率高於由24位元指定的分辨率。

【英文】

The invention provides an oscillator. In the invention, a first register (3) is used to output a digital value corresponding to a nominal frequency. A second register (41) is used to output an adjusting amount of a frequency expressed by a frequency ratio with respect to the nominal frequency. An interpolation processing portion (8) is disposed at a rear stage of the second register (41). A 32-bit digital value output from the second register (41) is

divided into a high-level 24-bit and a low-level 8-bit in the interpolation processing portion (8). Moreover, “+1” and “-1” (decimal value) is output by using a ratio corresponding to the low-level 8-bit, and the value is added to a digital value of the high-level 24-bit. Therefore, the adjusting amount of the frequency is varied; however, from a perspective view of a time average, a resolution of the adjusting amount of the frequency is higher than a resolution specified by the 24-bit.

### 【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

- 1：振盪電路部
- 2：微控制器
- 3：第一暫存器（標稱頻率輸出部）
- 6：高位計算機
- 8：內插處理部
- 11：DDS
- 12：電壓控制振盪器
- 13：分頻器
- 14：相位比較部
- 15：電荷泵
- 16：環路濾波器
- 30：加法部
- 41：第二暫存器（頻率調整量輸出部）

42：第三暫存器（第一增益輸出部）

43：第四暫存器（第二增益輸出部）

44、45：乘法部

50：總線

51：外部記憶體

52：介面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 振盪器

OSCILLATOR

**【技術領域】**

**【0001】** 本發明是有關於一種以與頻率設定信號相應的頻率進行振盪的振盪器。

**【先前技術】**

**【0002】** 作為晶體振盪器的代表者，使用了考畢茲 (Colpitts) 電路的晶體振盪器已為人所知。該晶體振盪器的振盪頻率的調整是通過改變施加到變容二極體 (varicap diode) 的電壓，並改變變容二極體的電容來進行。圖 9 表示控制電壓與振盪頻率的關係的一例。振盪頻率的可變幅度是：與變容二極體中的電壓-電容的線性區域相對應。然而，利用類比電壓 (analog voltage) 進行頻率的調整的方法會因類比的直流電壓的不穩定性或控制用的信號線的雜訊所引起的輸出的雜訊退化 (noise degradation) 等，而難以確保正確的頻率控制與頻率的高穩定度。此外，利用類比控制進行的頻率調整是：為了提高調整精度而需要抑制元件 (device) 的特性的不均，但特性的不均小的元件則具有高價的傾向。

**【0003】** 而且，在使用了可變電容器件的情況下，由可變電容器件的非線性區域而引起的頻率調整的極限、可變電容器件的經年變化所致的頻率的變動等問題也變得顯著。另一方面，在全球定位系統 (Global Position System, GPS) 等要求高頻率穩定度 (frequency stability) 的領域，也有頻

率的容許變化率為  $10^{-9}$  級 (order) 的情況，從而存在難以應對所述要求的課題。

【0004】 專利文獻 1 中記載了如下內容：利用直接數位式頻率合成器 (Direct Digital Synthesizer, DDS) 而生成被放入至鎖相回路 (phase-locked loop, PLL) 的參考脈衝，並將與振盪電路部的振盪頻率相應的頻率設定值以數位值而輸入到 DDS 中，由此進行振盪頻率的調整。另一方面，從用戶方面來說有如下請求或要求，即，根據用戶方的振盪頻率的使用範圍，想要在其使用範圍內高精度地進行頻率的設定，或確保對於頻率設定高的分辨率。由用戶所要求的頻率的可變範圍有各種，但就製造商方而言有如下請求，即，將產品的硬件構成通用化，而且在提高頻率設定的分辨率時，想要盡可能減小電路規模。

【0005】 [先前技術文獻]

[專利文獻]

[專利文獻 1] 日本專利特開 2012-170050 號公報

## 【發明內容】

【0006】 本發明鑒於所述情況而完成，其目的在於提供一種振盪器，所述振盪器可高精度地調整頻率，且可在對於設定頻率獲得高的分辨率的同時抑制電路規模。

【0007】 本發明是一種振盪器，構成爲通過將頻率的設定值輸入到振盪電路部中而從所述振盪電路部獲得與所述頻率的設定值相應的頻率的輸出，所述振盪器的特徵在於包括：

設定值輸出部，將用以指定頻率的設定值的值以數位值而加以輸出；

內插電路部，內插從所述設定值輸出部輸出的數位值的位元中的低

位位元的數位值；以及

加法部，用於將所述內插電路部的輸出值與從所述設定值輸出部輸出的數位值中的高位位元的數位值相加，並輸出用以指定頻率的設定值的相加值，

從所述內插電路部輸出的信號為：利用時鐘信號而同步地輸出且彼此不同的第一值與第二值的時間序列數據，第一值與第二值的各輸出次數是：由與所述低位位元的數位值相對應的比率而決定。

**【0008】 [發明的效果]**

本發明將用以指定頻率的設定值的值以數位值而加以輸出。因此，在如利用類比的直流電壓來設定頻率這樣的情況下，電壓的不穩定性或控制用的信號線的雜訊所引起的輸出的雜訊退化等問題得以解決，從而可確保正確的頻率控制與頻率的高穩定度。

**【0009】** 而且，將用以指定頻率的設定值的數位值分為高位位元與低位位元，利用時鐘信號同步地輸出彼此不同的第一值與第二值。將所述第一值及第二值與高位位元的值相加，並且第一值及第二值的各輸出次數由與低位位元的數位值相對應的比率而決定。因此，如果極其示意性地進行說明，則即便例如高位位元的設定頻率的分辨率設為 1 ppm，設定頻率也會在例如 1 秒內，在以 1 ppm 為單位決定的值加上第一值所得的值與以 1 ppm 為單位決定的值加上第二值所得的值之間發生變化。

**【0010】** 因此該 1 秒的設定頻率可稱作所述相加值的平均值。現在，例如為 10 MHz 的振盪器，以所述高位位元的 1 位元量計 10000000 Hz 為 10000010 Hz。而且，可知若第一值為“+1”，第二值為“-1”，固定時間內的所述值的輸出次數的比率為 75%，則 1 秒的振盪器的平均頻率為  $\{ 9999990 \text{ Hz} \times 1 + 10000010 \text{ Hz} \times 3 \} / 4 = 10000005 \text{ Hz}$ ，分辨率提高。

S

【0011】 第一值及第二值的輸出次數的比率為固定時間·例如1秒內的(第一值的輸出次數)/(第一值的輸出次數+第二值的輸出次數)的值，由百分率來表示該值。通過如所述般進行信號處理，結果具有如下效果：能以少的位元數對於設定頻率獲得高的分辨率，且可抑制電路規模。

### 【圖式簡單說明】

【0012】 圖 1 是表示本發明的實施方式的整體構成的方框圖。

圖 2 是表示相當於頻率調整量的數位值與其相對於標稱頻率(nominal frequency)的變動率的關係的特性圖。

圖 3 是使本發明的實施方式中使用的暫存器的地址與數據相對應的說明圖。

圖 4 是表示本發明的實施方式中使用的內插電路部的方框圖。

圖 5 是使輸入到內插電路部的低位 8 位元的值與來自內插電路部的輸出值的關係建立對應關係而進行說明的時間圖。

圖 6 是表示輸入到內插電路部的低位 8 位元的值為“+32”的情況下的電壓控制振盪器的輸出調整值的說明圖。

圖 7 是表示內插電路部的輸入輸出關係的特性圖。

圖 8 是表示本發明的另一實施方式的電路圖。

圖 9 是表示現有的振盪器的控制電壓與振盪頻率(輸出頻率)的關係的特性圖。

### 【實施方式】

【0013】 圖 1 是表示本發明的實施方式的振盪器的整體構成的方框圖。該振盪器是：作為輸出與所設定的頻率相應的頻率信號的頻率合成器而構

成。該頻率合成器包括：振盪電路部 1 以及微控制器 2，該微控制器 2 具有輸出該振盪電路部 1 的運行所需的參數的功能、且作為控制該振盪電路部 1 的控制部。

【0014】 振盪電路部 1 包括直接數位式頻率合成器（Direct Digital Synthesizer, 以下簡稱 DDS）11，該 DDS 11 具備如下功能，即，通過被輸入作為頻率的設定信號的頻率數據（數位值），而輸出與該頻率數據相對應的頻率的信號。作為 DDS 的一例，例如可列舉具備如下功能的 DDS，即，由數位值生成與頻率數據相對應的鋸齒波，在每次構成該鋸齒波的數位值的排列中的、負的數位值變為正的數位值的時機（timing）（過零點（zero cross point））輸出矩形波。

【0015】 從 DDS 11 輸出的矩形波即頻率信號為參考（參照用）時鐘，因此，DDS 11 為參照用時鐘的輸出部。另一方面，成為振盪電路部 1 的一部分的電壓控制振盪器 12 的輸出是利用分頻器 13 而分頻，且利用相位比較部 14 對從分頻器 13 輸出的脈衝的相位與所述參考時鐘的相位進行比較。作為相位比較部 14 的比較結果的相位差是：由電荷泵（charge pump）15 而被類比化，經類比化的信號被輸入到環路濾波器 16 中，並在所述環路濾波器 16 中積分。而且，環路濾波器 16 的輸出是作為控制電壓、而被輸入到電壓控制振盪器 12，這樣進行控制使得 PLL（Phase locked loop）穩定。從電壓控制振盪器 12 將與所述參考時鐘的頻率相對應的頻率、該例中相對於參考時鐘的頻率，將作為分頻比的分母的 N 倍的頻率的脈衝信號作為頻率合成器的輸出信號而加以輸出。

【0016】 然後，對微控制器 2 進行說明。微控制器 2 具備：與頻率合成器的頻率設定相關的功能。本實施方式的頻率合成器構成為：能夠相對於由製造商方決定的標稱頻率，而在製造商方設定的可變幅度內可變。可變幅

度是由相對於標稱頻率的比率（ppm）表示，在相對於標稱頻率例如為正（plus）側及負（minus）側設定相同的比率。作為可變幅度的具體例，如以標稱頻率 $\pm 5$  ppm 般來表示。因此，頻率合成器的用戶可在該可變幅度的範圍內調整頻率。換句話說，頻率合成器的製造商可根據來自用戶的請求而設定可變幅度。

3 為相當於標稱頻率輸出部的第一暫存器，例如具有：利用 32 位元的數位值（數位數據）來設定標稱頻率的作用。

【0017】 41 為作為頻率調整量輸出部的第二暫存器，第二暫存器 41 例如具有如下作用：利用由 2 的補數表示的 24 位元的數位值（數位數據）來設定頻率調整量。第二暫存器 41 在該例中相當於頻率的設定值輸出部。該頻率調整量是爲了在製造商方設定的可變幅度中，供用戶設定相對於標稱頻率的比率。一旦決定該頻率調整量，則如後述般對標稱頻率加上與所述比率相應的頻率，該相加值成爲作為頻率設定信號的頻率數據。

【0018】 在第二暫存器 41 的後段，設置對從第二暫存器 41 輸出的數位值進行內插處理（插值處理（interpolation processing））的內插處理部 8。從容易掌握實施方式的內容的觀點考慮，將於以後對該內插處理部 8 進行敘述，而在進行關於內插處理部 8 的記載之前的說明中，設爲不具有內插處理部 8。微控制器 3 中設置著增益輸出部，該增益輸出部用以對由第二暫存器 41 設定的頻率調整量設定增益。增益輸出部包含：第三暫存器 42，相當於用以設定第一增益 G1 的第一增益輸出部；以及第四暫存器 43，相當於用以設定第二增益 G2 的第二增益輸出部。44 及 45 分別爲乘法部。

【0019】 增益 G1 及增益 G2 是以如下方式來決定，即，由第二暫存器 41 設定的頻率調整量的最小值與可變幅度的下限值（例如-5 ppm）相對應，由所述第二暫存器 41 設定的頻率調整量的最大值與可變幅度的上限值（例如

+5 ppm) 相對應。即，如果將所述頻率調整量從最小值變為最大值，則頻率調整量 $\times G1 \times G2$  的值例如在-5 ppm $\sim$ +5 ppm 之間變化。

第一增益 G1 是作為例如由 2 的補數表示的 8 位元的數位值來表示。

【0020】 第二增益 G2 是用以對將第一增益 G1 乘以所述頻率調整量所得的值進行捨入處理（乘以  $2^{-n}$  的處理（n 為自然數））的值。第四暫存器 43 針對 3 位元的數位值的輸入，從  $2^0$ 、 $2^{-3}$ 、 $2^{-6}$ 、 $2^{-8}$ 、 $2^{-9}$ 、 $2^{-10}$ 、 $2^{-11}$ 、 $2^{-12}$  的值中選擇與輸入值相對應的值來作為增益 G2 並加以輸出。將 3 位元的數位值與增益 G2 的關係表示於表一中。

[表一]

| 暫存器輸入 | 暫存器輸出 (G2) |
|-------|------------|
| 000   | $2^{-0}$   |
| 001   | $2^{-1}$   |
| 010   | $2^{-2}$   |
| 011   | $2^{-3}$   |
| 100   | $2^{-4}$   |
| 101   | $2^{-5}$   |
| 110   | $2^{-6}$   |
| 111   | $2^{-7}$   |

表一是表示構成可變幅度設定部的一部分的暫存器的輸入輸出的關係的說明表。

【0021】 對頻率調整量、可變幅度、及增益 G1、增益 G2 列舉具體例。標稱頻率為 38.88 MHz，與該標稱頻率相對應的數位值假設為“128792027777”。如果將可變幅度設為 $\pm 5$  ppm，那麼第一暫存器 3 的數位值中，相當於 38.88 MHz 的 5 ppm 的數位值為“643960”。第二暫存器

S

41 中的由 2 的補數表示的 24 位元的最大值為“8388608-1”，因此當 24 位元的數位值為最大值時，發現乘法部 45 的輸出值為“643960”的增益 G1、增益 G2，由此，可將可變幅度設定為 $\pm 5$  ppm。該情況下，增益 G1 為 79，增益 2 為  $2^{-10}$ 。

【0022】 30 為加法部，將與由第一暫存器 3 設定的標稱頻率相對應的數位值與來自乘法部 45 的數位值相加。所述示例中，在利用頻率調整量輸出部 41 設定為 2 的補數所表示的數位值的最小值即“-8388608”時，加法部 30 中獲得的數位值（頻率設定數據）為：從 38.88 MHz 減去相當於 5 ppm 的頻率（ $38.88 \text{ MHz} \times 5/100$  萬）所得的值。而且，在由頻率調整量輸出部 41 設定為最大值即“8388608-1”時，加法部 30 中獲得的數位值（頻率設定數據）為：38.88 MHz 加上相當於 5 ppm 的頻率（ $38.88 \text{ MHz} \times 5/100$  萬）所得的值。

【0023】 即，頻率調整量輸出部 41 中的頻率調整量是：在相當於 38.88 MHz $\pm 5$  ppm 的頻率的 $\pm 5$  ppm 的可變幅度中，可設定為與該數位值相稱的頻率。圖 2 表示使由頻率調整量輸出部 41 設定的數位值在最小值至最大值之間變化時的頻率調整量（頻率相對於標稱頻率的比率），且表示將可變幅度設定為 $\pm 5$  ppm 時的示例、設定為 $\pm 7$  ppm 時的示例。

【0024】 回到圖 1，微控制器 2 上連接著外部記憶體 51，該外部記憶體 51 包含非揮發性記憶體、例如電子抹除式可複寫唯讀記憶體（Electrically Erasable Programmable Read Only Memory，EEPROM）。50 為總線（bus）。而且，微控制器 2 包括：可與高位計算機 6 正常通信的介面 52（interface）。該介面 52 例如使用作為串列介面（serial interface）的標準規格的“I2C 介面”或“RS232”等。另外，介面 52 也可為平行介面（parallel interface）。

【0025】 外部記憶體 51 是被寫入針對每個振盪器而固有的固有信息。作

為固有信息，可列舉振盪電路部 1 中所需的各種參數、產品編號等，而所述第一暫存器 3、第二暫存器 41、第三暫存器 42、第四暫存器 43 中存儲的數位值也被包含在固有信息中。針對外部記憶體 51 的固有信息的寫入，由製造商從高位計算機 6 經由介面 52 來進行。而且該例中，分別分配到所述第一暫存器 3、第二暫存器 41、第三暫存器 42、第四暫存器 43 的地址，與在外部記憶體 51 內分別分配到標稱頻率、頻率調整量、第一增益 G1、第二增益 G2 的地址一致。如果將例如在外部記憶體 51 內分配到標稱頻率的地址設為 A2，則分配到第一暫存器 3 的地址也為 A2。圖 3 是表示在外部記憶體 51 內，使地址與數據建立對應關係的存儲內容的示意圖。

**【0026】** 然後，若對內插處理部 8 進行說明，則圖 4 表示內插處理部 8 的方框圖。內插處理部 8 包括：被輸入 32 位元的數位值的輸入端口 IN、以及內插電路部 81，所述內插電路 81 被輸入 32 位元的低位 8 位元的數位值，且輸出與該數位值相應的、包含按照時間序列而排列的數位信號即數值組的時間序列信號。所述數值組是在預先決定的固定時間內，根據時鐘信號而輸出的彼此不同的第一值與第二值按照時間序列而排列的信號。

**【0027】** 加法部 82 是將從所述內插電路部 81 輸出的所述數值組與所述 32 位元的高位 24 位元的數位值相加的電路部。OUT 為輸出端口，輸出 24 位元的數位值。

**【0028】** 內插電路部 81 包括：德爾塔西格瑪 (delta-sigma) 電路部分，按照預先設定的時間而生成工作比 (duty ratio) 的平均值為與所述 8 位元的數位值相應的值的 PWM 信號；以及利用所述 PWM 信號而輸出所述數值組的電路部分。所述數值組為：分別作為 2 的補數的 2 位元的數位值 “01” (以十進制值為+1) 及數位值 “11” (以十進制值計為-1) 中的任一個值，例如 “01” 是由所述 PWM 信號的 “高 (High)” 電平而輸出，“11” 是由所述

PWM 信號的“低 (Low)”電平而輸出。該例中，“01”相當於第一值，“11”相當於第二值。

【0029】 從內插電路部 81 輸出“11”或“01”的時機是與加法部 82 中進行相加處理的時機同步，例如，用以從內插電路部 81 輸出所述數值組的各個的時鐘脈衝與用以進行所述相加處理的時鐘得以共用化。

【0030】 內插處理部 8 的作用為如下所述。例如，在未設置著內插處理部 8 的情況下，從第二暫存器 41 輸出的 24 位元的數位值的頻率調整量的分辨率設為 15 ppt/bit。該情況下，如果從第二暫存器 41 輸出的 24 位元的數位值以十進制值計，變為“0”、“1”、“2”、“3”……，則頻率調整量按照 0 ppt、15 ppt、30 ppt、45 ppt 的方式變化。與此相對，如果如所述那樣將 32 位元的數位值輸入到內插處理部 8，且輸出 24 位元的頻率調整量，則 24 位元的數位值僅增大或減小“1”。

【0031】 如果例如從第二暫存器 41 輸出的 24 位元的數位值為“2”，則加法部 82 的相加值為“1”或“3”。如果從內插電路部 81 輸出的由 2 的補數表示的 2 位元的數位值“01”（以十進制值計為+1）及數位值“11”（以十進制值計為-1）的所述比率[“01”的輸出次數/（“01”的輸出次數+“11”的輸出次數）]為 50%，則“1”與“3”交替地從加法部輸出。因此，例如在 1 秒內與 15 ppt 與 45 ppt 的頻率調整量相應的振盪頻率的脈衝是從電壓控制振盪器 12 輸出，因而，與調整為 30 ppt 實質相同。另外，本發明等人瞭解到即便在如此進行設定的情況下，也沒有在電壓控制振盪器 12 的輸出中看到造成不良影響的假信號（spurious）。

【0032】 而且，如果例如將所述比率設為 40%，則“3”的輸出次數與“1”的輸出次數為 4：6，因而，就加法部 82 中的相加值的平均值來說為“1.8”，就頻率調整量來說為 27 ppt。因此，雖然為 24 位元的數位值，但

分辨率提高。內插處理部 8 中的所述比率的分辨率是由 8 位元的數位值決定，因此結果為，頻率調整量的分辨率提高為  $15 \text{ ppt}/2^8 = 0.058 \text{ ppt/bit}$ 。因此，在使用高位計算機 6 來對第二暫存器 41 設定頻率量的情況下，將由所述分辨率表示的頻率調整量輸入到輸入畫面。

【0033】 然後，對所述實施方式的作用進行說明。首先，振盪器製造商在製造振盪器時，從高位計算機 6 將所需參數寫入到外部記憶體 51 中。參數中包括：所述標稱頻率、增益 G1、增益 G2 的值等。關於標稱頻率的設定是如以下般來進行。從第一暫存器 3 將作為頻率設定信號的數位值輸入到振盪電路部 1 的 DDS 11 中，利用頻率測量器來測量振盪電路部 1 的輸出頻率，且將輸出頻率為標稱頻率的所述數位值作為標稱頻率的設定值而寫入到外部記憶體 51。此時，第二暫存器 41 中存儲著零值來作為數位值。

【0034】 而且，如已就如下情況為例進行詳細敘述地那樣，來決定第三暫存器 42 中的增益 G1 的值及第四暫存器 43 中的增益 G2 的值，即：在決定與標稱頻率相對應的第一暫存器的數位值時，標稱頻率為 38.88 MHz，與該標稱頻率相對應的數位值為“128792027777”。製造商例如根據用戶的要求來決定相對於標稱頻率的可變幅度（可變比率），並根據該可變幅度來決定增益 G1、增益 G2 的各值。所述值是從高位計算機 6 中作為串列信號而被輸入到介面 52，並在所述介面 52 中轉換為平行信號而寫入到外部記憶體 51 中。

【0035】 如果如所述那樣決定增益 G1、增益 G2，則存儲在第二暫存器 41 中的數位值的全範圍（full range）是與可變幅度、例如±5 ppm 相對應，通過對該數位值進行調整，而使輸出頻率可例如圖 2 所示般進行調整。頻率調整量是由製造商例如設定為零值，用戶可在製造商所設定的可變幅度的範圍內，將輸出頻率設定為所需的值。

即，用戶將所需的頻率調整量從高位計算機 6 經由介面 52 而改寫為第二暫存器 41 的數據。另外，也可構成為如下：應寫入到第二暫存器 41 的頻率調整量與其他參數同樣地，從高位計算機 6 經由介面 52 而暫時地寫入到外部記憶體 51，並在裝置的電源接通時、被讀取到第二暫存器 41 中。

【0036】 然後，如果接通振盪器的電源，那麼利用存儲在微控制器 2 內的程式(program)來讀取外部記憶體 51 內的參數，並寫入到對應的暫存器中。從第一暫存器 3 輸出與標稱頻率相對應的數位值。第二暫存器 41 可由用戶經由介面 52 任意地進行調整，並輸出與相對於標稱頻率的調整比率相應的數位值。使增益 G1、增益 G2 乘以與該調整比率相應的數位值，並求出相對於標稱頻率而應進行調整的頻率所對應的數位值。由加法部 30 將該數位值和與標稱頻率相對應的數位值相加，相加值作為頻率設定信號而輸入到振盪電路部 1 的 DDS 11 中，並如已詳細敘述地那樣運行，從而從振盪電路部 1 中獲得所需的輸出頻率。

【0037】 此處，圖 5 中表示如下情況，即，根據從第二暫存器 41 輸出的 32 位元的數位值，而輸出相對於標稱頻率的調整比率、即頻率調整量。圖 5 是為優先獲得直觀理解而極其示意性的例子。圖 5 中記載了如下情況，即：將輸入到內插電路部 81 的 8 位元的數位值的十進制值 P1 設定為作為最大值的“128”；分別設定為“64”、“32”、“0”、“-64”；及設定為作為最小值的“-128”。上段的時鐘脈衝是用於設定時機，該時機是：從內插電路部 81 輸出由 2 的補數表示的 2 位元的數位值“01”（以十進制值計為+1）或數位值“11”（以十進制值計為-1）的時機。

【0038】 考慮到紙面的限制等，而示意性地將該時鐘脈衝的頻率設為 8 Hz。如圖 5 所示，從內插電路部 81 以與從第二暫存器 41 輸出的低位 8 位元的值相應的比率而輸出“+1”及“-1”。如果例如設為輸入到內插處理

部 8 的 32 位元中的高位 24 位元的值為“0”、低位 8 位元的值 P1 為“32”，則所述比率為 37.5%，1 秒內“+1”被輸出 5 次，“-1”被輸出 3 次。另外，“-1”是：在“+1”與“-1”的排列中，以最高分散度(dispersion degree)分散的時機被輸出。

**【0039】** 該例中，由於輸入到加法部 82 的 24 位元的值為“0”，所以，加法部 82 的相加值與從內插電路部 81 輸出的值的時間序列數據相同。圖 6 是加法部 8 的相加值由頻率調整量 (ppt) 表示的時間序列數據。24 位元的分辨率為 15 ppt，因此，在“+1”時為“+15 ppt”，“-1”時為“-15 ppt”。因此該示意例中，以 1/8 秒為單位、進行振盪電路部的輸出頻率的設定，由此對於電壓控制振盪器 12 的輸出頻率而言，是將對標稱頻率加上“+15 ppt”所得的頻率、與加上“-15 ppt”所得的頻率，相應於圖 6 所示的時間序列數據而加以輸出。結果，1 秒內的振盪頻率的平均值成為：對標稱頻率加上 9.375 ppt 所得的值。即，可知：能夠以比由 24 位元的數位值決定的分辨率高的分辨率，來設定頻率。

**【0040】** 而且，圖 7 是表示輸入到內插電路部 81 的數位值與已述的“+1”、“-1”的輸出次數的比率的關係的一例。

另外，振盪電路可為恒溫晶體振盪器 (Oven Controlled Crystal Oscillator, OCXO) (具恒溫槽的振盪器)，或者，也可為溫度補償晶體振盪器 (Temperature Compensated Crystal Oscillator, TCXO) (具溫度補償的振盪器)，在為 TCXO 的情況下，對如已述般獲得的頻率設定信號 (來自加法部 30 的輸出信號) 加上與溫度檢測部的檢測結果相應的補償信號，並輸入到 DDS 11 中。

**【0041】** 所述實施方式中，將用以指定頻率的設定值的值以 24 位元的數位值而加以輸出。因此，如利用類比的直流電壓來設定頻率時那樣的、電

壓的不穩定性或控制用的信號線的雜訊所引起的輸出的雜訊退化等問題得以解決，從而可確保正確的頻率控制與頻率的高穩定度。

【0042】 而且，將用以指定頻率的設定值的值以 36 位元的數位值而加以輸出，並且將該數位值分為高位位元與低位位元，且利用時鐘信號同步地輸出彼此不同的作為第一值的“+1”與作為第二值的“-1”。使所述第一值及第二值加上高位位元的值，並且第一值及第二值的各輸出次數是：由與低位位元的數位值相對應的所述比率來決定。因此，如已詳細敘述地那樣，雖使用 24 位元的數位值，但獲得比由 24 位元的數位值決定的頻率設定值的分辨率高的分辨率。結果具有如下效果：能以少的位元數對於設定頻率獲得高的分辨率，且可抑制電路規模。

【0043】 所述示例中，構成為：從作為設定值輸出部的第二暫存器 41，輸出 32 位元的數位值來作為用以指定頻率的設定值的值，而且從內插電路部 81 輸出相當於與低位 8 位元的數位值相對應的內插值的參數。作為用以獲得頻率合成器的設定頻率的分辨率的位元數（用以指定頻率的設定值的值）並不限於 32 位元，優選為 16 位元以上。

【0044】 此外，從內插電路部 81 輸出的第一值及第二值分別不限為“-1”及“+1”，即便為其他值也可獲得本發明的效果。其他值也包括第一值及第二值的符號相同的情況、或彼此的絕對值不同的情況等。

【0045】 獲取從內插電路部 81 輸出第一值及第二值的時機的時鐘是：如所述般示意性地設為 8 Hz，實際上為例如 26.1 MHz。而且 DDS 11 的運行時鐘例如為 26.1 MHz，標稱頻率例如為 38.88 MHz。

【0046】 此外，對所述實施方式的優點進行記載。

利用作為標稱頻率輸出部的第一暫存器 3 來輸出與標稱頻率相對應的數位值，並且，將頻率相對於標稱頻率的調整量的數位值、作為由頻

率比率表示的頻率調整量與增益的相乘值而生成，將該相乘值加上標稱頻率並作為頻率的設定信號。然後，以使作為頻率調整量的數位值的可變範圍與由頻率比率表示的頻率的 $\text{可變幅度}$ 對應的方式來決定增益。因此，根據本發明，例如製造商可根據振盪頻率的使用範圍，利用高位計算機 6 來設定由頻率比率表示的 $\text{可變幅度}$ ，而且，用戶可在所述 $\text{可變幅度}$ 內高精度地進行頻率的設定。因此，無需改變硬件構成，便可應對各種頻率調整範圍標準（ $\text{可變幅度}$ ）。

即，通過將與頻率調整量相對應的數位數據的位元寬度確保得非常大，來獲得高頻率的設定精度。

【0047】 而且，由於利用數位值來進行頻率調整，所以，不會受到在使用類比信號的情況下成為問題的電子雜訊的影響，基於類比器件的經年變化或由溫度引起的特性的變化的頻率的 $\text{不穩定性的問題}$ 也得以解決。因此，適合於要求頻率的 $\text{穩定性高}$ 、GPS 等的高穩定頻率控制的系統中。此外，通過對暫存器 41 設定數位值來決定頻率調整量，因此，與利用類比電路來進行頻率設定的情況相比，頻率的設定輸入值與輸入到振盪電路部的頻率設定信號的 $\text{線性良好}$ ，因此，頻率的設定輸入值與輸出頻率的 $\text{線性良好}$ 。

此處，將數位值寫入到各暫存器 3、暫存器 41、暫存器 42、暫存器 43 的方法，不限於從外部記憶體 51 讀取，也可從高位計算機經由介面 52 而直接寫入。

而且，本發明也可由用戶方，來變更頻率的 $\text{可變幅度}$ 。

【0048】 本發明只要為根據頻率的設定信號來決定輸出頻率的振盪器，則可採用各種構成來作為振盪電路部。

圖 8 是使用考畢茲振盪電路來作為振盪電路部的示例。該電路包括：諧振部，包含晶體振子 101、電感器 102 及作為電壓控制型的 $\text{可變電容}$

器件的例如為變容二極體 103；以及作為放大部的電晶體 104。該電路中，通過將類比的控制電壓輸入到控制輸入端子 105，而改變了變容二極體 103 的電容並設定振盪頻率。106、107 為電阻，108、109 為電容器。7 表示振盪電路部。該例中，在圖 1 所示的微控制器 2 的頻率設定信號的輸出端（加法部 30 的輸出端）與控制輸入端子 105 之間設置著數位/類比轉換部 71，利用數位/類比轉換部 71 將作為數位值的頻率設定信號轉換為類比信號，並輸入到控制輸入端子 105 中。該例中也獲得與已述的實施方式相同的效果。

另外，作為振盪電路部，除考畢茲電路外，也可為皮爾斯（Pierce）電路、克拉普（Clapp）電路、巴特勒（Butler）電路等其他振盪電路。

**【0049】** 此處，頻率的變幅度在由頻率比率表示時，不限定為：比標稱頻率高的一側的比率與比標稱頻率低的一側的比率為相同，也可設為彼此不同。即，所述實施方式中，列舉相對於標稱頻率為 $\pm 5$  ppm 等的示例，但也可設定為例如相對於標稱頻率為 $-4$  ppm 至 $+6$  ppm。

如所述般進行的頻率的設定是：除了例如圖 1 所示的構成外，可通過設置輔助暫存器來實施。例如構成為如果相對於標稱頻率設定 $\pm 5$  ppm 的可變幅度，則輔助暫存器中預先設定相當於 $+1$  ppm 的數位值，對從第二暫存器 41 輸出的數位值加上來自輔助暫存器的數位值，並使增益 G1、增益 G2 乘以該相加值。該情況下，如果將第二暫存器 41 的數位值從最小值變為最大值，則因加上 $+1$  ppm 的頻率調整量，所以獲得 $-4$  ppm 至 $+6$  ppm 的可變幅度。

**【0050】** 而且，圖 1 的實施方式中，使用暫存器來作為標稱頻率輸出部、頻率調整量輸出部及增益輸出部，但不限於暫存器，也可例如使用隨機存取記憶體（Random Access Memory，RAM）。

此外，振盪電路部不限定為將晶體振子作為振盪部的構成，例如

也可為將電感-電容（Inductive-Capacitive，LC）諧振部（使用了電感器成分與導體成分的諧振部）作為振盪部的構成。

### 【符號說明】

- 【0051】 1：振盪電路部  
2：微控制器  
3：第一暫存器（標稱頻率輸出部）  
6：高位計算機  
7：振盪電路部  
8：內插處理部  
11：DDS  
12：電壓控制振盪器  
13：分頻器  
14：相位比較部  
15：電荷泵  
16：環路濾波器  
30：加法部  
41：第二暫存器（頻率調整量輸出部）  
42：第三暫存器（第一增益輸出部）  
43：第四暫存器（第二增益輸出部）  
44、45：乘法部  
50：總線  
51：外部記憶體  
52：介面

71：數位/類比轉換部

81：內插電路部

82：加法部

101：晶體振子

102：電感器

103：變容二極體

104：電晶體

105：控制輸入端子

106、107：為電阻

108、109：電容器

IN：輸入端口

P1：值

OUT：輸出端口

## 申請專利範圍

1、一種振盪器，構成為通過將頻率的設定值輸入到振盪電路部中，而從所述振盪電路部獲得與所述頻率的設定值相應的頻率的輸出，所述振盪器的特徵在於包括：

標稱頻率輸出部，輸出與標稱頻率相對應的數位值；

頻率調整量輸出部，為了根據頻率的比率來設定頻率相對於所述標稱頻率的調整量，而輸出與所述比率相對應的數位值；

內插電路部，內插從所述頻率調整量輸出部輸出的數位值的位元中的低位位元的數位值；

第一加法部，用於將所述內插電路部的輸出值與從所述頻率調整量輸出部輸出的數位值中的高位位元的數位值相加，並輸出用以指定所述頻率的設定值的相加值；

增益輸出部，輸出數位值，所述數位值與應乘以從所述頻率調整量輸出部輸出的數位值的增益相對應；

乘法部，將從所述增益輸出部輸出的增益乘以從所述頻率調整量輸出部輸出的數位值；以及

第二加法部，將從所述標稱頻率輸出部輸出的數位值與從所述乘法部輸出的數位值相加，並作為頻率的設定信號而輸出，

從所述內插電路部輸出的信號為：利用時鐘信號而同步地輸出、且彼此不同的第一值與第二值的時間序列數據，

所述第一值與所述第二值的各輸出次數是：由與所述低位位元的數位值相對應的比率而決定，

對能夠由所述頻率調整量輸出部設定的數位值的最小值，分配

由頻率的比率表示的頻率可變幅度的下限值，並且，對能夠由所述頻率調整量輸出部設定的數位值的最大值，分配由頻率的比率表示的頻率可變幅度的上限值，以此方式來決定所述增益的值。

2、如申請專利範圍第 1 項所述的振盪器，其中：

所述內插電路部中使用的時鐘信號的頻率是：比所述振盪器的輸出頻率低。

3、如申請專利範圍第 1 項所述的振盪器，其中：

所述振盪電路部包括：

直接數位式頻率合成器，被輸入所述頻率的設定值；以及

鎖相回路，被輸入根據所述直接數位式頻率合成器的輸出而生成的參考信號。

4、如申請專利範圍第 1 項所述的振盪器，其中：

由所述增益輸出部輸出的增益包含：大於 1 的第一增益、及作為 2 的指數的倒數的第二增益，

由所述乘法部獲得的值為：將從所述頻率調整量輸出部輸出的數位值與所述第一增益及所述第二增益相乘所得的值。

5、如申請專利範圍第 1 項所述的振盪器，其中：

所述第一值及第二值中的一方是以十進制值計為-1，另一方是以十進制值計為+1。

6、如申請專利範圍第 1 項所述的振盪器，其中：

所述內插電路部包括：

德爾塔西格瑪（delta-sigma）電路，以預先設定的時間生成占空比的平均值為與所述低位位元的數位值相應的值的脈寬調

製信號；以及

電路，利用所述脈寬調製信號的高電平及低電平中的一方來輸出所述第一值，且利用另一方來輸出所述第二值。

7、如申請專利範圍第 1 項所述的振盪器，其中：

從所述設定值輸出部輸出的數位值為 32 位元的數位值，

所述低位位元為所述 32 位元中的低位 8 位元。

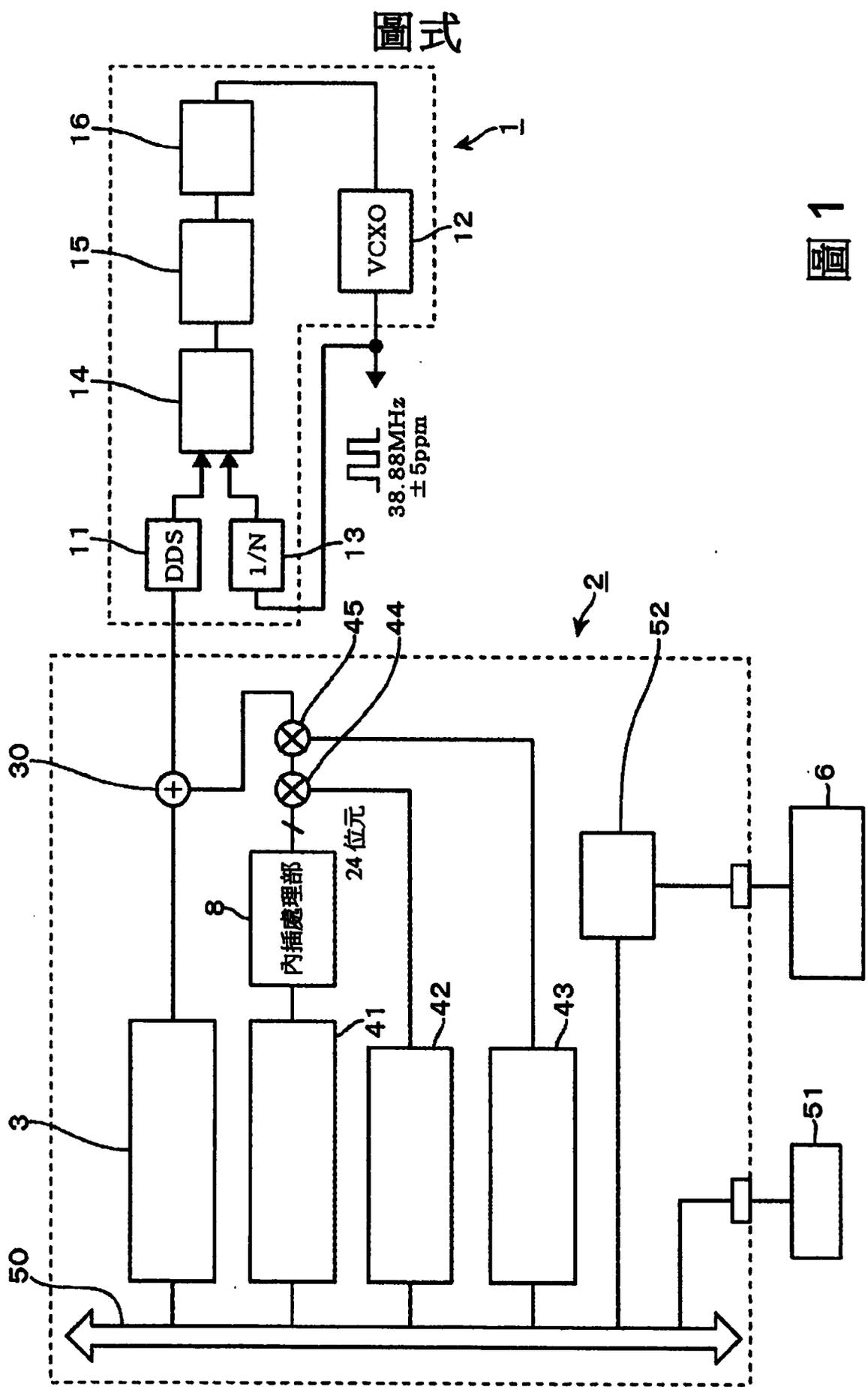


圖 1

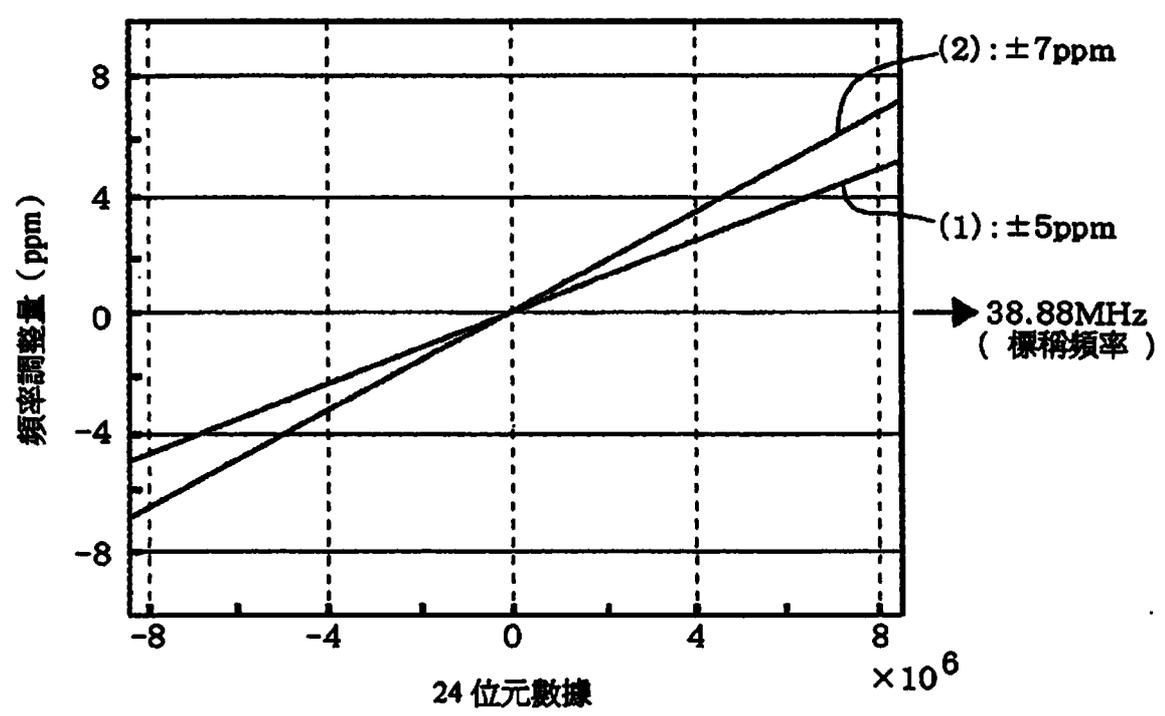


圖 2

| 地址          | 數據     |
|-------------|--------|
| A0          | D0     |
| A1          | D1     |
| A2( 第一暫存器 ) | D2     |
| A3          | D3     |
| A4( 第二暫存器 ) | D4     |
| A5          | D5     |
| A6          | D6     |
| A7( 第三暫存器 ) | D7(G1) |
| A8( 第四暫存器 ) | D8(G2) |
| ⋮           | ⋮      |

圖 3

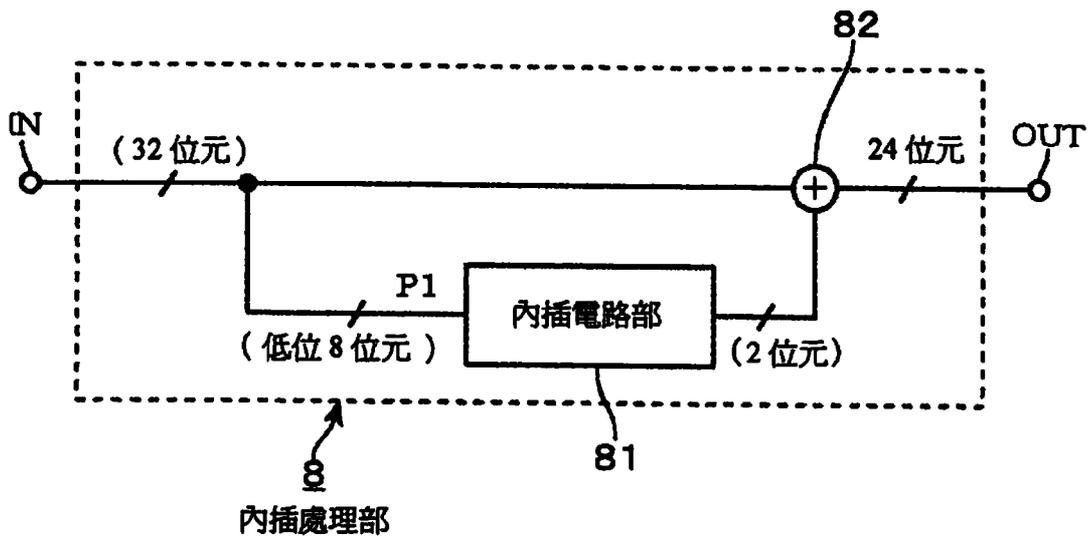


圖 4

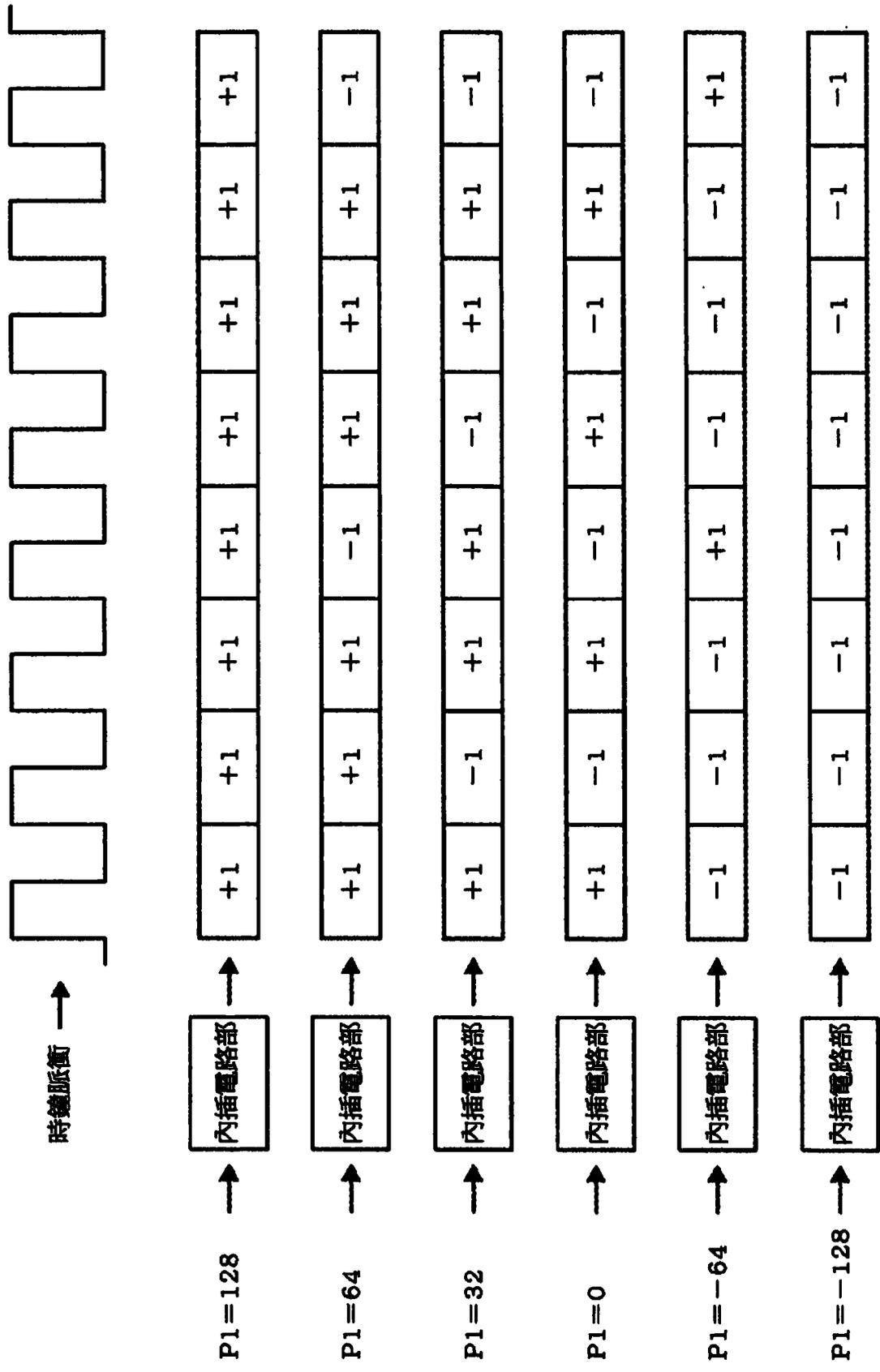


圖 5

電壓控制振盪器 (12) 的輸出 [ppm]

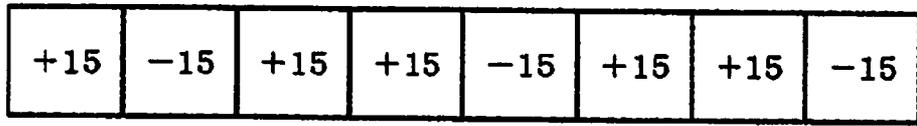


圖 6

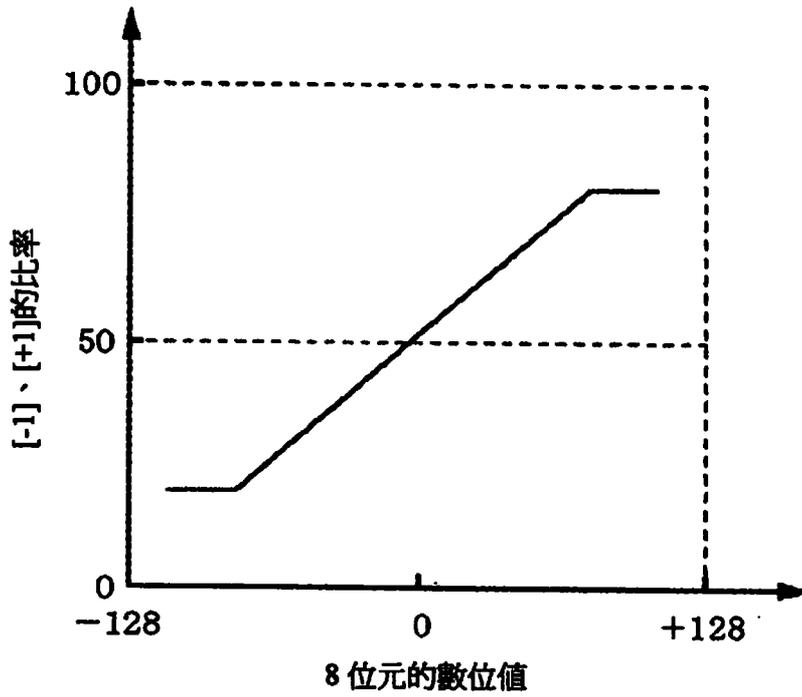


圖 7

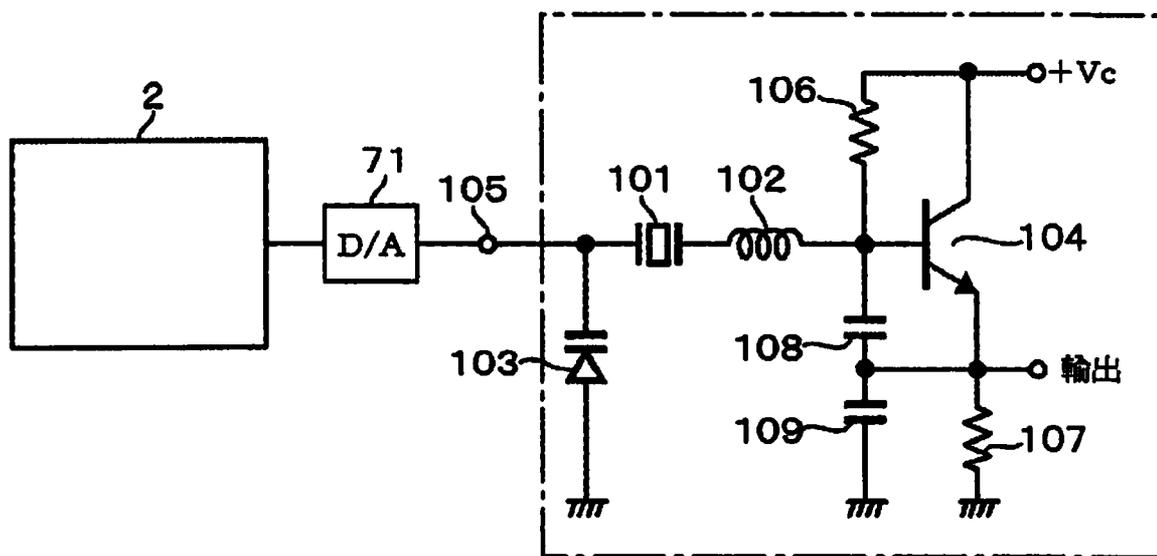


圖 8

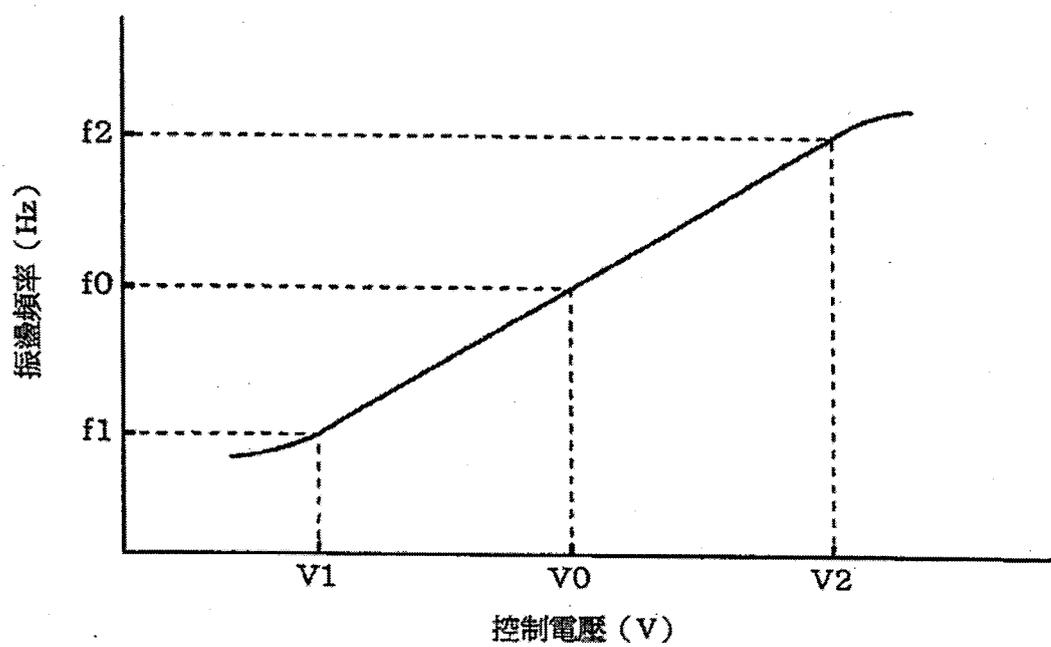


圖 9