



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0106565  
(43) 공개일자 2017년09월21일

(51) 국제특허분류(Int. Cl.)

H05B 33/26 (2006.01) H01L 33/00 (2010.01)

H05B 33/22 (2006.01) H05B 37/00 (2006.01)

(52) CPC특허분류

H05B 33/26 (2013.01)

H01L 33/00 (2013.01)

(21) 출원번호 10-2016-0029109

(22) 출원일자 2016년03월10일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

배종성

경기도 용인시 기흥구 삼성로 1 (농서동)

김무겸

경기도 용인시 기흥구 삼성로 1 (농서동)

정창용

경기도 용인시 기흥구 삼성로 1 (농서동)

(74) 대리인

리엔목특허법인

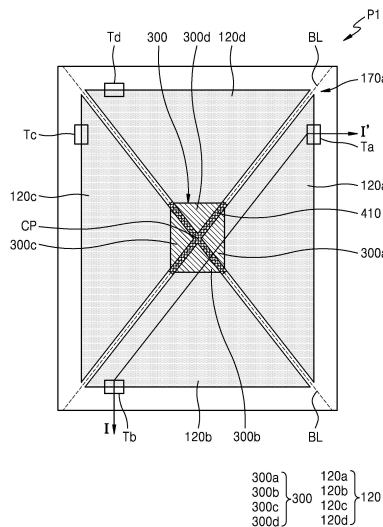
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 표시 장치

**(57) 요약**

본 발명의 일 실시예는, 복수의 화소를 포함하는 표시 장치에 있어서, 상기 복수의 화소 각각은, 제1 내지 제n 서브 전극으로 분할된 화소 전극( $n \geq 2$  인 정수); 상기 제1 내지 제n 서브 전극의 경계선에 배치된 발광 다이오드(LED:light emitting diode); 및 상기 발광 다이오드를 사이에 두고 상기 화소 전극과 대향하며 배치된 대향 전극;을 포함하는 표시 장치를 개시한다.

**대표도 - 도2**



(52) CPC특허분류

*H05B 33/22* (2013.01)

*H05B 37/00* (2013.01)

*H01L 2924/12041* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 화소를 포함하는 표시 장치에 있어서,  
 상기 복수의 화소 각각은,  
 제1 내지 제 $n$  서브 전극으로 분할된 화소 전극( $n \geq 2$  인 정수);  
 상기 제1 내지 제 $n$  서브 전극의 경계선에 배치된 발광 다이오드(LED:light emitting diode); 및  
 상기 발광 다이오드를 사이에 두고 상기 화소 전극과 대향하며 배치된 대향 전극;을 포함하는 표시 장치.

#### 청구항 2

제1항에 있어서,  
 상기 제1 내지 제 $n$  서브 전극은 하나의 교차점을 가지고 분할된 표시 장치.

#### 청구항 3

제2항에 있어서,  
 상기 발광 다이오드는 상기 교차점 상에 배치된 표시 장치.

#### 청구항 4

제1항에 있어서,  
 상기 화소 전극과 상기 대향 전극은 서로 평행한 표시 장치.

#### 청구항 5

제1항에 있어서,  
 상기 화소 전극과 상기 대향 전극 사이의 간격은 상기 발광 다이오드의 높이와 실질적으로 동일한 표시 장치.

#### 청구항 6

제1항에 있어서,  
 상기 제1 내지 제 $n$  서브 전극은 각각 제1 내지 제 $n$  박막 트랜지스터와 연결된 표시 장치.

#### 청구항 7

제1항에 있어서,  
 상기 발광 다이오드는 제1 컨택 전극, p-n 다이오드, 및 제2 컨택 전극이 순차적으로 적층되며,  
 상기 제1 컨택 전극은 상기 화소 전극과 연결되며, 상기 제2 컨택 전극은 상기 대향 전극과 연결된 표시 장치.

#### 청구항 8

제1항에 있어서,  
 상기 발광 다이오드는 상기 제1 내지 제 $n$  서브 전극의 경계선에 대응된 영역에 광차단벽을 구비하는, 표시 장치.

#### 청구항 9

제8항에 있어서,

상기 발광 다이오드는 상기 광차단벽에 의해서 제1 내지 제n 서브 발광 다이오드로 분할된 표시 장치.

**청구항 10**

제8항에 있어서,

상기 광차단벽은 상기 발광 다이오드로부터 방출된 광을 반사하는 표시 장치.

**청구항 11**

제8항에 있어서,

상기 광차단벽은 상기 제1 내지 제n 서브 전극의 경계 사이까지 연장된 표시 장치.

**청구항 12**

제1항에 있어서,

상기 화소 전극과 상기 대향 전극 사이에 배치된 광도파층;을 더 포함하는 표시 장치.

**청구항 13**

제1항에 있어서,

상기 제1 내지 제n 서브 전극 각각에 상기 발광 다이오드 측면에 배치되는 제1 내지 제n 서터;를 더 포함하는 표시 장치.

**청구항 14**

제13항에 있어서,

상기 제1 내지 제n 서터는 정전기력(electrostatic force)에 의해서 구동되는 표시 장치.

**청구항 15**

제13항에 있어서,

상기 제1 내지 제n 서터는 블랙 매트릭스(Black matrix) 재료를 포함하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 표시 장치에 관한 것으로, 더 상세하게는 발광 다이오드를 활용하는 표시 장치에 관한 것이다.

**배경 기술**

[0002] 발광 다이오드(Light Emitting Diode, LED)는 전기발광(electroluminescence) 현상, 즉, 전류 또는 전압의 인가에 의해 물질(반도체)에서 빛이 방출되는 현상을 이용한다. 상기 발광 다이오드의 활성층에서 전자와 정공이 결합하면서 상기 활성층의 에너지 밴드갭(band gap)에 해당하는 만큼의 에너지가 빛의 형태로 방출될 수 있다.

[0003] 상기 발광 다이오드는 가정용 가전제품, 리모콘, 전광판, 각종 자동차 기기 등에 사용되고 있다. 소형의 핸드 헬드 전자 디바이스부터 대형 표시 장치까지 전자 디바이스의 광범위한 분야에서 발광 다이오드를 활용하는 등 발광 다이오드의 사용 영역이 점차 넓어지고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예들은 발광 다이오드를 활용하는 표시 장치의 제조 표현을 풍부하게 할 수 있는 구조를 제공하

고자 한다.

[0005] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 본 발명의 기재로부터 당해 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0006] 본 발명의 일 실시예는,
- [0007] 복수의 화소를 포함하는 표시 장치에 있어서,
- [0008] 상기 복수의 화소 각각은,
- [0009] 제1 내지 제n 서브 전극으로 분할된 화소 전극( $n \geq 2$  인 정수);
- [0010] 상기 제1 내지 제n 서브 전극의 경계선에 배치된 발광 다이오드(LED:light emitting diode); 및
- [0011] 상기 발광 다이오드를 사이에 두고 상기 화소 전극과 대향하며 배치된 대향 전극;을 포함하는 표시 장치를 개시한다.
- [0012] 일 실시예에 있어서, 상기 제1 내지 제n 서브 전극은 하나의 교차점을 가지고 분할될 수 있다.
- [0013] 일 실시예에 있어서, 상기 발광 다이오드는 상기 교차점 상에 배치될 수 있다.
- [0014] 일 실시예에 있어서, 상기 화소 전극과 상기 대향 전극은 실질적으로 서로 평행할 수 있다.
- [0015] 일 실시예에 있어서, 상기 화소 전극과 상기 대향 전극 사이의 간격은 상기 발광 다이오드의 높이와 실질적으로 동일할 수 있다.
- [0016] 일 실시예에 있어서, 상기 제1 내지 제n 서브 전극은 각각 제1 내지 제n 박막 트랜지스터와 연결될 수 있다.
- [0017] 일 실시예에 있어서, 상기 발광 다이오드는 제1 컨택 전극, p-n 다이오드, 및 제2 컨택 전극이 순차적으로 적층되고, 상기 제1 컨택 전극은 상기 화소 전극과 연결되며, 상기 제2 컨택 전극은 상기 대향 전극과 연결될 수 있다.
- [0018] 일 실시예에 있어서, 상기 발광 다이오드는 상기 제1 내지 제n 서브 전극의 경계선에 대응된 영역에 광차단벽을 구비할 수 있다.
- [0019] 일 실시예에 있어서, 상기 발광 다이오드는 상기 광차단벽에 의해서 제1 내지 제n 서브 발광 다이오드로 분할될 수 있다.
- [0020] 일 실시예에 있어서, 상기 광차단벽은 상기 발광 다이오드로부터 방출된 광을 반사할 수 있다.
- [0021] 일 실시예에 있어서, 상기 광차단벽은 상기 제1 내지 제n 서브 전극의 경계 사이까지 연장될 수 있다.
- [0022] 일 실시예에 있어서, 상기 화소 전극과 상기 대향 전극 사이에 배치된 광도파층;을 더 포함할 수 있다.
- [0023] 일 실시예에 있어서, 상기 제1 내지 제n 서브 전극 각각에 상기 발광 다이오드 측면에 배치되는 제1 내지 제n 서터;를 더 포함할 수 있다.
- [0024] 일 실시예에 있어서, 상기 제1 내지 제n 서터는 정전기력(electrostatic force)에 의해서 구동될 수 있다.
- [0025] 일 실시예에 있어서, 상기 제1 내지 제n 서터는 블랙 매트릭스(Black matrix) 재료를 포함할 수 있다.
- [0026] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 특허청구범위 및 도면으로부터 명확해질 것이다.

### 발명의 효과

- [0027] 본 발명의 실시예들은 하나의 화소에서 발광 다이오드가 방출하는 광을 부분적으로 추출할 수 있도록 화소 전극을 분할하여, 발광 다이오드를 활용하는 표시 장치의 제조 표현을 풍부하게 할 수 있다.
- [0028] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

### 도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 개념도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치에 포함된 하나의 화소를 나타낸 평면도이다.
- 도 3은 도 2의 I-I'를 따라 취한 단면도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소에서의 광 추출을 설명하는 평면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 표시 장치에 포함된 하나의 화소를 나타낸 평면도이다.
- 도 6은 도 5의 II-II'를 따라 취한 단면도이다.
- 도 7은 본 발명의 다른 실시예에 따른 화소에서의 광 추출을 설명하는 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 본 실시예들은 다양한 변환을 가할 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 실시예들의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 내용들을 참조하면 명확해질 것이다. 그러나 본 실시예들은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0031] 이하, 첨부된 도면을 참조하여 이하의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0032] 이하의 실시예에서 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0033] 이하의 실시예에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0034] 이하의 실시예에서 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0035] 이하의 실시예에서 막, 영역, 구성 요소 등의 부분이 다른 부분 위(또는 상)에 또는 아래(하)에 있다고 할 때, 다른 부분의 바로 위 또는 아래에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다. 위 및 아래에 대한 기준은 도면을 기준으로 설명한다.
- [0036] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 이하의 실시예는 반드시 도시된 바에 한정되지 않는다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 표시 장치(100, 200)를 개략적으로 나타낸 개념도이다.
- [0038] 도 1을 참조하면, 표시 장치(100, 200)는 표시부(110) 및 드라이버(110d)를 포함할 수 있다. 표시부(110)는 기관 상에 매트릭스 형태로 배열된 복수의 화소(P)들을 포함할 수 있다. 드라이버(110d)는 화소(P)에 연결된 스캔 선으로 스캔 신호를 인가하는 스캔 드라이버 및 데이터선으로 데이터 신호를 인가하는 데이터 드라이버를 포함할 수 있다. 드라이버(110d)는 화소(P)들이 배열된 표시부(110) 주변인 기관의 비표시부에 배치될 수 있다. 드라이버(110d)는 집적 회로 칩의 형태로 형성되어 표시부(110)가 형성된 기관 위에 직접 장착되거나, 연성인쇄회로필름(flexible printed circuit film) 위에 장착되거나 TCP(tape carrier package)의 형태로 기관에 부착되거나, 기관에 직접 형성될 수도 있다.
- [0039] 도 2는 본 발명의 일 실시예에 따른 표시 장치(100)에 포함된 하나의 화소(P1)를 나타낸 평면도이다. 도 3은 도 2의 I-I'를 따라 취한 단면도이다.
- [0040] 도 2 및 도 3을 참조하면, 각 화소(P1)는 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d)으로 분할된 화소 전극(120), 상기 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d)의 경계선(BL)에 배치된 발광 다이오드(LED, 300), 및 상기 발광 다이오드(300)를 사이에 두고 상기 화소 전극(120)과 대향하며 배치된 대향 전극(160)을 포함한다.
- [0041] 도 2에서는 각 화소(P1)가 4개로 분할된 것을 예시하였으나, 이에 한정되지 않는다. 각 화소(P1)는 n개( $n \geq 2$ 인 정수)로 분할될 수 있다. 즉, 각 화소(P1)는 제1 내지 제n 서브 전극으로 분할된 화소 전극(120), 상기 제1 내지 제n 서브 전극의 경계선(BL)에 배치된 발광 다이오드(300), 및 상기 발광 다이오드(300)를 사이에 두고 상

기 화소 전극(120)과 대향하며 배치된 대향 전극(160)을 포함할 수 있다.

- [0042] 화소 전극(120)은 제1 내지 제n 서브 전극으로 분할된다. 각 서브 전극의 크기는 서로 다르게 구비될 수 있다. 제1 내지 제n 서브 전극은 하나의 교차점(CP)을 가지고 분할될 수 있다. 도 2에 있어서, 교차점(CP)은 화소 전극(120)의 중앙에 배치되어 있으나, 이에 한정되지 않는다. 교차점(CP)은 화소 전극(120)의 가장자리로 치우쳐서 배치될 수 있다. 상기 제1 내지 제n 서브 전극은 경계선(BL)을 기준으로 서로 이격하여 배치될 수 있다. 이에 따라, 제1 내지 제n 서브 전극은 서로 전기적으로 분리된다.
- [0043] 발광 다이오드(300)는 상기 교차점(CP) 상에 배치될 수 있다. 발광 다이오드(300)는 화소(P1)의 중앙에 배치될 수 있으나, 이에 한정되지 않는다. 발광 다이오드(300)는 화소(P1)의 일 측면에 배치될 수 있다. 화소 전극(120)의 면적은 상기 발광 다이오드(300)의 면적에 비해서 클 수 있다. 예를 들어, 화소 전극(120)의 면적은 상기 발광 다이오드(300)가 차지하는 면적에 비해 2배 내지 30배 클 수 있다.
- [0044] 발광 다이오드(300)는 내부에 광차단벽(410)을 포함할 수 있다. 광차단벽(410)은 상기 경계선(BL)에 대응된 영역에 구비될 수 있다. 발광 다이오드(300)는 상기 광차단벽(410)에 의해서 제1 내지 제n 서브 발광 다이오드로 분할될 수 있다. 도 2에 있어서는 발광 다이오드(300)는 제1 내지 제4 서브 발광 다이오드(300a, 300b, 300c, 300d)로 분할된 것을 예시하고 있다. 제1 내지 제4 서브 발광 다이오드(300a, 300b, 300c, 300d) 사이에는 광차단벽(410)이 배치된다. 광차단벽(410)에 의해서 제1 내지 제4 서브 발광 다이오드(300a, 300b, 300c, 300d)는 전기적으로 분리될 수 있다.
- [0045] 각 화소(P1)의 제1 내지 제n 서브 전극은 각각 제1 내지 제n 박막 트랜지스터와 연결된다. 도 2에 있어서, 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d)은 각각 제1 내지 제4 박막 트랜지스터(Ta, Tb, Tc, Td)와 연결된다.
- [0046] 각 화소(P1)는 발광 다이오드(300) 및 발광 다이오드(300)에 연결된 화소 회로를 포함할 수 있다. 화소 회로는 상기 제1 내지 제n 박막 트랜지스터 이외의 박막 트랜지스터(TFT)를 더 포함할 수 있으며, 화소 회로는 적어도 하나의 커패시터를 포함할 수 있다. 화소 회로는 상기 제1 내지 제n 박막 트랜지스터를 각각 구동하는 적어도 하나의 스캔선 및 적어도 하나의 데이터선과 연결된다. 하나의 화소(P)는 분할된 서브 전극의 개수에 따라서 복수의 스캔선 및 복수의 데이터선과 연결될 수 있다.
- [0047] 제1 내지 제n 서브 발광 다이오드는 제1 내지 제n 박막 트랜지스터의 구동에 따라 각각 구동될 수 있다. 화소(P1)의 광량을 조절하기 위해서 제1 내지 제n 박막 트랜지스터 중 m개 ( $1 \leq m \leq n$  인 정수)만을 구동하여, 이와 연결된 m 개의 서브 전극 영역에서만 광이 방출될 수 있다. 이와 같이, 화소 전극(120)의 분할을 통하여 광량의 조절이 용이해지고 계조(gradation) 표현이 풍부해질 수 있다.
- [0048] 이하에서는, 도 3을 참조하여 적층 순서에 따라 각 화소(P1)에 포함된 일부 구성 요소에 관하여 설명한다.
- [0049] 기관(101) 상에는 버퍼층(111)이 구비될 수 있고, 버퍼층(111) 상에 박막 트랜지스터(Ta, Tb) 및 발광 다이오드(300)가 구비될 수 있다.
- [0050] 기관(101)은 유리 또는 플라스틱 등으로 구성될 수 있다. 버퍼층(111)은 기관(101)을 통해 불순 원소가 침투하는 것을 차단하고, 표면을 평탄화하는 기능을 수행하며 실리콘질화물( $\text{SiN}_x$ ) 및/또는 실리콘산화물( $\text{SiO}_x$ )과 같은 무기물로 단층 또는 복수층으로 구성될 수 있다.
- [0051] 제1 박막 트랜지스터(Ta)는 활성층(112), 게이트 전극(114), 소스 전극(116S) 및 드레인 전극(116D)을 포함할 수 있다. 상기 활성층(112)은 반도체 물질을 포함할 수 있고, 도전성을 갖는 소스 영역, 드레인 영역 및 소스 영역과 드레인 영역 사이에 배치된 채널 영역을 갖는다. 상기 게이트 전극(114)은 활성층(112) 상에 활성층(112)과 절연되도록 배치될 수 있다. 상기 소스 전극(116S) 및 드레인 전극(116D)은 각각 활성층(112)의 소스 영역 및 드레인 영역과 전기적으로 연결되며, 소스 전극(116S) 및 드레인 전극(116D) 중 적어도 하나는 생략될 수 있다.
- [0052] 상기 활성층(112)과 게이트 전극(114)의 사이에는 게이트 절연막으로서 제1 절연층(113)이 배치되고, 게이트 전극(114)과 소스 전극(116S), 및 게이트 전극(114)과 드레인 전극(116D)의 사이에는 층간 절연막으로서 제2 절연층(115)이 배치될 수 있다. 상기 제1 절연층(113) 및 제2 절연층(115)은 실리콘질화물( $\text{SiN}_x$ ) 및/또는 실리콘산화물( $\text{SiO}_x$ )과 같은 무기물로 단층 또는 복수층으로 구성될 수 있다.
- [0053] 상기 제2 절연층(115) 상에는 평탄화막으로서 소스 전극(116S) 및 드레인 전극(116D)을 덮는 제3 절연층(117)이



배치될 수 있으며, 제3 절연층(117)은 유기 물질 또는 무기 물질로 구성될 수 있으며, 유기 물질과 무기 물질을 교번하여 구성될 수도 있다.

- [0054] 도 3에서는 제1 박막 트랜지스터(Ta)의 게이트 전극(114)이 활성층(112)의 상부에 배치된 경우를 도시하고 있지만, 본 발명은 이에 제한되지 않으며 게이트 전극은 활성층의 하부에 배치될 수도 있다.
- [0055] 제3 절연층(117) 상에는 화소 영역을 정의하는 बैं크(170)가 배치될 수 있다. बैं크(170)는 발광 다이오드(300)가 수용될 오목부(170a)를 포함한다. बैं크(170)의 높이는 발광 다이오드(300)의 높이 및 시야각에 의해 결정될 수 있다. 오목부(170a)의 크기(폭)는 표시 장치(100)의 해상도, 화소 밀도 등에 의해 결정될 수 있다. 일 실시예에서, बैं크(170)의 높이보다 발광 다이오드(300)의 높이가 더 클 수 있다. 도 2에는 오목부(170a)가 사각형인 예를 도시하고 있으나, 본 발명의 실시예들은 이에 한정되지 않고, 오목부(170a)는 다각형, 직사각형, 원형, 타원형, 삼각형 등 다양한 형상을 가질 수 있다.
- [0056] 오목부(170a)의 저면을 따라 화소 전극(120)이 배치된다. 일부 실시예에서, 화소 전극(120)의 가장자리 영역 또는 단부는 बैं크(170)에 의해서 덮여질 수 있다. 또는, 일부 실시예에서, 화소 전극(120)은 오목부(170a)의 측면 및/또는 बैं크(170)의 상면까지 연장되어 배치될 수 있다. 화소 전극(120)은 제1 서브 전극(120a) 및 제2 서브 전극(120b) 등으로 분할되어 있다. 제1 서브 전극(120a) 및 제2 서브 전극(120b)는 서로 전기적으로 분리된다. 제1 서브 전극(120a)과 제2 서브 전극(120b) 사이에는 광차단벽(410)이 배치될 수 있다.
- [0057] 화소 전극(120)은 반사 전극으로 구성될 수 있고, 하나 또는 하나 이상의 층을 포함할 수 있다. 예를 들어, 화소 전극(120)은 알루미늄, 몰리브덴, 티타늄, 티타늄과 텅스텐, 은, 또는 금, 또는 그것의 합금과 같은 금속을 포함할 수 있다. 화소 전극(120)은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명 도전성 산화물(TCO), 카본 나노 튜브 필름 또는 투명한 도전성 폴리머와 같은 도전성 물질을 포함하는 투명 도전층, 및 반사층을 포함할 수 있다. 일 실시예에서, 화소 전극(120)은 상부 및 하부 투명 도전층과 그 사이의 반사층을 포함하는 3중층일 수 있다.
- [0058] 제1 서브 전극(120a) 및 제2 서브 전극(120b)는 각각 제1 박막 트랜지스터(Ta) 및 제2 박막 트랜지스터(Tb)와 연결된다. 즉, 제1 서브 전극(120a)은 제3 절연층(117)에 형성된 비아홀을 통해 제1 박막 트랜지스터(Ta)의 소스 전극(116S) 또는 드레인 전극(116D)과 전기적으로 연결된다. 도 3에서는 제1 서브 전극(120a)이 드레인 전극(116D)과 전기적으로 연결되어 있다. 제2 서브 전극(120b)은 제2 박막 트랜지스터(Tb)의 소스 전극 또는 드레인 전극과 전기적으로 연결된다.
- [0059] बैं크(170)는 광 투과율이 낮은 광 차단부로 기능하여 발광 다이오드(300)의 측면으로 방출되는 광을 차단함으로써, 인접한 발광 다이오드(300)들에서 발생하는 광들의 혼색을 방지할 수 있다. 또한, बैं크(170)는 외부로부터 입사되는 광을 흡수 및 차단하여 표시 장치(100)의 콘트라스트를 향상시킬 수 있다. बैं크(170)는 광의 적어도 일부를 흡수하는 물질, 또는 광 반사 물질, 또는 광 산란 물질을 포함할 수 있다.
- [0060] बैं크(170)의 오목부(170a)에 발광 다이오드(300)가 배치된다. 발광 다이오드(300)는 마이크로 LED일 수 있다. 여기서 마이크로는 1 내지 100 μm의 크기를 가리킬 수 있으나, 본 발명의 실시예들은 이에 제한되지 않고, 그보다 더 크거나 더 작은 크기의 발광 다이오드에도 적용될 수 있다. 발광 다이오드(300)는 개별적으로 또는 복수 개가 이송 기구에 의해 웨이퍼 상에서 픽업(pick up)되어 기판(101)에 전사됨으로써 기판(101)의 오목부(170a)에 수용될 수 있다. 일 실시예에서, 발광 다이오드(300)는 बैं크(170) 및 화소 전극(120)이 형성된 후 기판(101)의 오목부(170a)에 수용될 수 있다. 발광 다이오드(300)는 자외광으로부터 가시광까지의 파장 영역에 속하는 소정 파장의 광을 방출할 수 있다. 예를 들어, 발광 다이오드(300)는 적색, 녹색, 청색, 백색 LED 또는 UV LED일 수 있다.
- [0061] 발광 다이오드(300)는 p-n 다이오드(380), 제1 컨택 전극(310) 및 제2 컨택 전극(390)을 포함할 수 있다. 제1 컨택 전극(310) 및/또는 제2 컨택 전극(390)은 하나 이상의 층을 포함할 수 있으며, 금속, 전도성 산화물 및 전도성 중합체들을 포함한 다양한 전도성 재료로 형성될 수 있다. 제1 컨택 전극(310) 및 제2 컨택 전극(390)은 반사층, 예를 들어, 은(silver) 층을 선택적으로 포함할 수 있다. 제1 컨택 전극(310)은 화소 전극(120)과 전기적으로 연결되고, 제2 컨택 전극(390)은 대향 전극(160)과 전기적으로 연결된다. p-n 다이오드(380)는 하부의 p-도핑층(330), 하나 이상의 양자 우물 층(350) 및 상부의 n-도핑층(370)을 포함할 수 있다. 다른 실시예에서, 상부 도핑층(370)이 p-도핑층이 되고, 하부 도핑층(330)이 n-도핑층이 될 수 있다. p-n 다이오드(380)는 직선형 측면, 또는 위에서 아래 또는 아래에서 위로 테이퍼진 측면을 가질 수 있다.
- [0062] 발광 다이오드(300)는 제1 서브 발광 다이오드(300a) 및 제2 서브 발광 다이오드(300b)를 포함하며, 상기 제1 서브 발광 다이오드(300a)와 제2 서브 발광 다이오드(300b) 사이에 배치된 광차단벽(410)을 포함한다. 광차단



벽(410)은 상기 제1 서브 발광 다이오드(300a) 및 제2 서브 발광 다이오드(300b)의 일 측면을 커버할 수 있도록 구비될 수 있다. 발광 다이오드(300)는 광차단벽(410)에 의해서 제1 내지 제n 서브 발광 다이오드로 분할될 수 있다.

[0063] 제1 내지 제n 서브 발광 다이오드는 각각 제1 내지 제n 서브 전극과 연결된다. 즉, 제1 서브 발광 다이오드(300a)는 제1 서브 전극(120a)과 연결되며, 제2 서브 발광 다이오드(300b)는 제2 서브 전극(120b)과 연결된다.

[0064] 광차단벽(410)은 제1 내지 제n 서브 발광 다이오드를 전기적으로 분리시키며, 광 차단부 및/또는 광 반사부로 기능할 수 있다. 광차단벽(410)은 광 투과율이 낮은 절연 물질로 구성될 수 있다. 따라서, 광차단벽(410)은 제1 서브 발광 다이오드(300a)가 방출하는 빛이 제1 서브 전극(120a) 영역 이외에 다른 영역으로 진행되는 것을 차단할 수 있다. 광차단벽(410)은 광 반사 물질을 포함할 수 있다. 따라서, 광차단벽(410)은 제1 서브 발광 다이오드(300a)가 방출하는 빛을 반사시켜 제1 서브 전극(120a) 영역으로 진행할 수 있도록 광 경로를 변경할 수 있다.

[0065] 광차단벽(410)은 폴리카보네이트(PC), 폴리에틸렌테레프탈레이트(PET), 폴리에테르설폰, 폴리비닐부티랄, 폴리페닐렌에테르, 폴리아미드, 폴리에테르이미드, 노보넨계(norbornene system) 수지, 메타크릴 수지, 환상 폴리올레핀계 등의 열가소성 수지, 에폭시 수지, 페놀 수지, 우레탄 수지, 아크릴수지, 비닐 에스테르 수지, 이미드계 수지, 우레탄계 수지, 우레아(urea)수지, 멜라민(melamine) 수지 등의 열경화성 수지, 또는 폴리스티렌, 폴리아크릴로니트릴, 폴리카보네이트 등의 유기 절연 물질로 형성될 수 있으나, 이에 한정되는 것은 아니다. 광차단벽(410)은 SiO<sub>x</sub>, SiN<sub>x</sub>, SiN<sub>x</sub>O<sub>y</sub>, AlO<sub>x</sub>, TiO<sub>x</sub>, TaO<sub>x</sub>, ZnO<sub>x</sub> 등의 무기산화물, 무기질화물 등의 무기 절연 물질로 형성될 수 있으나, 이에 한정되는 것은 아니다. 일 실시예에서, 광차단벽(410)은 블랙 매트릭스(black matrix) 재료와 같은 불투명 재료로 형성될 수 있다. 절연성 블랙 매트릭스 재료로는 유기 수지, 글래스 페이스트(glass paste) 및 흑색 안료를 포함하는 수지 또는 페이스트, 금속 입자, 예컨대 니켈, 알루미늄, 몰리브덴 및 그의 합금, 금속 산화물 입자(예를 들어, 크롬 산화물), 또는 금속 질화물 입자(예를 들어, 크롬 질화물) 등을 포함할 수 있다. 다른 실시예에서 광차단벽(410)은 절연 물질로 형성된 미러(mirror) 반사체를 포함할 수 있다.

[0066] 일부 실시예에서, 상기 화소 전극(120)의 분할 및 발광 다이오드(300)의 분할은 동시에 이루어질 수 있다. 예를 들어, 상기 화소 전극(120) 및 발광 다이오드(300)의 분할은 경계선(BL)을 따라 레이저를 조사함에 의해서 상기 화소 전극(120) 및 발광 다이오드(300)가 절단되면서 이루어질 수 있다. 상기 레이저 절단에 의해 발광 다이오드(300)는 절단홈이 형성되며, 상기 절단홈에 상기 광차단벽(410)이 형성될 수 있다. 그러나, 이에 한정되지 않는다. 예를 들어, 화소 전극(120)의 분할공정을 먼저 한 후, 발광 다이오드(300)의 분할 공정을 할 수 있다.

[0067] 대향 전극(160)은 투명 또는 반투명 전극으로 구성될 수 있다. 예를 들어, 대향 전극(160)은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명 도전성 산화물(TCO), 카본 나노 튜브 필름 또는 투명한 도전성 폴리머와 같은 도전성 물질로 형성될 수 있다. 대향 전극(160)은 화소(P1)들에 공통인 공통전극으로서 기판(101) 전체에 형성될 수 있다.

[0068] 상기 화소 전극(120)과 상기 대향 전극(160)은 상기 발광 다이오드(300)을 사이에 두고 서로 마주보고 배치되며, 상기 발광 다이오드(300)에서 발생한 광은 상기 화소 전극(120)과 대향 전극(160) 사이를 반사하면서 측면 방향으로 진행하면서, 대향 전극(160)을 통하여 외부로 출광될 수 있다. 일부 실시예에서, 상기 화소 전극(120)과 상기 대향 전극(160)은 서로 평행하게 배치될 수 있다. 이에 따라, 측면 방향으로의 광 진행을 용이하게 할 수 있다. 일부 실시예에서, 화소 전극(120)과 대향 전극(160)이 사이의 간격은 상기 발광 다이오드(300)의 높이와 동일할 수 있다.

[0069] 상기 화소 전극(120)과 상기 대향 전극(160) 사이에는 광도파층(180)이 더 구비될 수 있다. 광도파층(180)은 측면 방향으로의 광 진행을 용이하게 하기 위한 것으로 소정의 굴절률을 갖는 투명한 재질의 물질로 형성될 수 있다. 예를 들어, 광도파층(180)은 굴절률이 1.2 내지 1.7 사이의 값을 갖는 물질일 수 있다. 광도파층(180)은 오목부(170a) 내의 발광 다이오드(300)를 둘러쌀 수 있다. 광도파층(180)은 뱅크(170)를 커버할 수 있다. 광도파층(180)은 발광 다이오드(300)의 상부, 예컨대 제2 콘택 전극(390)은 커버하지 않는 높이로 형성되어, 제2 콘택 전극(390)은 노출된다.

[0070] 일부 실시예에서, 광도파층(180)은 아크릴, 폴리(메틸 메타크릴레이트)(PMMA), 벤조사이클로부텐(BCB), 폴리이미드, 아크릴레이트, 에폭시 및 폴리에스테르 등으로 형성될 수 있으나, 이에 한정되는 것은 아니다. 광도파층(180) 상부에는 발광 다이오드(300)의 노출된 제2 콘택 전극(390)과 전기적으로 연결되는 대향 전극(160)이 형성된다.

[0071] 본 발명의 실시예에 있어서, 화소 전극(120)은 반사 전극, 대향 전극(160)은 투명 또는 반투명 전극으로 구성될

수 있음에 대해서 설명하였으나, 이에 한정되지 않는다. 예를 들어, 화소 전극(120)이 투명 또는 반투명 전극으로 구비되고, 대향 전극(160)이 반사 전극으로 구비되어 기관(101) 방향으로 광이 출광할 수도 있다.

- [0072] 도 4는 본 발명의 일 실시예에 따른 화소(P1)에서의 광 추출을 설명하는 평면도이다.
- [0073] 도 4의 경우, 분할된 화소 전극(120) 중 제1 서브 전극(120a) 영역만이 밝혀진 경우를 나타낸다. 제1 박막 트랜지스터(Ta)가 턴-온 되면 제1 서브 전극(120a)에 전압이 인가된다. 제1 서브 전극(120a)에 전압이 인가됨에 따라, 제1 서브 전극(120a)와 연결된 제1 발광 다이오드(300a)의 측면에서 광이 방출된다. 방출된 광은 제1 서브 전극(120a)와 대향 전극(160, 도 3 참조) 사이를 반사하며 진행하면서, 대향 전극(160)을 통해 상부로 추출될 수 있다.
- [0074] 광차단벽(410)은 제1 발광 다이오드(300a)로부터 방출된 광을 인접한 다른 서브 전극으로 차단하거나 반사시킬 수 있으며, 반사된 광은 제1 서브 전극(120a) 영역으로 진행할 수 있다.
- [0075] 상술한 바와 같이, 본 발명의 일 실시예에 따른 표시 장치는 분할된 화소 전극을 구비하고 있어, 각 화소마다 광량의 조절이 용이할 수 있다.
- [0076] 도 5는 본 발명의 다른 실시예에 따른 표시 장치(200)에 포함된 하나의 화소(P2)를 나타낸 평면도이다. 도 6은 도 5의 II-II'를 따라 취한 단면도이다. 도 5 및 도 6에 있어서, 도 2 및 도 3과 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 중복 설명은 생략한다.
- [0077] 도 5 및 도 6을 참조하면, 각 화소(P2)는 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d)으로 분할된 화소 전극(120), 상기 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d)의 경계선(BL)에 배치된 발광 다이오드(300'), 및 상기 발광 다이오드(300')를 사이에 두고 상기 화소 전극(120)과 대향하며 배치된 대향 전극(160)을 포함한다.
- [0078] 도 5에서는 각 화소(P2)가 4개로 분할된 것을 예시하였으나, 이에 한정되지 않는다. 각 화소(P2)는 n개( $n \geq 2$ 인 정수)로 분할될 수 있다. 즉, 각 화소(P2)는 제1 내지 제n 서브 전극으로 분할된 화소 전극(120), 상기 제1 내지 제n 서브 전극의 경계선(BL)에 배치된 발광 다이오드(300'), 및 상기 발광 다이오드(300')를 사이에 두고 상기 화소 전극(120)과 대향하며 배치된 대향 전극(160)을 포함할 수 있다.
- [0079] 각 서브 전극의 크기는 서로 다르게 구비될 수 있다. 제1 내지 제n 서브 전극은 하나의 교차점(CP)을 가지고 분할될 수 있다. 도 5에 있어서, 교차점(CP)은 화소 전극(120)의 중앙에 배치되어 있으나, 이에 한정되지 않는다. 교차점(CP)은 화소 전극(120)의 가장자리로 치우쳐서 배치될 수 있다. 상기 제1 내지 제n 서브 전극은 경계선(BL)을 기준으로 서로 이격하여 배치될 수 있다. 이에 따라, 제1 내지 제n 서브 전극은 서로 전기적으로 분리된다.
- [0080] 발광 다이오드(300')는 상기 교차점(CP) 상에 배치될 수 있다. 발광 다이오드(300')는 화소(P2)의 중앙에 배치될 수 있으나, 이에 한정되지 않는다. 발광 다이오드(300')는 화소(P2)의 일 측면에 배치될 수 있다. 화소 전극(120)의 면적은 상기 발광 다이오드(300')의 면적에 비해서 클 수 있다. 예를 들어, 화소 전극(120)의 면적은 상기 발광 다이오드(300')가 차지하는 면적에 비해 2배 내지 30배 클 수 있다.
- [0081] 발광 다이오드(300')는 마이크로 LED일 수 있다. 여기서 마이크로는 1 내지 100  $\mu\text{m}$ 의 크기를 가리킬 수 있으나, 본 발명의 실시예들은 이에 제한되지 않고, 그보다 더 크거나 더 작은 크기의 발광 다이오드에도 적용될 수 있다. 발광 다이오드(300')는 개별적으로 또는 복수 개가 이송 기구에 의해 웨이퍼 상에서 픽업(pick up)되어 기관(101)에 전자됨으로써 기관(101)의 오목부(170a)에 수용될 수 있다. 일 실시예에서, 발광 다이오드(300')는 बैं크(170) 및 화소 전극(120)이 형성된 후 기관(101)의 오목부(170a)에 수용될 수 있다. 발광 다이오드(300')는 자외광으로부터 가시광까지의 파장 영역에 속하는 소정 파장의 광을 방출할 수 있다. 예를 들어, 발광 다이오드(300')는 적색, 녹색, 청색, 백색 LED 또는 UV LED일 수 있다.
- [0082] 발광 다이오드(300')는 p-n 다이오드(380), 제1 컨택 전극(310) 및 제2 컨택 전극(390)을 포함할 수 있다. 제1 컨택 전극(310) 및/또는 제2 컨택 전극(390)은 하나 이상의 층을 포함할 수 있으며, 금속, 전도성 산화물 및 전도성 중합체들을 포함한 다양한 전도성 재료로 형성될 수 있다. 제1 컨택 전극(310) 및 제2 컨택 전극(390)은 반사층, 예를 들어, 은(silver) 층을 선택적으로 포함할 수 있다. 제1 컨택 전극(310)은 화소 전극(120)과 전기적으로 연결되고, 제2 컨택 전극(390)은 대향 전극(160)과 전기적으로 연결된다. p-n 다이오드(380)는 하부의 p-도핑층(330), 하나 이상의 양자 우물 층(350) 및 상부의 n-도핑층(370)을 포함할 수 있다. 다른 실시예에서, 상부 도핑층(370)이 p-도핑층이 되고, 하부 도핑층(330)이 n-도핑층이 될 수 있다. p-n 다이오드(380)는 직선형

측벽, 또는 위에서 아래 또는 아래에서 위로 테이퍼진 측벽을 가질 수 있다.

- [0083] 발광 다이오드(300')의 제1 컨택 전극(310)은 제1 내지 제n 서브 전극과 연결된다. 즉, 제1 컨택 전극(310)은 제1 서브 전극(120a)과 연결되는 동시에 제2 서브 전극(120b)과 연결된다.
- [0084] 발광 다이오드(300')의 측면을 둘러싸는 셔터(420)가 구비될 수 있다. 셔터(420)는 복수의 제1 내지 제n 셔터로 구비될 수 있다. 제1 내지 제n 셔터는 각각 제1 내지 제n 서브 전극 상에 배치될 수 있다. 도 5에 있어서는 제1 내지 제4 셔터(420a, 420b, 420c, 430d)는 각각 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d) 상에 배치된다.
- [0085] 셔터(420)는 광 차단부 및/또는 광 반사부로 기능할 수 있다. 셔터(420)는 광 투과율이 낮은 절연 물질로 구성될 수 있다. 또한, 셔터(420)는 광 반사 물질을 포함할 수 있다. 셔터(420)는 정전기력(electro static force)에 의해서 온/오프 될 수 있다. 셔터(420)가 닫힌 상태에는 발광 다이오드(300')의 측면을 커버하여, 발광 다이오드(300')에서 출광하는 빛을 차단 및/또는 반사하는 역할을 할 수 있다. 셔터(420)가 열린 상태에는 발광 다이오드(300')의 측면을 오픈하여 광이 출광되게 하는 역할을 할 수 있다.
- [0086] 일부 실시예에서, 셔터(420)는 얇은 절연막으로 형성되어, 화소 전극(120)에 인가되는 전압과 셔터(420)의 전위차에 의해서 셔터(420)의 상부가 정전기력에 의한 인력(attractive force)에 의해서 화소 전극(120) 쪽으로 이동하는 방식으로 구동될 수 있다. 그러나, 이에 한정되지 않는다. 셔터(420)는 다양한 MEMS(microelectromechanical systems) 구조물에 의해서 형성될 수 있다.
- [0087] 셔터(420)는 폴리카보네이트(PC), 폴리에틸렌테레프탈레이트(PET), 폴리에테르설폰, 폴리비닐부티랄, 폴리페닐렌에테르, 폴리아미드, 폴리에테르이미드, 노보넨계(norbornene system) 수지, 메타크릴 수지, 환상 폴리올레핀계 등의 열가소성 수지, 에폭시 수지, 페놀 수지, 우레탄 수지, 아크릴수지, 비닐 에스테르 수지, 이미드계 수지, 우레탄계 수지, 우레아(urea)수지, 멜라민(melamine) 수지 등의 열경화성 수지, 또는 폴리스티렌, 폴리아크릴로니트릴, 폴리카보네이트 등의 유기 절연 물질로 형성될 수 있으나, 이에 한정되는 것은 아니다. 셔터(420)는 SiOx, SiNx, SiNxOy, AlOx, TiOx, TaOx, ZnOx 등의 무기산화물, 무기질화물 등의 무기 절연 물질로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0088] 일부 실시예에서, 셔터(420)는 블랙 매트릭스(black matrix) 재료와 같은 불투명 재료로 형성될 수 있다. 절연성 블랙 매트릭스 재료로는 유기 수지, 글래스 페이스트(glass paste) 및 흑색 안료를 포함하는 수지 또는 페이스트, 금속 입자, 예컨대 니켈, 알루미늄, 몰리브덴 및 그의 합금, 금속 산화물 입자(예를 들어, 크롬 산화물), 또는 금속 질화물 입자(예를 들어, 크롬 질화물) 등을 포함할 수 있다. 다른 실시예에서, 셔터(420)는 절연 물질로 형성된 미러(mirror) 반사체를 포함할 수 있다.
- [0089] 각 화소(P2)의 제1 내지 제n 서브 전극은 각각 제1 내지 제n 박막 트랜지스터와 연결된다. 도 5에 있어서, 제1 내지 제4 서브 전극(120a, 120b, 120c, 120d)은 각각 제1 내지 제4 박막 트랜지스터(Ta, Tb, Tc, Td)와 연결된다.
- [0090] 각 화소(P2)는 발광 다이오드(300') 및 발광 다이오드(300')에 연결된 화소 회로를 포함할 수 있다. 화소 회로는 상기 제1 내지 제n 박막 트랜지스터 이외의 박막 트랜지스터(TFT)를 더 포함할 수 있으며, 화소 회로는 적어도 하나의 커패시터를 포함할 수 있다. 화소 회로는 상기 제1 내지 제n 박막 트랜지스터를 각각 구동하는 적어도 하나의 스캔선 및 적어도 하나의 데이터선과 연결된다. 하나의 화소(P2)는 분할된 서브 전극의 개수에 따라서 복수의 스캔선 및 복수의 데이터선과 연결될 수 있다.
- [0091] 제1 내지 제n 서브 발광 다이오드는 제1 내지 제n 박막 트랜지스터의 구동에 따라 각각 구동될 수 있다. 화소(P2)의 광량을 조절하기 위해서 제1 내지 제n 박막 트랜지스터 중 m개 ( $1 \leq m \leq n$  인 정수)만을 구동하여, 이와 연결된 m 개의 서브 전극 부위에서만 광이 방출될 수 있다. 이와 같이, 화소 전극(120)의 분할을 통하여 광량의 조절이 용이해지고 계조(gradation) 표현이 용이할 수 있다.
- [0092] 도 7은 본 발명의 일 실시예에 따른 화소(P2)에서의 광 추출을 설명하는 평면도이다.
- [0093] 도 7의 경우, 제1 셔터(420a)가 온(ON)되어 발광 다이오드(300')의 일 측면만이 오픈된 상태를 나타낸다. 제1 셔터(420a)는 제1 박막 트랜지스터(Ta)와 연동되어 온(ON) 될 수 있다. 제1 셔터(420a)가 온-상태에 놓임에 따라, 발광 다이오드(300')에서 방출되는 광이 제1 서브 전극(120a)과 대향 전극(160) 사이를 반사하며 진행하면서, 대향 전극(160)을 통해 상부로 추출될 수 있다.
- [0094] 제2 셔터(420b)는 발광 다이오드(300')로 부터 방출된 광을 인접한 다른 서브 전극으로 차단하거나 반사시킬 수

있으며, 반사된 광은 제1 서브 전극(120a) 영역으로 진행할 수 있다.

[0095] 상술한 바와 같이, 본 발명의 일 실시예에 따른 표시 장치(200)는 분할된 화소 전극을 구비하고 있어, 각 화소마다 광량의 조절이 용이할 수 있다.

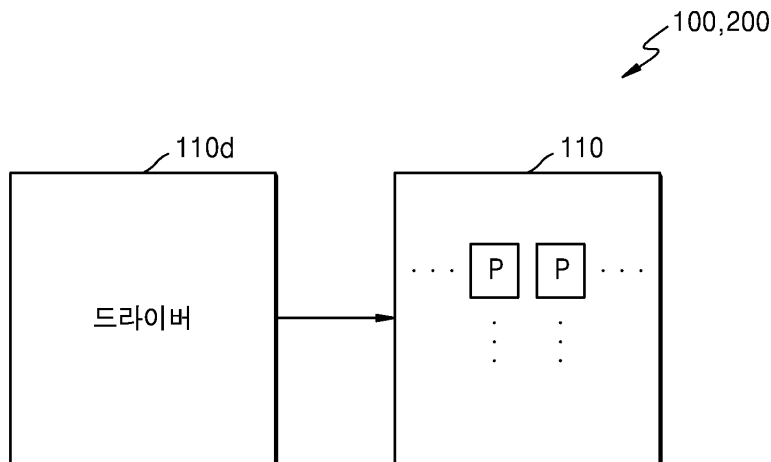
[0096] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

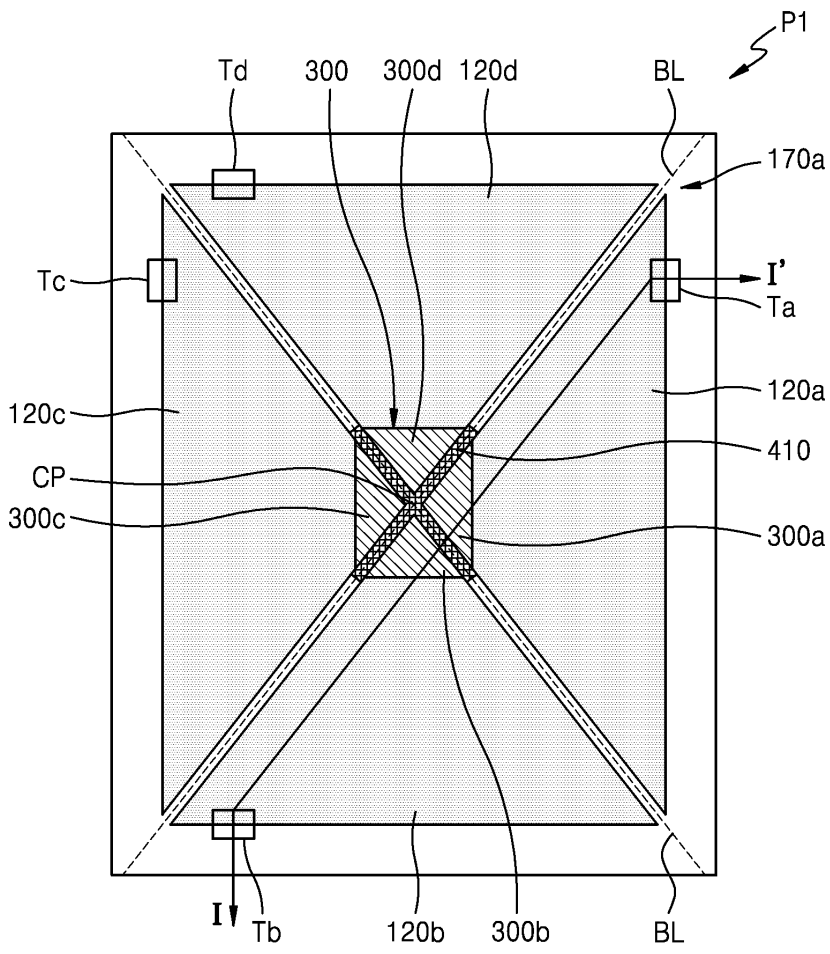
- [0097] 100, 200: 표시 장치
- 110: 표시부
- 101: 기관 111: 버퍼층
- 112: 활성층 113: 제1 절연층
- 114: 게이트 전극 115: 제2 절연층
- 116D: 드레인 전극 116S: 소스 전극
- 117: 제3 절연층
- 120: 화소 전극 160: 대향 전극
- 170: बैं크 170a: 오목부
- 180: 광도파층
- 300, 300': 발광 다이오드
- 300: 발광 다이오드
- 410: 광차단벽
- 420: 서터

**도면**

**도면1**

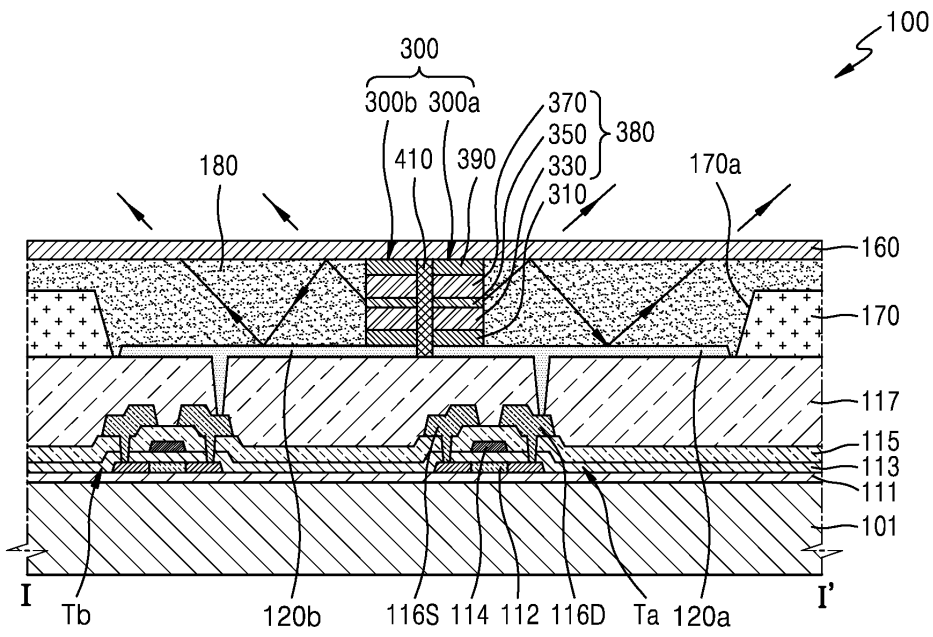


도면2

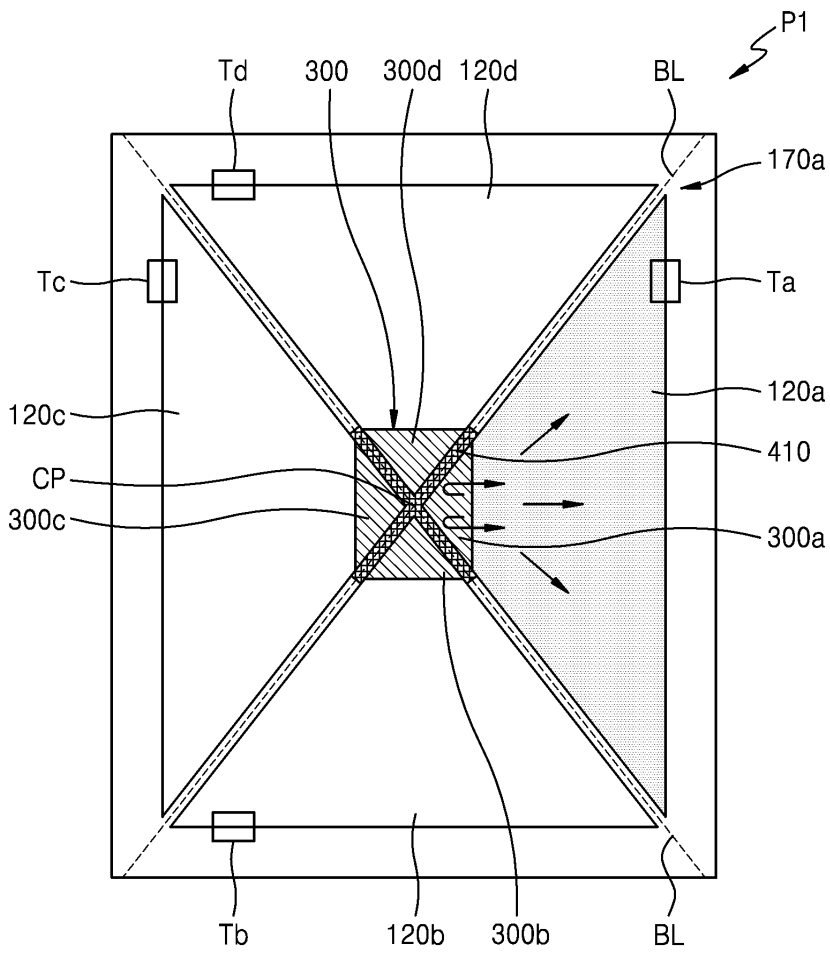


300a	} 300	120a	} 120
300b		120b	
300c		120c	
300d		120d	

도면3



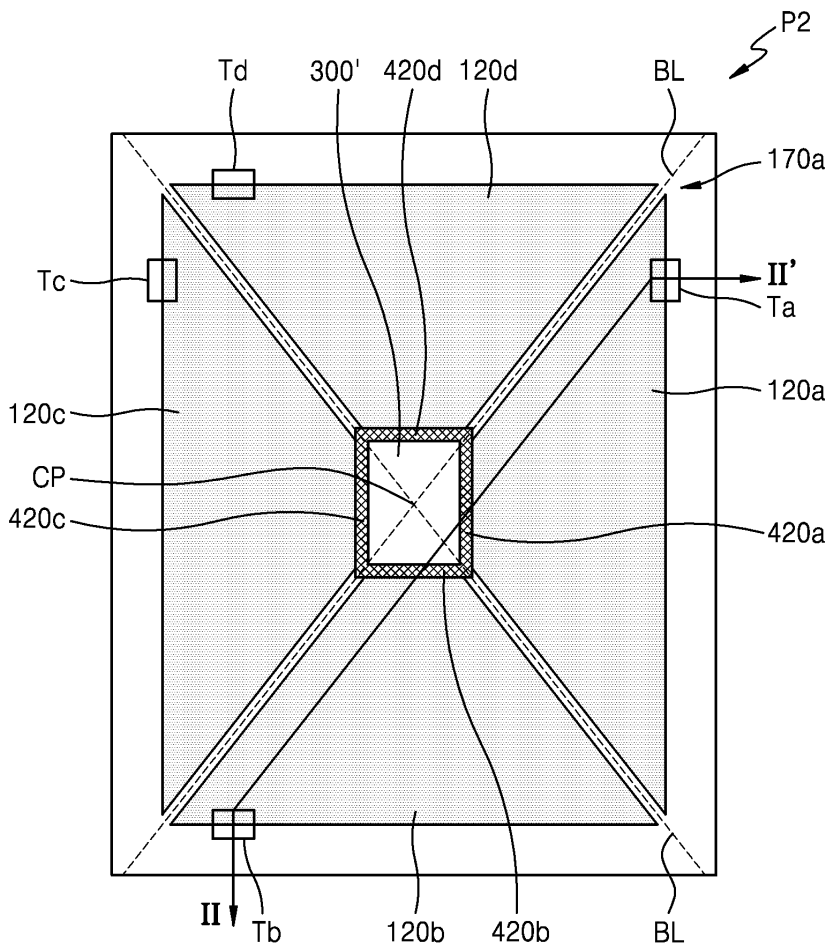
도면4



120a }  
120b } 120  
120c }  
120d }

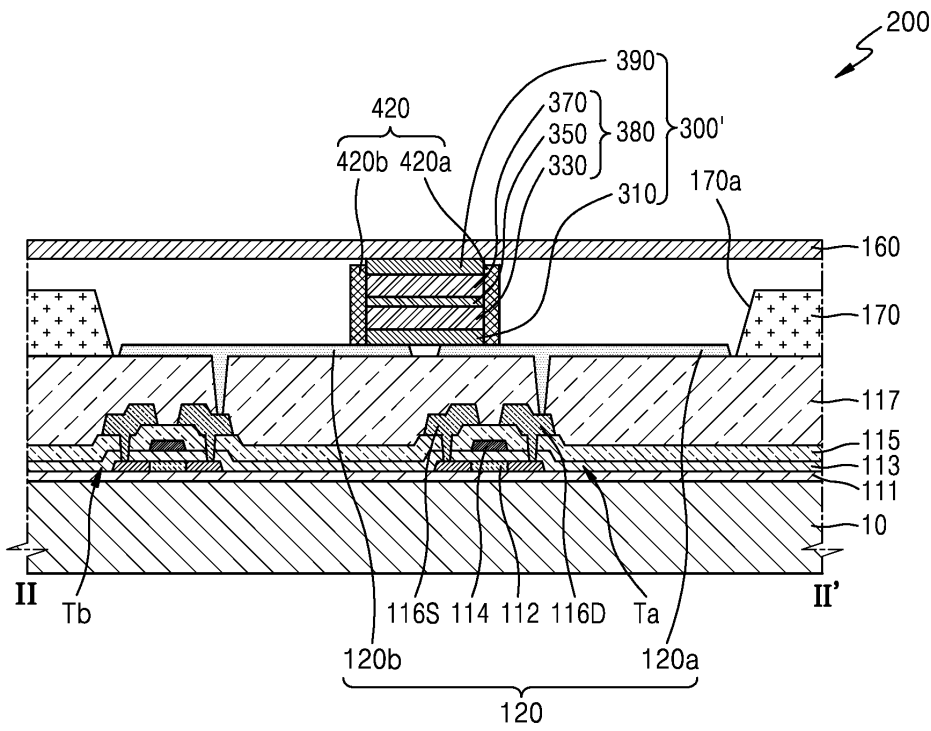


도면5



420a	} 420	120a	} 120
420b		120b	
420c		120c	
420d		120d	

도면6



도면7

