

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4351535号
(P4351535)

(45) 発行日 平成21年10月28日 (2009. 10. 28)

(24) 登録日 平成21年7月31日 (2009. 7. 31)

(51) Int. Cl.	F I
H O 3 K 3/03 (2006. 01)	H O 3 K 3/03
H O 3 B 5/12 (2006. 01)	H O 3 B 5/12 B
H O 3 K 3/354 (2006. 01)	H O 3 K 3/354 B

請求項の数 6 (全 9 頁)

(21) 出願番号	特願2003-561094 (P2003-561094)	(73) 特許権者	306043703
(86) (22) 出願日	平成14年12月12日 (2002. 12. 12)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2005-515680 (P2005-515680A)		N X P B. V.
(43) 公表日	平成17年5月26日 (2005. 5. 26)		オランダ国 5 6 5 6 エイジー アイン
(86) 国際出願番号	PCT/IB2002/005344		ドーフエン ハイ テク キャンパス 6
(87) 国際公開番号	W02003/061124		O
(87) 国際公開日	平成15年7月24日 (2003. 7. 24)	(74) 代理人	100075812
審査請求日	平成17年12月12日 (2005. 12. 12)		弁理士 吉武 賢次
(31) 優先権主張番号	02075197.0	(74) 代理人	100088889
(32) 優先日	平成14年1月17日 (2002. 1. 17)		弁理士 橋谷 英俊
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100112793
			弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 改良差動インバータ

(57) 【特許請求の範囲】

【請求項 1】

第 1 入力信号と第 2 入力信号とを有する第 1 信号対を受信する差動入力と、
第 1 制御信号と第 2 制御信号とを有する第 2 信号対を受信する差動制御入力と、
第 1 出力信号と第 2 出力信号とを有する差動信号の第 3 ベクトルを送信する差動出力と
、
被制御バイアス生成器と、
を含む差動インバータを具備するインバータ回路であって、
前記被制御バイアス生成器は、前記差動インバータの前記差動出力に結合された分圧器
の出力におけるバイアス制御信号に応答して、入力信号の第 2 ベクトルを生成するととも
に、前記バイアス制御信号が前記差動出力の D C 電圧を示すことを特徴とするインバータ
回路。

【請求項 2】

前記バイアス制御信号は、第 1 抵抗手段にほぼ等しい第 2 抵抗手段への前記第 1 抵抗手
段の結合点において生成され、前記第 1 抵抗手段の端部および前記第 2 抵抗手段の端部が
前記差動出力に結合されている、請求項 1 に記載のインバータ回路。

【請求項 3】

前記差動インバータは、第 1 トランジスタ対および第 2 トランジスタ対を具備しており
、前記第 1 トランジスタ対および前記第 2 トランジスタ対は、それぞれ、ドレインードレ
イン間接続を介して p タイプ M O S トランジスタに結合されている n タイプ M O S トラン

ジスタを、具備しており、

前記 n タイプ MOS トランジスタは、第 3 抵抗手段を介して前記第 2 制御信号を受信する第 1 制御端子を有しており、前記 p タイプ MOS トランジスタは、第 4 抵抗手段を介して前記第 1 制御信号を受信する第 2 制御端子を有している、

請求項 1 に記載の インバータ回路。

【請求項 4】

前記被制御バイアス生成器は、第 2 CMOS インバータおよび第 3 CMOS インバータに結合された第 1 CMOS インバータを具備し、前記第 1 CMOS インバータは、バイアス制御信号を受信して、前記第 2 CMOS インバータおよび前記第 3 CMOS インバータに入力される可変制御信号を生成し、前記第 2 CMOS インバータおよび前記第 3 CMOS インバータは、前記可変制御信号に応答して入力信号の前記第 2 ベクトルを生成する、請求項 1、2 または 3 に記載の インバータ回路。

10

【請求項 5】

前記被制御バイアス生成器に含まれる何れかの CMOS インバータは、p タイプ MOS トランジスタと n タイプ MOS トランジスタとの対を具備し、前記トランジスタは、互いに結合されて異なる幾何学的性質 A_1' および A_2' をそれぞれ有する、請求項 4 に記載の インバータ回路。

【請求項 6】

請求項 1 乃至 5 の何れかに記載の インバータ回路 を具備する差動発振器であって、前記前記 インバータ回路 の前記差動出力の端子間に結合された LC タンク回路を有し、且つ、前記差動出力の端子は前記差動入力に交差結合されている、差動発振器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、請求項 1 の前文に記載されている改良差動インバータに関する。

【背景技術】

【0002】

インバータは、アナログおよびデジタルの両回路に組み込まれている非常に有用な電子機器である。CMOS 技術において、インバータアーキテクチャは、図 7 に示すように非常に単純である。図 7 のインバータはトランジスタ対を備え、このトランジスタ対は、n タイプ MOS トランジスタ (T_2) に結合された p タイプ MOS トランジスタ (T_1) を含む。これらのトランジスタはドレイン対ドレイン結合されており、その制御端子 G_1 および G_2 は互いに接続されている。デジタル用途においては、2 進入力信号 (V_{in}) がトランジスタ制御端子 (G_1 、 G_2) に送られる。インバータの出力では、可能な 2 進値、すなわち論理的 1 または論理的 0 の何れかを有する出力信号 (OUT) が得られ、前記出力信号 (OUT) は入力信号に対してほぼ 180 度位相シフトされる。リニア用途においては、フィードバック抵抗 (R) が、トランジスタドレインとトランジスタグリッドの間に接続される。このようにして、トランジスタ対の安定した動作点を得られる。この用途では、重要なパラメータは、トランジスタ対の相互コンダクタンス g_m である。数学的には、相互コンダクタンスは関係式 (1) のように表される。

30

40

$$g_m = \beta (V_{GS} - V_{TH}) \quad (1)$$

【0003】

関係式 (1) において、 β はトランジスタの幾何学的性質、すなわちその幅 (W) とその長さ (L) に応じたパラメータである。 V_{GS} は、トランジスタのグリッドとソースの間の電圧である。 V_{TH} は、しきい電圧、すなわちトランジスタがオンになってドレイン電流を伝導するのに必要な電圧である。 V_{TH} はまた、技術によっても異なる。関係式 (1) より、相互コンダクタンス g_m はパラメータ β 、 V_{GS} の何れかまたはこれらの組合せを制御することにより制御される。トランジスタ対の供給電圧が例えば 0.5 V と比較的低い場合、バッファリングおよび発振生成などの用途においてできるだけ大きな g_m を得ることが必要である。

50

【0004】

米国特許出願公開第4, 387, 349号において、発振を生成するために水晶発振器で使用されるインバータが考察されている。この特許で開示されている水晶発振器は、nタイプトランジスタに接続されるpタイプトランジスタを備えるCMOSトランジスタ対を使用することによって実現される。これらのトランジスタのグリッドは、コンデンサを介して結合される。各グリッドは更に、クラスBのトランジスタ対にバイアスをかける基準電圧生成器に結合される。発振器において、これはバイアスに適した解決法であるが、リニア用途を考慮すると、最大線形性を得るためにはクラスAでバッファをバイアスしなければならない。従って、リニア用途および発振生成の両方に合った適切なインバータは、用途のタイプ、すなわちリニアまたは発振生成によって異なる基準電圧を有する機器において実現される。この解決法では、回路の複雑性とコストが増大してしまう。また、2つのトランジスタ対を使用する差動用途においては、両トランジスタ対は、例えばgmおよびDC動作点などのほぼ等しい特性を有している。これは固定バイアスで得ることは技術的に不可能であり、差動段が適切に動作しなくなってしまう。このような理由から、リニア用途および発振生成の双方に対して差動用途で使用するトランジスタ対をバイアスすることが好ましい。

10

【発明の開示】

【0005】

したがって、本発明の目的は、差動用途に適した改良CMOSインバータを提供することにある。

20

【0006】

本発明によれば、これは、請求項1の前文に記載の機器であって、差動インバータの差動出力に結合された分圧器の出力で生成されるバイアス制御信号に応答して入力信号の第2ベクトルを生成する被制御バイアス生成器をさらに具備し、上記バイアス制御信号が上記差動出力のDC電圧を示すことを特徴とする機器において達成される。

【0007】

差動インバータは、ほぼ逆位相、すなわち互いに180度位相シフトされた第1出力信号および第2出力信号を生成する2つの出力端子を有している。互いに接続された2つの抵抗手段、例えば最も単純な構成では、単純な抵抗器が出力端子間で互いに直列に接続されている。第1および第2出力信号は逆位相なので、2つの抵抗手段の接続点で測定されるAC電圧はほぼゼロボルトになる。同時に、同じ点で測定されるDC電圧は、インバータの出力のDC電圧のほぼ平均となる。2つの出力間のDC電圧差が検知され、バイアス制御信号が生成される。バイアス制御信号は被制御バイアス生成器に入力され、この被制御バイアス生成器は第1制御信号および第2制御信号を有する入力信号の第2対を生成する。第1制御信号および第2制御信号は、第1出力信号と第2出力信号とのDC差ができるだけ小さく、理想的にはゼロになるように差動インバータを制御するDC電圧信号である。

30

【0008】

本発明の実施の一形態において、差動インバータは第1トランジスタ対と第2トランジスタ対とを備え、各トランジスタ対は、ドレインドレイン間接続を介してpタイプMOSトランジスタに結合されたnタイプMOSトランジスタを含み、nタイプトランジスタは、第3抵抗手段を介して入力信号の第2ベクトルの成分を受ける第1制御端子を有しており、また、pタイプトランジスタは、第4抵抗手段を介して入力信号の第2ベクトルの成分を受ける第2制御端子を有している。

40

【0009】

本発明の別の実施の形態において、被制御バイアス生成器は、第2CMOSインバータと第3CMOSインバータとに結合された第1CMOSインバータを備え、この第1CMOSインバータはバイアス制御信号を受けて、第2CMOSインバータおよび第3CMOSインバータに入力されるバイアス制御信号に比例する可変制御信号を生成し、また第2CMOSインバータおよび第3CMOSインバータは、上記可変制御信号に応答して入力

50

信号の第2ベクトルを生成する。バイアス制御信号が供給電圧のほぼ半分である場合、第1制御信号は供給電圧の半分よりも高い電圧であり、また第2制御信号は供給電圧の半分よりも低い。第3および第2制御信号は、関係式(1)の結果としてのトランジスタ対の g_m パラメータをさらに決定する差動インバータにおけるトランジスタ対の V_{GS} 電圧を決定する。

【0010】

本発明の実施の一形態において、被制御バイアス生成器に含まれるCMOSインバータの何れかはnタイプMOSトランジスタに結合されるpタイプMOSトランジスタの対を含み、上記トランジスタは異なる幾何学的性質を有している。MOSトランジスタ対が整合トランジスタで実現される場合、出力DC電圧は理想的には供給電圧の半分である。MOSトランジスタのドレイン電流は、第1近似において、式(2)のようにトランジスタの幾何学的性質によって異なる。

【数1】

$$I_D = k \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2)$$

【0011】

式(2)において、 I_D はドレイン電流、 k は使用する技術によって異なり、 W はトランジスタの幅、 L はトランジスタの長さ、他の符号は式(1)の通りである。MOSトランジスタの幾何学的性質をより良く定義する幾何学的パラメータは、その面積、すなわち $A = W * L$ である。特定の技術において、面積パラメータの1つは全てのトランジスタに対して一定、例えば L に維持され、また他は例えば W に修正される。この手順を使用すると、関係式(2)に示すように異なる電気特性を有するトランジスタが得られる。

【0012】

本発明の他の実施の形態において、改良差動インバータを備える差動発振器が提示され、上記差動発振器は改良差動インバータの差動出力端子間に結合されたLCタンク回路を有しており、また、この差動出力端子は差動入力に交差結合されている。

【0013】

発振用途において、特に比較的低い電圧、例えば0.5Vバッテリー動作回路を考慮する場合、電源をできるだけ効率良く使用することが望ましい。これは、これらの用途において従来の発振器回路を使用することができないからである。技術的不完全さがあるため、トランジスタ対のDC出力は供給電圧の半分ではなく、トランジスタ対は高 g_m を提供せず、また発振器もその発振を開始しないか、または発振が対称でない。本発明の発振器は、トランジスタ対のDC動作点の変化に連続して適合されるバイアスを有している。

【0014】

本発明の上記および他の利点は、添付の図面を参照して本発明の実施の形態のいくつかに関する以下の説明より明らかとなるであろう。

【発明を実施するための最良の形態】

【0015】

図1は、本発明による改良差動インバータのブロック図である。この改良差動インバータ100は、第1入力信号 $DIN1$ および第2入力信号 $DIN2$ を含む信号の第1ベクトルを受ける差動入力を有する差動インバータ30を具備している。改良差動インバータ100は更に、入力信号の第2ベクトルを受ける差動制御入力を具備しており、このベクトルは第1制御信号 $DC1$ および第2制御信号 $DC2$ を含んでいる。改良差動インバータは、差動信号の第3ベクトルを送信する差動出力を有しており、このベクトルは第1出力信号 $OUT1$ および第2出力信号 $OUT2$ を含んでいる。

【0016】

改良差動インバータ100は更に、第1制御信号 $DC1$ および第2制御信号 $DC2$ を含んでいる入力信号の第2ベクトルを生成する被制御バイアス生成器10を具備している。

上記信号の第2ベクトルは、バイアス制御信号Cinにตอบสนองして生成される。バイアス制御信号は、第1抵抗手段Ros1にほぼ等しい第2抵抗手段Ros2に対する第1抵抗手段Ros1の結合点Pで得られる。第1抵抗手段Ros1の端部と第2抵抗手段Ros2の端部は、差動出力に結合されている。信号OUT1のDC電圧を V_1 、また信号OUT2のDC電圧を V_2 とすれば、点Pで測定されるDC電圧は $(V_1 + V_2) / 2$ である。ちなみに、 V_1 のAC成分は V_2 のAC成分とほぼ逆位相なので、点Pで測定される電圧はほぼゼロである。理想的には V_1 は電圧 V_2 に等しく、また V_2 はトランジスタ対の供給電圧の半分に等しい。この場合、ポイントPで測定されるDC電圧は、供給電圧の半分である。実際の回路において、 V_1 と V_2 に差があるため、点Pで測定されるDC電圧は供給電圧の半分よりも上または下である。これにより、差動インバータ10の相互コンダクタンスができるだけ高くなるように差動インバータのバイアスを制御する入力信号の第2ベクトルを提供する被制御バイアス生成器10が決定される。

10

【0017】

図2は、本発明による差動インバータに含まれるトランジスタ対の詳細図を示す。差動インバータ10は、第1トランジスタ対と第2トランジスタ対とを備える。各トランジスタ対は、ドレインドレイン間接続を介してpタイプMOSトランジスタT1に結合されたnタイプMOSトランジスタT2を含む。nタイプトランジスタT2は、第3抵抗手段R1を介して第2制御信号DC2を受信する第1制御端子G2を有している。pタイプトランジスタT1は、第4抵抗手段R1を介して入力信号の第2ベクトルの第1制御信号DC1を受信する第2制御端子G1を有している。第3抵抗手段R1および第4抵抗手段R1は、トランジスタのゲートを第1制御信号DC1と第2制御信号DC2にそれぞれ結合する。第1制御信号は供給電圧Vddの半分よりも低く、また第2制御信号DC2は供給電圧Vddの半分よりも高い。コンデンサC1はAC電流成分をDC電流成分から結合解除するのに使用され、トランジスタの寄生入力静電容量よりも非常に低いインピーダンス値を有していなければならない。

20

【0018】

図3は、本発明による被制御バイアス生成器10の実施の一形態を示す。この被制御バイアス生成器10は、第2CMOSインバータ12と第3CMOSインバータ13とに結合された第1CMOSインバータ11を備える。第1CMOSインバータ11はバイアス制御信号Cinを受信し、第2CMOSインバータ12と第3CMOSインバータ13とに入力される可変制御信号VRを生成する。第2CMOSインバータ12および第3CMOSインバータは、可変制御信号VRにตอบสนองして入力信号DC1、DC2の第2ベクトルを生成する。

30

【0019】

図4は、本発明による被制御バイアス生成器10に含まれるインバータの実施の一形態を示す。この被制御バイアス生成器に含まれる何れのインバータも、ドレインドレイン間接続されたCMOSトランジスタ T_1' と T_2' の対を含む。その制御端子、すなわちゲート端子も互いに接続されている。トランジスタは、異なる幾何学的性質、すなわち異なる面積A1およびA2をそれぞれ有していることを特徴とする。通常、2つのトランジスタの長さLは互いに等しく、その幅Wは異なる。このように、DC動作点、例えばそのドレイン電流は、関係式(2)の結果としてトランジスタの幾何学的性質によって異なる。この場合、ドレイン電流が互いに等しい、すなわちトランジスタの面積が等しい場合、そのドレイン端子で測定されるDC電圧は供給電圧の半分であり、それ以外ではDC電圧はトランジスタの面積の比によって異なる。

40

【0020】

図5は、本発明による改良差動インバータ100を使用した発振器400のブロック図である。差動発振器400は改良差動インバータ100を具備しており、この差動発振器400は改良差動インバータ100の異なる出力端子間に結合されたLCタンク回路401を有しており、差動出力端子は差動入力に交差結合される。この回路で、周期的な波形が生成される。LCタンク回路401は、発振器400の発振周波数を決定する。比較的

50

低い電圧供給用途、例えば0.5Vでは、電源をできる限り効率良く使用するために、発振器がその出力でできるだけ多くのエネルギーを提供することが非常に重要である。正弦波発振を考慮する場合に何れかの発振器出力でのDC電圧が供給電圧の半分になると、効率はほぼ最大となる。正弦波発振は、特にトランシーバのミキサなどの用途において必要である。物理的条件がそれほど厳しくない、例えば水晶系発振器などの用途において、米国特許出願公開第4,095,195のように、差動インバータの差動制御入力端子を、例えば基準端子および電源端子などの固定電圧端子に接続することができる。この解決法は、トランジスタ対に含まれるトランジスタがもしも技術的に実質的に相互に同一でないと発振が開始できないので、比較的低い供給電圧で動作するLC発振器には適していない。本用途においては、トランジスタが技術的にほぼ同一でなくても、被制御バイアス生成器は、制御Cin信号に応答してトランジスタに適切なDCバイアス信号を供給し、発振が簡単に開始される。

10

【0021】

図6は、本発明による発振器400の詳細図を示す。図6において、既に説明した基本的要素は点線で示されている。差動インバータ30は、トランジスタM1およびM2の第1対と、トランジスタM1'およびM2'の第2対とで実現される。第3抵抗手段R1は、トランジスタのゲートを第1制御信号DC1と第2制御信号DC2の何れかに結合する。第1制御信号は供給電圧Vddの半分よりも低く、また第2制御信号DC2は供給電圧Vddの半分よりも高い。コンデンサC1はDC電流成分からAC電流成分を結合解除するのに使用され、トランジスタの寄生入力静電容量よりもかなり低い値を有していなければならない。インバータ11、12および13は、それぞれトランジスタ対(T1'、T2')、(T1'', T2'')および(T1''', T2''')で実現される。インバータに含まれるトランジスタ対のそれぞれは、異なる面積を有するトランジスタから構成される。

20

【0022】

本発明の保護の範囲はここに記載した実施形態に限定されるものでないことに注意されたい。本発明の保護の範囲はまた、請求項における参照番号によっても限定されるものではない。「具備する」という語は、請求項に記載されたもの以外の部分を排除するものではない。要素の前に記載される「1つの」という語は、複数のこれらの要素を排除するものではない。本発明の一部を構成する手段は、専用のハードウェアの形、およびプログラム化された専用プロセッサの形で実施することができる。本発明は、それぞれの新しい特徴または特徴の組合せの中に存在する。「グリッド」および「ゲート」という用語は、MOSトランジスタの制御入力を意味する。

30

【図面の簡単な説明】

【0023】

【図1】図1は本発明による改良差動インバータのブロック図を示す。

【図2】図2は本発明による差動インバータに含まれるトランジスタ対の詳細図を示す。

【図3】図3は本発明による被制御バイアス生成器の実施例を示す。

【図4】図4は本発明による被制御バイアス生成器に含まれるインバータの実施例を示す。

40

【図5】図5は本発明による改良差動インバータを使用する発振器のブロック図を示す。

【図6】図6は本発明による発振器の詳細図を示す。

【図7】図7は従来技術で知られるCMOSインバータを示す。

【図 2】

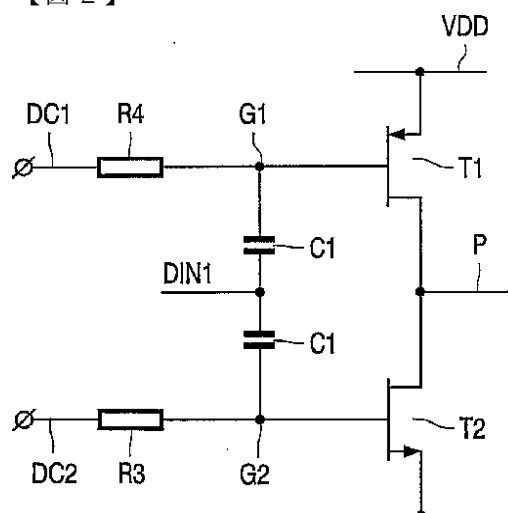


FIG. 2

【図 5】

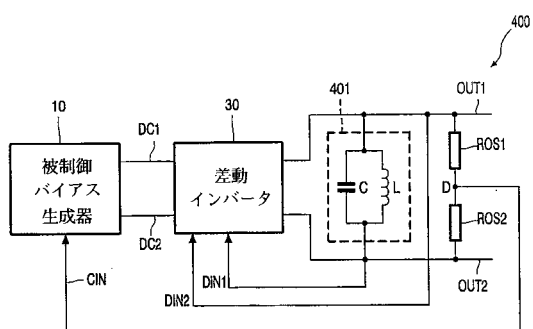
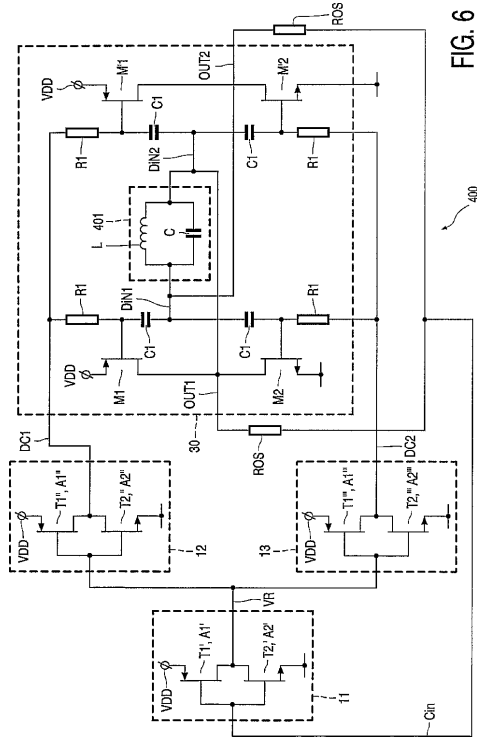


FIG. 4

【図 6】



【図 7】

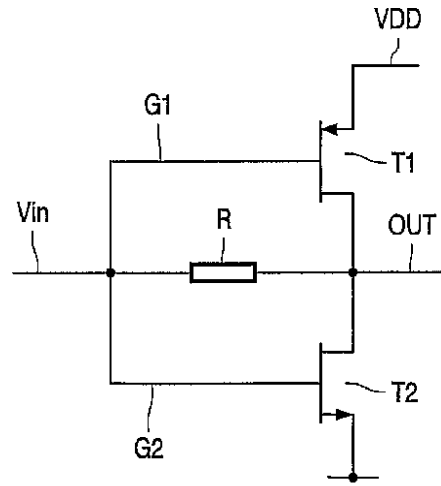


FIG. 7

フロントページの続き

- (72)発明者 ヨハネス、ハー．アー．ブレケルマンス
オランダ国5656、アーアー、アインドーフェン、プロフ．ホルストラーン、6
- (72)発明者 ヨセフス、アー．ハー．エム．カールマン
オランダ国5656、アーアー、アインドーフェン、プロフ．ホルストラーン、6
- (72)発明者 ヘルベン、ウェー．デ、ヨング
オランダ国5656、アーアー、アインドーフェン、プロフ．ホルストラーン、6

審査官 石田 勝

- (56)参考文献 特開2001-244735 (JP, A)
米国特許第05936466 (US, A)
米国特許第05818306 (US, A)
米国特許第04095195 (US, A)
米国特許第04387349 (US, A)
R.J.van de Plassche他, 「Analog Circuit Design」, 英国, KLUWER ACADEMIC PUBLISHERS, 2000年, pp331, LC VCO

(58)調査した分野(Int.Cl., DB名)

H03K 3/03
H03B 5/12
H03K 3/354