(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103097902 B
(45)授权公告日 2015.12.09

(21)申请号 201180037146.8
(22)申请日 2011.07.29
(30)优先权数据
61/361,906 2010.07.29 US
61/406,674 2010.10.26 US
13/188,078 2011.07.21 US
(85)PCT国际申请进入国家阶段日
2013.01.29
(86)PCT国际申请的申请数据
PCT/US2011/045904 2011.07.29
(87)PCT国际申请的公布数据
WO2012/016151 EN 2012.02.02
(73)专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州
(72)发明人 L·D·威特赛
(74)专利代理机构 北京纪凯知识产权代理有限公司 11245
代理人 赵蓉民
(51)Int.Cl.
G01R 31/303(2006.01)
(56)对比文件
CN 1656386 A,2005.08.17, 全文.
CN 101471142 A,2009.07.01, 全文.
CN 101545951 A,2009.09.30, 全文.
CN 1187244 A,1998.07.08, 全文.
JP 2001519947 A,2001.10.23, 全文.
JP 2008164470 A,2008.07.17, 全文.
US 2007061646 A1,2007.03.15, 全文.
US 2007234154 A1,2007.10.04, 全文.
US 2009300447 A1,2009.12.03, 全文.
US 2010031104 A1,2010.02.04, 全文.
审查员 魏程程

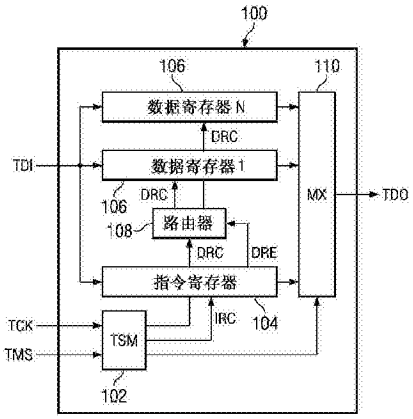
权利要求书3页 说明书18页 附图28页

(54)发明名称

改进全速测试访问端口操作

(57)摘要

一种集成电路的1149.1TAP执行全速更新&捕获、移位&捕获和背对背捕获&移位操作。在第一实施例中，通过将CMD信号时分多路复用到TAP的TMS输入，以实现全速操作。CMD信号被输入到CMD电路，其结合双端口路由器操作，从而执行电路的全速操作。在第二实施例中，通过检测TAP的Exit1DR状态作为被输入到CMD电路的CMD信号，以此实现全速操作，其中CMD电路结合双端口路由器操作，从而执行电路的全速操作。在第三实施例中，通过检测TAP的Exit1DR和PauseDR状态，并且进行响应以产生捕获和更新信号，以实现全速操作，其中捕获和更新信号被输入到可编程开关，可编程开关结合双端口路由器操作，从而执行电路的全速操作。在第四实施例中，通过检测TAP的Exit1DR和PauseDR状态并且将这些状态输入到双端口路由器从而控制电路的全速操作，以此实现全速操作。每个实施例可以扩充为包括外部可访问的更新和捕获输入信号，其可以被选择从而允许测试器直接控制电路的全速操作。



CN 103097902 B

1.一种集成电路内的测试访问端口架构,其包括 :

TDI 输入引线、TCK 输入引线、TMS 输入引线和 TDO 输出引线,

Tap状态机,其具有耦合到所述TCK输入引线的输入、耦合到所述TMS输入引线的输入、指令寄存器控制输出、控制输出和数据寄存器控制输出,

指令寄存器,其具有耦合到所述 TDI 输入引线的数据输入、耦合到所述指令寄存器控制输出的输入、数据寄存器控制输出和数据输出,

数据寄存器,其具有耦合到所述 TDI 输入引线的数据输入、数据寄存器控制输入和数据输出,

命令电路,其具有耦合到所述TCK输入引线的输入、耦合到所述TMS输入引线的输入和数据寄存器控制输出,

双端口路由器,其具有耦合到所述 Tap 状态机的数据寄存器控制输出的输入、耦合到所述命令电路的数据寄存器控制输出的输入、耦合到所述指令寄存器的数据寄存器使能输出的控制输入以及耦合到所述数据寄存器的数据寄存器控制输入的数据寄存器控制输出,和 ;

多路复用器电路,其具有耦合到所述指令寄存器的所述数据输出的输入、耦合到所述数据寄存器的所述数据输出的输入、耦合到所述 Tap 状态机的控制输出的控制输入以及耦合到所述 TDO 输出引线的输出。

2.一种集成电路内的测试访问端口架构,其包括 :

TDI 输入引线、TCK 输入引线、TMS 输入引线和 TDO 输出引线,

Tap状态机,其具有耦合到所述TCK输入引线的输入、耦合到所述TMS输入引线的输入、指令寄存器控制输出、控制输出、Exit1DR 状态检测输出和数据寄存器控制输出,

指令寄存器,其具有耦合到所述 TDI 输入引线的数据输入、耦合到所述指令寄存器控制输出的输入、数据寄存器控制输出和数据输出,

数据寄存器,其具有耦合到所述 TDI 输入引线的数据输入、数据寄存器控制输入和数据输出,

命令电路,其具有耦合到所述TCK输入引线的输入、耦合到所述Exit1DR状态检测输出的输入和数据寄存器控制输出,

双端口路由器,其具有耦合到所述 Tap 状态机的数据寄存器控制输出的输入、耦合到所述命令电路的数据寄存器控制输出的输入、耦合到所述指令寄存器的数据寄存器使能输出的控制输入以及耦合到所述数据寄存器的数据寄存器控制输入的数据寄存器控制输出,和 ;

多路复用器电路,其具有耦合到所述指令寄存器的所述数据输出的输入、耦合到所述数据寄存器的所述数据输出的输入、耦合到所述 Tap 状态机的控制输出的控制输入以及耦合到所述 TDO 输出引线的输出。

3.一种集成电路内的测试访问端口架构,其包括 :

TDI 输入引线、TCK 输入引线、TMS 输入引线和 TDO 输出引线,

Tap状态机,其具有耦合到所述TCK输入引线的输入、耦合到所述TMS输入引线的输入、指令寄存器控制输出、控制输出、Exit1DR 状态检测输出、PauseDR 状态检测输出和数据寄存器控制输出,

指令寄存器，其具有耦合到所述 TDI 输入引线的数据输入、耦合到所述指令寄存器控制输出的输入、数据寄存器控制输出和数据输出，

数据寄存器，其具有耦合到所述 TDI 输入引线的数据输入、数据寄存器控制输入和数据输出，

可编程开关电路，其具有耦合到所述 Exit1DR 状态检测输出的输入、耦合到所述 PauseDR 状态检测输出的输入和数据寄存器控制输出，

双端口路由器，其具有耦合到所述 Tap 状态机的数据寄存器控制输出的输入、耦合到所述可编程开关电路的数据寄存器控制输出的输入、耦合到所述指令寄存器的数据寄存器使能输出的控制输入以及耦合到所述数据寄存器的数据寄存器控制输入的数据寄存器控制输出，和；

多路复用器电路，其具有耦合到指令寄存器的所述数据输出的输入、耦合到数据寄存器的所述数据输出的输入、耦合到 Tap 状态机的控制输出的控制输入以及耦合到所述 TDO 输出引线的输出。

4. 一种集成电路内的测试访问端口架构，其包括：

TDI 输入引线、TCK 输入引线、TMS 输入引线和 TDO 输出引线，

Tap 状态机，其具有耦合到所述 TCK 输入引线的输入、耦合到所述 TMS 输入引线的输入、指令寄存器控制输出、数据寄存器控制输出、控制输出、Exit1DR 状态检测输出和 PauseDR 状态检测输出，

指令寄存器，其具有耦合到所述 TDI 输入引线的数据输入、耦合到所述指令寄存器控制输出的输入、数据寄存器使能输出和数据输出，

数据寄存器，其具有耦合到所述 TDI 输入引线的数据输入、数据寄存器控制输入和数据输出，

双端口路由器，其具有耦合到所述 Tap 状态机的数据寄存器控制输出的输入、耦合到所述 Tap 状态机的 Exit1DR 和 PauseDR 状态检测输出的输入、耦合到所述指令寄存器的数据寄存器使能输出的控制输入以及耦合到所述数据寄存器的数据寄存器控制输入的数据寄存器控制输出，和；

多路复用器电路，其具有耦合到所述指令寄存器的所述数据输出的输入、耦合到所述数据寄存器的所述数据输出的输入、耦合到所述 Tap 状态机的控制输出的控制输入以及耦合到所述 TDO 输出引线的输出。

5. 一种集成电路内的测试访问端口架构，其包括：

TDI 输入引线、TCK 输入引线、TMS 输入引线、捕获输入引线、更新输入引线和 TDO 输出引线，

Tap 状态机，其具有耦合到所述 TCK 输入引线的输入、耦合到所述 TMS 输入引线的输入、指令寄存器控制输出、数据寄存器控制输出、控制输出、Exit1DR 状态检测输出和 PauseDR 状态检测输出，

指令寄存器，其具有耦合到所述 TDI 输入引线的数据输入、耦合到指令寄存器控制输出的输入、数据寄存器使能输出和数据输出，

数据寄存器，其具有耦合到所述 TDI 输入引线的数据输入、数据寄存器控制输入和数据输出，

多路复用器，其具有耦合到所述Exit1DR状态检测输出的输入、耦合到所述PauseDR状态检测输出的输入、耦合到所述捕获输入引线的输入、耦合到所述更新输入引线的输入、耦合到所述数据寄存器使能输出的控制输入以及数据寄存器控制输出，

双端口路由器，其具有耦合到所述Tap状态机的数据寄存器控制输出的输入、耦合到所述多路复用器的所述数据寄存器控制输出的输入、耦合到所述指令寄存器的数据寄存器使能输出的控制输入以及耦合到所述数据寄存器的数据寄存器控制输入的数据寄存器控制输出，和；

多路复用器电路，其具有耦合到所述指令寄存器的所述数据输出的输入、耦合到所述数据寄存器的所述数据输出的输入、耦合到所述Tap状态机的控制输出的控制输入以及耦合到所述TDO输出引线的输出。

改进全速测试访问端口操作

背景技术

[0001] IEEE1149.1 测试访问端口(TAP)在半导体工业中被广泛用作控制许多类型的嵌入式 IC 电路的 IC 接口,例如但不限于,测试电路、调试电路、编程电路、仪器电路和追踪电路。TAP 被证明是过去 20 年中对控制嵌入式 IC 电路的操作是有效的。然而,TAP 没有被证明对控制依赖于全速更新 & 捕获和移位 & 捕获(at speed Update&Capture and Shift&Capture)操作的嵌入式 IC 电路的操作是有效的。本公开的第一部分(图 1-7)描述了全速更新 & 捕获和移位 & 捕获问题。本公开的第二部分(图 8-41)描述了使用各种示例实现的对这个问题的新解决方法。

发明内容

[0002] 本公开描述了新的解决方法,其通过将 TAP 扩充有额外的电路来解决 TAP 的全速更新 & 捕获和移位 & 捕获问题。在图 8-28 的第一个公开的解决方法中,通过将 CMD 信号时分多路复用到 TAP 的输入并且将 CMD 信号输入到控制数据寄存器的全速操作的命令(CMD)电路,以此实现全速操作。在图 29A-33 的第二公开的解决方法中,通过检测 TAP 的 Exit1DR 状态从而向控制数据寄存器的全速操作的 CMD 电路产生 CMD 信号,以此实现全速操作。在图 34A-38 的第三个公开的解决方法中,通过检测 TAP 的 Exit1DR 和 PauseDR 状态从而产生经由可编程开关(PSW)电路被输入到数据寄存器的全速更新和捕获信号,以此实现全速操作。在图 39-41 的第四个公开的解决方法中,通过检测 TAP 的 Exit1DR 和 PauseDR 状态从而产生经由双端口路由器被输入到数据寄存器的全速更新和捕获信号,以此实现全速操作。全部所公开的解决方法可以扩充有外部可访问的更新和捕获信号,从而允许测试器直接控制数据寄存器的全速操作。

附图说明

[0003] 图 1 示出 IEEE1149.1TAP 架构。

[0004] 图 2 示出用于将 Tap 状态机(TSM)数据寄存器控制(DRC)信号路由到数据寄存器的路由器电路。

[0005] 图 3 示出 TSM 的状态图。

[0006] 图 4 示出由 TSM 经由路由器控制异步 CSU 数据寄存器。

[0007] 图 5 示出由 TSM 经由路由器控制同步 CSU 数据寄存器。

[0008] 图 6 示出由 TSM 经由路由器控制异步 CS 数据寄存器。

[0009] 图 7 示出由 TSM 经由路由器控制同步 CS 数据寄存器。

[0010] 图 8 示出根据本公开的扩充有命令(CMD)电路和双端口路由器的 IEEE1149.1TAP。

[0011] 图 9 示出根据本公开的用于将 DRC 信号从 TSM 或者 CMD 电路路由到数据寄存器的双端口路由器电路。

[0012] 图 10 示出根据本公开的用于使用 CMD 电路执行 CS 或者 CSU 操作的时序图。

[0013] 图 11 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的异步 CSU

数据寄存器。

[0014] 图 12 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的同步 CSU 数据寄存器。

[0015] 图 13 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的异步 CS 数据寄存器。

[0016] 图 14 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的同步 CS 数据寄存器。

[0017] 图 15 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的异步 CS 数据寄存器。

[0018] 图 16 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的第一测试压缩架构。

[0019] 图 17 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的第二测试压缩架构。

[0020] 图 18 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的 IEEE1500 外壳(wrapper)架构。

[0021] 图 19 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的读取 / 写入电路架构。

[0022] 图 20 示出根据本公开的由 TSM 或者 CMD 电路经由双端口路由器控制的 IEEE P1687 仪器构造。

[0023] 图 21 示出根据本公开的执行外部测试操作的第一菊花链装置。

[0024] 图 22 示出根据本公开的执行内部测试操作的第二菊花链装置。

[0025] 图 23 示出 JTAG/1149.1 总线控制器。

[0026] 图 24 示出根据本公开的扩充有 CMD 电路的控制的 JTAG/1149.1 总线。

[0027] 图 25 示出根据本公开的 JTAG 控制器 CMD 电路的示例实现。

[0028] 图 26 示出根据本公开的经由双端口路由器可连接到具有附加 Capture 和 Update 输入的 TSM 或者 CMD 电路的 CSU 或者 CS 电路。

[0029] 图 27 示出根据本公开的具有 Capture 输入的 CMD 电路。

[0030] 图 28 示出根据本公开的具有 Capture 和 Update 输入的 CMD 电路。

[0031] 图 29A 示出根据本公开的扩充有从 TSM 接收 CMD 信号的 CMD 电路的 IEEE1149.1TAP。

[0032] 图 29B 示出根据本公开的当 TSM 处于 Exit1DR 状态时将 CMD 信号输出到 CMD 电路的门控电路。

[0033] 图 30 示出根据本公开的 TSM 将 CMD 信号输出到 CMD 电路以执行 CSOP、CSUOP 和 B2BCSOP 操作的时序图。

[0034] 图 31 示出根据本公开的由接收用于 TSM 的 CMD 信号的 CMD 电路控制的数据寄存器。

[0035] 图 32 示出根据本公开的在某些 TSM 状态期间用于在 TSM 的 ClockDR 输出上产生时钟信号的电路。

[0036] 图 33 示出根据本公开的经由双端口路由器可连接到具有附加捕获和更新输入的

TSM 或者 CMD 电路的 CSU 或者 CS 电路。

[0037] 图 34A 示出根据本公开的扩充有从 TSM 接收控制信号的可编程开关(PSW)电路的 IEEE1149.1TAP。

[0038] 图 34B 示出根据本公开的当 TSM 处于 Exit1DR 或者 PauseDR 状态时将控制信号输出到 PSW 的门控电路。

[0039] 图 35 示出根据本公开的 TSM 将控制信号输出到 PSW 电路以执行 CSOP、CSUOP 和 B2BCSOP 操作的时序图。

[0040] 图 36 示出根据本公开的由从 TSM 接收控制信号的 PSW 控制的数据寄存器。

[0041] 图 37 示出根据本公开的经由双端口路由器可连接到具有附加 Capture 和 Update 输入的 TSM 或者 PSW 电路的 CSU 或者 CS 电路。

[0042] 图 38 示出根据本公开的具有 Capture 和 Update 输入的 PSW 电路。

[0043] 图 39 示出根据本公开的扩充有 TSM Exit1DR 和 PauseDR 状态检测电路和双端口路由器的 IEEE1149.1TAP。

[0044] 图 40 示出根据本公开的扩充有 TSM Exit1DR 和 PauseDR 状态检测电路、多路复用器和双端口路由器的 IEEE1149.1TAP。

[0045] 图 41 示出根据本公开的经由双端口路由器可连接到 DRC 多路复用器的 CSU 或者 CS 电路。

具体实施方式

[0046] 图 1 示出现有技术的示例 TAP 架构 100,其包括 TAP 状态机(TSM)102、指令寄存器 104、数据寄存器 106、数据寄存器控制(DRC)信号路由器 108 和 TDO 多路复用器(MX)110。TSM 通过图 3 所示的状态操作从而 ;(1)将 TAP 置于测试逻辑复位状态,(2)将 TAP 置于运行测试 / 空闲状态,(3)执行指令寄存器扫描操作,或者(4)执行数据寄存器扫描操作。指令寄存器输出数据寄存器使能(DRE)信号,该信号选择 TSM 的 DRC 信号经过路由器到要被访问的数据寄存器。图 2 示出路由器 108,其包括路由电路 202,这些路由电路 202 将 TSM 的 DRC 输出连接到数据寄存器(DR)106 的 DRC 输入。一旦连接,可以通过将 TAP 状态机在其选择数据寄存器(SelectDR)、捕获数据寄存器(CaptureDR)、移位数据寄存器(ShiftDR)、退出 1 数据寄存器(Exit1DR)和更新数据寄存器(UpdateDR)状态之间进行转换,以此从测试数据输入(TDI)到测试数据输出(TDO)访问数据寄存器,如图 3 的 TAP 的 TSM 状态图中所示。

[0047] 图 4 示出异步捕获、移位和更新(CSU)数据寄存器 402,其经由路由电路 108 连接到 TSM102。在这个路由电路示例以及后面的其他路由电路示例中,路由电路 108 包括门控电路,当已经选择数据寄存器 402 以便 DRE 指令输入访问时,该门控电路允许 TSM 控制数据寄存器 402。异步意味着数据寄存器由 TSM 的门控 ClockDR 输出提供时序。CSU 类型数据寄存器,例如 IEEE1149.1 边界扫描寄存器,是众所周知的。如本领域中全部已知的,响应于 DRE 输入,路由器电路的门控电路将 TSM 的 ClockDR、ShiftDR 和 UpdateDR 输出连接到数据寄存器 ClockDR、ShiftDR 和 UpdateDR 输入。一旦连接,TSM 通过图 3 的其 SelectDR、CaptureDR、ShiftDR、Exit1DR 和 UpdateDR 状态转换,从而操作数据寄存器。当数据寄存器没有正在被 TSM 访问时,由 DRE 输入设置路由电路 108 的门控电路,将数据寄存器的 ClockDR、ShiftDR 和 UpdateDR 输入置于不活动状态。

[0048] 图5示出经由路由电路108连接到TSM102的同步CSU数据寄存器502。同步意味着数据寄存器由TCK信号提供时序。同步操作需要数据寄存器的扫描单元提供保持状态，使得当数据寄存器没有正在执行捕获(Capture)、移位(Shift)或更新(Update)操作时，维持其当前状态。Capture信号指示TSM处于图3的CaptureDR状态，Shift信号指示TSM处于图3的ShiftDR状态，Update信号指示TSM处于图3的UpdateDR状态。响应于DRE输入，路由电路将TSM的捕获(Capture)、移位(Shift)和更新(Update)状态输出连接到数据寄存器捕获(Capture)、移位(Shift)和更新(Update)输入。一旦连接，TSM通过图3的其SelectDR、CaptureDR、ShiftDR、Exit1DR和UpdateDR状态的转换，从而操作数据寄存器。当数据寄存器没有正在被TSM访问时，由DRE输入设置路由电路108的门控电路，将数据寄存器的Capture、Shift和Update输入置于不活动状态。

[0049] 图6示出异步捕获和移位(CS)数据寄存器602，其经由路由电路108连接到TSM102。CS类型数据寄存器，例如内部扫描路径寄存器，是众所周知的。响应于DRE输入，路由电路将TSM的ClockDR和ShifDR输出连接到数据寄存器ClockDR和ShiftDR输入。一旦连接，TSM通过图3的其SelectDR、CaptureDR、ShiftDR、Exit1DR和UpdateDR状态的转换，从而操作数据寄存器。当数据寄存器没有正在被TSM访问时，由DRE输入设置路由电路108的门控电路，将数据寄存器的ClockDR和ShiftDR输入置于不活动状态。

[0050] 图7示出同步CS数据寄存器702，其经由路由电路108连接到TSM102。响应于DRE输入，路由电路将TSM的Capture和Shift状态输出连接到数据寄存器Capture和Shift输入。一旦连接，TSM通过图3的其SelectDR、CaptureDR、ShiftDR、Exit1DR和UpdateDR状态的转换，从而操作数据寄存器。当数据寄存器没有正在被TSM访问时，由DRE输入设置路由电路108的门控电路，将数据寄存器的Capture和Shift输入置于不活动状态。

[0051] 图4和图5的CSU扫描循环的TSM状态转换在虚线方框中示出了有问题的停滞状态SelectDR和Exit1DR。当更新操作发生在UpdateDR状态中时，在CaptureDR状态中发生捕获操作之前需要花费2.5个TCK。这阻止了全速更新&捕获扫描操作。图6和图7的CS扫描循环的TSM状态转换在虚线方框中示出了有问题的停滞状态SelectDR、Exit1DR和UpdateDR。当最后一个移位操作发生在ShiftDR状态中时，在CaptureDR状态中发生捕获操作之前需要花费4个TCK。这阻止了全速移位&捕获扫描操作。

[0052] 图4-7的阻止全速CSU和CS扫描操作的停滞状态在本行业中是众所周知的。已经提出许多解决方法解决这个问题。下面描述并参考一些早期的解决方法。

[0053] 解决方法1是IEEE Computer Society Press1990年出版的Maunder的“The Test Access Port and Boundary Scan Architecture”的第18章。这个解决方法定义了ScanTest指令，其可以被加载到TAP指令寄存器，该寄存器将TSM状态分配“重新编程”到在最后一个移位操作之后能够发生全速捕获操作的情形。这个解决方法消除了CS扫描操作中的停滞状态，但是没有消除CSU扫描操作中的停滞状态。同样，该解决方法仅应用于独立的器件测试，即它不能够使用于当该器件与其他器件菊花链接时。

[0054] 解决方法2是Whetsel的论文“Built-In-Test Using Boundary Scan”，ATE&Instrumentation Conference，1989，pg15-22。该解决方法定义了BIST和DelayTest指令，其可以被加载到TAP指令寄存器并且在运行测试/空闲状态执行，从而执行全速更新和捕获操作。这个解决方法没有解决CSU和CS扫描操作中的停滞状态问题。

[0055] 解决方法 3 是 Lofstrom 的论文“Early Capture for Boundary Scan Timing Measurements”，IEEE International Test Conference，1996。该解决方法定义了 EarlyCapture 指令，其可以被加载到 TAP 指令寄存器，从而允许 TMS 信号被用作在更新操作之后能够被应用的捕获时钟。这个解决方法提供了全速更新和捕获操作，但是其没有消除解决停滞状态的需要。其也仅对 CSU 扫描操作有用，而不是 CS 扫描操作。解决方法 4 是 IEEE Standard1149.6，“A Standard for Boundary Scan Testing of Advanced Digital Networks”。该解决方法是基于新标准（IEEE1149.6），该标准定义了新的指令（ExtestPulse&ExtestTrain），这些指令允许在运行测试 / 空闲状态中执行全速更新和捕获操作。类似解决方法 2，这个解决方法没有解决 CSU 和 CS 扫描操作中的停滞状态问题。

[0056] 第一个公开的解决方法 - 图 8-33

[0057] 本公开中所描述的消除图 4-7 的有问题的停滞状态的第一个解决方法涉及用命令电路和双端口路由器扩充 TAP100。命令电路和双端口路由器可以当 TSM102 处于图 3 的 ShiftDR 状态时进行操作，从而对 CSU 数据寄存器执行全速更新和捕获操作，并且对 CS 数据寄存器执行全速移位和捕获操作。

[0058] 图 8 示出 TAP800，其已经扩充有命令（CMD）电路 802 和双端口路由器 804，除此之外，TAP800 与图 1 的 TAP100 相同。CMD 电路 802 具有连接到 TCK、TMS、DRE 的输入和 DRC 输出。双端口路由器 804 的一个端口连接到 CMD 电路的 DRC 输出，并且另一个端口连接到 TSM 的 DRC 输出。来自指令寄存器的 DRE 信号使能或者禁用 CMD 电路。DRE 信号还控制双端口路由器，使得路由器到数据寄存器 106 的 DRC 输出可以如前所述的由 TSM102 控制，或者由 CMD 电路 804 控制。

[0059] 图 9 示出示例双端口路由器 804，其包括路由电路 902，响应于 DRE 输入，路由电路 902 将来自 TSM 的 DRC 输出连接到选定的数据寄存器 106 的 DRC 输入，或者将 CMD 电路的 DRC 输出连接到选定的数据寄存器 106 的 DRC 输入。如果数据寄存器连接到 TSM 的 DRC 输出，则其可以被访问，以便进行由 TSM 控制的 CSU 或者 CS 扫描操作，如前所述。如果数据寄存器连接到 CMD 电路的 DRC 输出，则其可以被访问，以便进行由 CMD 电路控制的 CSU 或者 CS 扫描操作。

[0060] 图 10 示出使用 CMD 电路执行 CSU 扫描操作（CSUOP）1002 或者 CS 扫描操作（CSOP）1004 的时序。当 CMD 电路正在被用于访问数据寄存器时，TSM 将转换到 ShiftDR 状态 1006 并且保持在该状态。在 ShiftDR 状态中，数据寄存器将数据从 TDI 移位到 TDO。在移位期间的适当时候，CMD 信号 1008 经由 TMS 信号在 TCK 的下降沿处被输入到 CMD 电路。在 CMD 信号输入之间，无操作（NOP）信号 1010 经由 TMS 在 TCK 的下降沿处被输入到 CMD 电路。在 CMD 控制访问数据寄存器期间，TSM 继续在 TCK 的上升沿处接收正常 TMS 输入 1012，从而将 TSM 维持在 ShiftDR 状态。在 CMD 电路控制的扫描操作结束时，TSM 将接收 TMS 输入，以转换离开 ShiftDR 状态，从而终止数据寄存器访问操作。

[0061] 如图 10 中所示，如果 CSU 类型数据寄存器正在被访问，则响应于 CMD 信号输入将执行 CSUOP。CSUOP 在最后一个移位（移位 N）操作之后执行更新操作 1014，执行捕获操作 1016，然后重新开始移位操作。每次 CMD 信号被输入在 TMS 上时，重复这个更新、捕获和移位顺序。由于当 CMD 电路控制 CSU 数据寄存器时，TSM 保持在 ShiftDR 状态，所以在图 10 的 CSUOP 循环中没有停滞状态。同样如图 10 中所示，如果 CS 类型数据寄存器正在被访问，

则响应于 CMD 信号输入将执行 CSOP。CSOP 在最后一个移位(移位 N)操作之后执行捕获操作 1018,然后重新开始移位操作。每次 CMD 信号被输入在 TMS 上时,重复这个捕获和移位顺序。由于当 CMD 电路控制 CS 数据寄存器时,TSM 保持在 ShiftDR 状态,所以在图 10 的 CSOP 循环中没有停滞状态。

[0062] 图 11 示出图 4 的异步 CSU 数据寄存器 402 经由示例双端口路由器 804 连接到 TSM 和 CMD 电路。DRE 输入控制双端口路由器,从而允许数据寄存器如图 4 中所描述的由 TSM 访问,或者如图 10 中所描述的由 CMD 电路访问。这个示例中的 CMD 电路仅是两个串联连接的 FF,它们在 TCK 的下降沿处输入来自 TMS 的 CMD 信号。在这个示例中的双端口路由器 804 仅是如图所示连接的多路复用器和门,它们由来自指令寄存器的 DRE 输入控制。当数据寄存器将由 TSM 控制时,DRE 输入将来自 TSM 的 ClockDR、ShiftDR 和 UpdateDR 输出通过双端口路由器路由到数据寄存器的 ClockDR、ShiftDR 和 UpdateDR 输入。当数据寄存器将由 CMD 电路控制时,DRE 输入将来自 CMD 电路的捕获(C)和更新(U)信号以及来自 TSM 的 ClockDR 信号通过双端口路由器路由到数据寄存器的 ClockDR、ShiftDR 和 UpdateDR 输入。来自 TSM 的 ClockDR 输出将运行,因为 TSM 将处于 ShiftDR 状态。这个示例双端口路由器的第一端口被定义为是来自 TSM 的 ClockDR、ShiftDR 和 UpdateDR 输入。这个示例双端口路由器的第二端口被定义为是来自 CMD 电路的捕获(C)和更新(U)输入以及来自 TSM 的 ClockDR 输入。

[0063] 在由 CMD 电路访问期间,第一 FF 输入来自 TMS 的 CMD 信号并且将更新(U)信号输出到双端口路由器,该双端口路由器将 UpdateDR 信号输出到数据寄存器,使数据寄存器执行更新操作。来自 CMD 电路的更新(U)信号与来自 TSM 的 ClockDR 信号是门控的,以在 TCK 的上升沿处在到数据寄存器的 UpdateDR 输入上产生更新时钟脉冲。然后 CMD 信号被移位到第二 FF 中,第二 FF 将捕获(C)信号输出到双端口路由器,该双端口路由器将 ShiftDR 信号上的逻辑电平输出到数据寄存器,使数据寄存器在 ClockDR 的下一个上升沿处执行捕获操作,这是由 TCK 驱动的。该更新(U)和捕获(C)信号在上升沿 ClockDR 操作期间是稳定的,因为它们在 TCK 的下降沿处被寄存在 FF 中。每次 CMD 信号被输入到 CMD 电路时,重复该更新和捕获操作顺序。尽管这个示例双端口路由器在 ClockDR 的上升沿处产生更新时钟脉冲,但是如果期望,另一个示例双端口路由器可以在 ClockDR 的下降沿处产生更新时钟脉冲。

[0064] 尽管图 11 中未示出,但是如图 9 所示,这个 CMD 电路示例和随后的其他 CMD 电路示例的 CMD 电路的 FF 将在数据寄存器测试访问操作开始时由 DRE 输入初始化,使得更新(U)和捕获(C)输出不是有效的,直到接收到 CMD 信号。

[0065] 图 12 示出图 5 的同步 CSU 数据寄存器 502 经由示例双端口路由器 804 连接到 TSM102 和 CMD 电路 802。DRE 输入控制双端口路由器,从而允许数据寄存器如图 5 所描述的由 TSM 访问,或者如图 10 所描述的由 CMD 电路访问。数据寄存器由自由运行 TCK 提供时钟。

[0066] 在这个示例中的双端口路由器 804 仅是如图所示连接的多路复用器和门,它们由来自指令寄存器的 DRE 输入控制。当数据寄存器将由 TSM 控制时,DRE 输入将来自 TSM 的捕获(Capture)、移位(Shift)和更新(Update)状态输出通过双端口路由器路由到数据寄存器的捕获(Capture)、移位(Shift)和更新(Update)输入。当 TSM 处于 CaptureDR 状态

时，使捕获状态信号有效，当 TSM 处于 ShiftDR 状态时，使移位状态信号有效，当 TSM 处于 UpdateDR 状态时，使更新状态信号有效。当数据寄存器将由 CMD 电路控制时，DRE 输入将来自 CMD 电路的捕获（C）和更新（U）信号通过双端口路由器路由到数据寄存器的捕获、移位和更新输入。来自 TSM 的捕获（C）输入将数据寄存器的捕获和移位输入设置为使数据寄存器移位或者捕获数据的状态。在这个示例中，如果捕获（C）是低，则到数据寄存器的捕获和移位输入被分别设置为低和高，从而使数据寄存器将数据从 TDI 移位到 TDO，并且如果捕获（C）是高，则到数据寄存器的捕获和移位输入被分别设置为高和低，从而使数据寄存器捕获数据。这个示例双端口路由器的第一端口被定义为是来自 TSM 的捕获、移位和更新状态输出。这个示例双端口路由器的第二端口被定义为是来自 CMD 电路的捕获（C）和更新（U）输入。在由 CMD 电路访问期间，第一 FF 输入来自 TMS 的 CMD 信号并且将更新（U）信号输出到双端口路由器，该双端口路由器输出更新信号，从而使数据寄存器执行更新操作。然后，CMD 信号被移位到第二 FF 中，第二 FF 将捕获（C）信号输出到双端口路由器，该路由器输出捕获和移位信号，从而使数据寄存器执行捕获操作。这个示例的捕获、移位和更新数据寄存器操作发生在自由运行 TCK 的上升沿处。如果期望，通过简单地将到更新电路的 TCK 输入反相，数据寄存器中的更新电路可以被设计为响应于 TCK 的下降沿上的更新信号而操作。每次 CMD 信号被输入到 CMD 电路时，重复该更新和捕获操作顺序。

[0067] 图 13 示出图 6 的异步 CS 数据寄存器 602 经由双端口路由器 804 连接到 TSM102 和 CMD 电路 802。这个示例的双端口路由器包括如图所示连接的多路复用器和门。DRE 输入控制双端口路由器的多路复用器和门，从而允许数据寄存器如图 6 所描述的由 TSM 访问，或者如图 10 所描述的由 CMD 电路访问。双端口路由器的第一端口包括来自 TSM 的 ClockDR 和 ShiftDR 输出。双端口路由器的第二端口包括来自 CMD 电路的捕获（C）输出和来自 TSM 的 ClockDR 输出。这个示例中的 CMD 电路仅是 FF，其在 TCK 的下降沿处输入来自 TMS 的 CMD 信号。在由 CMD 电路访问期间，FF 输入来自 TMS 的 CMD 信号并且将捕获（C）信号输出到双端口路由器，双端口路由器经由多路复用器和门输出 ShiftDR 信号上的逻辑状态，从而使数据寄存器在来自 TSM 的 ClockDR 的上升沿处执行捕获操作。ClockDR 信号是有效的，因为 TSM 处于 ShiftDR 状态。在捕获操作之后，ShiftDR 信号返回到其先前的状态，从而在 ClockDR 的下一个上升沿处重新开始该移位操作。每次 CMD 信号被输入到 CMD 电路时，重复该捕获操作。

[0068] 图 14 示出图 7 的同步 CS 数据寄存器 702 经由双端口路由器连接到图 12 的 TSM102 和 CMD 电路 802。这个示例的双端口路由器包括如图所示连接的多路复用器和门。DRE 输入控制双端口路由器的多路复用器和门，从而允许数据寄存器如图 7 所描述的由 TSM 访问，或者如图 10 所描述的由 CMD 电路访问。双端口路由器的第一端口包括来自 TSM 的捕获和移位状态输出。双端口路由器的第二端口包括来自 CMD 电路的捕获（C）输出。该数据寄存器由自由运行 TCK 信号提供时钟。DRE 输入控制双端口路由器，从而允许数据寄存器如图 7 所描述的由 TSM 访问，或者如图 10 所描述的由 CMD 电路访问。在由 CMD 电路访问期间，FF 输入来自 TMS 的 CMD 信号并且将捕获（C）信号输出到双端口路由器，该双端口路由器进行输出，将到数据寄存器的捕获和移位输入设置为使数据寄存器在 TCK 的上升沿处执行捕获操作的状态。在该捕获操作之后，捕获和移位信号返回到其先前的状态，从而在 TCK 的下一个上升沿处重新开始移位操作。每次 CMD 信号被输入到 CMD 电路时，重复捕获操作。

[0069] 图 15 示出图 6 的异步 CS 数据寄存器 602 经由图 13 的双端口路由器 804 连接到 TSM102 和 CMD 电路 802。如图 13 所述，DRE 输入控制双端口路由器，从而允许数据寄存器如图 6 所描述的由 TSM 访问，或者由 CMD 电路访问。在这个示例中，CMD 电路被设计为控制数据寄存器执行背对背（back to back）捕获操作。这个示例的 CMD 电路包括第一和第二串联连接的 FF。FF 的输出被输入到门，例如或非门。门的输出被输入到双端口路由器。响应于来自 TMS 的 CMD 输入信号，CMD 电路的第一 FF 输出第一捕获（C）信号，然后 CMD 信号被移位到 CMD 电路的第二 FF 中，CMD 电路输出第二捕获信号。CMD 电路经由门将第一和第二捕获信号（C）两者输入到双端口路由器。响应于第一捕获（C）信号，双端口路由器将到数据寄存器的 ShiftDR 输入设置为使数据寄存器在 ClockDR 的上升沿处执行第一捕获操作的状态。响应于第二捕获（C）信号，双端口路由器维持 ShiftDR 输入上的捕获状态，从而使数据寄存器在 ClockDR 的下一个上升沿处执行第二捕获操作。在背对背捕获操作之后，到数据寄存器的 ShiftDR 输入返回到其先前的状态，从而重新开始移位操作。

[0070] 尽管图 8-15 示出由 TSM 或者 CMD 电路控制的各种类型的简单的数据寄存器，但是这些数据寄存器通常形成装置内的更复杂的测试结构的构建模块。这些更复杂的测试结构也可以由 TSM 或者 CMD 电路控制，如下面图 16-17 中所描述的。

[0071] 同样，尽管图 8-15 示出 CMD 电路是单个触发器或者两个触发器的串联布置，但是 CMD 电路可以以许多不同方式设计，包括 CMD 电路被设计为状态机。

[0072] 图 16 示出器件内的已知类型的单个输入和单个输出测试压缩架构 1602 的简单示例。该架构包括解压缩器（D）电路、并行 CS 类型数据寄存器（DR）和压缩器（C）电路。解压缩器由双端口路由器的 DRC 输出控制，从而输入来自 TDI 的压缩的激励数据，解压该激励数据并且将解压缩的激励数据输出到 CS 数据寄存器。压缩器由双端口路由器的 DRC 输出控制，从而输入来自 CS 数据寄存器的响应数据，压缩该响应数据，并且将压缩的响应数据输出到 TDO 输出上。CS 数据寄存器由双端口路由器的 DRC 输出控制，从而执行捕获和移位操作。DRE 输入控制双端口路由器，从而允许测试压缩架构如图 6 或者 7 所描述的由 TSM 的 DRC 输出控制，或者如图 13 和 14 所描述的由 CMD 电路的 DRC 输出控制。

[0073] 图 17 示出器件内的已知类型的多个输入和多个输出测试压缩架构 1702 的简单示例。该架构的结构和操作与图 16 中所述的相同，除了多个 TDI 输入被用于输入压缩的激励数据，并且多个 TDO 输出被用于输出压缩的响应数据。多个输入多个输出测试压缩架构可以如图 16 中所描述的由 TSM 或者 CMD 电路选择性控制。

[0074] 图 18 示出在器件内 IEEE1500 核外壳架构 1802 的简单示例，该架构连接到双端口路由器的 DRC 输出。该架构包括外壳边界寄存器（WBR）和并行 CS 类型数据寄存器（DR）。尽管未示出，但是该架构还包括控制其测试操作模式的指令寄存器。

[0075] 外壳边界寄存器主要被用于在器件中的多个核外壳架构之间提供互连测试。其可以被实现为 CSU 或者 CS 类型数据寄存器。在互连测试期间，外壳边界寄存器由双端口路由器的 DRC 输出控制，从而经由外壳串行输入（WSI）和外壳串行输出（WSO）将数据移位通过外壳边界寄存器，然后执行更新和捕获操作。在这个示例中，WSI 被示为连接到 TDI，并且 WSO 被示为连接到 TDO。如果到双端口路由器的 DRE 输入选择 TSM 控制互连测试，则 TSM 将循环通过数据寄存器扫描状态，从而输出 DRC 信号，以控制外壳边界寄存器。如果到双端口路由器的 DRE 输入选择 CMD 电路控制互连测试，则 TSM 将转换并保持 ShiftDR 状态，同时 CMD 电

路输出 DRC 信号，从而控制外壳边界寄存器。

[0076] 并行 CS 数据寄存器用于执行核逻辑的并行扫描测试。在并行扫描测试期间，由双端口路由器的 DRC 输出控制 CS 数据寄存器，从而经由外壳并行输入（WPI）和外壳并行输出（WPO）将数据移位通过 CS 数据寄存器，然后执行捕获操作。如果到双端口路由器的 DRE 输入选择 TSM 控制并行扫描测试，则 TSM 将循环通过数据寄存器扫描状态，从而输出 DRC 信号，以控制并行 CS 数据寄存器。如果到双端口路由器的 DRE 输入选择 CMD 电路控制互连测试，则 TSM 将转换并保持 ShiftDR 状态，同时 CMD 电路输出 DRC 信号，从而控制并行 CS 数据寄存器。

[0077] 通常用 TSM 控制图 16-18 中所示的器件测试架构会在扫描操作期间发生有问题的停滞状态。用 CMD 电路控制测试架构有利地消除了扫描操作期间的这些停滞状态。

[0078] 尽管图 16-18 的示例示出了 CMD 电路和双端口路由器如何可以用于改进器件的扫描或者扫描压缩测试，但是 CMD 电路也可以被用于改进对器件中与 TAP 接口连接的其他类型的嵌入式电路的扫描访问。下面描述两个这种嵌入式电路。

[0079] 图 19 示出布置 1900，其包括连接到 R/W 数据寄存器 1904 的可寻址 R/W 电路 1902，R/W 数据寄存器 1904 经由双端口路由器 804 由 TSM102 或者由 CMD 电路 802 选择性控制。R/W 电路可以是存储器电路、测试电路、调试电路或者追踪电路。R/W 电路从数据寄存器接收地址（ADDRESS）输入和 R/W 控制输入，从而允许经由 R/W 电路和数据寄存器之间的数据（DATA）总线连接将数据写入 R/W 电路中的寻址位置，和 / 或从寻址位置读取数据。

[0080] 当期望由 TSM 控制对 R/W 电路的访问时，DRE 输入控制双端口路由器将来自 TSM 的 DRC 输出连接到数据寄存器的 DRC 输入。一旦连接，TSM 转换到 ShiftDR 状态，从而将地址、数据和 R/W 控制比特移入和移出数据寄存器。如果 R/W 控制比特是针对写入操作设置的，则当 TSM 转换到 UpdateDR 状态时，数据寄存器中的数据被写入到 R/W 电路的寻址位置。如果 R/W 控制比特是针对读取设置的，则当 TSM 转换到 CaptureDR 状态时，R/W 电路的寻址位置中的数据被加载到数据寄存器。如果 R/W 控制比特是针对读取和写入操作设置的，则在 CaptureDR 状态从 R/W 电路的寻址位置进行读取，并且在 UpdateDR 状态对 R/W 电路的寻址位置进行写入。

[0081] 当期望由 CMD 电路控制对 R/W 电路的访问时，DRE 输入控制双端口路由器将 CMD 电路的 DRC 输出连接到数据寄存器的 DRC 输入。一旦连接，TSM 转换到 ShiftDR 状态并且保持该状态，从而将地址、数据和 R/W 控制比特移入和移出数据寄存器。在移位操作期间的适当时候，CMD 输入被输入到 CMD 电路，从而使 CMD 电路将 DRC 信号输出到双端口路由器。如果 R/W 控制比特是针对写入操作设置的，则响应于 CMD 电路的 DRC 信号，数据寄存器中的数据被写入到寻址位置。如果 R/W 控制比特是针对读取操作设置的，则响应于 CMD 电路的 DRC 信号，寻址位置中的数据被加载到数据寄存器。如果 R/W 控制比特是针对读取和写入操作设置的，则响应于 CMD 电路的 DRC 信号，进行读取和写入。

[0082] 由 CMD 电路控制的 R/W 操作的优点是，TSM 不需要转换离开 ShiftDR 状态以执行读取和 / 或写入操作。读取和 / 或写入操作是在地址、数据和 RW 控制比特被连续移入和移出数据寄存器的同时，由 CMD 输入执行的。如果该数据寄存器是 50 比特长，则读取和 / 或写入操作可以被命令为在每第五十个移位操作之后进行。

[0083] 图 20 示出由 IEEE 标准 P1687 开发的仪器数据寄存器架构 2002，其用于访问器件

中的嵌入式仪器。仪器数据寄存器架构包括分段插入比特(SIB)元件,其可以由扫描操作控制,从而在 TDI 和 TDO 之间的路径中连接或者断开仪器。该仪器数据寄存器架构模仿由美国专利 4,872,169 中 Whetsel 首先描述的自控制变量长度扫描路径的操作。该仪器数据寄存器架构被具体化为包括 DRC 控制输入,从而允许其连接到来自 TSM 的 DRC 输出并且由 DRC 输出控制。在这个示例中,CMD 电路和双端口路由器已经被增加,以示出仪器数据寄存器也可以怎样由 CMD 电路控制。

[0084] 当期望由 TSM 控制对仪器数据寄存器的访问时,DRE 输入控制双端口路由器将来自 TSM 的 DRC 输出连接到数据寄存器的 DRC 输入。一旦连接,TSM 转换到 ShiftDR 状态,从而将数据移入和移出仪器数据寄存器。如果 SIB 被设置为将其关联的仪器连接到数据寄存器中,则可以以针对图 19 的 R/W 电路所描述的相同的方式,在 UpdateDR 状态将数据写入仪器,并且在 CaptureDR 状态从仪器读取数据。

[0085] 当期望由 CMD 电路控制对仪器数据寄存器的访问时,DRE 输入控制双端口路由器将 CMD 电路的 DRC 输出连接到数据寄存器的 DRC 输入。一旦连接,TSM 转换到 ShiftDR 状态,从而将数据移入和移出数据寄存器。如果 SIB 被设置为将其关联的仪器连接到数据寄存器中,则可以以针对图 19 的 R/W 电路所描述的相同的方式,响应于到 CMD 电路的 CMD 输入,将数据写入仪器并且从仪器读取数据。

[0086] 由 CMD 电路控制的仪器访问操作的优点与由 CMD 电路控制的 R/W 电路访问操作的优点相同,也就是说,TSM 不需要转换离开 ShiftDR 状态以执行读取和 / 或写入操作,因为在数据被连续移入和移出仪器数据寄存器的同时,读取和写入操作由 CMD 输入执行。

[0087] 改进板级测试操作

[0088] 图 21 示出连接到 JTAG 控制器的菊花链器件的布置 2102。该器件可以是板上的 IC 或者 IC 中的嵌入式电路。每个器件具有可命令 TAP(CTAP),即每个器件 TAP 包括本公开的 CMD 电路和双端口路由器。在这个示例中,器件 CTAP 已经被加载有 CMD 控制的 IEEE1149.1 互连测试边界扫描指令,其使得能够在互连上进行全速更新和捕获操作。如在时序图中看出,响应于来自 TMS 的 CMD 输入执行更新、捕获和移位边界扫描测试操作,如前所述。在这个示例中,更新操作在 TCK 的上升沿处发生,并且捕获操作在 TCK 的随后的上升沿处发生。这使互连测试边界扫描更新和捕获操作在一个 TCK 周期内发生,而常规的互连测试边界扫描更新和捕获操作在两个半 TCK 周期内发生。

[0089] 如果期望,通过设计双端口路由器,该更新操作可以被延迟到其在 TCK 的下降沿处发生,并且捕获操作在 TCK 的随后的上升沿处发生,从而使更新和捕获之间只有半个 TCK 周期。这个更新和捕获操作之间的时序收紧可以被应用于任何类型的 CSU 数据寄存器。

[0090] 在全速边界扫描测试期间,在 TCK 的上升沿处输入正常 TMS 信号,从而将 CTAP 维持在 ShiftDR 状态。CTAP 也可以被设置为使用 TSM 状态转换执行互连的常规互连测试边界扫描测试。然而,该测试不是全速更新和捕获测试,因为会引入 TSM 停滞状态。

[0091] 开发了 IEEE 标准 1149.6 以提供能够测试器件之间 AC 耦合互连的边界扫描测试。1149.6 是需要的,因为 1149.1 互连测试指令不能充分测试全部 AC 耦合互连,这是由于更新和捕获操作之间有两个半的 TCK 延迟。由于如上所述的由 CMD 控制的互连测试操作可以在一个或者甚至半个 TCK 周期内更新并捕获互连上的数据,所以其使得能够测试使用标准 1149.1 互连测试指令的测试无法胜任的 AC 耦合互连。

[0092] 图22示出连接到JTAG控制器的菊花链器件的布置2202。这些器件可以是板上的IC或者IC中的嵌入式电路。在这个示例中，期望访问位于中间器件中的CS或者CSU类型电路。CS或者CSU电路可以是前面所述的仅使用TDI和TDO传递数据的任何类型。为了建立对中间器件的访问，前面的器件和后面的器件被加载有IEEE1149.1指令，即1149.1Bypass、Clamp或者HighZ指令，这些指令选择其旁路(BYP)寄存器，并且中间器件被加载有选择期望的CS或者CSU类型电路以便访问的指令。

[0093] 如果要使用正常JTAG扫描操作执行对中间器件的CS或者CSU电路的访问，则加载到中间器件中的指令会将器件的TSM连接到CS或者CSU电路。通过JTAG控制器执行常规数据寄存器捕获、移位和更新操作，以此执行对中间器件的访问。在捕获操作期间，旁路寄存器顺应地加载逻辑0，并且在下一个移位操作期间，中间器件电路加载要输出到控制器的数据。接着移位操作，执行更新操作，从而更新已经被移位到中间电路中的数据，假设中间电路为CSU类型电路。在每个数据寄存器扫描操作期间，JTAG控制器必须将数据移位通过前面的器件的旁路寄存器、中间器件电路以及后面的器件的旁路寄存器。如果有50个前面的器件，50个后面的器件并且中间器件电路扫描长度是50比特，则每个数据寄存器扫描循环将是150比特长。如果需要大量扫描循环来访问中间器件电路，则必须反复将数据移位通过前面的器件和后面的器件的旁路寄存器，这会浪费大量的时间。

[0094] 如果使用CMD电路执行对中间器件的CS或者CSU电路的访问，意思是中间电路的TAP将扩充有本公开的CMD电路和双端口路由器，则加载到中间器件中的指令会将器件的CMD电路连接到CS或者CSU电路。通过JTAG控制器将全部器件置于ShiftDR状态，以将数据从TDI到TDO连续移位通过装置，以此执行对中间器件电路的访问。在移位期间的适当时间，JTAG控制器将CMD信号经由TMS信号输入到中间器件的CMD电路。响应于CMD输入，CS电路将执行捕获操作，然后重新开始移位数据，如图22的CSOP时序所示。响应于CMD输入，CSU电路将执行更新操作，随后是捕获操作，然后重新开始移位数据，如图22的CSUOP时序所示。由于前面的器件和后面的器件的旁路寄存器不响应CMD输入，所以它们简单地操作为流水线比特，将数据从JTAG控制器移位到中间器件并且从中间器件移位回到JTAG控制器。

[0095] 在对中间器件的访问期间，必须穿过旁路寄存器而浪费的唯一时间，一次是在访问的开始，当来自JTAG控制器的数据填充前面的器件的旁路寄存器时，一次是在访问的结束，当来自中间器件的数据从后面的器件的旁路寄存器被清空到JTAG控制器时。再次使用示例的50个前面的器件、50个后面的器件和50比特的中间器件电路长度，对中间器件的访问仅在访问的开始时被延长一次50比特移位并且在访问的结束时延长一次50比特移位。

[0096] 使JTAG控制器适于CMD输出

[0097] 本公开使用TMS信号输入CMD的方法需要修改传统的JTAG控制器。存在两种基本类型的JTAG控制器，即软件控制的JTAG控制器和硬件控制的JTAG控制器。软件控制的JTAG控制器简单地使用计算机并行端口来使用软件操作TMS、TCK、TDI和TDO信号。硬件控制的JTAG控制器使用JTAG接口电路控制TMS、TCK、TDI和TDO信号。通过简单地修改控制并行端口的软件，实现了使软件控制的JTAG控制器适于在TMS上提供CMD信号。使硬件控制的JTAG控制器适于在TMS上提供CMD信号是更困难的，因为其需要修改硬件。下面描述了一种修改硬件控制的JTAG控制器从而在TMS上提供CMD信号的简单方式。

[0098] 图 23 示出示例硬件控制的 JTAG 控制器 2302，其包括计算机 2306 和 JTAG 接口电路 2304。JTAG 接口电路具有用于输出 TMS 信号的 TMS 控制电路、用于输出 TCK 信号的 TCK 控制电路、用于输出 TDI 信号的 TDI 存储器和用于输入 TDO 信号的 TDO 存储器。计算机执行对 JTAG 接口电路的读取和写入，从而使 JTAG 接口电路操作 TMS、TCK、TDI 和 TDO 信号。

[0099] 图 24 示出示例布置 2402，其示出图 23 的 JTAG 控制器如何可以扩充有 CMD 电路 2404 和多路复用器 2406，从而选择性地允许其在 TMS 上提供或者不提供 CMD 信号。CMD 电路具有计算机接口、ShiftDR 状态输入、TCK 输入、使能（ENABLE）输出和 CMD 输出。TCK 输入为 CMD 电路提供时序，并且 ShiftDR 状态输入使能 CMD 电路的操作。多路复用器具有连接到使能输出的使能输入、连接到 CMD 输出的数据输入、连接到 TMS 输出的数据输入、连接到 TCK 输出的选择输入和连接到 TMS 输出的输出。当 JTAG 控制器布置 2402 被设置为不在 TMS 上提供 CMD 信号时，使能信号将被设置为使多路复用器只输出 TMS 信号，从而复制图 23 的传统 JTAG 控制器的操作。当 JTAG 控制器布置 2402 被设置为在 TMS 上提供 CMD 信号时，使能信号将被设置为使多路复用器响应于来自 TCK 信号的选择（SELECT）输入而在输出 TMS 信号和 CMD 信号之间交替。

[0100] 图 25 示出图 24 的 CMD 电路 2404 的示例实现，其包括寄存器 2502 和计数器 2504。寄存器含有移位计数位字段和使能位。当图 24 的 JTAG 控制器布置要执行正常 JTAG 操作时，计算机设置使能位，使多路复用器只输出 TMS 信号。当 JTAG 控制器布置 2402 要执行 CMD 操作时，计算机将移位计数写入到寄存器，设置使能位，使多路复用器响应于选择信号而交替输出 TMS 和 CMD 信号，并且将移位计数加载到计数器中。移位计数被设置为等于正在访问的数据寄存器的比特长度。在 CMD 操作期间，ShiftDR 状态输入被设置为使计数器能够在每次上升沿 TCK 移位操作时计数一次。当移位计数期满时，计数器输出计数完成（CC）信号，该信号将 CMD 信号设置为高。CMD 信号经由多路复用器被输出到 TMS 上，以触发目标器件中的 CMD 操作。如图 25 的时序图中所示，NOP 信号被输出到 TMS 上，直到发生 CMD 信号。CC 信号也将移位计数加载（LD）入计数器中，用于下一个 CMD 移位循环。重复操作直到测试完成。当在 CMD 信号输出模式中时，图 24 的 JTAG 控制器布置 2402 在 TCK 上升沿之前为 TMS 信号提供了半个 TCK 设置时间，并且在 TCK 下降沿之前为 CMD 信号提供了半个 TCK 设置时间。

[0101] 图 26 示出含有一个或更多 CSU 和 / 或 CS 数据寄存器元件的电路块 2602。电路块 2602 可以是任何类型的电路，包括但不限于测试电路、调试电路、追踪电路、仿真电路、读取 / 写入电路和仪器电路。参考图 16-20 描述了这类电路的一些示例。电路块由双端口路由器 804 的 DRC 输出控制，从而执行捕获和移位操作，或者捕获、移位和更新操作。DRE 输入控制双端口路由器，从而允许电路块 2602 由 TSM102 或 CMD 电路 2604 的 DRC 输出控制，如前所述。这个示例的 CMD 电路 2604 具有用于捕获信号和更新信号的额外的输入。响应于 DRE 输入，可以选择捕获和更新信号以控制 CMD 电路 2604 的 DRC 输出。在晶圆级或者封装级的器件制造测试期间，可能期望允许外部测试器使用捕获和更新信号直接控制 CMD 电路的 DRC 输出，这些信号在测试期间在器件引脚上是可访问。允许测试器经由捕获和更新信号控制 CMD 电路的 DRC 输出，这使得能够更灵活控制 CMD 电路的 DRC 输出。同样，其允许到 TSM 的 TMS 输入仅需输入 TMS 信号，而不是 TMS 和 CMD 信号，这简化了对 TAP102 的测试器接口。进一步地，仅需在 TMS 输入上输入 TMS 信号可以使 TCK 能够以较快的时钟频率运行，因

为可以在 TMS 信号上施加更好的设置和保持时间。在使用捕获和更新信号的测试期间，测速器将 TAP 转换到 ShiftDR 状态，从而经由 TDI 和 TDO 信号将数据移入和移出电路块 2602，并且在移位期间的适当时间，操作捕获和更新信号以实现测试电路块 2602。

[0102] 图 27 示出 CMD 电路 2604 的一个示例实现，其包括图 13 和图 14 的先前所述的 CMD 电路 804 和多路复用器 2702。当 CMD 电路 2604 被设置为允许 CMD 电路 804 控制捕获(C)输出时，DRE 输入将设定多路复用器以将捕获(C)输出耦合到 CMD 电路 804 的输出，从而允许如图 13 和 14 中所述的全速移位 & 捕获操作。当 CMD 电路 2604 被设置为允许捕获信号控制捕获(C)输出时，DRE 输入将设定多路复用器以将捕获信号耦合到捕获(C)输出，从而允许测试器直接控制全速移位 & 捕获操作。当器件在具有其他器件的系统中时，例如图 21 和 22 中所示的，将有利地使用 CMD 电路 804 控制捕获(C)输出。当在晶圆级或者封装级器件测试中由测试器测试器件时，将有利地使用捕获信号控制捕获(C)输出。

[0103] 图 28 示出 CMD 电路 2604 的另一个示例实现，其包括图 11 和图 12 的先前所述的 CMD 电路 804 和多路复用器 2702 和 2802。当 CMD 电路 2604 被设置为允许 CMD 电路 804 控制更新(U)和捕获(C)输出时，DRE 输入将设置多路复用器以将更新(U)和捕获(C)输出耦合到 CMD 电路 804 的输出，从而允许如图 11 和 12 中所描述的全速更新 & 捕获和移位 & 捕获操作。当 CMD 电路 2604 被设置为允许更新和捕获信号控制更新(U)和捕获(C)输出时，DRE 输入将设置多路复用器以将更新和捕获信号耦合到更新(U)和捕获(C)输出，从而允许测试器直接控制全速更新 & 捕获和移位 & 捕获操作。当器件在具有其他器件的系统中时，例如图 21 和 22 中所示的，将有利地使用 CMD 电路 804 控制更新(U)和捕获(C)输出。当在晶圆级或者封装级器件测试中由测试器测试器件时，将有利地使用更新和捕获信号控制更新(U)和捕获(C)输出。

[0104] 图 29A 示出 TAP2902，其与图 8 的 TAP800 一致，除了到 CMD 电路 802 的 CMD 输入来自 TSM102 的输出 2904，而不是来自 TMS 输入。当 TSM 处于 Exit1DR 状态时，发生来自 TSM 的 CMD 输出 2904。这是通过使用状态解码门来检测何时 TSM 处于 Exit1DR 状态而实现的，如图 29B 所示。

[0105] 图 30 示出 TSM 转换通过 Exit1DR 状态(阴影)从而将 CMD 信号输出到图 29A 的 CMD 电路的时序图。如所示，从 TCK 的下降沿到 TCK 的下一个下降沿，CMD 电路寄存 CMD 信号(阴影)，如针对图 8 的 CMD 电路所描述的。CMD 操作发生在 TCK 的两个下降沿之间的 TCK 的上升沿 3008 处。如果 CMD 操作使用图 13 和图 14 的示例 CMD 电路 802 执行捕获和移位操作(CSOP)3002，则在 TCK 的上升沿 3008 处发生捕获。如果 CMD 操作使用图 11 或者图 12 的示例 CMD 电路 802 执行捕获、移位和更新操作(CSUOP)3004，则在 TCK 的上升沿 3008 处发生更新操作，并且在 TCK 的下一个上升沿 3010 处发生捕获操作。如果 CMD 操作使用图 15 的示例 CMD 电路 802 执行背对背捕获和移位操作(B2BCSOP)3006，则在 TCK 的上升沿 3008 处发生第一个捕获操作，并且在 TCK 的下一个上升沿 3010 处发生第二个捕获操作。

[0106] 如图 30 的时序图所示，与图 10 的时序图不同，TSM 必须转换离开 ShiftDR 状态，经过 Exit1DR 状态，以将 CMD 信号提供给 CMD 电路 802。对于 CSOP3002，这意味着在捕获操作之后重新开始 ShiftDR 状态之前，必须经过两个停滞状态(即无动作状态)，暂停数据寄存器(PauseDR)和退出 2 数据寄存器(Exit2DR)。对于 CSUOP3004，这意味着在更新和捕获操作之后重新开始 ShiftDR 状态之前，必须经过一个停滞状态 Exit2DR。对于 B2BCSOP3006，

这意味着在第一个和第二个捕获操作之后重新开始 ShiftDR 状态之前，必须经过一个停滞状态 Exit2DR。尽管使用 Exit1DR 状态检测 CMD 信号引入了停滞状态，但是停滞状态发生在期望的全速移位和捕获操作（CSOP）3002、全速更新和捕获操作（CSUOP）3004 和全速背对背捕获操作（B2BCSOP）3006 之后。

[0107] 众所周知，当 TSM102 转换离开 ShiftDR 状态时，其停止或门控关闭在其 ClockDR 输出上输出时钟信号。如图 30 的时序图所示，CSOP 操作 3002 在 Exit1DR 状态中需要时钟用于捕获操作，CSUOP 操作 3004 在 Exit1DR 和 PauseDR 状态中需要时钟用于更新和捕获操作，并且 B2BCSOP 操作 3006 在 Exit1DR 和 PauseDR 状态中需要时钟用于背对背捕获操作。图 31 和 32 的下列描述将示出在这些状态期间怎样在 ClockDR 上提供这些时钟的示例。

[0108] 图 31 示出异步寄存器 3102、双端口路由器 804、CMD 电路 802 和 TSM102。异步数据寄存器 3102 可以是异步 CSU 数据寄存器 402 或者异步 CS 数据寄存器 602。如果是异步 CSU 数据寄存器 402，则 CMD 电路 802 将如图 11 所述的操作以经由双端口路由器 804 提供 ClockDR、ShiftDR 和更新信号给数据寄存器。如果是异步 CS 数据寄存器 602，则 CMD 电路 802 将如图 13 或者图 15 所述的操作以经由双端口路由器 804 提供 ClockDR 和 ShiftDR 信号给数据寄存器。图 31 的布置和其他之前描述的使用 CMD 电路 802 的布置之间的唯一差别是，到图 31 的 CMD 电路的 CMD 信号来自 TSM，而不是来自 TMS 信号。TSM 包括图 29B 的门控电路 2904 和进一步地包括 ClockDR 门控电路 3102，门控电路 2904 在 Exit1DR 状态期间提供 CMD 信号，ClockDR 门控电路 3102 在 ClockDR 上提供时钟信号，如上针对 CSOP、CSUOP 和 B2BCSOP 操作所述。

[0109] 图 32 示出 TSM 的 ClockDR 门控电路 3102 的示例，其包括门控电路（G）3204-3208 和多路复用器（MUX）3202，均如图所示连接。每个门控电路 3204-3208 输入 TCK 信号和指示 TSM 状态的四个状态信号。当 TSM 处于 CaptureDR 或者 ShiftDR 状态时，门控电路 3204 将 TCK 传递到多路复用器。当 TSM 处于 CaptureDR、ShiftDR 或者 Exit1DR 状态时，门控电路 3206 将 TCK 传递到多路复用器。当 TSM 处于 CaptureDR、ShiftDR、Exit1DR 或者 PauseDR 状态时，门控电路 3208 将 TCK 传递到多路复用器。多路复用器从指令寄存器接收 DRE 输入，从而选择哪个门控电路输出传递到 ClockDR 输出。

[0110] 当 TSM 正在控制到数据寄存器 3102 的 DRC 信号时，门控电路 3204 的输出将被多路复用到多路复用器 3202 的 ClockDR 输出，从而允许常规的 IEEE1149.1TSM 控制的捕获和移位操作或者捕获、移位和更新操作。当在图 30 的 CSOP 操作 3002 期间，CMD 电路正在控制到数据寄存器 3102 的 DRC 信号时，门控电路 3206 的输出将被多路复用到多路复用器 3202 的 ClockDR 输出，从而在 Exit1DR 状态期间，在 ClockDR 上提供所需要的额外的捕获时钟。当在图 30 的 CSUOP 操作 3004 期间，CMD 电路正在控制到数据寄存器 3102 的 DRC 信号时，门控电路 3208 的输出将被多路复用到多路复用器 3202 的 ClockDR 输出，从而在 Exit1DR 状态期间，在 ClockDR 上提供所需要的额外的更新时钟并且在 PauseDR 状态期间，在 ClockDR 上提供所需要的捕获时钟。当在图 30 的 B2BCSOP 操作 3006 期间，CMD 电路正在控制到数据寄存器 3102 的 DRC 信号时，门控电路 3208 的输出将被多路复用到多路复用器 3202 的 ClockDR 输出，从而在 Exit1DR 状态期间，在 ClockDR 上提供所需要的额外的第一捕获时钟，并且在 PauseDR 状态期间，在 ClockDR 上提供所需要的额外的第二捕获时钟。

[0111] 图 33 示出如下布置，其包括电路块 2602、双端口路由器 804、TSM102 和 CMD 电路

2604。图 33 与图 26 一致，除了 TSM 已经被修改为，如前在图 31 中所描述的，在 Exit1DR 状态期间经由门控电路 2904 将 CMD 信号输出到 CMD 电路 2604，并且在其他选定的 TSM 状态期间经由门控电路 3104 将时钟信号输出到双端口路由器。如针对图 26、27 和 28 所描述的，从双端口路由器到电路块 2602 的 DRC 输入可以由 CMD 电路控制，或者从连接到外部可访问的捕获和更新信号的测试器控制。

[0112] 图 34A 示出 TAP3402，其与图 29A 的 TAP2902 的类似之处在于，其包括数据寄存器 106、双端口路由器 804、指令寄存器 104、多路复用电路 110 和 TSM102。其与 TAP2902 的不同之处在于，TAP3402 使用可编程开关（PSW）电路 3406 代替 CMD 电路 802。TSM102 已经扩充有 TSM 状态检测电路 3404。TSM 状态检测电路被实现为检测 Exit1DR 和 PauseDR 状态，如图 34B 的示例所示。检测到的 Exit1DR（EDR）和所检测的 PauseDR（PDR）TSM 状态信号连同来自指令寄存器的 DRE 输入被输入到 PSW 电路。PSW 电路将 DRC 控制输出到双端口路由器 804，从而控制在选定的一个或更多数据寄存器上的捕获和移位、捕获、移位和更新或者背对背捕获和移位操作。到 PSW 电路的 DRE 输入将其编程为根据需要将 EDR 和 PDR 信号耦合到合适的 DRC 信号，以对数据寄存器执行 CSOP、CSUOP 或者 B2BCSOP 操作。

[0113] 图 35 示出 TSM 转换通过各状态以使用状态检测电路 3404 和 PSW 电路 3406 执行 CSOP 操作 3502、CSUOP 操作 3504 和 B2BCSOP 操作 3506 的时序图。在 CSOP 操作 3502 期间，检测到的 Exit1DR 状态经过 PSW，从而使双端口路由器输出 DRC 控制，以对选定的数据寄存器执行捕获操作。在 CSUOP 操作 3504 期间，检测到的 Exit1DR 状态经过 PSW，从而使双端口路由器输出 DRC 控制，以对选定的数据寄存器执行更新操作，并且检测到的 PauseDR 状态经过 PSW，从而使双端口路由器输出 DRC 控制，以对选定的数据寄存器执行捕获操作。在 B2BCSOP 操作 3506 期间，检测到的 Exit1DR 状态经过 PSW，从而使双端口路由器输出 DRC 控制，以对选定的数据寄存器执行第一捕获操作，并且检测到的 PauseDR 状态经过 PSW，从而使双端口路由器输出 DRC 控制，以对选定的数据寄存器执行第二捕获操作。

[0114] 与图 30 的时序图相似，图 35 的时序图包括停滞状态。如所示，在 CSOP 操作 3502 期间发生两个停滞状态，在 CSUOP 操作 3504 期间发生一个停滞状态，在 B2BCSOP 操作 3506 期间发生一个停滞状态。这些停滞状态并不是令人讨厌的，因为它们在 CSOP 循环 3502 期间发生在期望的全速捕获操作之后，在 CSUOP 循环 3504 期间发生在期望的全速更新和捕获操作之后，在 B2BCSOP 循环 3506 期间发生在期望的全速背对背捕获操作之后。

[0115] 图 36 示出异步寄存器 3602、双端口路由器 804、TSM102 和 PSW 电路 3406，均如图所示连接。异步数据寄存器 3602 可以是异步 CSU 数据寄存器 402 或者异步 CS 数据寄存器 602。

[0116] 如果数据寄存器 3602 是异步 CSU 数据寄存器 402，则 PSW3406 将由 DRE 输入编程为将来自检测电路 3404 的 Exit1DR 信号耦合到 PSW 的更新（U）信号输出，并且将来自检测电路 3404 的 PauseDR 信号输出耦合到 PSW 的捕获（C）输出。当 TSM 转换通过可检测 Exit1DR 状态时，PSW 的更新（U）输出被有效，并且经由双端口路由器施加到 CSU 数据寄存器的 UpdateDR 输入，从而执行更新操作。当 TSM 转换通过可检测 PauseDR 状态时，PSW 的捕获（C）输出被有效，并且经由双端口路由器施加到 CSU 数据寄存器的 ShiftDR 输入，从而执行捕获操作。

[0117] 如果数据寄存器 3602 是异步 CS 数据寄存器 602，并且要对寄存器执行 CSOP 操作，

则 PSW3406 将由 DRE 输入编程为将来自检测电路 3404 的 Exit1DR 信号耦合到 PSW 的捕获(C)信号输出。当 TSM 转换通过可检测 Exit1DR 状态时，PSW 的捕获(C)输出被有效，并且经由双端口路由器施加到 CS 数据寄存器的 ShiftDR 输入，从而执行捕获操作。

[0118] 如果数据寄存器 3602 是异步 CS 数据寄存器 602，并且要对寄存器执行 B2BCSOP 操作，则 PSW3406 将由 DRE 输入编程为将来自检测电路 3404 的 Exit1DR 信号耦合到 PSW 的捕获(C)信号输出，并且将来自检测电路 3404 的 PauseDR 信号耦合到 PSW 的捕获(C)信号输出。当 TSM 转换通过可检测 Exit1DR 状态时，PSW 的捕获(C)输出被有效，并且经由双端口路由器施加到 CS 数据寄存器的 ShiftDR 输入，从而执行第一捕获操作。当 TSM 转换通过可检测 PauseDR 状态时，PSW 的捕获(C)输出被再次有效，并且经由双端口路由器施加到 CS 数据寄存器的 ShiftDR 输入，从而执行第二捕获操作。

[0119] 如图 36 中看出，TSM 被扩充有前面所述的 ClockDR 门控电路 3104，从而在所需 TSM 状态期间在 ClockDR 上提供时钟信号，如在图 32 中所述，从而执行上述 PSW 控制的 CSOP、CSUOP 和 B2BCSOP 操作。可以以许多方式设计 PSW 电路 3406，包括使用由 DRE 输入控制的门控电路和多路复用器的方式，以及使用由 DRE 输入控制的门控电路和交叉开关的方式。

[0120] 图 37 示出如下布置，其包括电路块 2602、双端口路由器 804、TSM102 和新的 PSW 电路 3702，均如图所示连接。如图 38 中所示，新的 PSW 电路 3702 包括先前描述的 PSW 电路 3406 和两个多路复用器 3802 和 3804。PSW 电路 3406 输入来自先前描述的 TSM102 的检测电路 3404 的 Exit1DR 和 PauseDR 信号，并且输入来自指令寄存器的 DRE 输入。PSW 电路 3406 将信号输出到多路复用器 3802 并且将信号输出到多路复用器 3804。多路复用器 3802 输入来自 PSW3406 的信号、捕获信号、DRE 控制输入信号，并且输出捕获(C)信号。多路复用器 3804 输入来自 PSW3406 的信号、更新信号、DRE 控制输入信号，并且输出更新(U)信号。新的 PSW3702 可以操作在如由 DRE 输入确定的两种模式。第一种模式与图 34A 和图 36 中所述的一致，其中 PSW3406 对检测到的 Exit1DR 和 PauseDR 状态信号进行响应，从而经由多路复用器 3802 和 3804 控制新的 PSW3702 的捕获(C)和更新(U)输出。第二种模式允许新的 PSW3702 的捕获(C)和更新(U)输出由到多路复用器 3802 和 3804 的捕获和更新信号控制。如先前图 26 和图 33 中提到的，当 TAP102 处于 ShiftDR 状态时，在晶圆和封装器件制造测试期间，捕获和更新信号可以由测试器直接控制，从而更有效地控制 CSOP、CSUOP 和 B2BCSOP 测试操作。

[0121] 图 39 示出 TAP3902，其与图 34A 的 TAP3402 的类似之处在于，其包括数据寄存器 106、双端口路由器 804、指令寄存器 104、多路复用电路 110 和 TSM102。TAP3902 与 TAP3402 的不同之处在于，其不包括 PSW 电路 3406。如所示，来自状态检测电路 3404 的 TSM 的 Exit1DR (EDR)和 PauseDR (PDR)状态检测信号直接耦合到双端口路由器的 DRC 输入。双端口路由器 804 被设计为响应 DRE 输入，从而将 EDR 和 PDR 信号耦合到选定的数据寄存器，从而允许数据寄存器响应于信号执行 CSOP、CSUOP 或者 B2BCSP 操作，如图 35 中所述。

[0122] 在第一示例中，如果数据寄存器 1 是 CS 数据寄存器并且要执行如图 35 所示的 CSOP 操作 3502，则 DRE 指令输入将控制双端口路由器 804 将 EDR 信号耦合到数据寄存器 1 的 DRC3904 输入，从而控制何时发生捕获操作。如果 CS 数据寄存器是异步 602 类型寄存器，则这意味着 EDR 信号将经由双端口路由器 804 的 DRC 输出 3904 耦合到寄存器的 ShiftDR 输入。

[0123] 在第二示例中，如果数据寄存器 N 是 CSU 数据寄存器并且要执行如图 35 所示的 CSUOP 操作 3504，则 DRE 指令输入将控制双端口路由器 804 将 EDR 和 PDR 信号耦合到数据寄存器 N 的 DRC3906 输入，从而控制何时发生更新和捕获操作。如果 CSU 数据寄存器是异步 402 类型寄存器，那么这意味着 EDR 信号将经由双端口路由器 804 的 DRC 输出 3906 耦合到寄存器的 UpdateDR 输入，并且 PDR 信号将经由双端口路由器 804 的 DRC 输出 3906 耦合到寄存器的 ShiftDR 输入。

[0124] 图 40 示出 TAP4002，其与图 39 的 TAP3902 的类似之处在于，其包括数据寄存器 106、双端口路由器 804、指令寄存器 104、多路复用电路 110 和 TSM102。TAP4002 与 TAP3902 的不同之处在于，其在 TSM 和双端口路由器之间的 EDR 和 PDR 信号路径中插入多路复用器 (MUX)4008。多路复用器具有用于外部可访问的捕获和更新信号的输入。多路复用器由 DRE 输入控制，从而允许到双端口路由器的 DRC 输入由 EDR 和 PDR TSM 信号控制，或者由外部可访问的捕获和更新信号控制。当选择 EDR 和 PDR 信号控制到双端口路由器的 DRC 输入时，TAP4002 如图 39 中所述的操作。当选择捕获和更新信号控制到双端口路由器的 DRC 输入时，TAP402 如前面图 26、33 和 37 中所述操作。

[0125] 图 41 示出如下布置，其包括电路块 2602、双端口路由器 804、TSM102 和多路复用器 4008，均如图所示连接。多路复用器 4008 输入来自 TSM 的 Exit1DR(EDR)和 PauseDR(PDR)信号、捕获和更新信号，并且将 DRC 控制输出到双端口路由器，如图 40 中所述。PSW3406 输入捕获信号、DRE 控制输入信号并输出捕获(C)信号。多路复用器 4008 可以操作在如 DRE 输入确定的两种模式。第一种模式允许 Exit1DR 和 PauseDR 信号控制到双端口路由器的 DRC 输入。第二种模式允许捕获和更新信号控制到双端口路由器的 DRC 输入。如先前图 26 和图 33 中提到的，当 TAP102 处于 ShiftDR 状态时，在晶圆和封装器件制造测试期间，捕获和更新信号可以由测试器直接控制，从而更有效地控制对电路块 2602 的 CSOP、CSUOP 和 B2BCSOP 测试操作。

[0126] 双端口路由器的价值是，其允许目标电路由 TSM 常规控制，或者由本公开所述的新的方法控制。例如，在图 21 中，在标准 IEEE1149.1 互连测试指令操作期间，菊花链布置中的器件可以由 TSM 选择性地控制，或者在本公开的新的全速互连测试指令操作期间，它们可以由 CMD 电路控制。根据本公开，任何标准或者非标准的 IEEE1149.1 指令可以具有两种操作模式。第一种操作模式由 TSM 经由双端口路由器常规控制，而第二种操作模式根据本公开的教导经由双端口路由器控制。

[0127] 应该理解，尽管在本公开的实施例中示出双端口路由器，但是其不是本公开的必须的特征。实际上，如果不需要对数据寄存器 106 或者其他电路 2602 的常规 TSM 访问，则双端口路由器可以由如下另一个路由器代替，该路由器能够接收 DRE 输入，从而将来自 CMD 电路、PSW 电路、Exit1DR 和 PauseDR 状态检测电路的 DRC 输出或者从外部可访问的捕获和更新信号耦合到数据寄存器 106 或者电路 2602 的 DRC 输入。

[0128] 器件电路 106 和 2602 包括但不限于，器件测试电路、器件调试电路、器件编程电路、器件仪器电路、器件读取 / 写入电路、器件追踪电路和器件仿真电路。

[0129] 本领域技术人员应当理解，在所要求的本发明的范围内，其他实施例和变形是可能的；并且，即使为了简洁或者简明，特征或步骤是在具有这些特征或步骤中的全部或者仅一些的示例实施例的背景下描述的，也意图覆盖具有一个或更多所述特征或步骤的不同组

合的实施例。

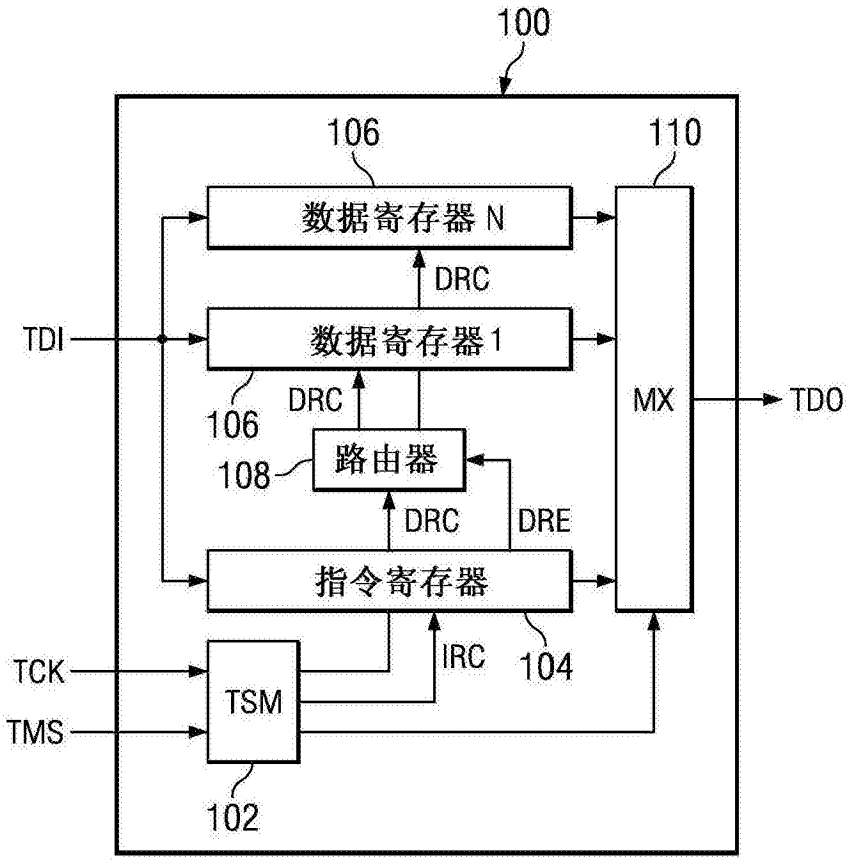

100
106
110
数据寄存器 N
DRC
TDI
数据寄存器1
MX
TDO
106
DRC
108
路由器
DRC
DRE
指令寄存器
TCK
TSM
IRC
104
TMS
102

图 1

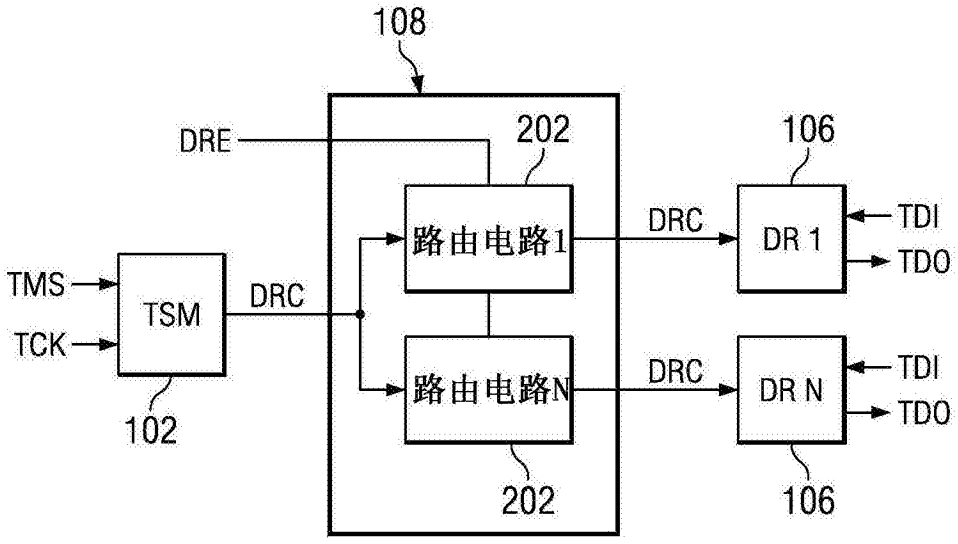

108
DRE
202
106
路由电路1
DRC
DR 1
TDI
TDO
TMS
TSM
DRC
TCK
路由电路N
DRC
DR N
TDI
TDO
102
202
106

图 2

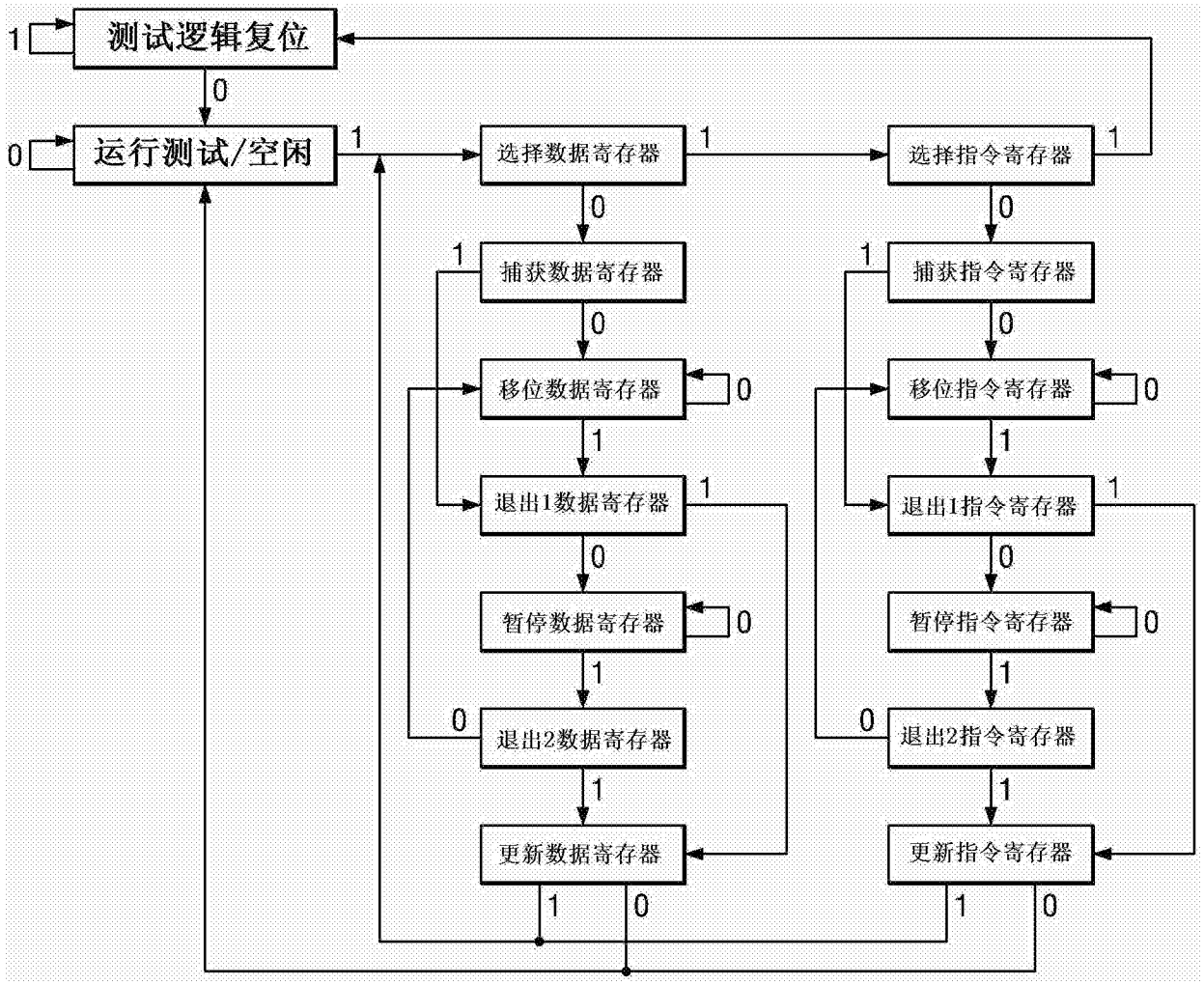

测试逻辑复位
运行测试/空闲
选择数据寄存器
捕获数据寄存器
移位数据寄存器
退出1数据寄存器
暂停数据寄存器
退出2数据寄存器
更新数据寄存器
选择指令寄存器
捕获指令寄存器
移位指令寄存器
退出1指令寄存器
暂停指令寄存器
退出2指令寄存器
更新指令寄存器
0
1

图 3

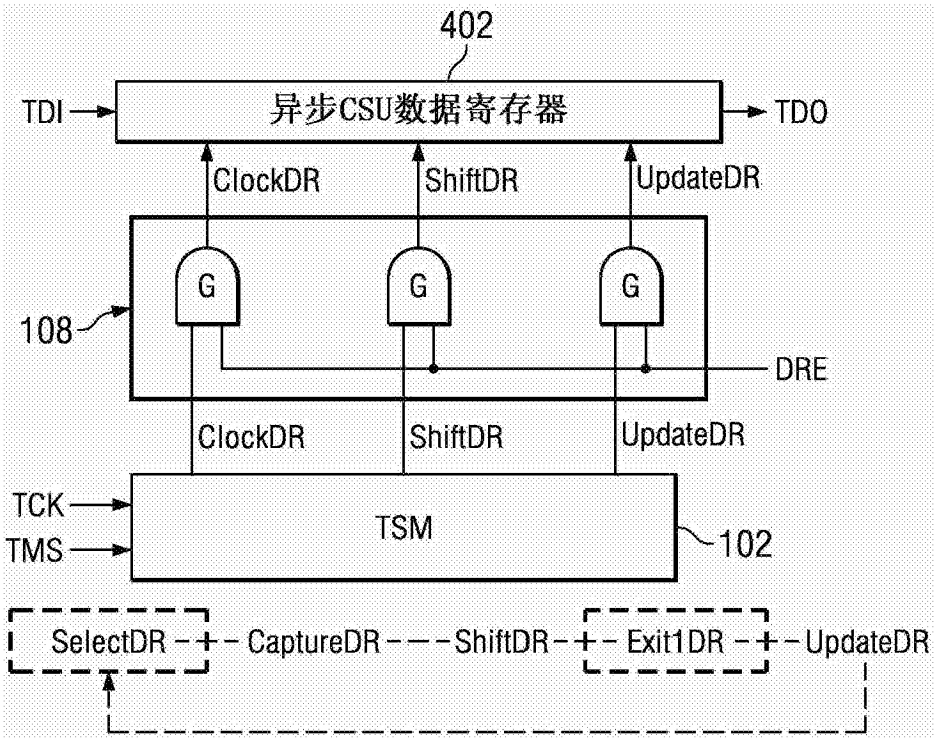

402
异步CSU数据寄存器
TDI
TDO
ClockDR
ShiftDR
UpdateDR
G
G
G
108
DRE
ClockDR
ShiftDR
UpdateDR
TCK
TMS
TSM
102
SelectDR
CaptureDR
ShiftDR
Exit1DR
UpdateDR

图 4

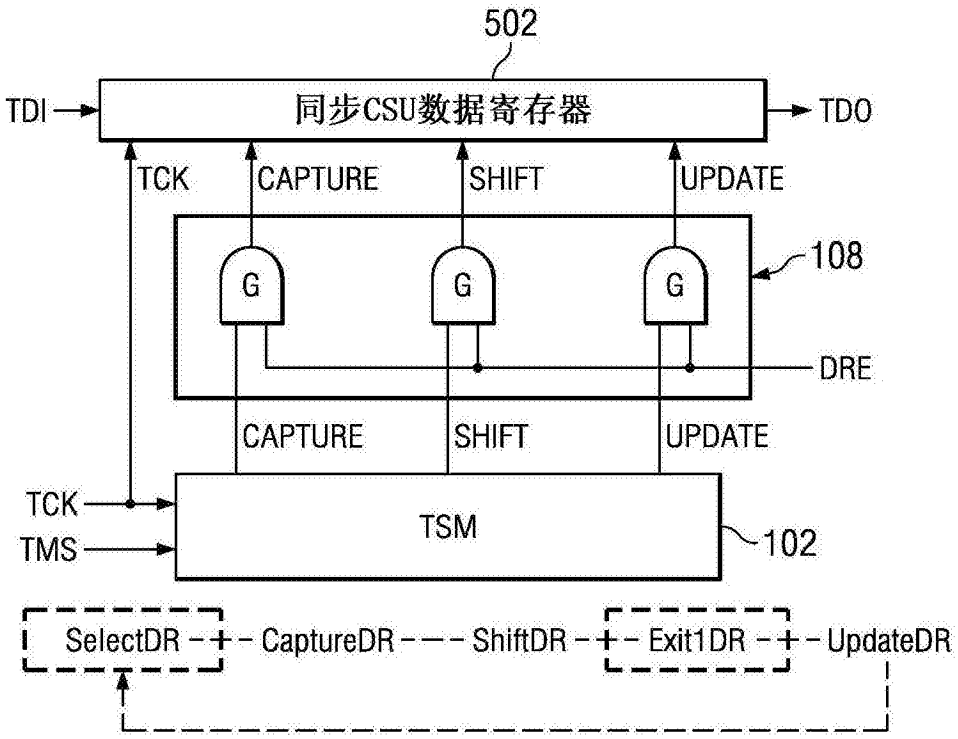

502
同步CSU数据寄存器
TDI
TDO
TCK
CAPTURE
SHIFT
UPDATE
G
G
G
108
DRE
CAPTURE
SHIFT
UPDATE
TCK
TMS
TSM
102
SelectDR
CaptureDR
ShiftDR
Exit1DR
UpdateDR

图 5

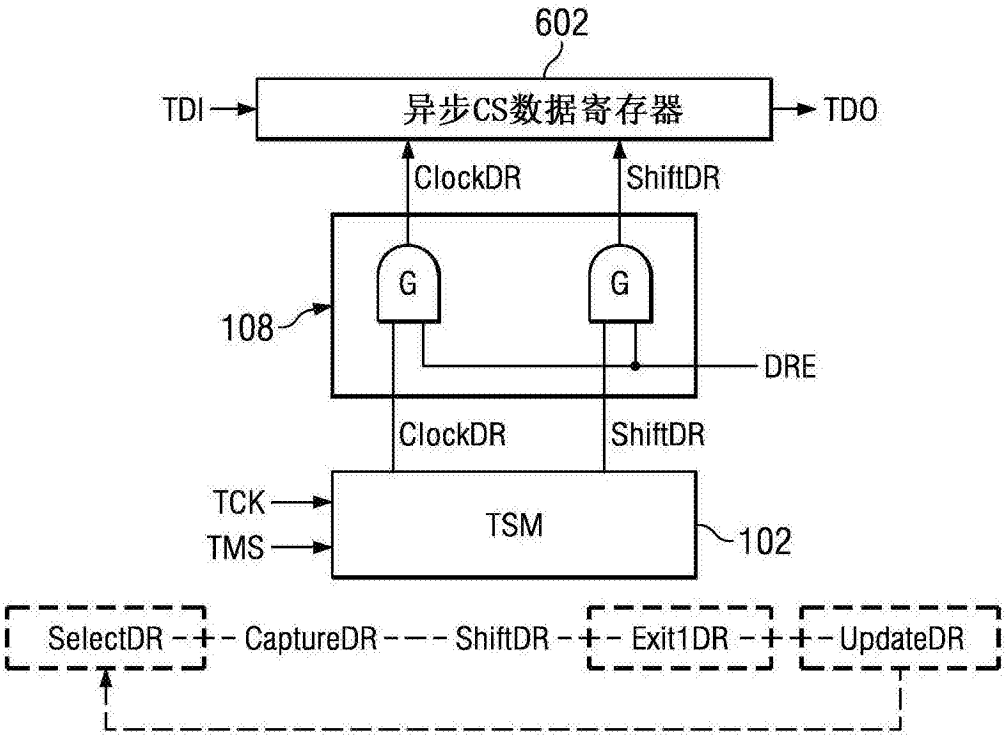

602
TDI
异步CS数据寄存器
TDO
ClockDR
ShiftDR
G
G
108
DRE
ClockDR
ShiftDR
TCK
TMS
TSM
102
SelectDR
CaptureDR
ShiftDR
Exit1DR
UpdateDR

图 6

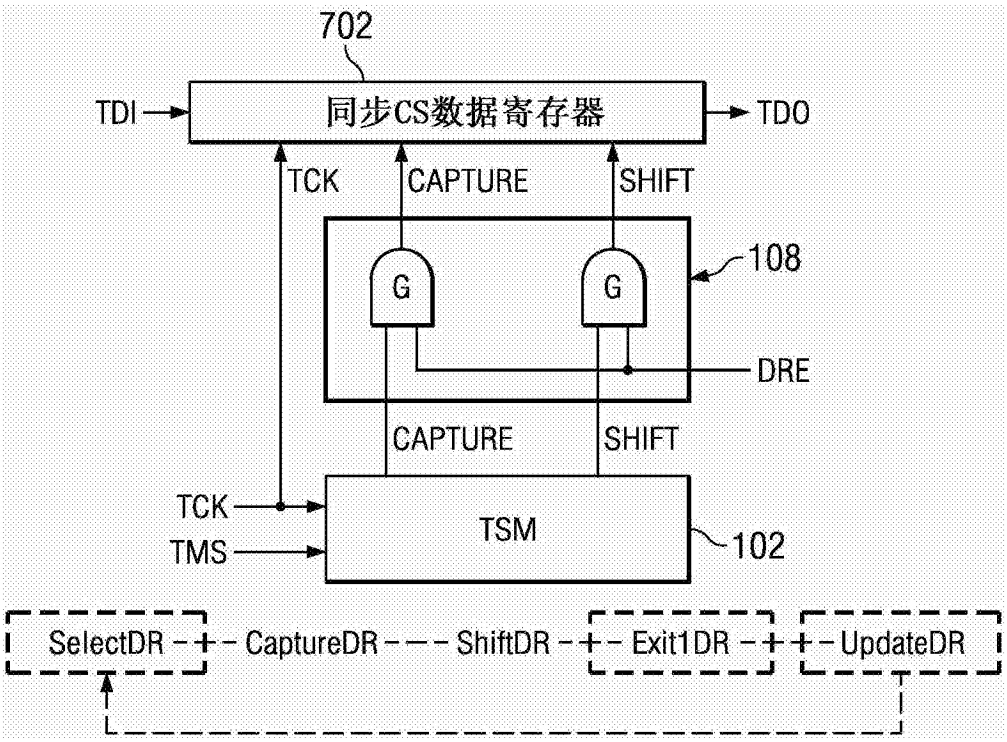

702
TDI
同步CS数据寄存器
TDO
TCK
CAPTURE
SHIFT
G
G
108
DRE
CAPTURE
SHIFT
TCK
TMS
TSM
102
SelectDR
CaptureDR
ShiftDR
Exit1DR
UpdateDR

图 7

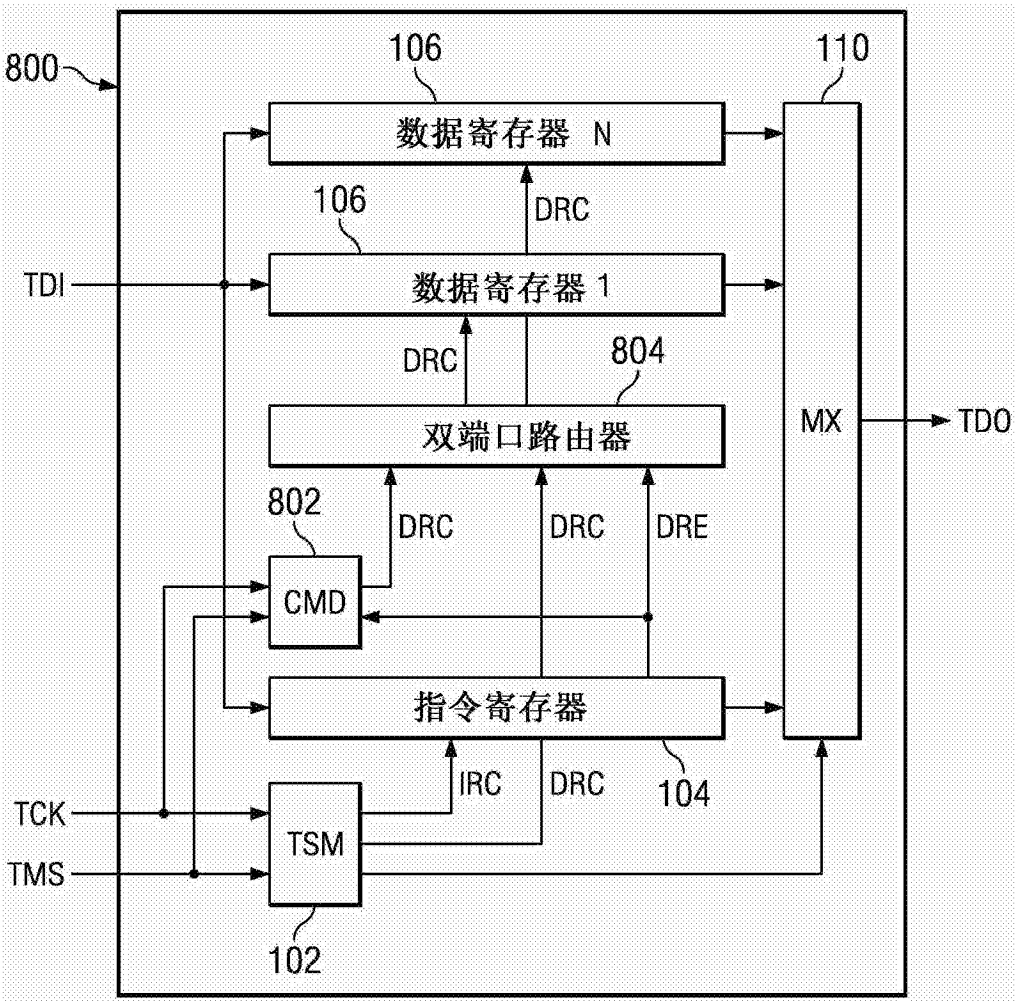

800
106
110
数据寄存器 N
106
DRC
TDI
数据寄存器 1
DRC
804
双端口路由器
MX
TDO
802
DRC
DRC
DRE
CMD
指令寄存器
IRC
DRC
104
TCK
TSM
TMS
102

图 8

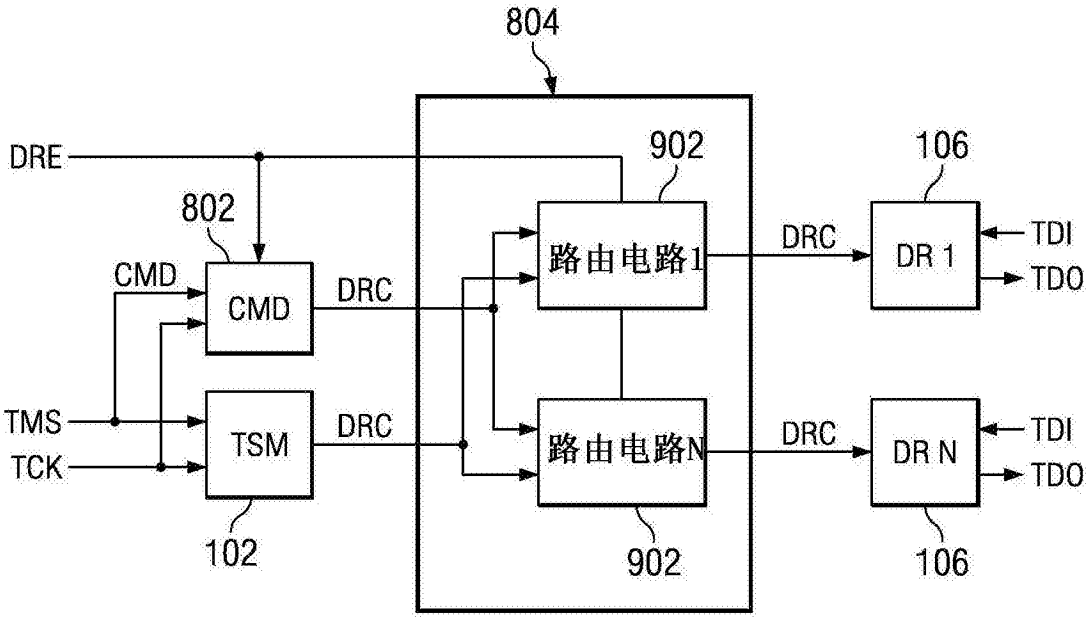

804
DRE
902
106
802
路由电路1
DRC
DR 1
TDI
TDO
CMD
CMD
DRC
TMS
TSM
DRC
路由电路N
DRC
DR N
TDI
TDO
TCK
102
902
106

图 9

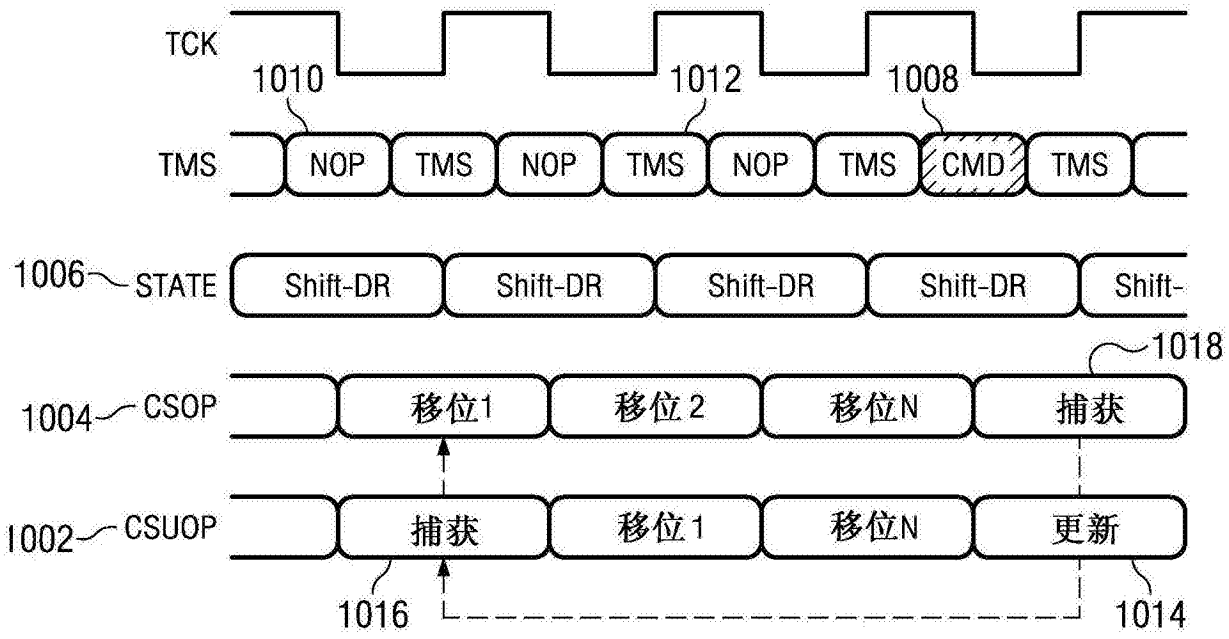

TCK
1010
1012
1008
TMS
NOP
TMS
NOP
TMS
NOP
TMS
CMD
TMS
1006
STATE
Shift-DR
Shift-DR
Shift-DR
Shift-DR
Shift-
1018
1004
CSOP
移位1
移位 2
移位N
捕获
1002
CSUOP
捕获
移位 1
移位N
更新
1016
1014

图 10

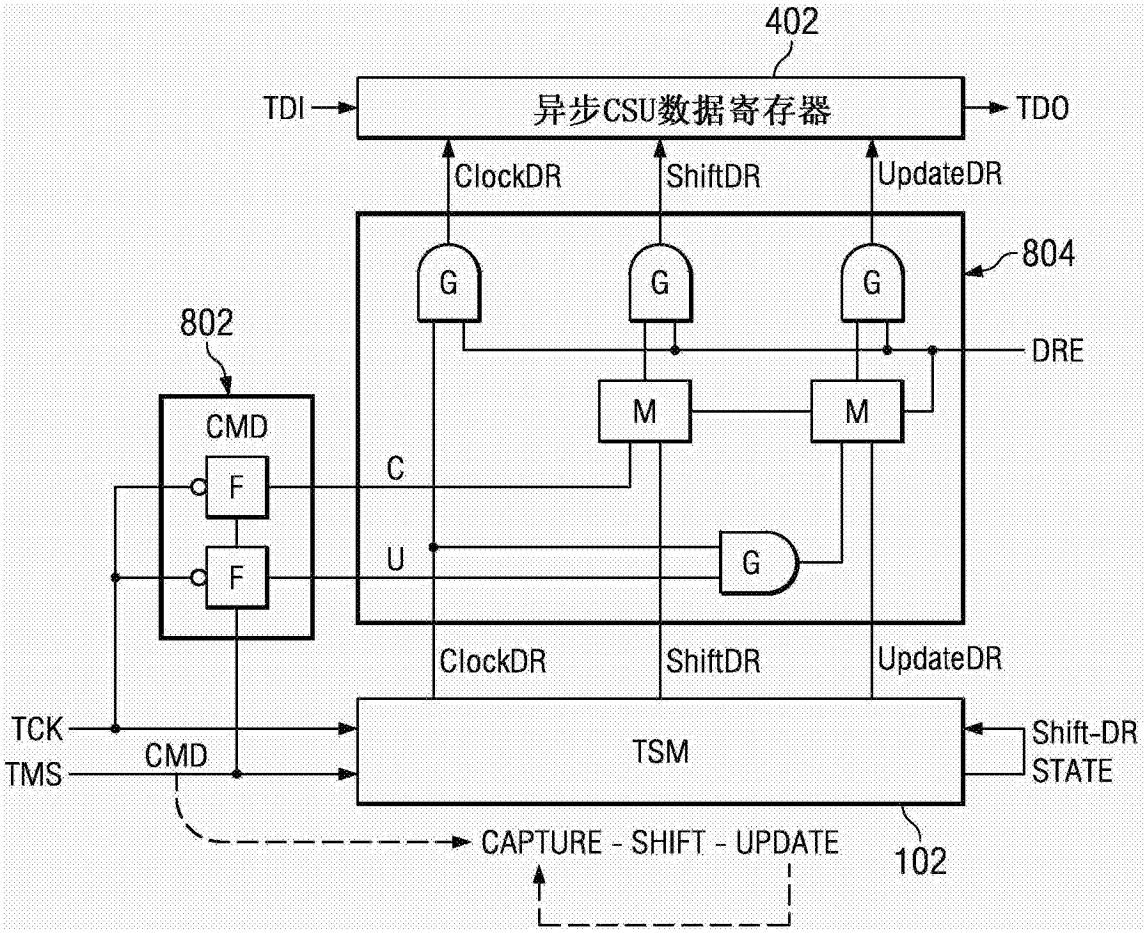

402
TDI
异步CSU数据寄存器
TDO
ClockDR
ShiftDR
UpdateDR
804
G
G
G
802
DRE
CMD
M
M
F
C
F
U
G
ClockDR
ShiftDR
UpdateDR
TCK
TMS
CMD
TSM
Shift-DR
STATE
CAPTURE - SHIFT - UPDATE
102

图 11

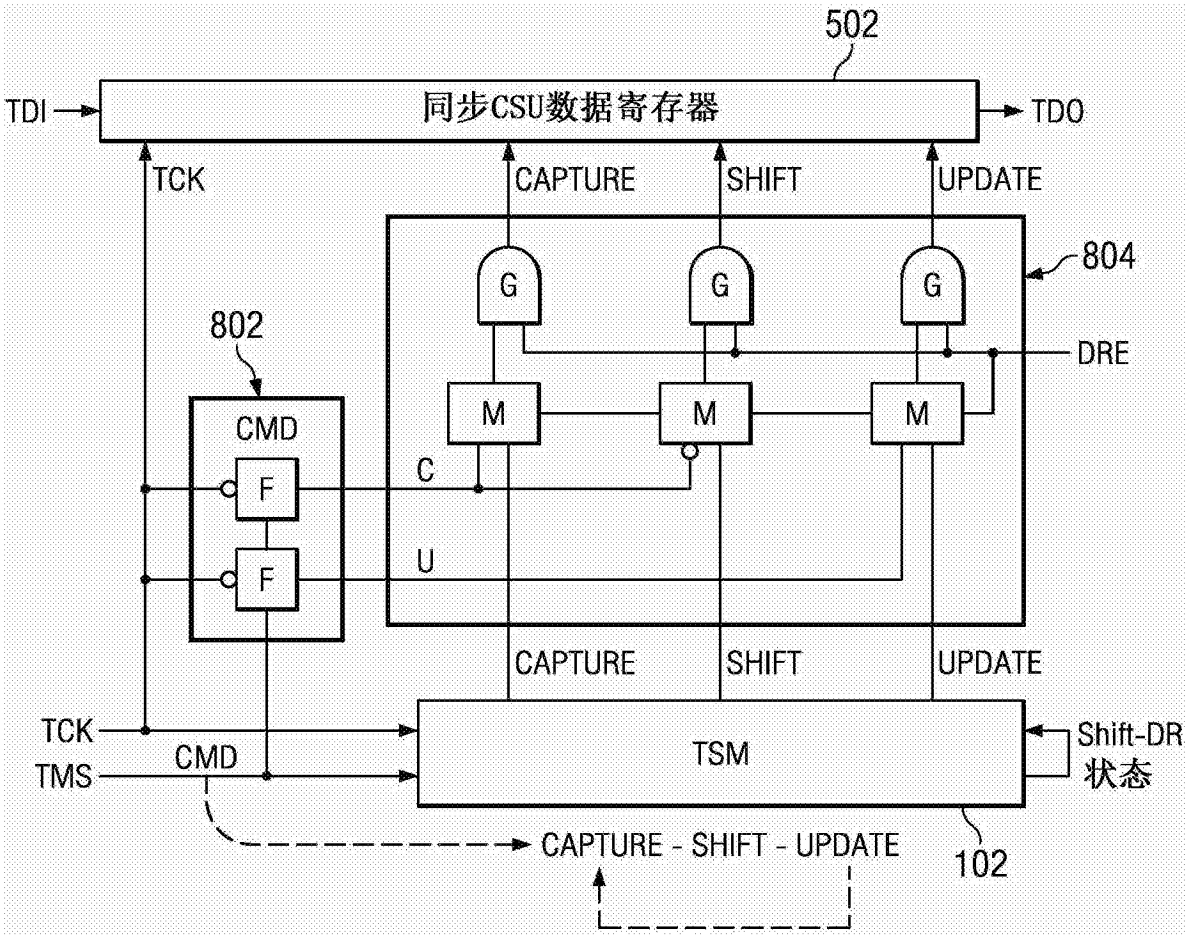

502
TDI
同步CSU数据寄存器
TDO
TCK
CAPTURE
SHIFT
UPDATE
804
G
G
G
802
DRE
CMD
M
M
M
C
F
F
U
CAPTURE
SHIFT
UPDATE
TCK
TMS
CMD
TSM
Shift-DR
状态
CAPTURE - SHIFT - UPDATE
102

图 12

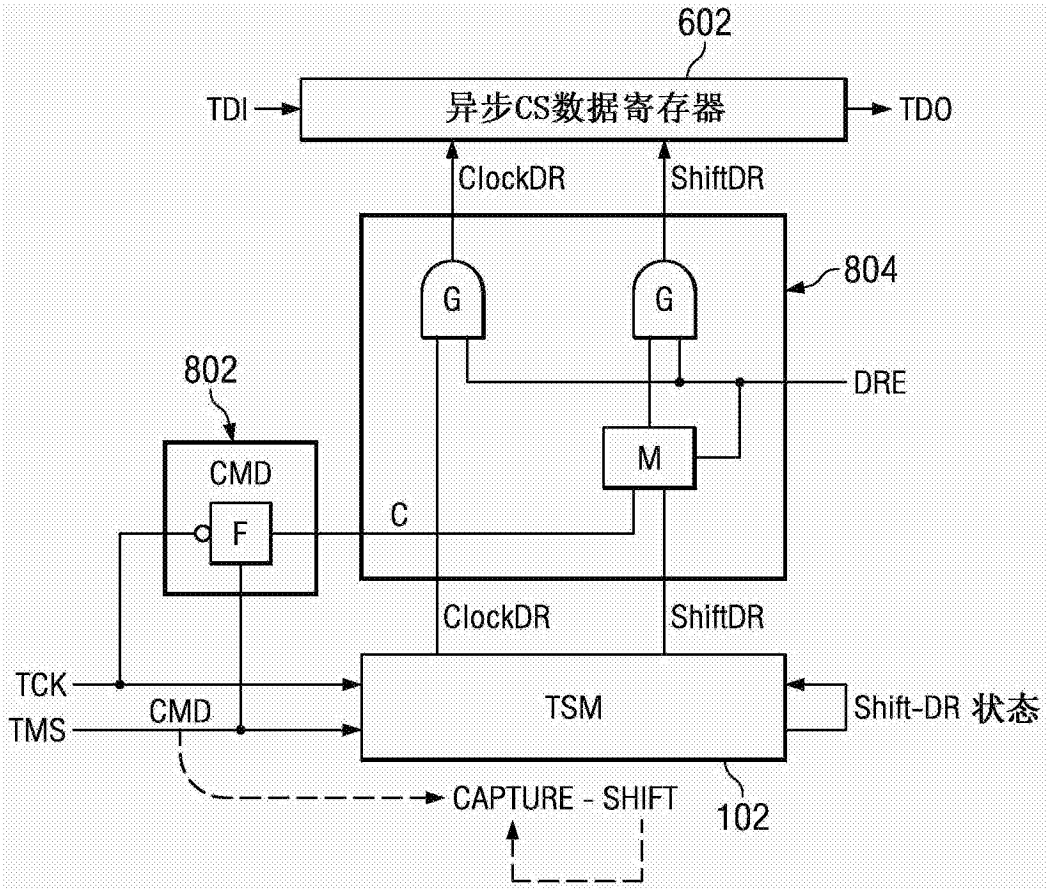

602
TDI
异步CS数据寄存器
TDO
ClockDR
ShiftDR
804
G
G
802
DRE
CMD
M
F
C
ClockDR
ShiftDR
TCK
TMS
CMD
TSM
Shift-DR 状态
CAPTURE - SHIFT
102

图 13

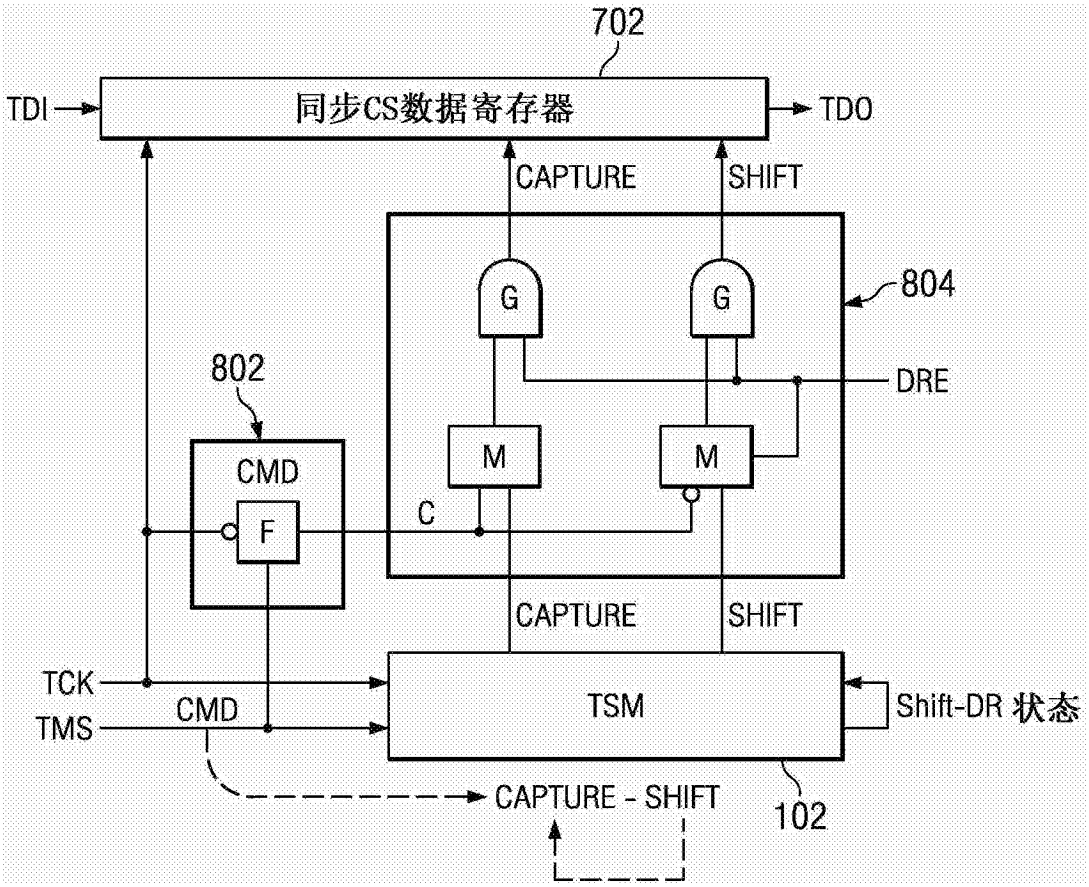

702
TDI
同步CS数据寄存器
TDO
CAPTURE
SHIFT
G
G
804
802
DRE
CMD
M
M
F
C
CAPTURE
SHIFT
TCK
TMS
CMD
TSM
Shift-DR 状态
CAPTURE - SHIFT
102

图 14

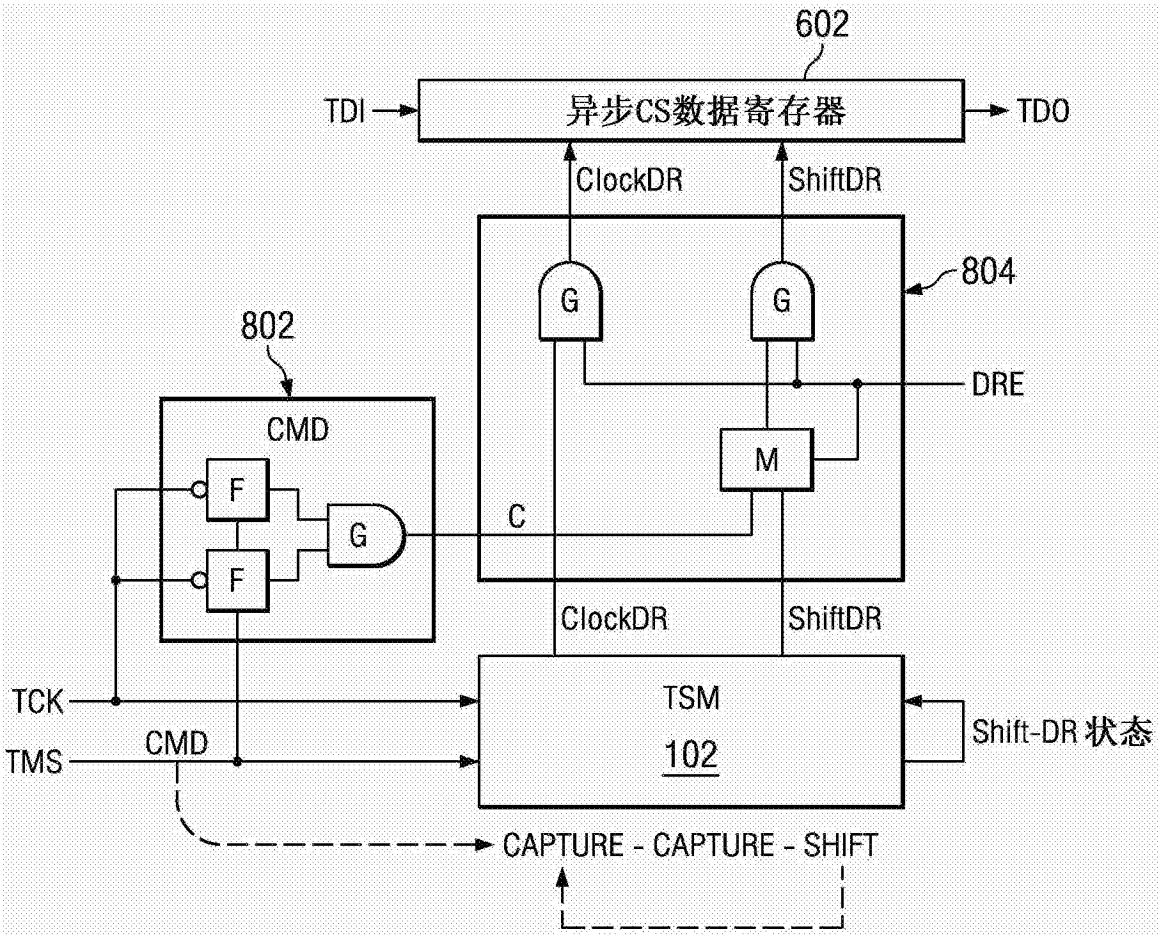

602
TDI
异步CS数据寄存器
TDO
ClockDR
ShiftDR
804
G
G
802
DRE
CMD
M
F
G
C
F
ClockDR
ShiftDR
TCK
TSM
102
Shift-DR 状态
TMS
CMD
CAPTURE - CAPTURE - SHIFT

图 15

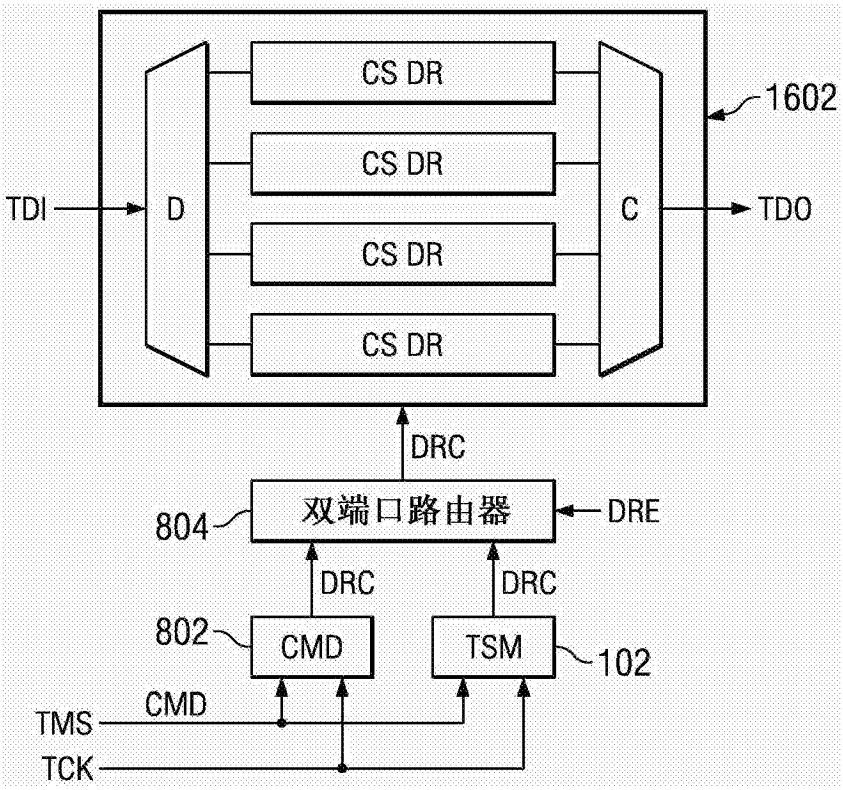

CS DR
CS DR
CS DR
CS DR
1602
TDI
D
C
TDO
DRC
804
双端口路由器
DRE
DRC
DRC
802
CMD
TSM
102
CMD
TMS
TCK

图 16

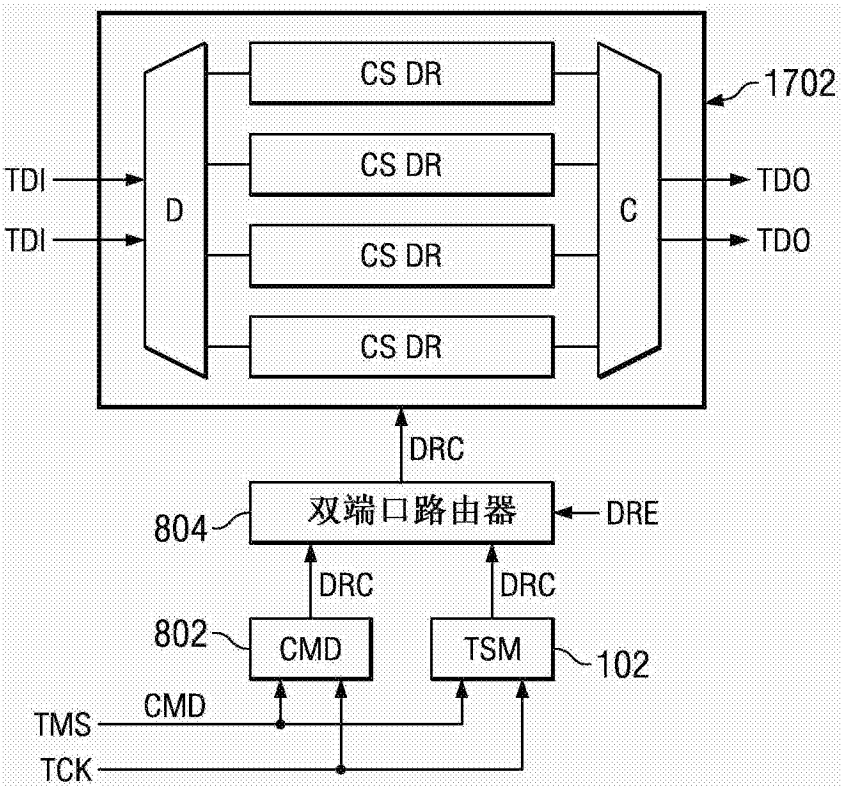

CS DR
CS DR
CS DR
CS DR
1702
TDI
TDI
D
C
TDO
TDO
DRC
804
双端口路由器
DRE
DRC
DRC
802
CMD
TSM
102
CMD
TMS
TCK

图 17

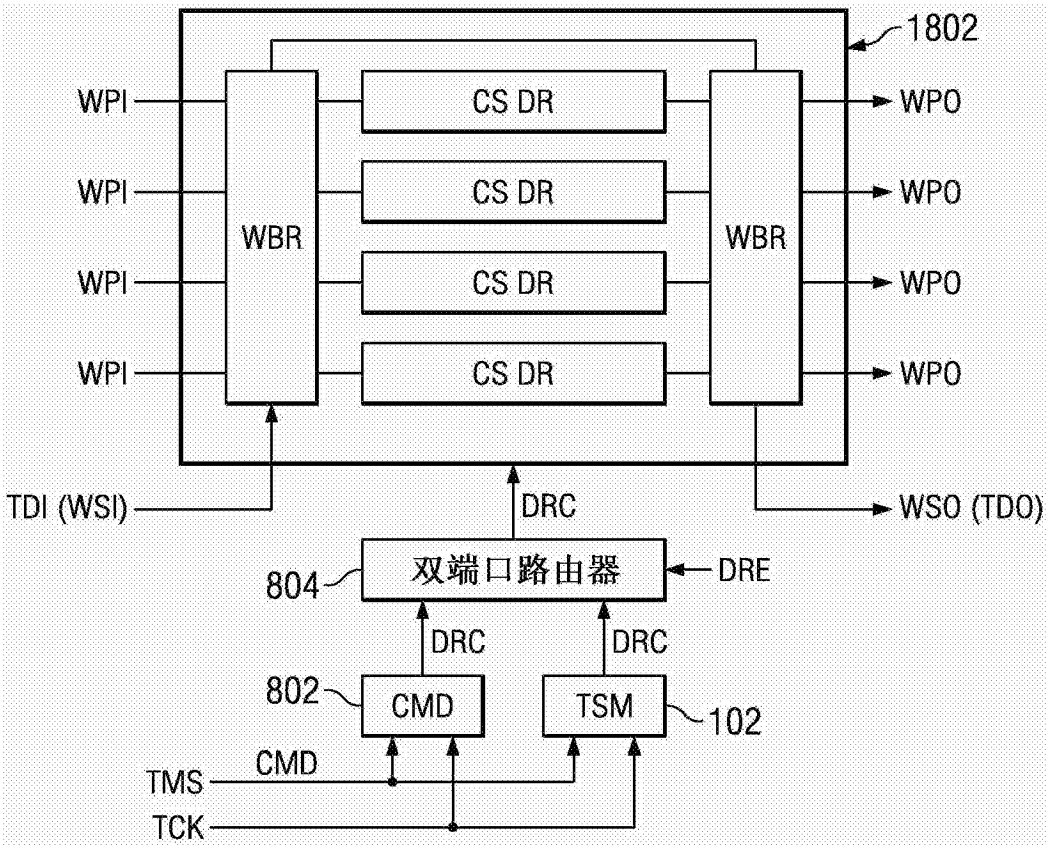

1802
WPI
WPI
WPI
WPI
WBR
CS DR
CS DR
CS DR
CS DR
WBR
WPO
WPO
WPO
WPO
TDI (WSI)
DRC
WSO (TDO)
804
双端口路由器
DRE
DRC
DRC
802
CMD
TSM
102
TMS
CMD
TCK

图 18

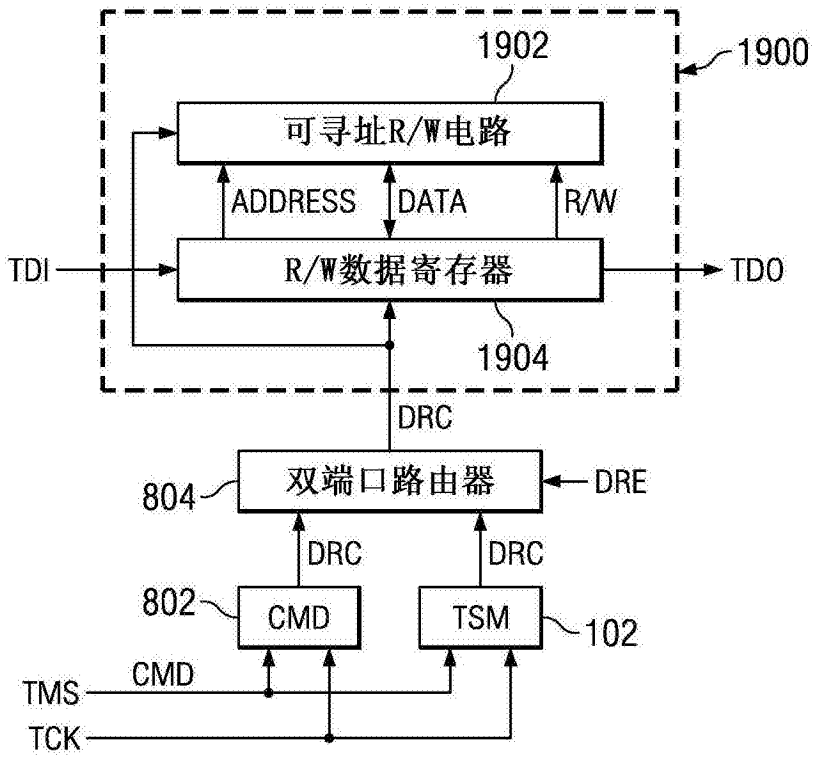

1902
1900
可寻址R/W电路
ADDRESS
DATA
R/W
TDI
R/W数据寄存器
TDO
1904
DRC
804
双端口路由器
DRE
DRC
DRC
802
CMD
TSM
102
TMS
CMD
TCK

图 19

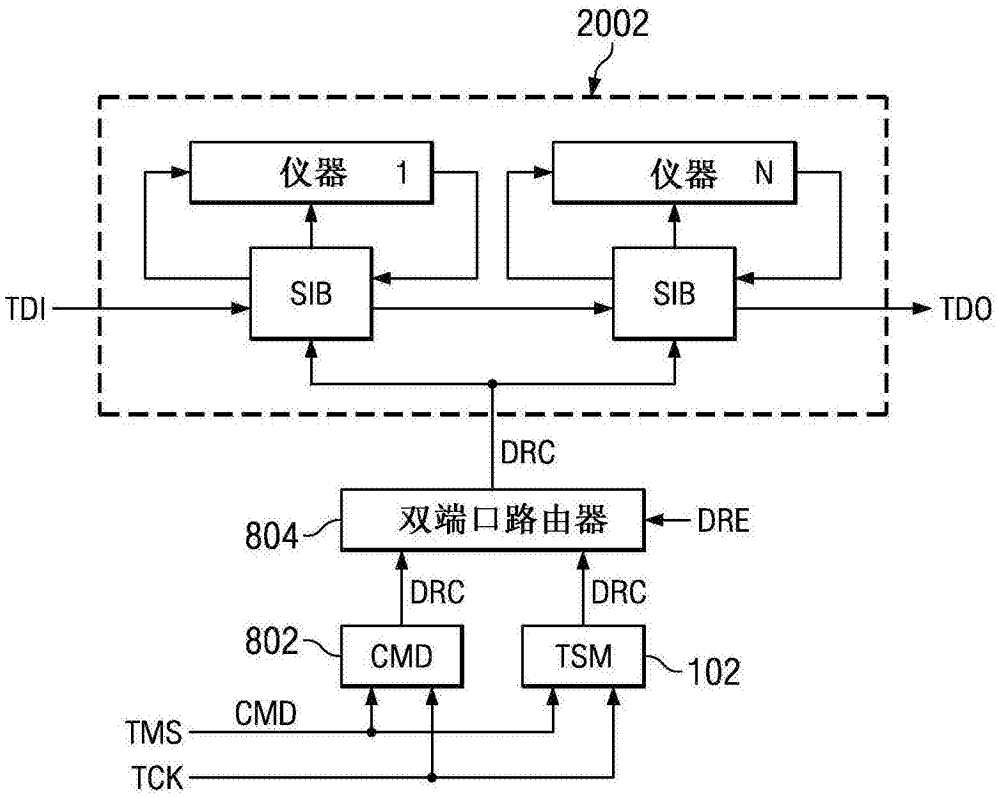

2002
仪器 1
仪器 N
SIB
SIB
TDI
TDO
DRC
804
双端口路由器
DRE
DRC
DRC
802
CMD
TSM
102
CMD
TMS
TCK

图 20

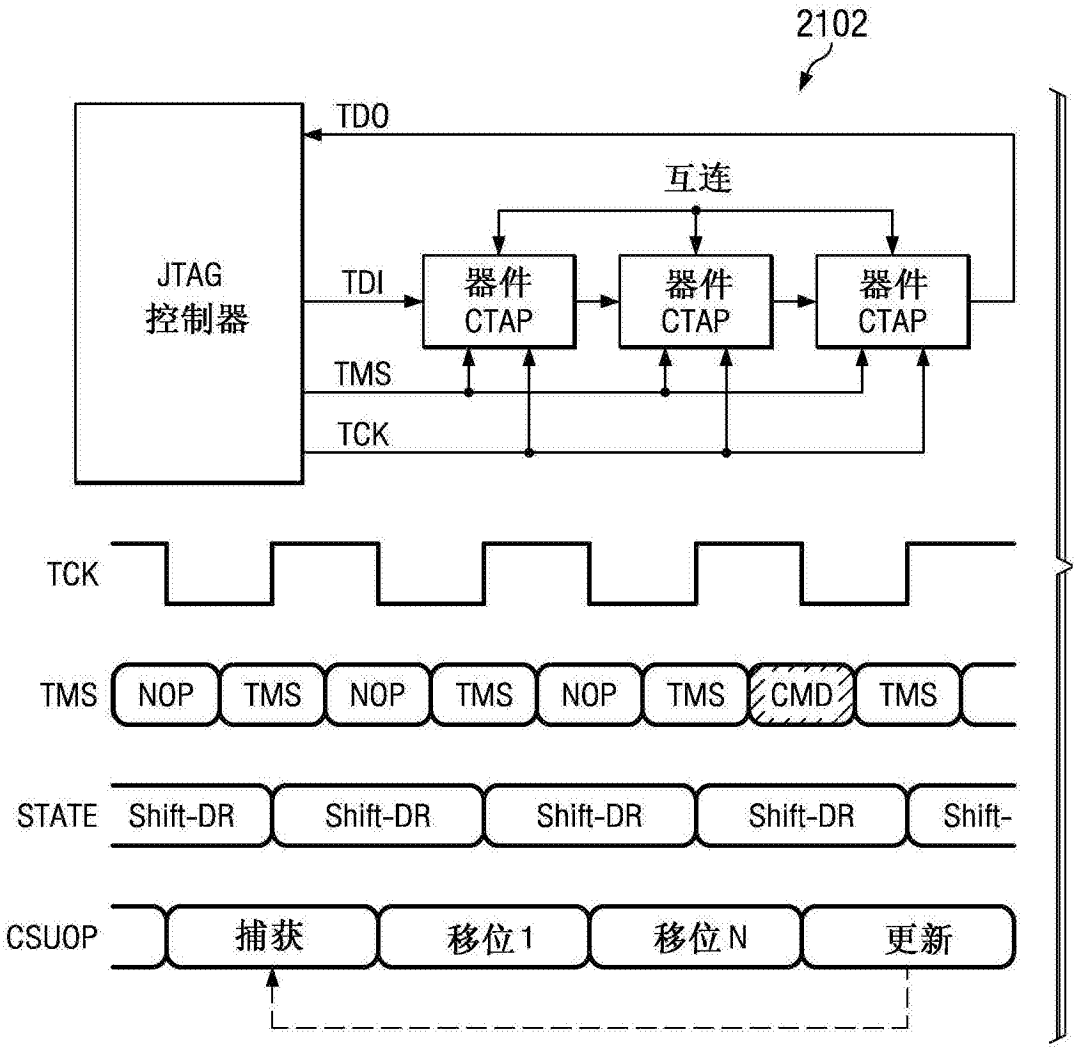

2102
TDO
互连
JTAG
控制器
TDI
器件
CTAP
器件
CTAP
器件
CTAP
TMS
TCK
TCK
TMS
NOP
TMS
NOP
TMS
NOP
TMS
CMD
TMS
STATE
Shift-DR
Shift-DR
Shift-DR
Shift-DR
Shift-
CSUOP
捕获
移位1
移位N
更新

图 21

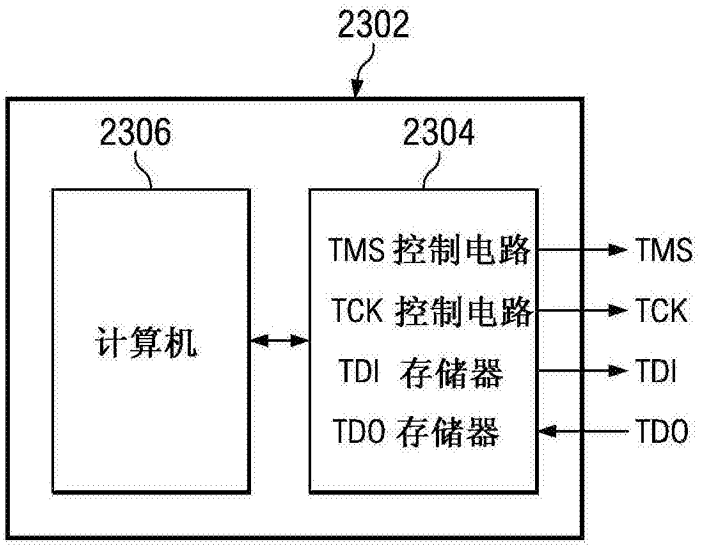

2302
2306
2304
计算机
TMS 控制电路
TCK 控制电路
TDI 存储器
TDO 存储器
TMS
TCK
TDI
TDO

图 23

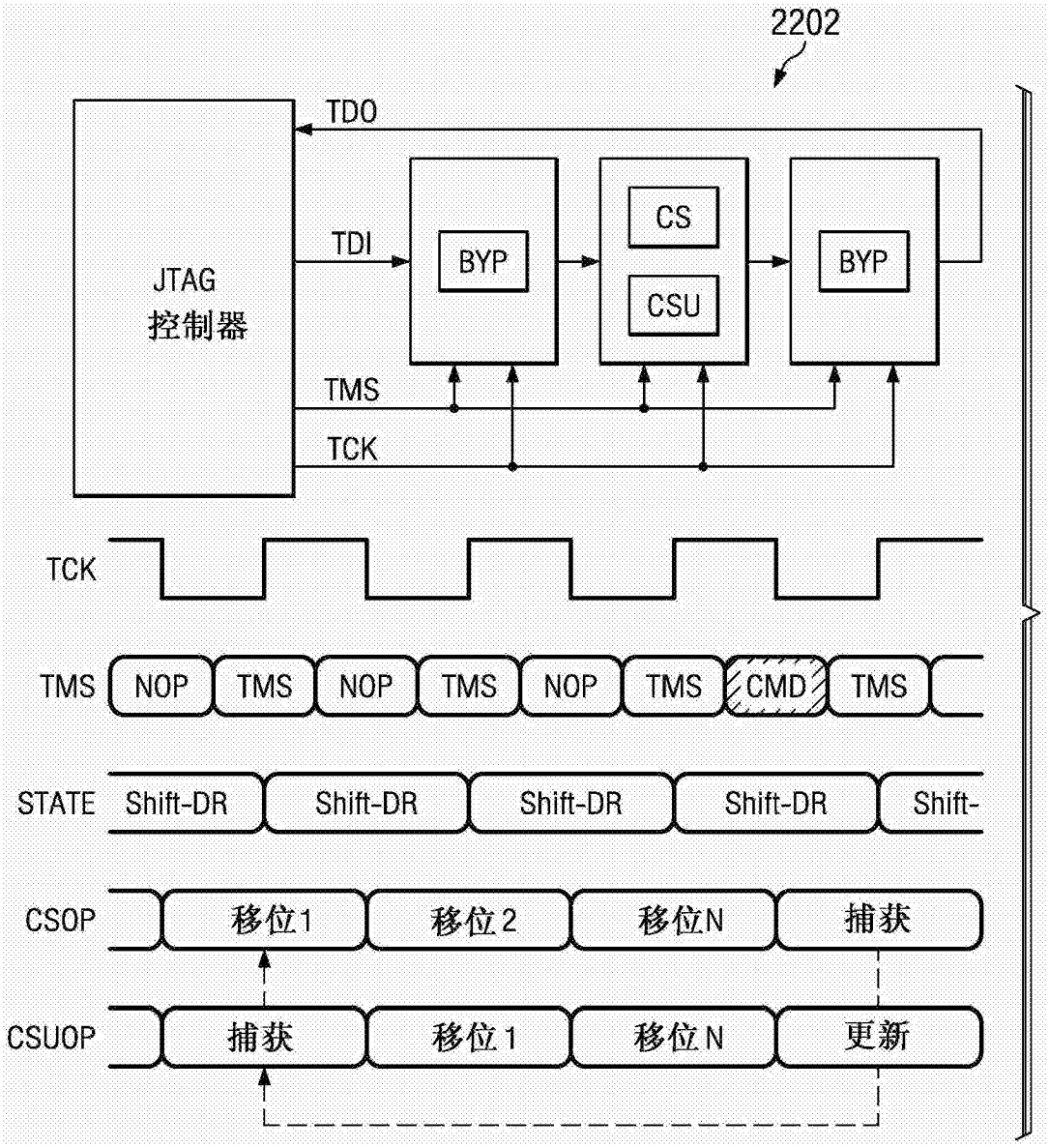

2202
TDO
JTAG
控制器
TDI
BYP
CS
CSU
BYP
TMS
TCK
TCK
TMS
NOP
TMS
NOP
TMS
NOP
TMS
CMD
TMS
STATE
Shift-DR
Shift-DR
Shift-DR
Shift-DR
Shift-
CSOP
移位1
移位2
移位N
捕获
CSUOP
捕获
移位1
移位N
更新

图 22

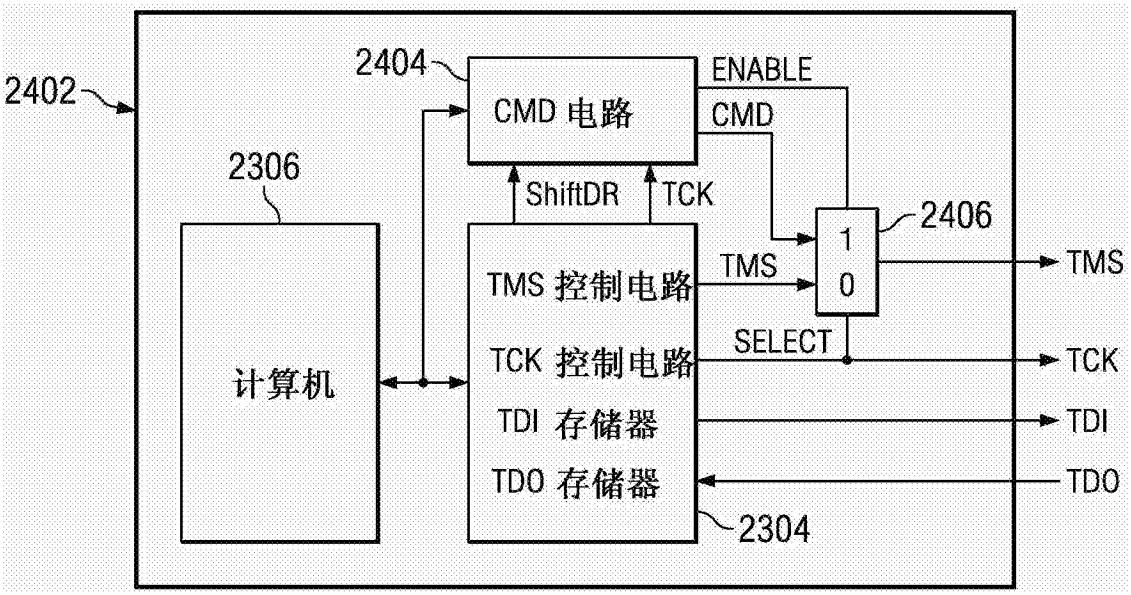

2402
2404
CMD 电路
ENABLE
CMD
2306
ShiftDR
TCK
2406
1
0
TMS 控制电路
TMS
TMS
SELECT
计算机
TCK 控制电路
TCK
TDI 存储器
TDI
TDO 存储器
TDO
2304

图 24

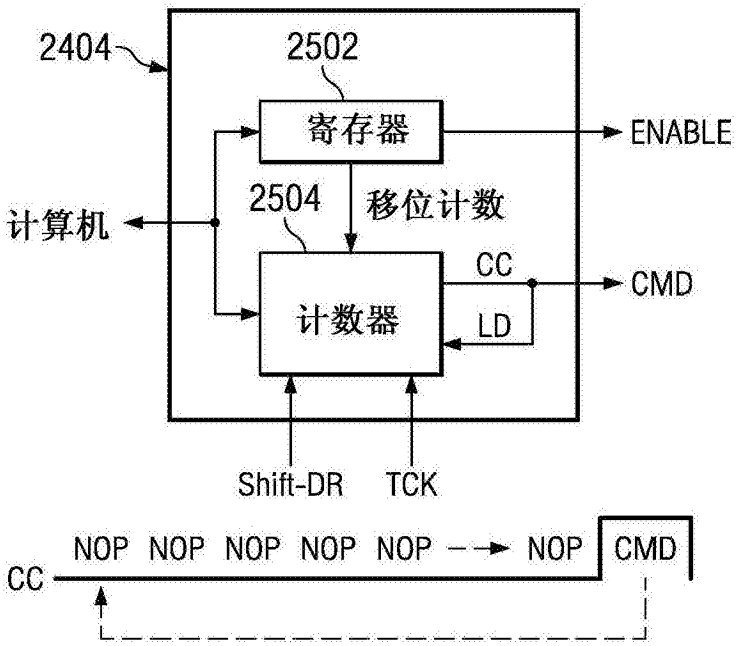

2404
2502
寄存器
ENABLE
计算机
2504
移位计数
CC
CMD
计数器
LD
Shift-DR
TCK
CC
NOP NOP NOP NOP NOP
NOP
CMD

图 25

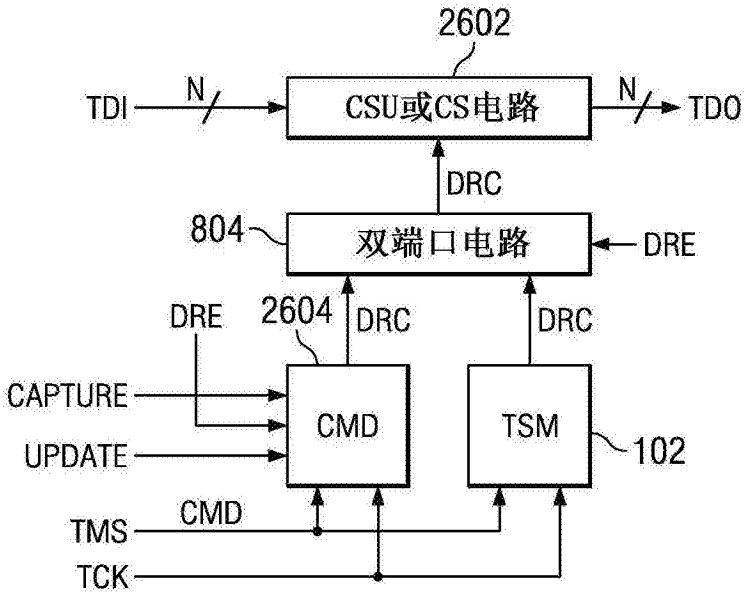

2602
TDI
N
CSU或CS电路
N
TDO
DRC
804
双端口电路
DRE
DRE
2604
DRC
DRC
CAPTURE
CMD
TSM
102
UPDATE
CMD
TMS
TCK

图 26

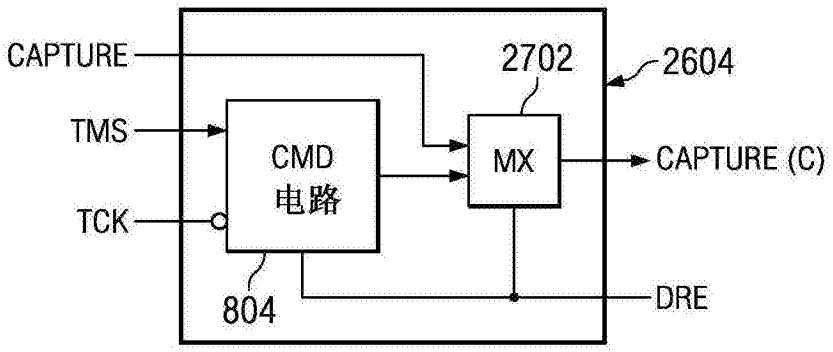

CAPTURE
2702
2604
TMS
CMD
电路
MX
CAPTURE (C)
TCK
804
DRE

图 27

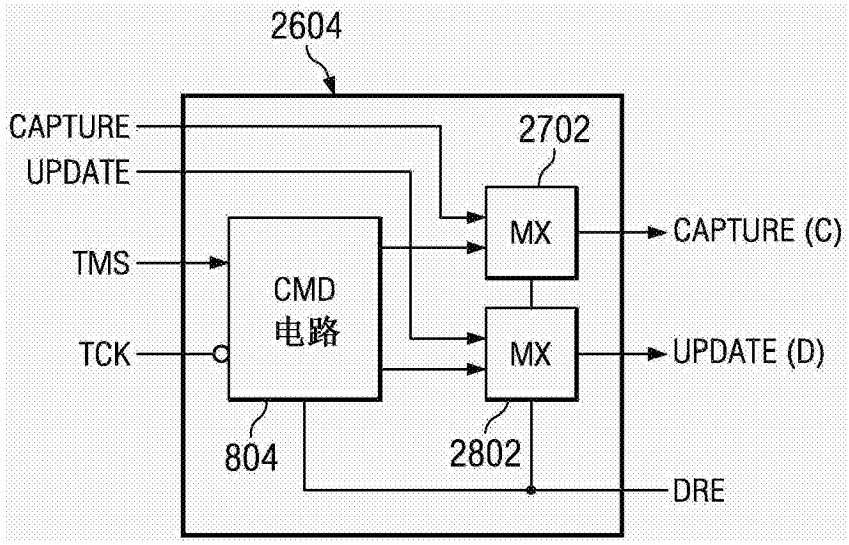


图 28

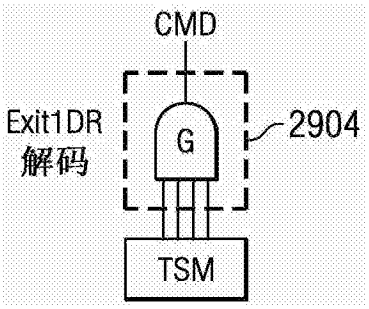


图 29B

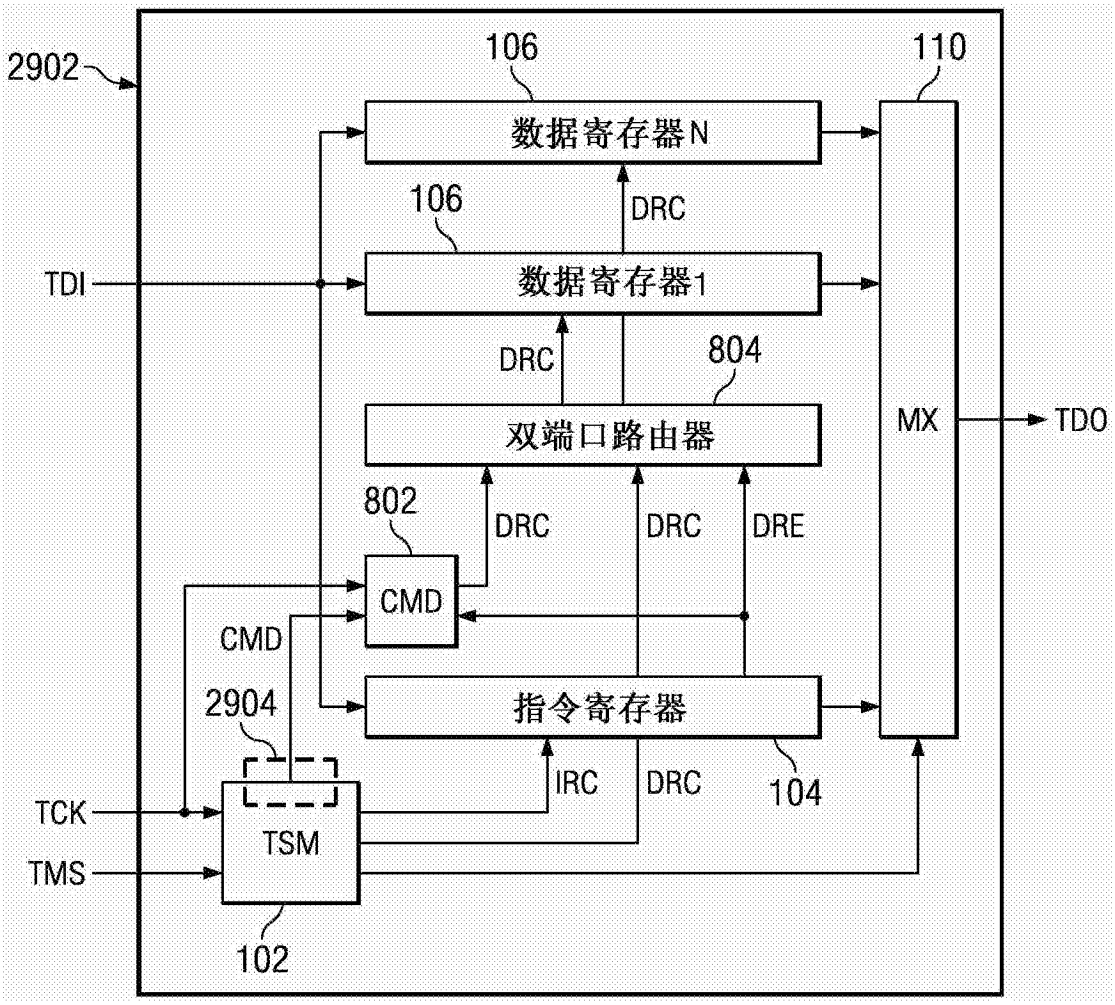


图 29A

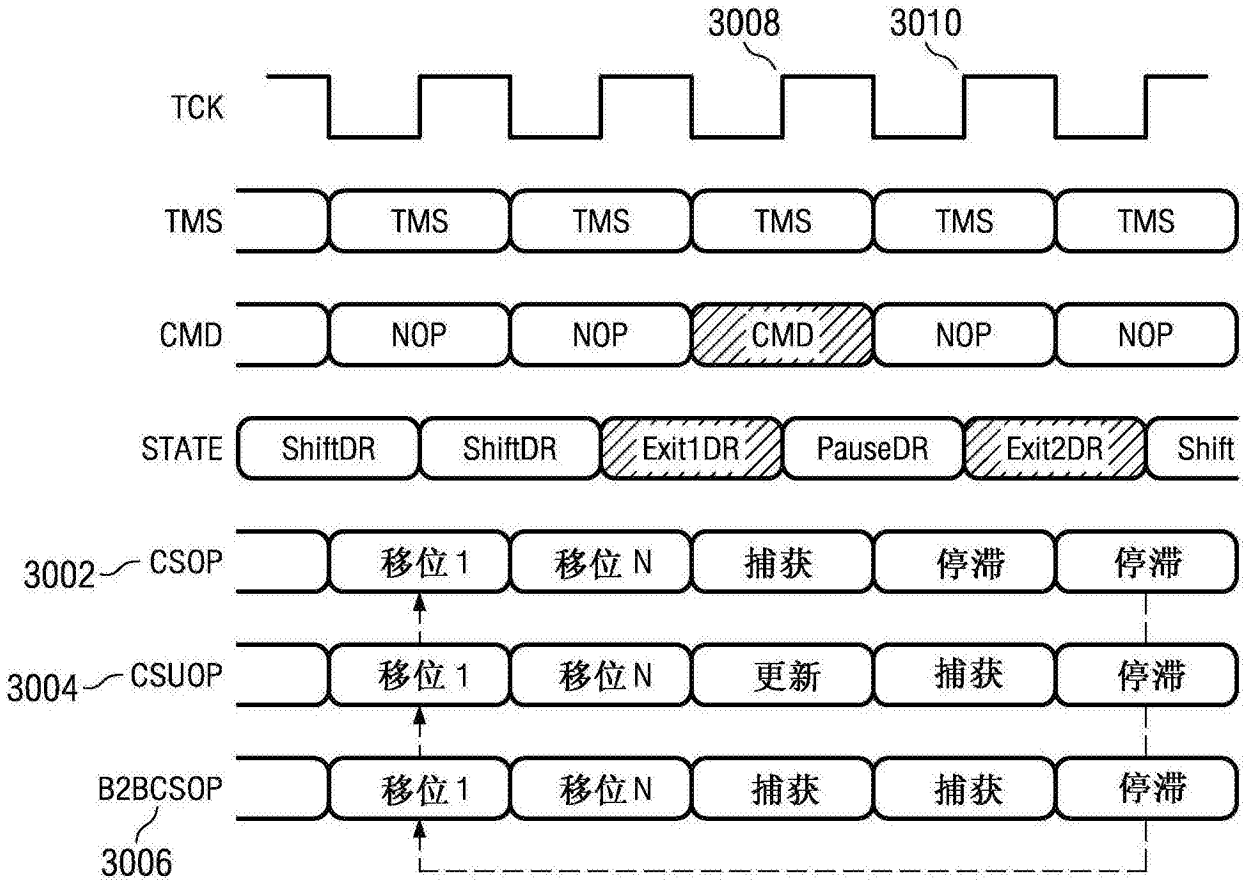

3008
3010
TCK
TMS
TMS
TMS
TMS
TMS
TMS
CMD
NOP
NOP
CMD
NOP
NOP
STATE
ShiftDR
ShiftDR
Exit1DR
PauseDR
Exit2DR
Shift
3002
CSOP
移位 1
移位 N
捕获
停滞
停滞
3004
CSUOP
移位 1
移位 N
更新
捕获
停滞
B2BCSOP
移位 1
移位 N
捕获
捕获
停滞
3006

图 30

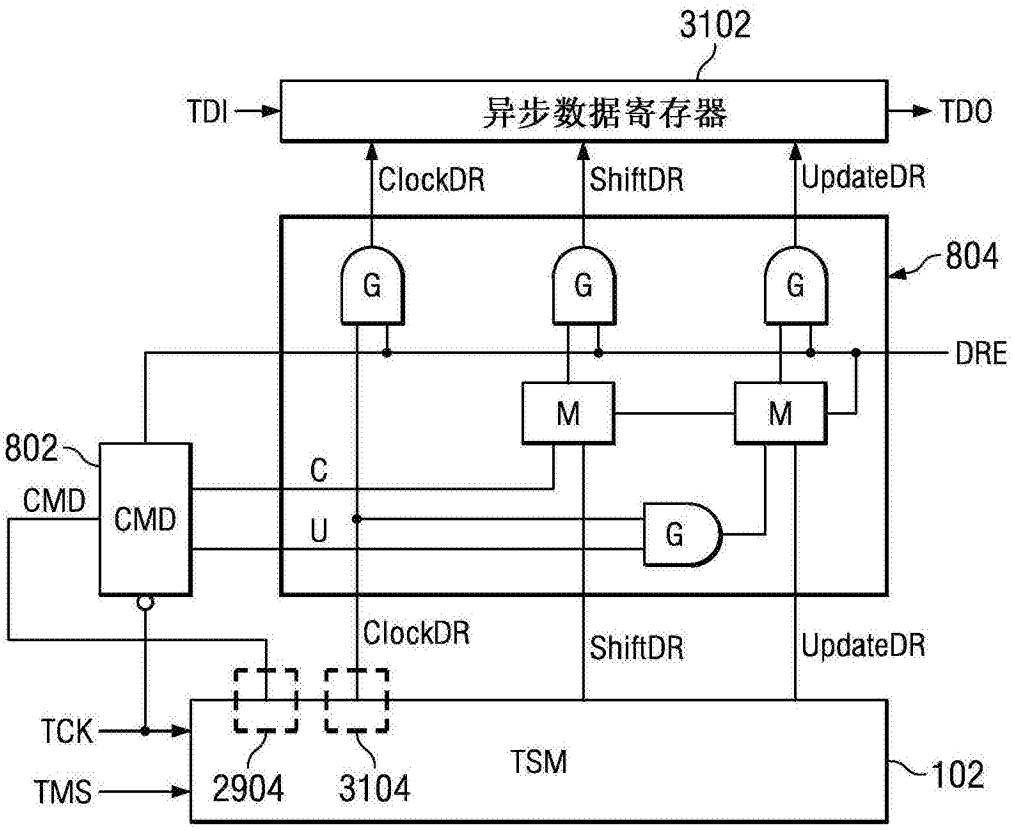

3102
TDI
异步数据寄存器
TDO
ClockDR
ShiftDR
UpdateDR
804
G
G
G
DRE
M
M
802
CMD
CMD
C
U
G
ClockDR
ShiftDR
UpdateDR
TCK
TMS
2904
3104
TSM
102

图 31

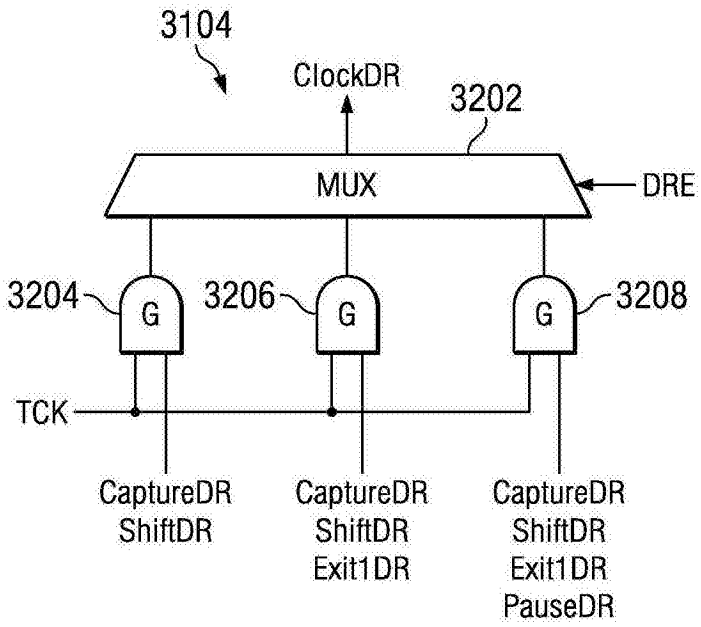

3104
ClockDR
3202
MUX
DRE
3204
G
3206
G
G
3208
TCK
CaptureDR
ShiftDR
CaptureDR
ShiftDR
Exit1DR
CaptureDR
ShiftDR
Exit1DR
PauseDR

图 32

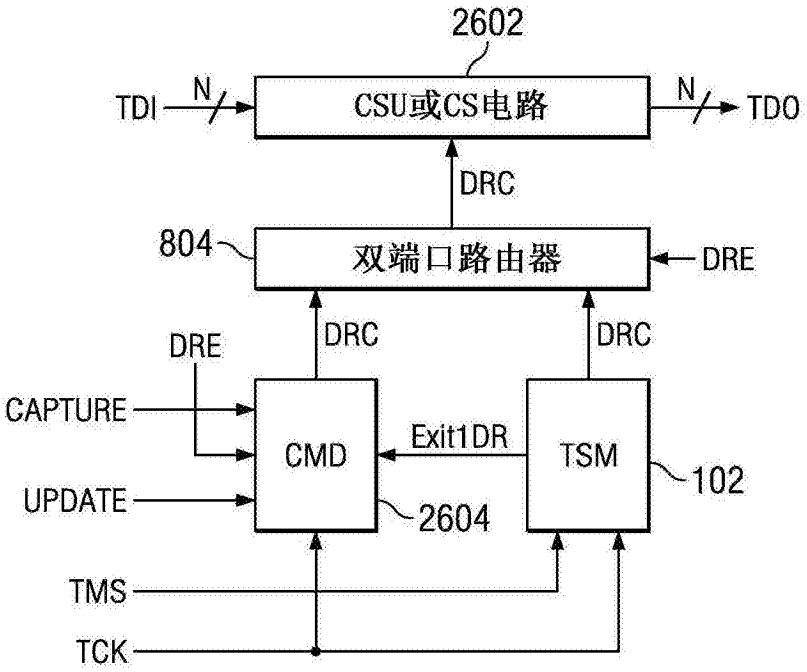

2602
TDI
N
CSU或CS电路
N
TDO
DRC
804
双端口路由器
DRE
DRE
DRC
DRC
CAPTURE
CMD
Exit1DR
TSM
102
UPDATE
2604
TMS
TCK

图 33

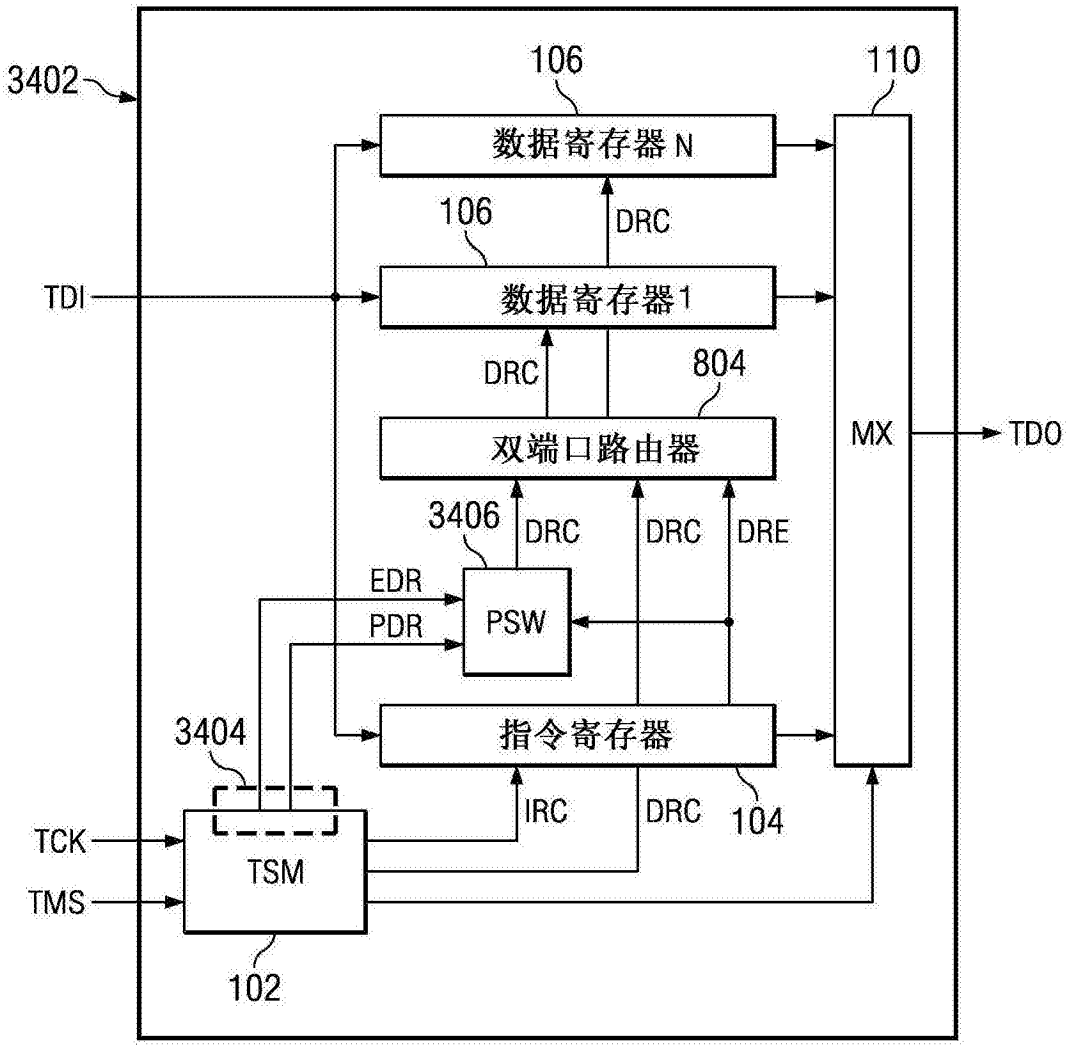

3402
106
数据寄存器 N
110
106
DRC
TDI
数据寄存器1
DRC
804
双端口路由器
MX
TDO
3406
DRC
DRC
DRE
EDR
PDR
PSW
3404
指令寄存器
IRC
DRC
104
TCK
TMS
TSM
102

图 34A

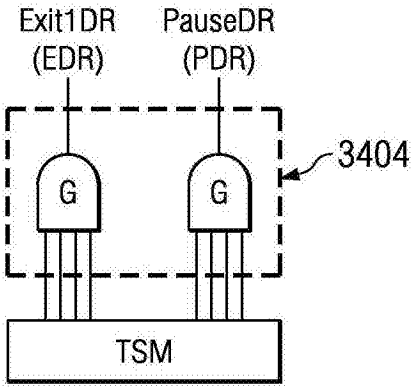

Exit1DR
(EDR)
PauseDR
(PDR)
3404
G
G
TSM

图 34B

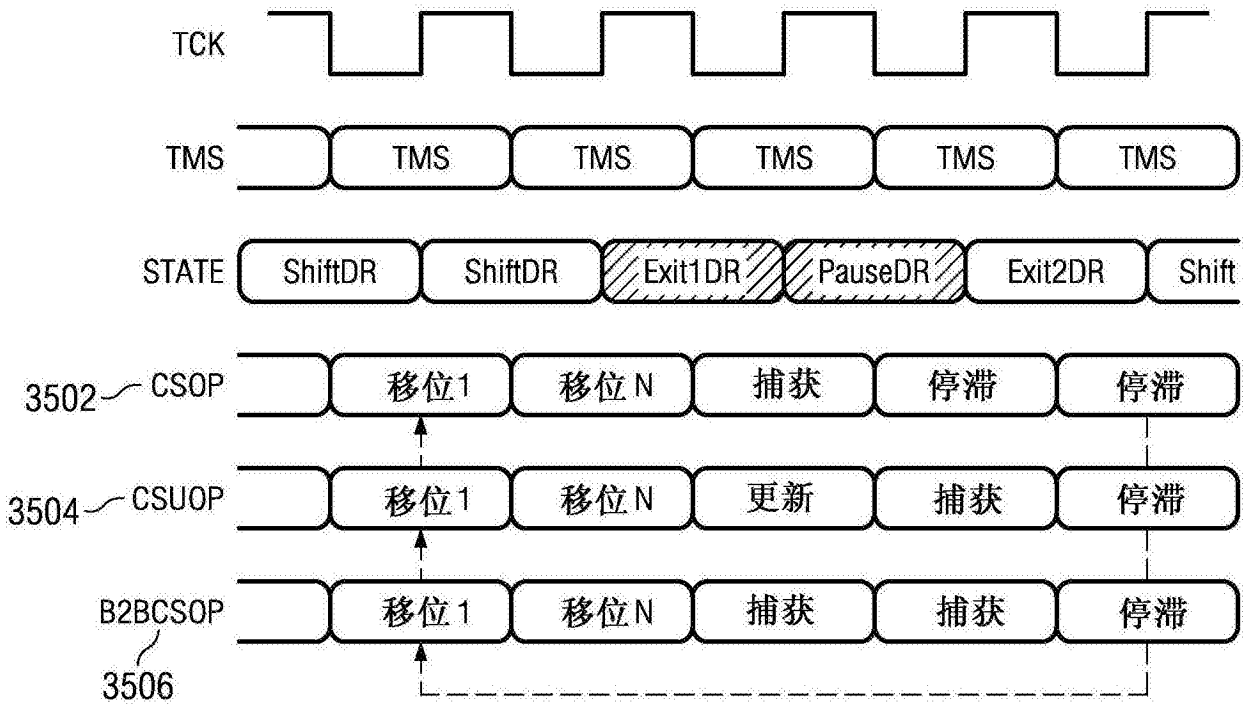

TCK
TMS
TMS
TMS
TMS
TMS
TMS
STATE
ShiftDR
ShiftDR
Exit1DR
PauseDR
Exit2DR
Shift
3502
CSOP
移位1
移位N
捕获
停滞
停滞
3504
CSUOP
移位1
移位N
更新
捕获
停滞
B2BCSOP
移位1
移位N
捕获
捕获
停滞
3506

图 35

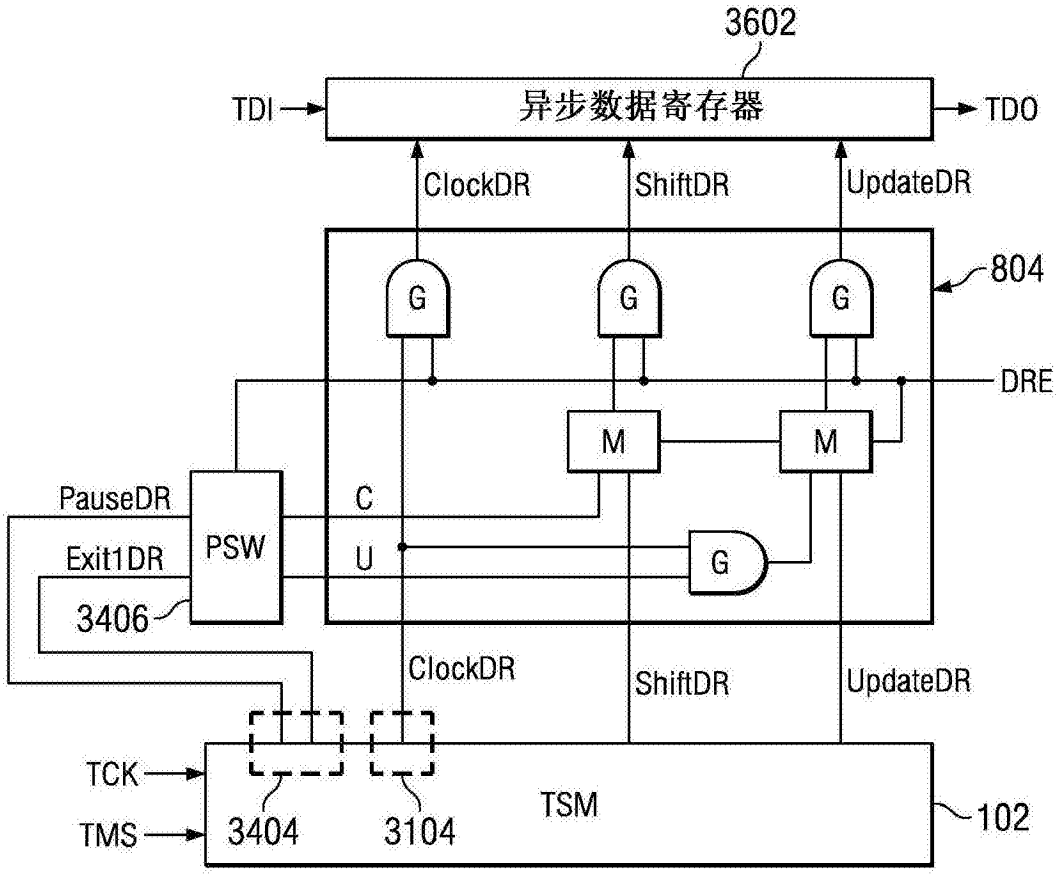

3602
TDI
异步数据寄存器
TDO
ClockDR
ShiftDR
UpdateDR
804
G
G
G
DRE
M
M
PauseDR
C
PSW
Exit1DR
U
G
3406
ClockDR
ShiftDR
UpdateDR
TCK
TMS
3404
3104
TSM
102

图 36

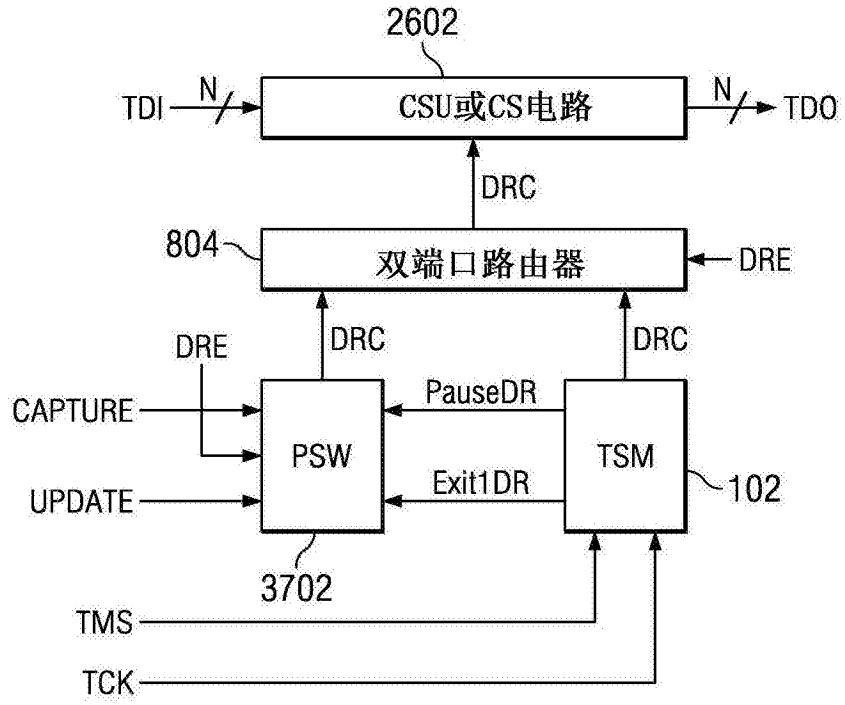

2602
TDI
N
CSU或CS电路
N
TDO
DRC
804
双端口路由器
DRE
DRE
DRC
DRC
CAPTURE
PauseDR
PSW
TSM
UPDATE
Exit1DR
102
3702
TMS
TCK

图 37

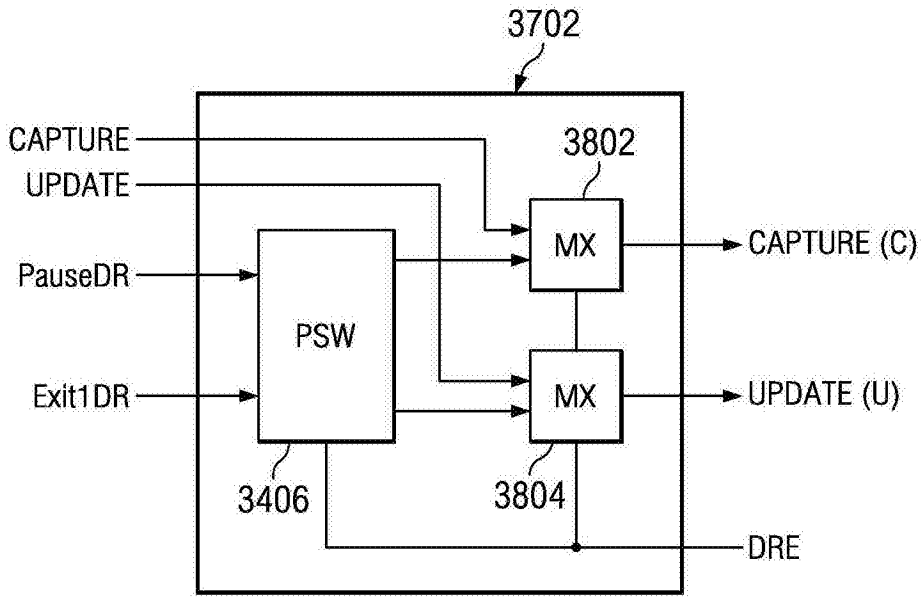

3702
CAPTURE
3802
UPDATE
MX
CAPTURE (C)
PauseDR
PSW
Exit1DR
MX
UPDATE (U)
3406
3804
DRE

图 38

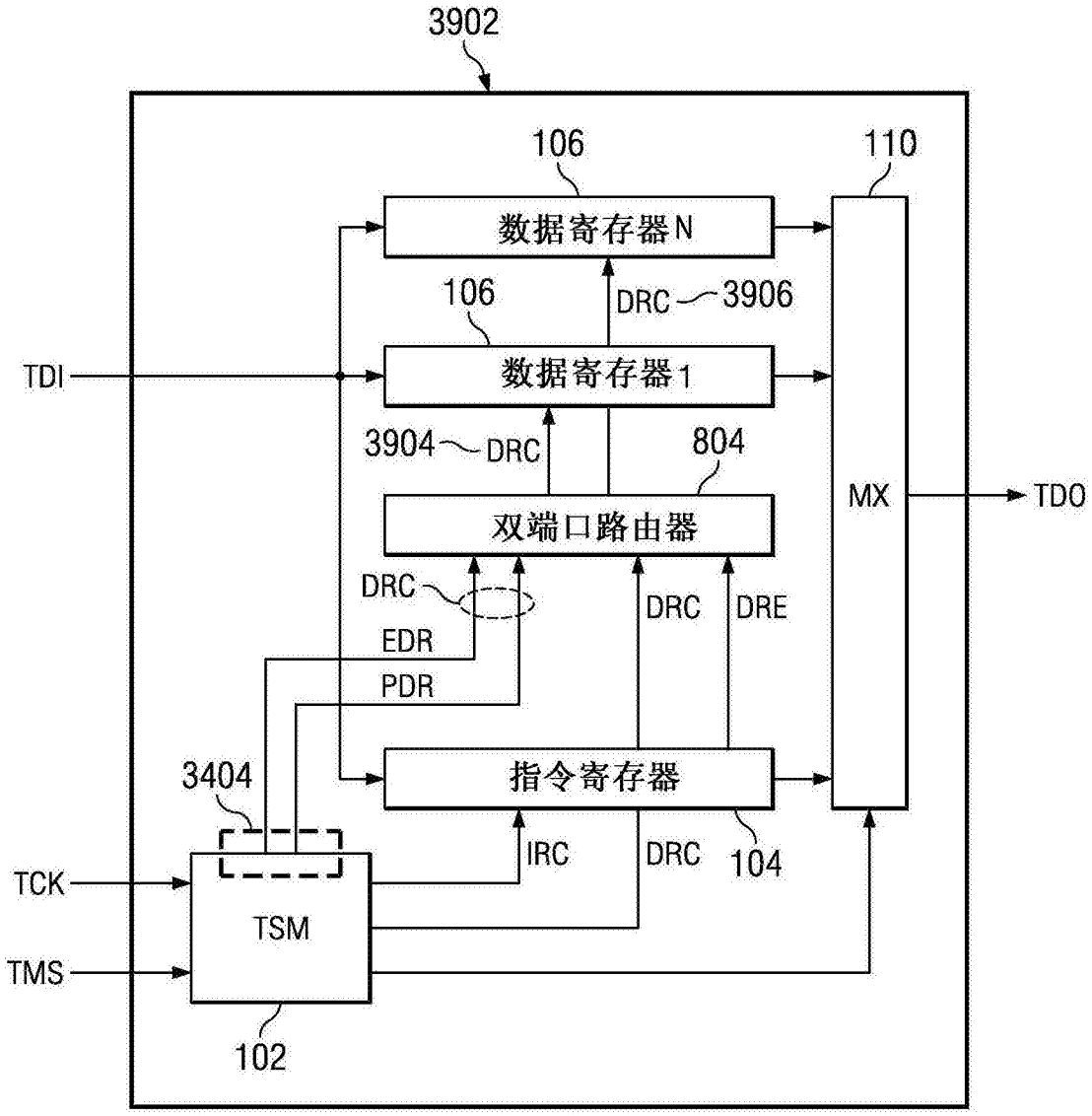

3902
106
110
数据寄存器N
106
DRC
3906
TDI
数据寄存器1
3904
DRC
804
MX
TDO
双端口路由器
DRC
DRC
DRE
EDR
PDR
3404
指令寄存器
IRC
DRC
104
TCK
TSM
TMS
102

图 39

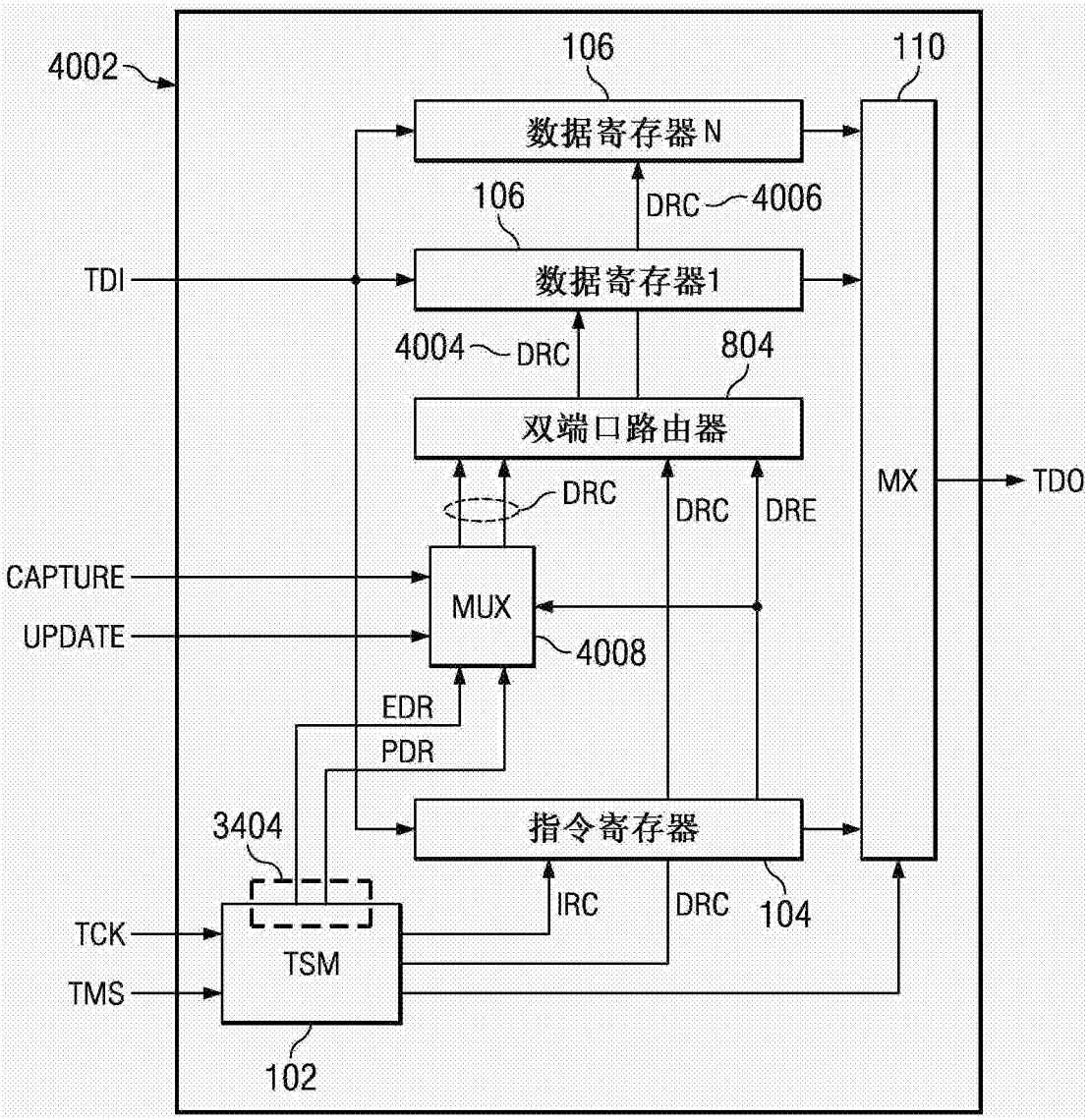

4002
106
110
数据寄存器N
106
DRC
4006
TDI
数据寄存器1
4004
DRC
804
双端口路由器
DRC
DRC
DRE
MX
TDO
CAPTURE
MUX
UPDATE
4008
EDR
PDR
3404
指令寄存器
IRC
DRC
104
TCK
TSM
TMS
102

图 40

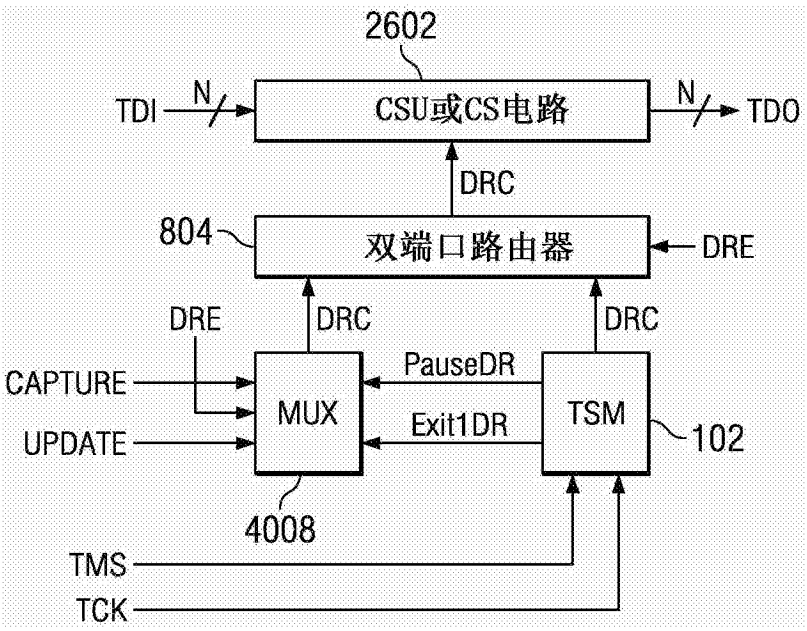

2602
TDI
N
CSU或CS电路
N
TDO
DRC
804
双端口路由器
DRE
DRE
DRC
DRC
CAPTURE
UPDATE
MUX
PauseDR
Exit1DR
TSM
102
4008
TMS
TCK

图 41