



Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



PATENTSCHRIFT A5

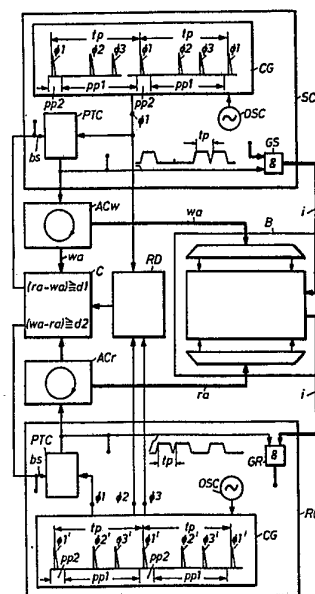
626 484

<p>① Gesuchsnummer: 2128/78</p> <p>② Anmeldungsdatum: 28.02.1978</p> <p>③ Priorität(en): 01.03.1977 SE 7702263</p> <p>④ Patent erteilt: 13.11.1981</p> <p>⑤ Patentschrift veröffentlicht: 13.11.1981</p>	<p>⑥ Inhaber: Telefonaktiebolaget LM Ericsson, Stockholm 32 (SE)</p> <p>⑦ Erfinder: Ake Kenneth Berg, Stockholm (SE)</p> <p>⑧ Vertreter: François W. Gasser, Bern</p>
--	---

⑤ Adressen- und Unterbrechungssignal-Generator in einer Nachrichtenverbindungs-Einrichtung.

⑥ Zwei zyklische Adressenzähler (ACw, ACr), ein Komparator (C) und eine Zuverlässigkeitseinrichtung (RD), die für eine zuverlässige Funktion des Komparators sorgen, ermöglichen, einen möglichst kleinen Pufferspeicher für die Informationsübertragungen (i) zwischen den asynchron arbeitenden Computern (SC, RC) zu verwenden, da er den Asynchronismus durch Unterbrechungssignale beeinflusst.

Er ist mit einem Pufferspeicher (B) und mit Impulsbehandlungskreisen (PTC) verbunden, welche in einem Sende-Computer (SC) und einem Empfangs-Computer (RC) einer Nachrichtenverbindungseinrichtung angeordnet sind.



PATENTANSPRÜCHE

1. Adressen- und Unterbrechungssignal-Generator zum Erzeugen von Adressen und Unterbrechungssignalen, derart dass mit den Adressen ein Pufferspeicher zum Einschreiben und Auslesen aktivierbar ist und mit den Unterbrechungssignalen einerseits ein Sende-Computer, der Information zum Steuern einer Nachrichtenverbindungs-Einrichtung an einen Pufferspeicher sendet und andererseits ein Empfangscomputer, der die Information vom Pufferspeicher erhält, versorgt wird, wobei jeder der beiden Computer einen Taktgenerator und einen diesen triggernden Oszillator, deren Frequenzen nur ungefähr gleich sind und um eine nominelle Frequenz herumpendeln, enthält, welche Oszillatoren eine Anzahl von untereinander phasenverschobenen Impulsketten erzeugen und an einen Impulsbehandlungskreis angeschlossen sind, um aufgrund der Unterbrechungssignale in einer ausgewählten Impulskette Impulse zu unterdrücken, um Taktperioden anzuzeigen, die einerseits erste bzw. zweite Periodenabschnitte enthalten, in denen die Datenbehandlung eindeutige bzw. unsichere logische Zustände ergibt und andererseits zur Informationsübertragung benützt werden, sofern die zugehörigen Impulse nicht vom Impulsbehandlungskreis unterdrückt worden sind, das ganze gekennzeichnet durch:

a) zwei zyklische Adressenzähler, von denen der erste (ACw) bzw. der zweite (ACr) durch den Impulsbehandlungskreis (PTC) des Sende- bzw. Empfangs-Computers (SC; RC) schrittgesteuert werden und die mit ihrem Ausgang an den Einschreib- bzw. Ausleseingang des Pufferspeichers (B) angeschlossen sind,

b) einen Komparator (C), der die Differenzen ([ra-wa], [wa-ra]) zwischen den Adresseninhalten der beiden Zähler mit einer ersten bzw. einer zweiten Differenzgrenze (d1, d2) vergleicht und damit die Gefahr einer Überbesetzung bzw. Leerung des Pufferspeichers anzeigt und der ein Unterbrechungssignal an den Impulsbehandlungskreis (PTC) des Sende- bzw. Empfangs-Computers ergibt, wenn eine derartige Gefahr besteht, um zu verhindern, dass die als nächste auf das Unterbrechungssignal folgende Taktperiode zur Informationsübertragung verwendet wird, und

c) eine Zuverlässigkeitseinrichtung (RD), um in dem Komparator (C) Zuverlässigkeit zu erreichen, welche Zuverlässigkeitseinrichtung einen Phasenvergleich zwischen den Taktperioden der Computer durchführt und die mit Hilfe der Ergebnisse des Phasenvergleichs erzielt, dass der Komparator nur solche Unterbrechungssignale abgibt, die erzeugt werden aufgrund eindeutiger Adresseninhalte (wa, ra) der Zähler.

2. Generator nach Anspruch 1, dadurch gekennzeichnet, dass die Zuverlässigkeitseinrichtung (RD) einen Phasenkomparator (PC) enthält, der eine der in dem einen der beiden Computer verwendeten Impulsketten so modifiziert, dass die genannten Periodenabschnitte (pp1, pp2) markiert sind, und der diese modifizierte Impulskette (cs4/1) mit zwei in dem anderen der beiden Computer verwendeten und während der ersten Periodenabschnitte erzeugten Impulsketten (02, 03, cs2, cs4) vergleicht, welche untereinander eine Phasenverschiebung haben, die grösser als der zweite Periodenabschnitt (pp2) des einen Computers ist, und welcher Phasenkomparator so angeordnet ist, dass er zwischen den genannten Impulsketten (02, 03, cs2, cs4) diejenige wählt, die die günstigste Phasenposition gegenüber den Periodenabschnittgrenzen der modifizierten Impulskette ergibt, und dass die Zuverlässigkeitseinrichtung (RD) eine Gattereinrichtung (GD) enthält, welche durch die vom Phasenkomparator (C) ausgewählte Impulskette aktiviert wird und zwischen die durch den Impulsbehandlungskreis (PTC) des einen Computers aktivierten Zähler und den Komparator zu den beiden Impulsbehandlungsschaltungen eingeordnet ist.

3. Generator nach Anspruch 2, dadurch gekennzeichnet,

dass die zwei Impulsketten, die der Phasenkomparator (PC) vom Taktgenerator des anderen Computers erhält, sich aus Impulsen (cs2, cs4) zusammensetzen, deren Breite den zweiten Periodenabschnitt (pp2) des einen Computers übersteigt und deren Hinterflanken dazu benützt werden, die günstigste Phasenposition zu bestimmen.

4. Generator nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass der Phasenkomparator (PC) einen Zeitzähler (TC) enthält, durch den die aus den genannten zwei Impulsketten (cs2, cs4) ausgewählte Impulskette während einer definierten Anzahl von Taktperioden beibehalten wird, auch wenn die andere der beiden Impulsketten die günstigere Phasenposition ergibt.

Die Erfindung betrifft einen Adressen- und Unterbrechungssignal-Generator zum Erzeugen von Adressen- und Unterbrechungssignalen, derart dass mit den Adressen ein Pufferspeicher zum Einschreiben und Auslesen aktivierbar ist und mit den Unterbrechungssignalen einerseits ein Sende-Computer, der Information zum Steuern einer Nachrichtenverbindungs-Einrichtung an einen Pufferspeicher sendet und andererseits ein Empfangscomputer, der die Information vom Pufferspeicher erhält, versorgt wird, wobei jeder der beiden Computer einen Taktgenerator und einen diesen triggernden Oszillator, deren Frequenzen nur ungefähr gleich sind und um eine nominelle Frequenz herumpendeln, enthält, welche Oszillatoren eine Anzahl von untereinander phasenverschobenen Impulsketten erzeugen und an einen Impulsbehandlungskreis angeschlossen sind, um aufgrund der Unterbrechungssignale in einer ausgewählten Impulskette Impulse zu unterdrücken, um Taktperioden anzuzeigen, die einerseits erste bzw. zweite Periodenabschnitte enthalten, in denen die Datenbehandlung eindeutige bzw. unsichere logische Zustände ergibt und andererseits zur Informationsübertragung benützt werden, sofern die zugehörigen Impulse nicht vom Impulsbehandlungskreis unterdrückt worden sind.

Es ist seit langer Zeit bekannt, Informationsübertragung zwischen zwei asynchron arbeitenden Computern mit einem sogenannten First-in-first-out-Pufferspeicher durchzuführen. Wenn der Pufferspeicher eine theoretisch unendlich grosse Speicherkapazität besitzt und die Übertragungszeit unendlich lang sein kann, und der Pufferspeicher halb besetzt ist, bevor die erste Information ausgelesen wird, dann wird durch den Asynchronismus niemals ein Informationsverlust aufgrund unzureichender Pufferkapazität oder deshalb auftreten, weil der Pufferspeicher so weit geleert ist, dass der Einschreibvorgang mit dem zugehörigen Auslesevorgang zusammentrifft. Dieses Problem machte es bisher erforderlich, die Pufferkapazität und die Übertragungszeit an den Asynchronismus anzupassen.

Der Erfindung liegt die Aufgabe zugrunde, es möglich zu machen, dass eine kleine Pufferkapazität mit folglich kurzen Übertragungszeitverlängerungen verwendet werden kann. Erfindungsgemäss wird diese Aufgabe durch einen Generator gelöst, wie er im kennzeichnenden Teil des Patentanspruchs 1 beschrieben ist. Der Grundgedanke der Erfindung besteht darin, den Asynchronismus mit Hilfe von Unterbrechungssignalen zu beeinflussen, wenn die Gefahr besteht, dass der Pufferspeicher überbesetzt oder geleert wird. Diese Unterbrechungssignale werden auch erzeugt, wenn die Oszillatorfrequenzen einander nur ungefähr gleich sind und die Taktperioden Abschnitte enthalten, die eine fehlerhafte Datenbehandlung ergeben.

Die Erfindung wird anhand der Zeichnung beispielsweise

beschrieben, in der

Fig. 1 ein Blockdiagramm, das die Hauptteile des Adressen- und Unterbrechungssignalgenerators und deren Verbindungen mit den Computern und dem Pufferspeicher zeigt;

Fig. 2 einen Phasenkomparator, der zusammen mit einer Gatteranordnung in einer Zuverlässigkeitseinrichtung enthalten ist; und die

Fig. 3a und 3b Impuls-Zeit-Diagramme zeigen, anhand von welchen die Arbeitsweise des Phasenkomparators erklärt wird.

In der Fig. 1 ist ein Pufferspeicher B gezeigt, über welchen Dateninformation von einem Sendecomputer SC zu einem Empfangscomputer RC übertragen wird. Beide Computer, die in einer nicht dargestellten Fernsprecheinrichtung enthalten sind, werden nach demselben Prinzip mit Hilfe von Oszillatoren OSC, Taktgeneratoren CG und Impulsbehandlungsschaltkreisen PTC, die zu ihrem jeweiligen System gehören, gesteuert. In jedem System erzeugt der Taktgenerator, der mit dem Oszillator verbunden ist, eine Anzahl von Impulsketten, die zueinander phasenverschoben sind. Von diesen Impulsketten sind lediglich die Impulsketten 01, 02 und 03 dargestellt. Sie werden dazu verwendet, Taktperioden t_p zu bestimmen, die in eine Anzahl von Phasen unterteilt sind. Reaktions- oder Ansprechzeiten, Zykluszeiten, Übertragungszeiten und Einschwingvorgänge in den Datenbehandlungseinrichtungen der jeweiligen Computer sind durch das bekannte Phasenunterteilungsprinzip, bei dem in einer Phase am Anfang der dieser Instruktion zugeteilten Taktperiode die betreffenden Register adressiert werden, während in einer Phase in der Mitte der Taktperiode das sendende Register seine Daten an die Sammelleitung überführt und während eine Phase am Ende der Taktperiode das andere Register zum Datenempfang aktiviert wird, berücksichtigt, so dass eine zuverlässige Datenverarbeitung im eigenen Computersystem erreicht wird. Die Phasenunterteilung ist im Zusammenhang mit der Erfindung nicht von Interesse, doch zeigt Fig. 1 ein Ausführungsbeispiel, in dem die Taktperioden t_p mit Hilfe der Impulsketten 01 bestimmt werden, und die Impulsbehandlungskreise PTC der entsprechenden Computer steuern. Weiter zeigt Fig. 1 eine Zuverlässigkeitsvorrichtung RD, welche weiter unten noch beschrieben wird und welcher die Impulskette 01, die vom Sendecomputer SC stammt sowie die Impulsketten 02' und 03', welche vom Empfangscomputer RC herrühren, zugeleitet werden. Jeder Impulsbehandlungskreis ist mit einem weiteren Steuereingang versehen. Die an diesem Eingang empfangenen Signale sind als Unterbrechungssignale b_s bezeichnet. Die Impulsbehandlungsschaltung wirkt in der Weise, dass ein Impuls von der 01-Kette immer dann unterdrückt wird, wenn während der Taktperiode, die diesem Impuls vorausgeht, wenigstens ein Unterbrechungssignal angekommen ist, und ferner in der Weise, dass jeder nicht unterdrückte Impuls zu einem Impuls verlängert wird, dessen Impulsbreite annähernd gleich einer Taktperiode ist. Wie weiter unten noch beschrieben wird, begrenzen die Reaktionszeiten in den Impulsbehandlungskreisen und in den Einrichtungen, die von diesen gesteuert werden, die Zuverlässigkeit für die Informationsübertragung über den Pufferspeicher. In Fig. 1 ist in vergrößertem Massstab aufgezeigt, dass die Taktperioden t_p in erste und zweite Periodenabschnitte pp_1 und pp_2 unterteilt sind, in denen eine zuverlässige bzw. unzuverlässige Steuerung erzielt wird. Es wird ausserdem angenommen, dass von fünf aufeinander folgenden 01-Impulsen aufgrund von Unterbrechungssignalen im Sendecomputer der zweite und dritte Impuls und im Empfangscomputer der dritte und fünfte Impuls unterdrückt werden.

Ein Computer erzeugt interne Unterbrechungssignale, um z. B. sogenannte Auffrischungsoperationen durchzuführen, die in dynamisch speichernden Einrichtungen des Computers in regelmässigen Abständen vorzunehmen sind und in denen die Datenbehandlung unterbrochen wird, so dass der Pufferspei-

cher B dann weder neue Informationen aufnehmen noch gespeicherte Information abgeben darf. Dies ist in Fig. 1 durch ein Sendegatter GS im Sendecomputer und ein Empfangsgatter GR im Empfangscomputer symbolisiert, welche Gatter mit ihren Freigabeeingängen an den Impulsbehandlungskreis des jeweiligen Computers angeschlossen sind. Die Auffrischungsoperationen werden gewöhnlich mit einem Zeitgeber gesteuert, welcher unabhängig vom Taktgenerator ist. Mit Hilfe der internen Unterbrechungssignale wird auch das Zusammenarbeiten zwischen den langsam und schnell arbeitenden Einrichtungen des Computers reguliert. Im Hinblick auf die oben genannte Aufgabe der Erfindung ist es wichtig, festzustellen, dass jedes der beiden Computersysteme derart beschaffen ist, dass die Datenbehandlung hin und wieder während Taktperioden unterbrochen wird, die durch die Unterbrechungssignale bestimmt werden.

Die Oszillatoren der Computer haben nur ungefähr dieselbe Frequenz. Daher arbeitet der eine Computer dauernd oder zeitweise schneller oder langsamer als der andere. Es ergibt sich ein Asynchronismus zwischen den Datenbehandlungsprozessen der Computer. Dieser Asynchronismus vergrössert oder verringert sich von Zeit zu Zeit durch die internen Unterbrechungssignale, die zu beliebigen Zeiten in den beiden Computern erzeugt werden. Der sich ergebende Asynchronismus beeinflusst den Besetzungspegel des Pufferspeichers. Wenn der Information aussendende Computer schneller bzw. langsamer arbeitet als der Information empfangende Computer, dann besteht die Gefahr, dass der Pufferspeicher überbesetzt bzw. geleert wird, und folglich ist damit die Gefahr verbunden, dass Information verloren geht. Um eine verlustfreie Informationsübertragung zwischen asynchron arbeitenden Computern zu erzielen, wird ein Adressen- und Unterbrechungssignal-Generator nach der Erfindung angeordnet, der ausser der Zuverlässigkeitseinrichtung RD zwei Adressenzähler ACw, ACr und einen Komparator C enthält, die mit dem Pufferspeicher und den Impulsbehandlungskreisen der Systeme verbunden sind.

Der Adressenzähler ACw/ACr ist über seinen Schrittteingang mit dem Impulsbehandlungskreis des Send/Empfangs-Computers verbunden, während sein Ausgang mit den Schreib/Lese-Adresseneingängen des n Speicherplätze umfassenden Pufferspeichers verbunden ist. Er erzeugt zyklisch Schreib/Lese-Adressen $1 \leq wa/ra \leq n$, um jeweils einen der Speicherplätze zu aktivieren. Mit der Angabe «zyklisch» ist gemeint, dass jede Impulsvorderflanke, die am Schrittschalteingang empfangen wird, dazu führt, dass die vorgehende Adresse um eine Zähleinheit vergrössert wird, wobei die Zahl 1 auf die Zahl n folgt. Der Komparator berechnet fortwährend die Differenzen zwischen den Inhalten der beiden Adressenzähler und überwacht somit den Besetzungspegel des Pufferspeichers. Es darf nicht sein, dass derselbe Speicherplatz gleichzeitig zum Einschreiben und zum Auslesen aktiviert wird. Der Pufferspeicher ist voll besetzt, wenn beispielsweise Information mit Hilfe der Adresse n eingeschrieben wird, während Information mit Hilfe der Adresse 1 ausgelesen wird. Andererseits darf der Pufferspeicher nicht weiter entleert werden, wenn z. B. die Leseadresse 1 und die Schreibadresse 2 vorliegen. Man erhält eine Differenzgrenze d_1 bzw. d_2 , die anzeigt, dass hier die Gefahr der Überbesetzung bzw. Leerung des Pufferspeichers besteht. Wenn die Schreibweise $(ra-wa)/(wa-ra)$ die in der zyklischen Zählschrittrichtung vorhandene Anzahl Speicherplätze zwischen dem für das Auslesen/Einschreiben und dem für das Einschreiben/Auslesen aktivierten Speicherplatz definiert, wird damit auch die Anzahl der mit Information besetzten/unbesetzten Speicherplätze angegeben. Sobald $(ra-wa) \geq d_1/(wa-ra) \geq d_2$, erzeugt der Komparator ein Unterbrechungssignal, welches an den Send/Empfangs-Computer abgegeben wird, um dort den folgenden 01-Impuls zu unterdrücken. Ein solcher

Komparator wird unter Verwendung üblicher Logikelemente aufgebaut. Um die Zahl der besetzten bzw. nichtbesetzten Speicherplätze zu berechnen, werden z. B. standardisierte arithmetische Logikeinheiten mit der Bezeichnung JEDEC (Joint Electron Device Engineering Council) 74181 verwendet. Um die Differenzgrenzen mit den Berechnungsergebnissen der arithmetischen Logikeinheiten zu vergleichen und die Unterbrechungssignale zu erzeugen, werden beispielsweise Komparatorschaltungen mit der Bezeichnung JEDEC 7485 eingesetzt.

Mit Hilfe der Unterbrechungssignale des Komparators lässt sich eine verlustfreie Informationsübertragung auch dann erzielen, wenn der Pufferspeicher nur wenige Puffereinheiten enthält. Je kleiner der Pufferspeicher ist, desto kürzer ist die durchschnittliche Datenübertragungszeit, doch tritt häufiger die Gefahr der Überbesetzung bzw. Leerung auf. Jedes vom Komparator erzeugte Unterbrechungssignal verringert die Datenbehandlungskapazität der beiden Computer, wenn nicht zufällig während der betroffenen Taktperiode ein internes Unterbrechungssignal an den Impulsbehandlungskreis ausgesendet wird. Je grösser der Pufferspeicher ist, desto grösser ist die Wahrscheinlichkeit, dass das Gleiten der Oszillatorfrequenzen die Richtung wechselt und dass die internen Unterbrechungssignale der beiden Computer einander kompensieren, bevor der Komparator ein Unterbrechungssignal erzeugt. Wenn der Pufferspeicher so dimensioniert ist, dass er $n = 8$ Speicherplätze enthält, werden in der Praxis günstige Bedingungen sowohl hinsichtlich der Datenübertragungszeit als auch der Datenbehandlungskapazität erzielt.

Neben diesen Dimensionierungs Gesichtspunkten des Pufferspeichers ist für eine fehlerfreie Informationsübertragung zwischen asynchron arbeitenden Computern die Zuverlässigkeit bei der Erzeugung der Unterbrechungssignale durch den Komparator von Bedeutung. Das Einschreiben/Auslesen von Dateninformation in den/aus dem Pufferspeicher ist ein Datenbehandlungsvorgang, der durch den Sende/Empfangs-Computer gesteuert wird und ist deshalb genauso zuverlässig, wie jeder beliebige Datenbehandlungsvorgang, der in einem Einzelcomputersystem durchgeführt wird. Nach Fig. 1 werden die Sende- und Empfangsgatter GS, GR nur während der zuverlässigen Taktperiodenabschnitte pp1 aktiviert, welche die Phasen enthalten, die für das Informationsschreiben und -lesen vorgesehen sind und während welcher Phasen die Adressenzähler eindeutige Adressen w_a , r_a übergeben. Die einzige Einrichtung, die durch die asynchronen Taktperioden beeinflusst wird, ist der Komparator. Wenn angenommen wird, dass der Komparator die Adressendifferenzen in Augenblicken berechnet, die stets innerhalb der Mitte der zuverlässigen Periodenabschnitte pp1 des einen Computers liegen, dann geschieht es wegen des Gleitens der Oszillatorfrequenzen, dass diese Augenblicke hin und wieder in die unzuverlässigen Periodenabschnitte pp2 des anderen Computers fallen. Unterbrechungssignale, die aufgrund von unzuverlässigen Inhalten der Adressenzähler unnötigerweise erzeugt werden bzw. nicht erzeugt werden, obwohl erforderlich, bedingen eine verminderte Datenbehandlungskapazität bzw. einen Informationsverlust bei der Übertragung zwischen den zwei Computern. Folglich ist die genannte Zuverlässigkeitseinrichtung ein absolut notwendiger Teil des Adressen- und Unterbrechungssignalgenerators, deren Hauptfunktion darin besteht, mit Hilfe eines Phasenvergleichs zwischen den Taktperioden der Computer zu erreichen, dass der Komparator nur solche Unterbrechungssignale an die Impulsbehandlungsschaltungen abgibt, die aufgrund der eindeutigen Inhalte der Adressenzähler erzeugt werden.

Um diese allgemeine Zuverlässigkeitsfunktion zu erreichen, kann ein einfacher Schaltungsaufbau mit einem bistabilen Flip-Flop und einem UND-Gatter verwendet werden. Eine erste Phasenposition im einen Computer, die nach einem Viertel des zuverlässigen Periodenabschnittes erhalten wird, wird entwe-

der mit derentsprechenden ersten Phasenposition oder mit einer zweiten Phasenposition des anderen Computers verglichen, die nach Dreivierteln des zuverlässigen Periodenabschnittes gewonnen wird. Die erste Phasenposition des einen Computers bringt das bistabile Flip-Flop in den ersten Schaltzustand, der den ersten Eingang des UND-Gatters aktiviert, dessen zweiter Eingang durch die erste oder zweite Phasenposition des andern Computers aktiviert wird. Wenn die Impulse, die am Ausgang des UND-Gatters erzeugt werden, das bistabile Flip-Flop in den zweiten Zustand versetzen, dann sind diese Impulse mit Sicherheit während der zuverlässigen Periodenabschnitte der beiden Computer aufgetreten und können deshalb zur Steuerung des Komparators verwendet werden. Eine derartige einfache Zuverlässigkeitsschaltung arbeitet zuverlässig im Hinblick auf die unzuverlässigen Periodenabschnitte, doch wenn die Phasenposition des einen Computers in wechselnder Richtung um die zweite Phasenposition des anderen Computers pendelt, werden die Steuerimpulse des UND-Gatters in alternierenden Phasenpositionen erzeugt, und zwar so, dass die eine von zwei aufeinanderfolgenden Taktperioden des anderen Computers zwei Steuerimpulse enthält, während die andere Taktperiode überhaupt keinen Steuerimpuls enthält. Wenn die Gefahr der Überbesetzung bzw. Leerung während einer solchen Pendelung besteht, werden u. U. zwei Unterbrechungssignale um eine Taktperiode zu spät erzeugt, obgleich ein Signal ausgereicht hätte, den durch das Pendeln bedingten Asynchronismus zu kompensieren. Die Differenzgrenze des Komparators muss deshalb im Hinblick auf die Gefahr einer Verzögerung bestimmt werden. Das überflüssige Unterbrechungssignal führt ausserdem zu einer verminderten Datenverarbeitungskapazität.

Im Vergleich zu dem beschriebenen Schaltungsaufbau zeigt die Fig. 2 eine verbesserte Zuverlässigkeitsschaltung, in der ein Phasenkomparator PC drei konventionelle D-Flip-Flops FJ1, FJ2 und FJ3 enthält, die ein erstes Exklusiv-ODER-Gatter EOR1 steuern. Die Arbeitsweise dieser verbesserten Zuverlässigkeitsschaltung wird in Verbindung mit den Impuls-Zeit-Diagrammen der Fig. 3a und 3b erläutert. Zwei der D-Flip-Flops, in der Fig. 2 die Flip-Flops FJ1 und FJ2, erhalten parallel vom dem einen Computer eine Impulskette cs4/1 und von dem anderen Computer eine von zwei Impulsketten cs2 bzw. cs4. Die Impulskette cs4/1 besteht aus Impulsen und Intervallen, welche beide so lang wie eine Taktperiode t_p sind, und wird – wenn eine derartige Impulskette nicht bereits im Computer vorhanden ist – z. B. mittels einer Impulsbehandlungsschaltung (in Fig. 2 nicht dargestellt) erzeugt, welche jeden zweiten Impuls in der oben genannten, zur Festlegung der Taktperioden verwendeten Impulskette 01 unterdrückt und welche, genauso wie der Impulsbehandlungskreis PTC in Fig. 1, die nicht unterdrückten 01-Impulse zu solchen Impulsen verlängert, dass diese eine Breite von etwa einer Taktperiode haben. Es ist dann erreicht, dass die Randzeiten zwischen Impulsen und Intervallen dieser Impulskette cs4/1 die unzuverlässigen Periodenabschnitte enthalten, während denen der Adresszähler ungültige Adressen enthält. Die beiden Impulsketten cs2 bzw. cs4 enthalten Impulse, deren Vorderflanken nach Ablauf von einem Viertel bzw. Dreivierteln der Taktperioden auftreten und die eine Impulsbreite von einem Viertel der Taktperiode haben. Es wird hier angenommen, dass eine Taktperiode in vier Phasen unterteilt ist und dass die Ketten cs2 und cs4 bereits im Computer vorhanden sind und benutzt werden. Die Tatsache, dass die Flanken der Impulsketten cs2 und cs4 in Wirklichkeit nicht unendlich steil sind, wie es in Fig. 3 gezeigt ist, und dass die Hinterflanken der Impulse cs4 bereits während der unzuverlässigen Periodenabschnitte auftreten, die dem anderen Computersystem angehören, beeinflusst die Betriebssicherheit und Zuverlässigkeit der Schaltung nach Fig. 2 nicht.

Die D-Flip-Flops FJ1 bzw. FJ2 werden durch die Hinterflan-

ken der Impulse cs2 bzw. cs4 getaktet. Das D-Flip-Flop FJ3 liegt in Reihe mit dem D-Flip-Flop FJ1 und wird durch die Hinterflanken der Impulse cs4 getaktet, um phasenkoinzidente Umschaltungen der logischen Zustände der Flip-Flop FJ2 und FJ3 zu erhalten, deren Ausgänge auf jeweils einen Eingang des ersten Exklusiv-ODER-Gatters EOR1 geschaltet sind. Wenn die Oszillatorfrequenz des einen Computers, der die Impulskette cs4/1 bestimmt, höher als die Oszillatorfrequenz des anderen Computers ist, der massgebend ist für die Impulsketten cs2 und cs4, dann ändert das erste Exklusiv-ODER-Gatter seinen Zustand vom logischen Wert «1» auf den logischen Wert «0» bzw. vom logischen Wert «0» auf «1», wenn die Hinterflanken der Impulsketten cs2 bzw. cs4 über unzuverlässige Periodenabschnitte der Impulskette cs4/1 hinübergleiten. Wenn die beiden Oszillatorfrequenzen sich in der entgegengesetzten Richtung verschieben, werden entsprechende Zustandsänderungen von «0» auf «1» bzw. von «1» auf «0» erhalten, wenn die Hinterflanken der Impulsketten cs2 bzw. cs4 über die Flanken in der Impulskette cs4/1 hinübergleiten.

Der in Fig. 2 gezeigte Phasenkomparator PC enthält einen Umschalter CH, mit dem die Vorderflanken der Impulsketten cs2 bzw. cs4 abhängig vom logischen Zustand «1» bzw. «0» eines Zeitzählers TC auf eine Gattereinrichtung GD zur Steuerung des Komparators C aus Fig. 1 weitergeleitet werden.

Der Zeitzähler, der eingesetzt wird, um die Zuverlässigkeitseinrichtung gegen die oben genannten Frequenzpendelungen und auch gegen Reaktionszeitveränderungen der D-Flip-Flops FJ1, FJ2 und FJ3 zu stabilisieren, ist mit einem monostabilen Multivibrator SSE ausgestattet, der den logischen Wert «1» annimmt, wenn ein zweites Exklusiv-ODER-Gatter EOR2 aktiviert wird. Ausserdem enthält der Zeitzähler zwei D-Flip-Flops FJ4 und FJ5, deren Ausgänge mit dem zweiten Exklusiv-ODER-Gatter verbunden sind. Ausserdem ist der Ausgang des D-Flip-Flops FJ4 mit den Eingängen des Umschalters und des Flip-Flops FJ5 in Verbindung. Das D-Flip-Flop FJ4 ist mit seinem Eingang an das erste Exklusiv-ODER-Gatter EOR1 angeschlossen und wird durch ein UND-Gatter AND durch jene Hinterflanken der Impulskette cs2 getaktet, die nicht in die Zeit t fallen, welche vom monostabilen Multivibratorelement SSE bestimmt wird. Das D-Flip-Flop FJ5 wird durch die Vorderflanken der Impulskette cs2 getaktet.

Fig. 3b zeigt Impuls-Zeit-Diagramme, mit denen das folgende Beispiel einer Oszillatorfrequenz beschrieben wird: Die Impulskette cs4/1, deren Taktperioden mit 1 bis 10 und 21 bis 24 bezeichnet sind, wird aufgrund einer pendelnden Oszillatorfre-

quenz erzeugt. Die Impulsketten cs2 und cs4 werden mit konstanter Oszillatorfrequenz erzeugt. Die mit den Ziffern 1 bis 4 und 6 bezeichneten Taktperioden der Impulskette cs4/1 sind kleiner, die übrigen Perioden dieser Impulsketten sind grösser als die Taktperioden der Impulsketten cs2 und cs4. Zwischen den Taktperioden 3 und 8 gleiten die Hinterflanken der Impulskette cs2 über die unzuverlässigen Periodenabschnitte der Impulskette cs4/1 hin und her. Während der Taktperiode 22 treten zwei Hinterflanken der Impulskette cs4 auf, die erste unmittelbar nach und die zweite unmittelbar vor einem unzuverlässigen Periodenabschnitt.

Es wird erreicht, dass das erste Exklusiv-ODER-Gatter EOR1 seinen logischen Zustand während jeder der Taktperioden 5 bis 8 und am Ende der Taktperiode 22 wechselt. Das D-Flip-Flop FJ4 wechselt seinen Zustand jedoch aufgrund des während der Zeit t aktivierten monostabilen Multivibratorelementes SSE nur am Ende der Taktperiode 5 und während der Taktperioden 5, 8 und 23. Das D-Flip-Flop FJ4 steuert den Umschalter CH derart, dass die Gattereinrichtungen GD während der Taktperioden 3, 4, 5, 9, 10, 21 und 22 aufgrund der Vorderflanken der cs2-Impulse und während der Taktperioden 6, 7, 8 und 24 aufgrund der Vorderflanken der cs4-Impulse aktiviert ist. Während der Taktperiode 23 wird die Gattereinrichtung wegen der Oszillatorfrequenzverschiebung sowohl durch die Vorderflanke des cs2-Impulses als auch durch die Vorderflanke des cs4-Impulses aktiviert.

Es sei bemerkt, dass Fig. 3b einen starken Frequenzschub zeigt, der in der Praxis nicht auftritt. Der Wechsel der Verschiebungsrichtung während der Taktperioden 5 und 7 erstreckt sich in der Praxis über eine wesentlich grössere Zahl von Perioden. In der Praxis wird deshalb die charakteristische Zeit t für das monostabile Element so gewählt, dass sie 32 Taktperioden umfasst. Es sei ausserdem bemerkt, dass die unzuverlässigen Periodenabschnitte sehr klein in bezug zur Impulsbreite der Impulsketten cs2 und cs4 sind. Dadurch, dass der Phasenvergleich mit den Hinterflanken der Impulsketten cs2 und cs4 durchgeführt und die Gattereinrichtung durch entsprechende Vorderflanken aktiviert wird, ist für einen stabilen Betrieb der Zuverlässigkeitsschaltung Sorge getragen.

Die Gattereinrichtung GD steuert entweder die Adressenübertragung von den zwei Adressenzählern ACw und ACr zum Komparator C, wie in Fig. 2 dargestellt, oder die Unterbrechungssignalübertragung vom Komparator zu den Impulsbehandlungskreisen PTC der beiden Computersysteme.

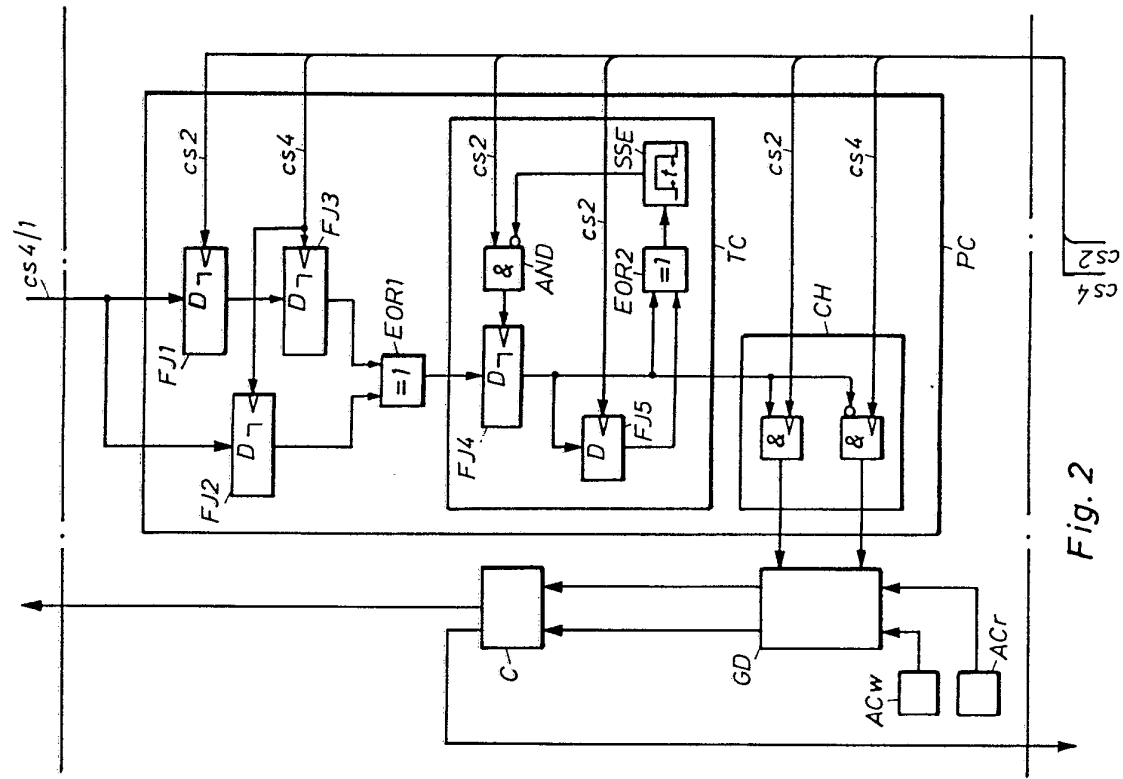


Fig. 2

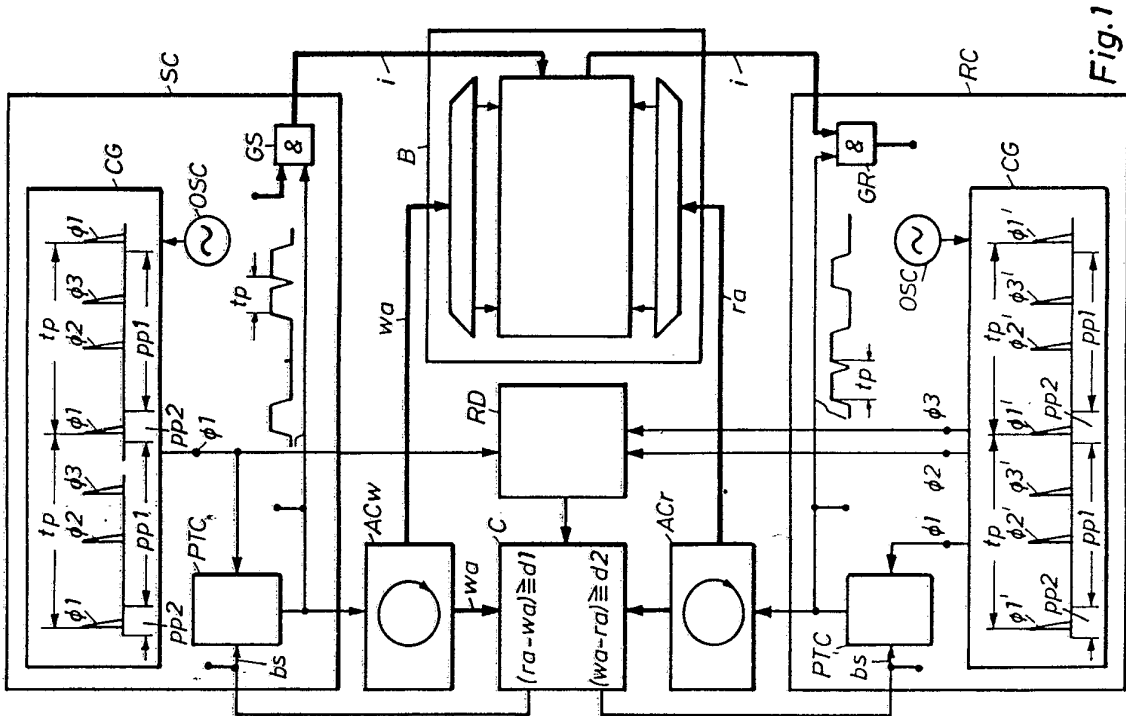


Fig. 1

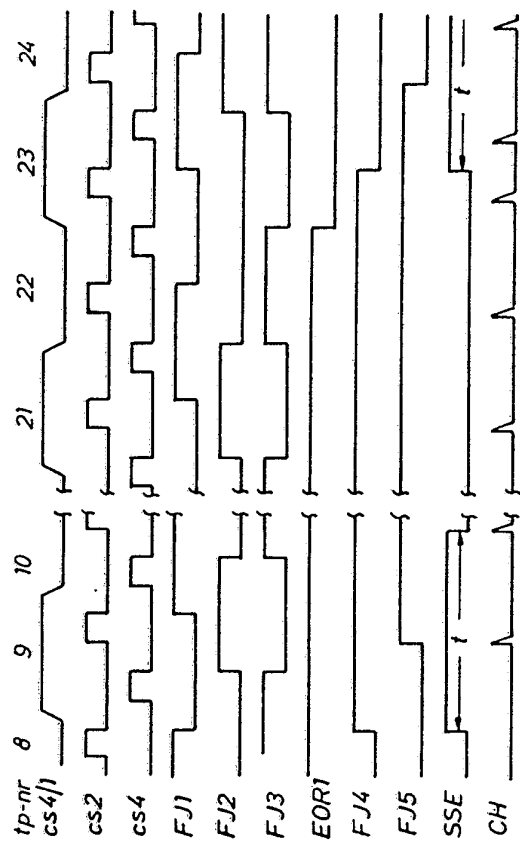
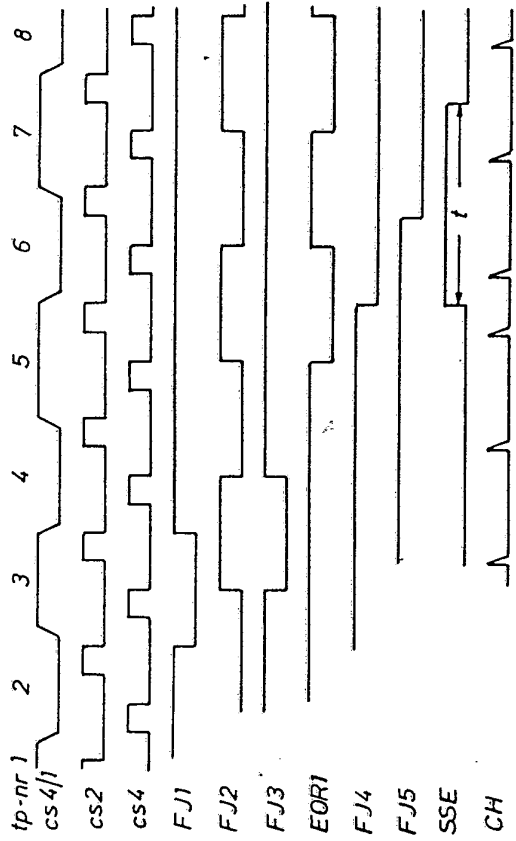


Fig. 3b

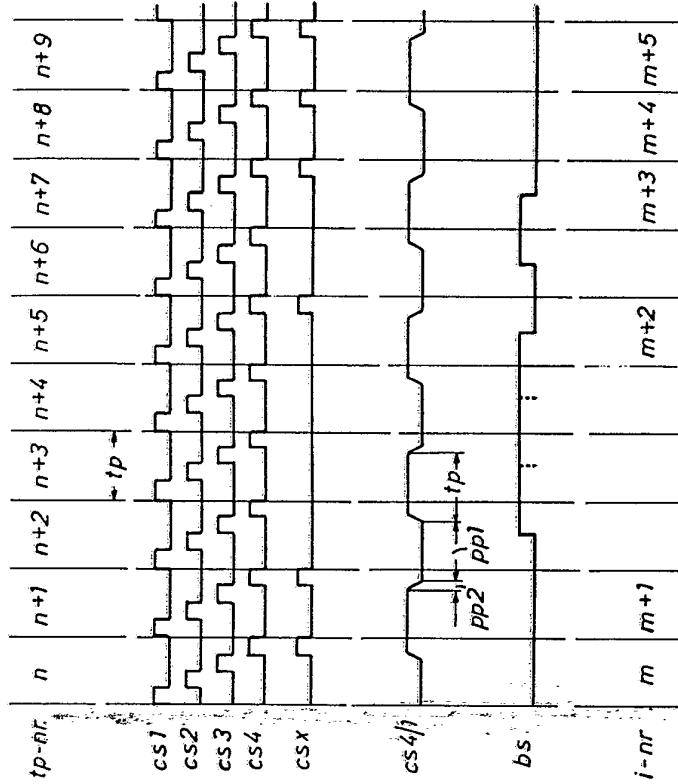


Fig. 3a