

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年7月2日(02.07.2020)



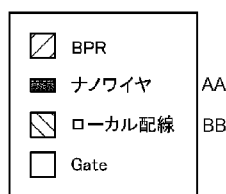
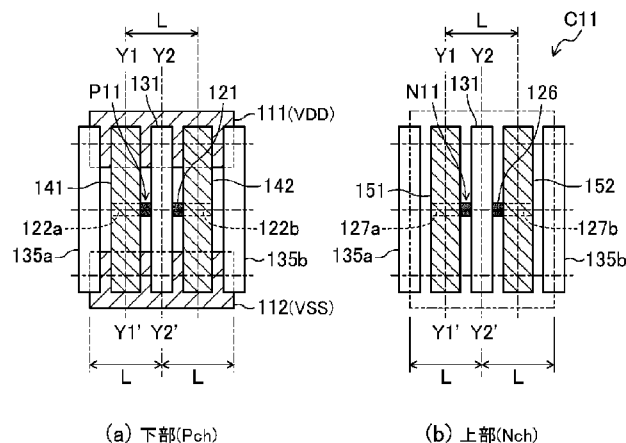
(10) 国際公開番号

WO 2020/137660 A1

- (51) 国際特許分類:  
H01L 21/82 (2006.01) H01L 27/088 (2006.01)  
H01L 21/822 (2006.01) H01L 21/8238 (2006.01)  
H01L 27/04 (2006.01) H01L 27/092 (2006.01)  
H01L 21/8234 (2006.01) H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2019/049190
- (22) 国際出願日: 2019年12月16日(16.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2018-240887 2018年12月25日(25.12.2018) JP
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 伊達 浩志郎(DATE Koshiro); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



AA  
BB

(a) Lower part  
(b) Upper part  
AA Nanowire  
BB Local line

(57) Abstract: An inverter cell (C1) having a logic function and a filler cell (C11) having no logic function are disposed adjacent to each other. Nanowires (122,126) of the filler cell (C11) are respectively disposed at the same locations as nanowires (22,26) of the inverter cell (C1) in a Y-direction. A P-type dummy transistor (P11) and an N-type dummy transistor (N11) of the filler cell (C11) are respectively disposed in the same layers as a P-type transistor (P1) and an N-type transistor (N1) in a Z-direction.

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

---

(57) 要約: 論理機能を有するインバータセル (C 1) と論理機能を有さないフィラーセル (C 1 1) とが隣接して配置される。フィラーセル (C 1 1) のナノワイヤ (1 2 2, 1 2 6) は、それぞれ、Y方向において、インバータセル (C 1) のナノワイヤ (2 2, 2 6) と同じ位置に配置される。また、フィラーセル (C 1 1) のP型ダミートランジスタ (P 1 1) およびN型ダミートランジスタ (N 1 1) は、それぞれ、Z方向において、P型トランジスタ (P 1) およびN型トランジスタ (N 1) と同層に配置される。

## 明 細 書

発明の名称：半導体集積回路装置

### 技術分野

[0001] 本開示は、立体構造トランジスタを含むスタンダードセル（以下、適宜、単にセルともいう）を備えた半導体集積回路装置に関するものである。

### 背景技術

[0002] 半導体基板上に半導体集積回路を形成する方法として、スタンダードセル方式が知られている。スタンダードセル方式とは、特定の論理機能を有する基本的単位（例えば、インバータ、ラッチ、フリップフロップ、全加算器など）をスタンダードセルとして予め用意しておき、半導体基板上に複数のスタンダードセルを配置して、それらのスタンダードセルを配線で接続することによって、LSIチップを設計する方式のことである。

[0003] また、LSIの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。

[0004] 非特許文献1，2では、新規デバイスとして、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスと、これを用いたスタンダードセルが開示されている。

### 先行技術文献

#### 非特許文献

[0005] 非特許文献1：Ryckaert J. et al., "The Complementary FET (CFET) for CMOS scaling beyond N3", 2018 Symposium on VLSI Technology Digest of Technical Papers

非特許文献2：A. Mocuta et al., "Enabling CMOS Scaling Towards 3nm and

Beyond”, 2018 Symposium on VLSI Technology Digest of Technical Papers

## 発明の概要

### 発明が解決しようとする課題

- [0006] 本明細書では、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスのことを、非特許文献1の記載にならない、CFET (Complementary FET) と呼ぶことにする。また、基板に対して垂直をなす方向のことを、深さ方向と呼ぶ。
- [0007] ここで、スタンダードセルには、例えば、NANDゲート、NORゲート等の論理機能を有するセル（以下、適宜、論理セルという）の他に、論理機能を有さないセルが含まれる。論理機能を有さないセルとして、「フィラーセル」が挙げられる。「フィラーセル」とは、論理機能を有さず、回路ブロックの論理機能に寄与せず、論理セルの間に配置されたセルのことをいう。
- [0008] これまで、CFETを用いたフィラーセルの構造や、CFETを用いたフィラーセルを含む半導体集積回路のレイアウトに関して、具体的な検討はまだなされていない。
- [0009] 本開示は、CFETを用いたフィラーセルを含む半導体集積回路装置のレイアウトを提供するものである。

### 課題を解決するための手段

- [0010] 本開示の第1態様では、論理機能を有する第1スタンダードセルと、前記第1スタンダードセルに隣接して配置され、論理機能を有さない第2スタンダードセルと、を備える半導体集積回路装置であって、前記第1スタンダードセルは、第1方向に延伸され、第1電源電圧を供給する第1電源配線と、前記第1方向に延伸され、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、第1導電型の立体構造トランジスタである、第1トランジスタと、深さ方向において前記第1トランジスタよりも高い位置に形成され、かつ、平面視において、チャネル部が前記第1トランジスタのチャネル部と重なりを有する位置に配置された第2導電型の立体構造トランジスタで

ある、第2トランジスタと、を備え、前記第2スタンダードセルは、前記第1方向に延伸され、前記第1電源電圧を供給する第3電源配線と、前記第1方向に延伸され、前記第2電源電圧を供給する第4電源配線と、前記第1方向と垂直をなす第2方向において、チャンネル部が前記第1トランジスタのチャンネル部と同じ位置に配置され、かつ、深さ方向において、前記第1トランジスタと同層に配置された前記第1導電型の立体構造トランジスタである、第1ダミートランジスタと、前記第2方向において、チャンネル部が前記第2トランジスタのチャンネル部と同じ位置に配置され、かつ、前記深さ方向において、前記第2トランジスタと同層に配置された前記第2導電型の立体構造トランジスタである、第2ダミートランジスタと、を備える。

[0011] この態様によると、第1トランジスタおよび第1ダミートランジスタのチャンネル部は、第2方向において、同じ位置に配置される。第1トランジスタおよび第1ダミートランジスタは、深さ方向において、同層に配置される。また、第2トランジスタおよび第2ダミートランジスタのチャンネル部は、第2方向において、同じ位置に配置される。第2トランジスタおよび第2ダミートランジスタは、深さ方向において、同層に配置される。すなわち、第2スタンダードセルに第1および第2トランジスタを配置することにより、トランジスタ配置の粗密を抑制することができる。これにより、半導体集積回路装置の製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0012] 本開示の第2態様では、論理機能を有する第1スタンダードセルと、前記第1スタンダードセルに隣接して配置され、論理機能を有さない第2スタンダードセルと、を備える半導体集積回路装置であって、前記第1スタンダードセルは、第1方向に延伸され、第1電源電圧を供給する第1電源配線と、前記第1方向に延伸され、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、第1導電型の立体構造トランジスタである、第1トランジスタと、深さ方向において、前記第1トランジスタよりも高い位置に形成され、かつ、平面視において、チャンネル部が前記第1トランジスタのチャネ

ル部と重なりを有する位置に配置された第2導電型の立体構造トランジスタである、第2トランジスタと、前記第1方向と垂直をなす第2方向に延び、前記第1トランジスタのソースおよびドレインにそれぞれ接続された第1および第2ローカル配線と、前記第2方向に延び、前記第2トランジスタのソースおよびドレインにそれぞれ接続された第3および第4ローカル配線と、を備え、前記第2スタンダードセルは、前記第1方向に延伸され、前記第1電源電圧を供給する第3電源配線と、前記第1方向に延伸され、前記第2電源電圧を供給する第4電源配線と、前記深さ方向において、前記第1および第2ローカル配線と同層に配置された第5ローカル配線と、前記深さ方向において、前記第3および第4ローカル配線と同層に配置された第6ローカル配線とを備え、前記第5および第6ローカル配線のうち少なくともいずれか一方は、平面視で、前記第3および第4電源配線と重なりを有している。

- [0013] この態様によると、第1スタンダードセルと第2スタンダードセルとは、隣接して配置される。また、第1、第2および第5ローカル配線は、同層に配置される。第3、第4および第6ローカル配線は、同層に配置される。すなわち、半導体集積回路装置の下部において、第1、第2および第5ローカル配線は、規則的に配置される。また、半導体集積回路装置の上部において、第3、第4および第6ローカル配線は、規則的に配置される。これにより、半導体集積回路装置の製造ばらつきを抑えることができ、歩留まりを向上させることができる。

### 発明の効果

- [0014] 本開示によると、CFETを用いた半導体集積回路装置において、製造や性能のばらつきを抑制できるとともに、歩留まりを向上させることができる。

### 図面の簡単な説明

- [0015] [図1]第1実施形態に係るスタンダードセルを用いた回路ブロック下部のレイアウト構造の例を示す平面図

[図2]第1実施形態に係るスタンダードセルを用いた回路ブロック上部のレイアウト構造の例を示す平面図

[図3]図1および図2のレイアウト構造の平面視横方向における断面図

[図4](a), (b)は第1実施形態に係るインバータセルのレイアウト構造を示す平面図

[図5](a), (b)は第1実施形態に係るフィラーセルのレイアウト構造を示す平面図

[図6](a), (b)は図4のレイアウト構造の平面視縦方向における断面図

[図7](a), (b)は第1実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図8](a), (b)は第1実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図9](a), (b)は第1実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図10](a), (b)は第1実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図11](a), (b)は第1実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図12](a), (b)は第2実施形態に係るフィラーセルのレイアウト構造を示す平面図

[図13](a), (b)は第2実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図14](a), (b)は第2実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図15](a), (b)は第2実施形態に係るフィラーセルの他のレイアウト構造を示す平面図

[図16]CFETを備えた半導体装置の構造を示す断面図

[図17]CFETを備えた半導体装置の構造を示す断面図

[図18] C F E T を備えた半導体装置の構造を示す断面図

[図19] C F E T を備えた半導体装置の構造を示す断面図

### 発明を実施するための形態

[0016] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のスタンダードセル（本明細書では、適宜、単にセルという）を備えており、この複数のスタンダードセルのうち少なくとも一部は、C F E T、すなわち、立体構造のP型F E TとN型F E Tを基板に対して垂直方向に積層した立体構造デバイスを備えるものとする。

[0017] まず、C F E Tの基本構造について説明する。図16～図19はC F E Tを備えた半導体装置の構造を示す図であり、図16はX方向における断面図、図17はY方向におけるゲート部分の断面図、図18はY方向におけるソース・ドレイン部分の断面図、図19は平面図である。なお、X方向はナノワイヤが延びる方向、Y方向はゲートが延びる方向、Z方向は基板面と垂直をなす方向としている。また、図16～図19は概略図であり、各部の寸法や位置等は必ずしも整合していない。

[0018] この半導体装置では、シリコン（S i）基板等の半導体基板301の表面に素子分離領域302が形成されており、素子分離領域302により、素子活性領域30aが画定されている。素子活性領域30aでは、P型F E T上にN型F E Tが形成されている。

[0019] 素子活性領域30aでは、半導体基板301上に積層トランジスタ構造390aが形成されている。積層トランジスタ構造390aは、半導体基板301上に形成されたゲート構造391を含む。ゲート構造391は、ゲート電極356、複数のナノワイヤ358、ゲート絶縁膜355、絶縁膜357を含む。ゲート電極356は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ358は、X方向でゲート電極356を貫通し、Y方向及びZ方向に配列されている。ゲート絶縁膜355は、ゲート電極356とナノワイヤ358との間に形成されている。ゲート電極356及びゲート絶縁膜355は、X方向において、ナノワイヤ358の両端から後退した位置に形成されてお

り、この後退した部分に絶縁膜 357 が形成されている。半導体基板 301 上に、絶縁膜 357 の両脇において、絶縁膜 316 が形成されている。321, 322 は層間絶縁膜である。

[0020] また、図 17 に示すように、ゲート電極 356 は、開口部 375 に設けられたビア 385 によって、上層の配線と接続される。

[0021] 例えば、ゲート電極 356 には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜 355 には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ 358 にはシリコン等を用いることができる。例えば、絶縁膜 316、絶縁膜 357 には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0022] この半導体装置では、Z 方向に配列するナノワイヤ 358 の本数は 4 であり、素子活性領域 30a では、半導体基板 301 側の 2 本のナノワイヤ 358 の各端部に p 型半導体層 331p が形成されている。p 型半導体層 331p に接する 2 つのローカル配線 386 が X 方向でゲート構造 391 を挟むようにして形成されている。また、半導体基板 301 から離間する側の 2 本のナノワイヤ 358 の各端部に n 型半導体層 341n が形成されている。n 型半導体層 341n に接する 2 つのローカル配線 388 が X 方向でゲート構造 391 を挟むようにして形成されている。ローカル配線 386 とローカル配線 388 との間に絶縁膜 332 が形成されている。ローカル配線 388 の上に絶縁膜 389 が形成されている。例えば、p 型半導体層 331p は p 型 SiGe 層であり、n 型半導体層 341n は n 型 Si 層である。例えば、絶縁膜 332 には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0023] また、図 18 に示すように、ローカル配線 388 は、ビア 3071 を介して、埋め込み配線 3101 と接続される。ローカル配線 386 は、ビア 3072 を介して、埋め込み配線 3102 と接続される。

[0024] このように、積層トランジスタ構造 390a は、ゲート電極 356、ナノ

ワイヤ358、ゲート絶縁膜355及びP型半導体層331pを含むP型FETを有する。このP型FETでは、一方のP型半導体層331pがソース領域として機能し、他方のP型半導体層331pがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びN型半導体層341nを含むN型FETも有する。このN型FETでは、一方のN型半導体層341nがソース領域として機能し、他方のN型半導体層341nがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。

[0025] なお、積層トランジスタ構造より上層については、ビアおよび金属配線によりトランジスタ間の配線等が行われるが、これらは既知の配線プロセスによって実現が可能である。

[0026] なお、ここでは、P型FETおよびN型FETにおけるナノワイヤの本数は、それぞれ、Y方向に4本、Z方向に2本、計8本ずつであるものとしたが、ナノワイヤの本数はこれに限られるものではない。また、P型FETとN型FETのナノワイヤの本数は、異なってもかまわない。

[0027] また、本明細書では、ナノワイヤの両端に形成され、トランジスタのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。上述したCFETの基本構造例では、p型半導体層331pおよびn型半導体層341nが、パッドに相当する。

[0028] また、以降の実施形態における平面図および断面図においては、各絶縁膜等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノワイヤおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本明細書において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0029] (第1実施形態)

図1は第1実施形態に係るスタンダードセルを用いた回路ブロック下部の

レイアウト例であり、図2は第1実施形態に係るスタンダードセルを用いた回路ブロック上部のレイアウト例であり、図3は図1および図2の線X1-X1'における断面である。図1および図2は回路ブロックの平面図である。具体的には、図1は下部、すなわち基板に近い側に形成された立体構造トランジスタ（ここではP型ナノワイヤFET）を含む部分を示し、図2は上部、すなわち基板から遠い側に形成された立体構造トランジスタ（ここではN型ナノワイヤFET）を含む部分を示す。

[0030] なお、以下の説明では、図1等の平面図において、図面横方向をX方向（第1方向に相当）、図面縦方向をY方向（第2方向に相当）、基板面に垂直な方向をZ方向（深さ方向に相当）としている。また、図1等の平面図において縦横に走る点線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。

[0031] 図1および図2のレイアウトでは、X方向に並ぶ複数のセルが、セル列CRを構成している。そして、複数のセル列CRが、Y方向に並べて配置されている。複数のセルには、インバータの論理機能を有するインバータセルC1、C2と、論理機能を有さないフィラーセルC11、C12、C12aとが含まれている。なお、インバータセルC2は、Y方向において、インバータセルC1を反転させて配置したものである。また、フィラーセルC12aは、Y方向において、フィラーセルC12を反転させて配置したものである。

[0032] ここで、「フィラーセル」は、論理機能を有しておらず、回路ブロックの論理機能に寄与せず、論理セルの間に配置されたセルのことをいう。

[0033] 本実施形態では、フィラーセルに、ダミーパッドが配置されている。ここで、「ダミーパッド」とは、回路の論理機能に寄与しないパッド、言い換えると、ナノワイヤFETを構成するパッドと同様の構造からなり、かつ、回路ブロックの論理機能に寄与しない構造物のことをいう。

[0034] なお、図1および図2では、インバータセルC1、C2およびフィラースセルC11、C12、C12aが含まれる回路ブロックのレイアウトを図示している。ただし、実際のレイアウトはこれに限られるものではなく、どのような論理セルが配置されていてもよい。

[0035] (インバータセルの構成)

図4はインバータセルのレイアウト構造を示す平面図である。具体的に、図4(a)、(b)はインバータセルC1の平面図である。具体的には、図4(a)は下部を示し、図4(b)は上部を示す。

[0036] 図4(a)に示すように、インバータセルC1には、Y方向両端において、X方向に延びる電源配線11、12がそれぞれ設けられている。電源配線11、12はともに、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線11は電源電圧VDDを供給し、電源配線12は電源電圧VSSを供給する。

[0037] M1配線層には、X方向に延びる配線71、72が形成されている。配線71は入力A、配線72は出力Yに相当する。

[0038] インバータセルC1の下部には、X方向に延びるナノワイヤ21が形成されており、インバータセルC1の上部には、X方向に延びるナノワイヤ26が形成されている。ナノワイヤ21、26は、平面視で重なっている。ナノワイヤ21の両端に、P型半導体がドーピングされたパッド22a、22bが形成されている。ナノワイヤ26の両端に、N型半導体がドーピングされたパッド27a、27bが形成されている。ナノワイヤ21がP型トランジスタP1のチャネル部を構成し、パッド22a、22bがP型トランジスタP1のソースまたはドレインとなる端子を構成する。ナノワイヤ26がN型トランジスタN1のチャネル部を構成し、パッド27a、27bがN型トランジスタN1のソースまたはドレインとなる端子を構成する。N型トランジスタN1は、Z方向においてP型トランジスタP1よりも高い位置に形成されている。

[0039] ゲート配線31は、X方向におけるほぼ中央においてY方向に延びており

、かつ、インバータセルC 1の下部から上部にかけてZ方向に延びている。ゲート配線3 1は、P型トランジスタP 1およびN型トランジスタN 1のゲートとなる。すなわち、ナノワイヤ2 1、ゲート配線3 1、およびパッド2 2 a, 2 2 bによって、P型トランジスタP 1が構成される。ナノワイヤ2 6、およびゲート配線3 1、およびパッド2 7 a, 2 7 bによって、N型トランジスタN 1が構成される。また、インバータセルC 1のX方向両端に、それぞれ、ダミーゲート配線3 5 a, 3 5 bが形成されている。ダミーゲート配線3 5 a, 3 5 bは、ゲート配線3 1と同様に、Y方向およびZ方向に延びている。ゲート配線3 1およびダミーゲート配線3 5 a, 3 5 bは、X方向において、同一ピッチLで配置されている。

[0040] インバータセルC 1の下部において、Y方向に延びるローカル配線(Local Interconnect:LI) 4 1, 4 2が形成されている。ローカル配線4 1は、パッド2 2 aと接続されている。ローカル配線4 2は、パッド2 2 bと接続されている。インバータセルC 1の上部において、Y方向に延びるローカル配線5 1, 5 2が形成されている。ローカル配線5 1は、パッド2 7 aと接続されている。ローカル配線5 2は、パッド2 7 bと接続されている。

[0041] ローカル配線4 1は、電源配線1 1と平面視で重なる位置まで延びており、コンタクト6 1を介して、電源配線1 1と接続されている。コンタクト6 1は、平面視で電源配線1 1とローカル配線4 1とが重なる位置に形成されている。ローカル配線5 1は、電源配線1 2と平面視で重なる位置まで延びており、コンタクト6 2を介して、電源配線1 2と接続されている。コンタクト6 2は、平面視で電源配線1 2とローカル配線5 1とが重なる位置に形成されている。ローカル配線4 2, 5 2は、コンタクト6 3を介して接続されている。コンタクト6 3は、平面視でローカル配線4 2とローカル配線5 2とが重なる位置に形成されている。

[0042] 図4に示すように、配線7 1（入力A）は、コンタクト8 1を介して、ゲート配線3 1と接続されている。配線7 2（出力Y）は、コンタクト8 2を介して、ローカル配線5 2と接続されている。

[0043] 以上のように、インバータセルC 1は、P型トランジスタP 1およびN型トランジスタN 1を有し、入力A、出力Yのインバータ回路を実現している。すなわち、インバータセルC 1は、論理機能を有するスタンダードセルである。

[0044] (フィラーセルの構成)

図5はフィラーセルのレイアウト構造を示す図であり、図5 (a), (b)は平面図であり、図6は平面視縦方向における断面図である。具体的には、図5 (a)はフィラーセルC 1 1の下部を示し、図5 (b)は上部を示す。図6 (a)は線Y 1-Y 1'の断面、図6 (b)は線Y 2-Y 2'の断面である。

[0045] 図5 (a)に示すように、フィラーセルC 1 1には、Y方向両端部において、X方向に延びる電源配線1 1 1, 1 1 2がそれぞれ設けられている。電源配線1 1 1, 1 1 2は、ともに、埋め込み配線層に形成された埋め込み電源配線(B P R)である。電源配線1 1 1は、電源配線1 1と同一の電源電圧V D Dを供給する。電源配線1 1 2は、電源配線1 2と同一の電源電圧V S Sを供給する。

[0046] フィラーセルC 1 1の下部には、X方向に延びるナノワイヤ1 2 1が形成されており、フィラーセルC 1 1の上部には、X方向に延びるナノワイヤ1 2 6が形成されている。ナノワイヤ1 2 1, 1 2 6は、平面視で重なっている。ナノワイヤ1 2 1の両端に、P型半導体がドーピングされたダミーパッド1 2 2 a, 1 2 2 bが形成されている。ナノワイヤ1 2 6の両端に、N型半導体がドーピングされたダミーパッド1 2 7 a, 1 2 7 bが形成されている。ナノワイヤ1 2 1がP型ダミートランジスタP 1 1のチャネル部を構成し、ダミーパッド1 2 2 a, 1 2 2 bがP型ダミートランジスタP 1 1のソースまたはドレインとなる端子を構成する。ナノワイヤ1 2 6がN型ダミートランジスタN 1 1のチャネル部を構成し、ダミーパッド1 2 7 a, 1 2 7 bがN型ダミートランジスタN 1 1のソースまたはドレインとなる端子を構成する。N型ダミートランジスタN 1 1は、Z方向においてP型ダミートラ

ンジスタP 1 1よりも高い位置に形成されている。

[0047] また、X方向におけるほぼ中央においてY方向に延び、かつ、フィラーセルC 1 1の下部から上部にかけてZ方向に延びるダミーゲート配線1 3 1が形成されている。また、フィラーセルC 1 1のX方向両端には、ダミーゲート配線1 3 5 a, 1 3 5 bが形成されている。ダミーゲート配線1 3 5 a, 1 3 5 bは、Y方向に延びており、かつ、セル上部からセル下部にかけてZ方向に延びている。ダミーゲート配線1 3 1, 1 3 5 a, 1 3 5 bは、X方向において、同一ピッチLで配置されている。

[0048] また、ダミーゲート配線1 3 1は、P型ダミートランジスタP 1 1およびN型ダミートランジスタN 1 1のゲートとなる。すなわち、ナノワイヤ1 2 1、ダミーゲート配線1 3 1、およびダミーパッド1 2 2 a, 1 2 2 bによって、P型ダミートランジスタP 1 1が構成される。ナノワイヤ1 2 6、ダミーゲート配線1 3 1、およびダミーパッド1 2 7 a, 1 2 7 bによって、N型ダミートランジスタN 1 1が構成される。

[0049] また、フィラーセルC 1 1の下部において、Y方向に延びるローカル配線1 4 1, 1 4 2が形成されている。ローカル配線1 4 1, 1 4 2は、それぞれ、平面視において、電源配線1 1 1, 1 1 2と重なりを有する。ローカル配線1 4 1は、ダミーパッド1 2 2 aと接続されている。ローカル配線1 4 2は、ダミーパッド1 2 2 bと接続されている。

[0050] フィラーセルC 1 1の上部において、Y方向に延びるローカル配線1 5 1, 1 5 2が形成されている。ローカル配線1 5 1, 1 5 2は、それぞれ、平面視において、電源配線1 1 1, 1 1 2と重なりを有する。ローカル配線1 5 1は、ダミーパッド1 2 7 aと接続されている。ローカル配線1 5 2は、ダミーパッド1 2 7 bと接続されている。

[0051] ダミーゲート配線1 3 1およびローカル配線1 4 1, 1 4 2, 1 5 1, 1 5 2は、インバータセルC 1と異なり、いずれも他の配線と接続されていない。

[0052] 以上のように、フィラーセルC 1 1は、P型ダミートランジスタP 1 1お

よびN型ダミートランジスタN 1 1を有する。P型ダミートランジスタP 1 1およびN型ダミートランジスタN 1 1のそれぞれのソースおよびドレインとなる、ダミーパッド1 2 2 a, 1 2 2 b, 1 2 7 a, 1 2 7 bは、ローカル配線1 4 1, 1 4 2, 1 5 1, 1 5 2にそれぞれ接続されている。ただし、ローカル配線1 4 1, 1 4 2, 1 5 1, 1 5 2は、他の配線と接続されていない。すなわち、フィラーセルC 1 1は、論理機能を有さないスタンダードセルである。

[0053] 図3に示すように、インバータセルC 1およびフィラーセルC 1 1は、X方向に並んで配置される。なお、インバータセルC 1とフィラーセルC 1 1との境界に配置されたダミーゲート配線は、インバータセルC 1のダミーゲート配線3 5 b、および、フィラーセルC 1 1のダミーゲート配線1 3 5 aに相当する。

[0054] フィラーセルC 1 1のナノワイヤ1 2 1, 1 2 6は、それぞれ、Y方向において、インバータセルC 1のナノワイヤ2 1, 2 6と同じ位置に配置されている。また、ナノワイヤ1 2 1, 1 2 6は、それぞれ、Z方向において、ナノワイヤ2 1, 2 6と同層に配置されている。すなわち、フィラーセルC 1 1のP型ダミートランジスタP 1 1およびN型ダミートランジスタN 1 1は、それぞれ、インバータセルC 1のP型トランジスタP 1およびN型トランジスタN 1と、X方向において、並んで配置され、かつ、Z方向において、同層に配置されている。

[0055] また、ゲート配線3 1、ダミーゲート配線1 3 1およびダミーゲート配線3 5 a, 3 5 b (1 3 5 a), 1 3 5 bは、X方向において、同一ピッチLで配置されている。すなわち、ゲート配線3 1、ダミーゲート配線1 3 1およびダミーゲート配線3 5 a, 3 5 b (1 3 5 a), 1 3 5 bは、X方向において、等幅、等間隔、等ピッチ(ピッチL)で配置されている。

[0056] また、ローカル配線1 4 1, 1 4 2は、ローカル配線4 1, 4 2と、Z方向において、同層に配置され、かつ、X方向において、同一ピッチLで配置されている。すなわち、ローカル配線4 1, 4 2, 1 4 1, 1 4 2は、X方

向において、等幅、等間隔、等ピッチ（ピッチL）で配置される。

[0057] また、ローカル配線151, 152は、ローカル配線51, 52と、Z方向において、同層に配置され、かつ、X方向において、同一ピッチLで配置されている。すなわち、ローカル配線51, 52, 151, 152は、X方向において、等幅、等間隔、等ピッチ（ピッチL）で配置されている。

[0058] 以上の構成により、論理機能を有さないフィラーセルC11は、論理機能を有するインバータセルC1に隣接して配置される。インバータセルC1は、P型トランジスタP1と、Z方向において、P型トランジスタP1よりも高い位置に配置されたN型トランジスタN1とを備える。フィラーセルC11は、P型ダミートランジスタP11とN型ダミートランジスタN11とを備える。フィラーセルC11のナノワイヤ121, 126は、それぞれ、Y方向において、インバータセルC1のナノワイヤ21, 26と同じ位置に配置される。P型トランジスタP1およびP型ダミートランジスタP11は、Z方向において、同層に配置されている。また、N型トランジスタN1およびN型ダミートランジスタN11は、Z方向において、同層に配置される。すなわち、フィラーセルC11にP型およびN型ダミートランジスタを配置することによりトランジスタ配置の粗密を抑制することができる。これにより、CFETを用いた半導体集積回路装置の製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0059] また、X方向において、インバータセルC1のP型トランジスタP1およびN型トランジスタN1に最も近接するトランジスタは、それぞれ、フィラーセルC11のP型ダミートランジスタP11およびN型ダミートランジスタN11である。このため、P型トランジスタP1およびN型トランジスタN1は、それぞれ、P型ダミートランジスタP11およびN型ダミートランジスタN11の存在によって、隣接するトランジスタまでの距離が所定値に定まる。すなわち、P型ダミートランジスタP11およびN型ダミートランジスタN11の存在によって、論理セル（インバータセルC1）のセル端に最も近接するトランジスタ（P型トランジスタP1およびN型トランジスタ

N 1) からそれぞれに隣接するトランジスタまでの距離を所定値に見積もることができる。これにより、論理セルのトランジスタ性能の見積もり精度を向上させることができる。

[0060] また、インバータセルC 1 のゲート配線3 1、フィラーセルC 1 1のダミーゲート配線1 3 1およびダミーゲート配線3 5 a, 3 5 b (1 3 5 a), 1 3 5 bは、X方向において、同一ピッチLで配置されている。すなわち、ゲート配線3 1、ダミーゲート配線1 3 1、および、ダミーゲート配線3 5 a, 3 5 b (1 3 5 a), 1 3 5 bは、規則的に配置される。これにより、C F E Tを用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0061] また、フィラーセルC 1 1のローカル配線1 4 1, 1 4 2は、インバータセルC 1のローカル配線4 1, 4 2と、Z方向において、同層に配置され、かつ、X方向において、同一ピッチLで配置されている。また、フィラーセルC 1 1のローカル配線1 5 1, 1 5 2は、インバータセルC 1のローカル配線5 1, 5 2と、Z方向において、同層に配置され、かつ、X方向において、同一ピッチLで配置されている。すなわち、ローカル配線4 1, 4 2, 1 4 1, 1 4 2は、規則的に配置される。また、ローカル配線5 1, 5 2, 1 5 1, 1 5 2は、規則的に配置される。これにより、C F E Tを用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0062] (フィラーセルの変形例)

(その1)

図7は本実施形態に係るフィラーセルの他の例を示す平面図である。図7 (a)はセル下部を示し、図7 (b)はセル上部を示す。図1および図7に示すように、フィラーセルC 1 2は、フィラーセルC 1 1とセル幅(X方向における寸法)が異なる。すなわち、フィラーセルC 1 1のセル幅は2 Lであるのに対して、フィラーセルC 1 2のセル幅は4 Lである。

[0063] 具体的には、フィラーセルC 1 2の下部には、X方向に延びるナノワイヤ

1 2 3 a, 1 2 3 b, 1 2 3 cが形成されており、フィラーセルC 1 2の上部には、X方向に延びるナノワイヤ1 2 8 a, 1 2 8 b, 1 2 8 cが形成されている。ナノワイヤ1 2 3 a, 1 2 3 b, 1 2 3 cは、それぞれ、ナノワイヤ1 2 8 a, 1 2 8 b, 1 2 8 cと平面視で重なっている。

[0064] ナノワイヤ1 2 3 aの図面左側に、P型半導体がドーピングされたダミーパッド1 2 4 aが形成されており、ナノワイヤ1 2 3 a, 1 2 3 bの間にP型半導体がドーピングされたダミーパッド1 2 4 bが形成されている。ナノワイヤ1 2 3 b, 1 2 3 cの間にP型半導体がドーピングされたダミーパッド1 2 4 cが形成されており、ナノワイヤ1 2 3 cの図面右側に、P型半導体がドーピングされたダミーパッド1 2 4 dが形成されている。

[0065] また、ナノワイヤ1 2 8 aの図面左側に、N型半導体がドーピングされたダミーパッド1 2 9 aが形成されており、ナノワイヤ1 2 8 a, 1 2 8 bの間にN型半導体がドーピングされたダミーパッド1 2 9 bが形成されている。ナノワイヤ1 2 8 b, 1 2 8 cの間にN型半導体がドーピングされたダミーパッド1 2 9 cが形成されており、ナノワイヤ1 2 8 cの図面右側に、N型半導体がドーピングされたダミーパッド1 2 9 dが形成されている。

[0066] ナノワイヤ1 2 3 aがP型ダミートランジスタP 1 2のチャネル部を構成し、ダミーパッド1 2 4 a, 1 2 4 bがP型ダミートランジスタP 1 2のソースまたはドレインとなる端子を構成する。ナノワイヤ1 2 3 bがP型ダミートランジスタP 1 3のチャネル部を構成し、ダミーパッド1 2 4 b, 1 2 4 cがP型ダミートランジスタP 1 3のソースまたはドレインとなる端子を構成する。ナノワイヤ1 2 3 cがP型ダミートランジスタP 1 4のチャネル部を構成し、ダミーパッド1 2 4 c, 1 2 4 dがP型ダミートランジスタP 1 4のソースまたはドレインとなる端子を構成する。

[0067] ナノワイヤ1 2 8 aがN型ダミートランジスタN 1 2のチャネル部を構成し、ダミーパッド1 2 9 a, 1 2 9 bがN型ダミートランジスタN 1 2のソースまたはドレインとなる端子を構成する。ナノワイヤ1 2 8 bがN型ダミートランジスタN 1 3のチャネル部を構成し、ダミーパッド1 2 9 b, 1 2

9cがN型ダミートランジスタN13のソースまたはドレインとなる端子を構成する。ナノワイヤ128cがN型ダミートランジスタN14のチャンネル部を構成し、ダミーパッド129c, 129dがN型ダミートランジスタN14のソースまたはドレインとなる端子を構成する。

[0068] また、フィラーセルC12のX方向両端には、Y方向に延び、かつ、セルの下部から上部にかけてZ方向に延びるダミーゲート配線135a, 135bが形成されている。また、ダミーゲート配線135a, 135bの間には、Y方向に延び、かつ、セルの下部から上部にかけてZ方向に延びるダミーゲート配線132a, 132b, 132cがピッチLで形成されている。

[0069] ダミーゲート配線132aは、P型ダミートランジスタP12およびN型ダミートランジスタN12のゲートとなる。ダミーゲート配線132bは、P型ダミートランジスタP13およびN型ダミートランジスタN13のゲートとなる。ダミーゲート配線132cは、P型ダミートランジスタP14およびN型ダミートランジスタN14のゲートとなる。すなわち、ナノワイヤ123a、ダミーゲート配線132a、およびダミーパッド124a, 124bによって、P型ダミートランジスタP12が構成される。ナノワイヤ123b、ダミーゲート配線132b、およびダミーパッド124b, 124cによって、P型ダミートランジスタP13が構成される。ナノワイヤ123c、ダミーゲート配線132c、およびダミーパッド124c, 124dによって、P型ダミートランジスタP14が構成される。ナノワイヤ128a、ダミーゲート配線132a、およびダミーパッド129a, 129bによって、N型ダミートランジスタN12が構成される。ナノワイヤ128b、ダミーゲート配線132b、およびダミーパッド129b, 129cによって、N型ダミートランジスタN13が構成される。ナノワイヤ128c、ダミーゲート配線132c、およびダミーパッド129c, 129dによって、N型ダミートランジスタN14が構成される。

[0070] また、フィラーセルC12の下部において、Y方向に延びるローカル配線143～146が形成されている。ローカル配線143～146は、それぞれ

れ、平面視において、電源配線 1 1 1, 1 1 2 と重なりを有する。ローカル配線 1 4 3 ~ 1 4 6 は、それぞれ、ダミーパッド 1 2 4 a ~ 1 2 4 d と接続されている。ローカル配線 1 4 3 ~ 1 4 6 は、X 方向において、同一ピッチ L で配置され、かつ、Z 方向において、同層に配置される。

[0071] また、フィラーセル C 1 2 の上部において、Y 方向に延びるローカル配線 1 5 3 ~ 1 5 6 が形成されている。ローカル配線 1 5 3 ~ 1 5 6 は、それぞれ、平面視において、電源配線 1 1 1, 1 1 2 と重なりを有する。ローカル配線 1 5 3 ~ 1 5 6 は、それぞれ、ダミーパッド 1 2 9 a ~ 1 2 9 d と接続されている。ローカル配線 1 5 3 ~ 1 5 6 は、X 方向において、同一ピッチ L で配置され、かつ、Z 方向において、同層に配置される。

[0072] また、ダミーゲート配線 1 3 2 a ~ 1 3 2 c およびローカル配線 1 4 3 ~ 1 4 6, 1 5 3 ~ 1 5 6 は、いずれも他の配線等と接続されていない。

[0073] 以上のように、フィラーセル C 1 2 は、P 型ダミートランジスタ P 1 2 ~ P 1 4 および N 型ダミートランジスタ N 1 2 ~ N 1 4 を有する。P 型ダミートランジスタ P 1 2 ~ P 1 4 および N 型ダミートランジスタ N 1 2 ~ N 1 4 のそれぞれのソースおよびドレインとなるダミーパッド 1 2 4 a ~ 1 2 4 d および 1 2 9 a ~ 1 2 9 d は、ローカル配線 1 4 3 ~ 1 4 6 およびローカル配線 1 5 3 ~ 1 5 6 にそれぞれ接続されている。ただし、ローカル配線 1 4 3 ~ 1 4 6 およびローカル配線 1 5 3 ~ 1 5 6 は、他の配線等と接続されていない。すなわち、フィラーセル C 1 2 は、論理機能を有さないスタンダードセルである。

[0074] ここで、図 1 および図 2 の回路ブロックで示すように、フィラーセル C 1 2 がインバータセル C 1 と隣接して配置されたとする。この場合、フィラーセル C 1 2 のナノワイヤ 1 2 3 a, 1 2 3 b, 1 2 3 c は、インバータセル C 1 のナノワイヤ 2 1 と、Y 方向において、同じ位置に配置され、かつ、Z 方向において、同層に配置される。また、フィラーセル C 1 2 のナノワイヤ 1 2 8 a, 1 2 8 b, 1 2 8 c は、インバータセル C 1 のナノワイヤ 2 6 と、Y 方向において、同じ位置に配置され、かつ、Z 方向において、同層に配

置される。すなわち、フィラーセルC 1 2のP型ダミートランジスタP 1 2, P 1 3, P 1 4は、インバータセルC 1のP型トランジスタP 1と、X方向において、並んで配置され、かつ、Z方向において、同層に配置される。また、フィラーセルC 1 2のN型トランジスタN 1 2, N 1 3, N 1 4は、インバータセルC 1のN型トランジスタN 1と、X方向において、並んで配置され、かつ、Z方向において、同層に配置される。

[0075] また、ゲート配線3 1、ダミーゲート配線1 3 2 a, 1 3 2 b, 1 3 2 c、および、ダミーゲート配線3 5 a, 3 5 b (1 3 5 a), 1 3 5 bは、X方向において、同一ピッチLで配置される。すなわち、ゲート配線3 1、ダミーゲート配線1 3 2 a, 1 3 2 b, 1 3 2 c、および、ダミーゲート配線3 5 a, 3 5 b (1 3 5 a), 1 3 5 bは、X方向において、等幅、等間隔、等ピッチで配置される。

[0076] また、ローカル配線1 4 3～1 4 6は、インバータセルC 1のローカル配線4 1, 4 2と、X方向において、同一のピッチLで配置され、かつ、Z方向において、同層に配置されている。すなわち、ローカル配線4 1, 4 2, 1 4 3～1 4 6は、X方向において、等幅、等間隔、等ピッチ（ピッチL）で配置される。

[0077] また、ローカル配線1 5 3～1 5 6は、インバータセルC 1のローカル配線5 1, 5 2と、X方向において、同一のピッチLで配置され、かつ、Z方向において、同層に配置されている。すなわち、ローカル配線5 1, 5 2, 1 5 3～1 5 6は、X方向において、等幅、等間隔、等ピッチ（ピッチL）で配置されている。

[0078] 本変形例に係るフィラーセルC 1 2によって、フィラーセルC 1 1と同様の効果を得ることができる。なお、セル幅が2 L, 4 L以外のフィラーセルについても、同様に構成することができる。

[0079] （その2）

図8は第1実施形態に係るフィラーセルのレイアウト構造の他の例を示す平面図である。図8（a）はセル下部を示し、図8（b）はセル上部を示す

。図8に示すように、フィラーセルC13は、図5に示すフィラーセルC11と基本的に同様の構成であるが、各ローカル配線のY方向の長さが異なる。すなわち、ローカル配線147, 148は、平面視において、電源配線111と重なる位置までY方向に延びているが、電源配線112と重なりを有さない。また、ローカル配線157, 158は、平面視において、電源配線112と重なる位置までY方向に延びているが、電源配線111と重なりを有さない。

[0080] 本変形例に係るフィラーセルC13によって、フィラーセルC11と同様の効果を得ることができる。

[0081] なお、ローカル配線147, 148は、それぞれ、平面視において、電源配線111と重なりを有し、ローカル配線157, 158は、それぞれ、平面視において、電源配線112と重なりを有しているが、これに限られない。ローカル配線147, 148は、それぞれ、平面視において、電源配線111と重なりを有さず、電源配線112と重なりを有してもよい。また、ローカル配線157, 158は、それぞれ、平面視において、電源配線111と重なりを有しており、電源配線112と重なりを有しなくてもよい。また、ローカル配線147, 148, 157, 158は、それぞれ、平面視において、電源配線111, 112のいずれとも重なりを有しなくてもよい。ただし、ローカル配線147, 148, 157, 158のうち少なくとも一つは、平面視において、電源配線111または電源配線112と重なりを有する。

[0082] (その3)

図9は第1実施形態に係るフィラーセルのレイアウト構造の他の例を示す平面図である。図9(a)はセル下部を示し、図9(b)はセル上部を示す。図9に示すように、フィラーセルC14は、ダミーパッド122a, 122b, 127a, 127bのいずれにもローカル配線が接続されていない。その他の構成はフィラーセルC11と同様である。

[0083] フィラーセルC14をインバータセルC1に隣接配置した場合、ナノワイ

ヤ121, 126は、それぞれ、Y方向において、インバータセルC1のナノワイヤ21, 26と同じ位置に配置される。また、フィラーセルC14のP型ダミートランジスタP11は、インバータセルC1のP型トランジスタP1と、Z方向において、同層に配置される。また、フィラーセルC14のN型ダミートランジスタN11は、インバータセルC1のN型トランジスタN1と、Z方向において、同層に配置される。すなわち、フィラーセルC14にP型およびN型ダミートランジスタを配置することによりトランジスタ配置の粗密を抑制することができる。これにより、CFETを用いた半導体集積回路装置の製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0084] また、インバータセルC1のゲート配線31、フィラーセルC14のダミーゲート配線131、および、ダミーゲート配線35a, 35b(135a), 135bは、X方向において、同一ピッチLで配置されている。すなわち、ゲート配線31、ダミーゲート配線131、および、ダミーゲート配線35a, 35b(135a), 135bは、規則的に配置される。これにより、CFETを用いた半導体集積回路装置の製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0085] また、X方向において、インバータセルC1のP型トランジスタP1およびN型トランジスタN1に最も近接するトランジスタは、それぞれ、フィラーセルC14のP型ダミートランジスタP11およびN型ダミートランジスタN11である。このため、P型トランジスタP1およびN型トランジスタN1は、それぞれ、P型ダミートランジスタP11およびN型ダミートランジスタN11の存在によって、隣接するトランジスタまでの距離が所定値に定まる。すなわち、P型ダミートランジスタP11およびN型ダミートランジスタN11の存在によって、論理セル(インバータセルC1)のセル端に最も近接するトランジスタ(P型トランジスタP1およびN型トランジスタN1)からそれぞれに隣接するトランジスタまでの距離を所定値に見積もることができる。これにより、論理セルのトランジスタ性能の見積もり精度を

向上させることができる。

[0086] なお、フィラーセルC 1 4では、ダミーパッド1 2 2 a, 1 2 2 b, 1 2 7 a, 1 2 7 bのいずれにもローカル配線が接続されていないが、これに限られない。ダミーパッド1 2 2 a, 1 2 2 b, 1 2 7 a, 1 2 7 bのうちの一部に、Y方向に延びるローカル配線が接続されていてもよい。また、ダミーパッド1 2 2 a, 1 2 2 b, 1 2 7 a, 1 2 7 bに接続されるローカル配線は、平面視において、電源配線1 1 1, 1 1 2と重なりを有していてもよいし、有していなくてもよい。

[0087] (その4)

図1 0は第1実施形態に係るフィラーセルのレイアウト構造の他の例を示す平面図である。図1 0 (a)はセル下部を示し、図1 0 (b)はセル上部を示す。図9に示すように、フィラーセルC 1 5は、図4に示すフィラーセルC 1 1と基本的に同様の構成であるが、ローカル配線と電源配線とがコンタクトを介して接続されている。

[0088] フィラーセルC 1 5では、Z方向に延びるコンタクト1 6 1～1 6 4が形成されている。コンタクト1 6 1～1 6 4は、それぞれ、平面視において、電源配線1 1 1と重なる位置に配置されている。電源配線1 1 1およびローカル配線1 4 1は、コンタクト1 6 1を介して、互いに接続されている。電源配線1 1 1およびローカル配線1 4 2は、コンタクト1 6 2を介して、互いに接続されている。ローカル配線1 4 1, 1 5 1は、コンタクト1 6 3を介して、互いに接続されている。ローカル配線1 4 2, 1 5 2は、コンタクト1 6 4を介して、互いに接続されている。

[0089] 本変形例に係るフィラーセルC 1 5によって、フィラーセルC 1 1と同様の効果を得ることができる。

[0090] また、ダミーパッド1 2 2 a, 1 2 2 b, 1 2 7 a, 1 2 7 bには、それぞれ、ローカル配線1 4 1, 1 4 2, 1 5 1, 1 5 2およびコンタクト1 6 1～1 6 4を介して、電源配線1 1 1から電源電圧VDDが供給される。すなわち、P型ダミートランジスタP 1 1のソースおよびドレイン、ならびに

、N型ダミートランジスタN11のソースおよびドレインが、いずれも同一の電位VDDに固定される。これにより、P型およびN型ダミートランジスタのフローティングノードを削減することができ、回路ブロックの動作の安定化が図られる。

[0091] なお、電源配線111または電源配線112とダミーゲート配線131とを、コンタクトを介して、接続して、ダミーゲート配線131の電位を固定してもよい。

[0092] また、ローカル配線141, 142, 151, 152は、コンタクト161～164を介して、電源配線111と接続されているが、これに限られない。ローカル配線141, 142, 151, 152は、コンタクトを介して、電源配線112と接続されてもよい。

[0093] また、ローカル配線141, 142, 151, 152は、それぞれ、平面視において、電源配線112と重なりを有しなくてもよい。

[0094] (その5)

図11は第1実施形態に係るフィラーセルのレイアウト構造の他の例を示す平面図である。図11(a)はセル下部を示し、図11(b)はセル上部を示す。図11に示すように、フィラーセルC16は、図5に示すフィラーセルC11と基本的に同様の構成であるが、セル下部のローカル配線のY方向の長さが異なり、ローカル配線と電源配線とがコンタクトを介して接続されている。

[0095] セル下部において、Y方向に延びるローカル配線149, 150が形成されている。ローカル配線149は、ダミーパッド122aに接続されている。ローカル配線150は、ダミーパッド122bに接続されている。ローカル配線149, 150は、いずれも、平面視において、電源配線111と重なりを有するが、電源配線112と重なりを有さない。

[0096] また、フィラーセルC16では、Z方向に延びるコンタクト165～168が形成されている。コンタクト165, 166は、平面視において、電源配線111と重なりを有する。コンタクト167, 168は、平面視におい

て、電源配線 1 1 2 と重なりを有する。電源配線 1 1 1 およびローカル配線 1 4 9 は、コンタクト 1 6 5 を介して、互いに接続されている。電源配線 1 1 1 およびローカル配線 1 5 0 は、コンタクト 1 6 6 を介して、互いに接続されている。電源配線 1 1 2 およびローカル配線 1 5 1 は、コンタクト 1 6 7 を介して、互いに接続されている。電源配線 1 1 2 およびローカル配線 1 5 2 は、コンタクト 1 6 8 を介して、互いに接続されている。

[0097] 本変形例に係るフィラーセル C 1 6 によって、フィラーセル C 1 1 と同様の効果を得ることができる。

[0098] また、ダミーパッド 1 2 2 a, 1 2 2 b には、それぞれ、ローカル配線 1 4 9, 1 5 0 およびコンタクト 1 6 5, 1 6 6 を介して、電源配線 1 1 1 から電源電圧 V D D が供給される。また、ダミーパッド 1 2 7 a, 1 2 7 b には、それぞれ、ローカル配線 1 5 1, 1 5 2 およびコンタクト 1 6 7, 1 6 8 を介して、電源配線 1 1 2 から電源電圧 V S S が供給される。すなわち、P 型ダミートランジスタ P 1 1 のソースおよびドレインが、いずれも電位 V D D で固定される。また、N 型ダミートランジスタ N 1 1 のソースおよびドレインが、いずれも電位 V S S で固定される。これにより、P 型および N 型ダミートランジスタのフローティングノードを削減することができ、回路ブロックの動作の安定化が図られる。

[0099] また、フィラーセル C 1 6 の下部に配置されたローカル配線 1 4 9, 1 5 0 には、コンタクト 1 6 5, 1 6 6 を介して、電源配線 1 1 1 から電源電圧 V D D が供給されている。フィラーセル C 1 6 の上部に配置されたローカル配線 1 5 1, 1 5 2 には、コンタクト 1 6 7, 1 6 8 を介して、電源配線 1 1 2 から電源電圧 V S S が供給されている。すなわち、平面視において重なるローカル配線 1 4 9 とローカル配線 1 5 1 との間、および、平面視において重なるローカル配線 1 5 0 とローカル配線 1 5 2 との間において、配線容量が生じる。この配線容量により電源間容量が発生するため、回路ブロックに供給される電源電位の安定化が図られる。

[0100] また、ローカル配線 1 4 9, 1 5 0 は、コンタクト 1 6 5, 1 6 6 を介し

て、電源配線 1 1 1 と接続されており、ローカル配線 1 5 1, 1 5 2 は、コンタクト 1 6 7, 1 6 8 を介して、電源配線 1 1 2 と接続されているが、これに限られない。ローカル配線 1 4 9, 1 5 0 が電源配線 1 1 2 と接続されており、ローカル配線 1 5 1, 1 5 2 が電源配線 1 1 1 と接続されてもよい。この場合、ローカル配線 1 4 9, 1 5 0 は、平面視において、電源配線 1 1 1 と重なりを有さず、電源配線 1 1 2 と重なりを有する。

[0101] また、ローカル配線 1 5 1, 1 5 2 は、それぞれ、平面視において、電源配線 1 1 1 と重なりを有しなくてもよい。

[0102] (第 2 実施形態)

図 1 2 は第 2 実施形態に係るフィラーセルのレイアウト構造を示す図であり、図 1 2 (a) はセル下部を示し、図 1 2 (b) はセル上部を示す。フィラーセル C 2 1 は、P 型および N 型ダミートランジスタを有さない。

[0103] 図 1 2 (a) に示すように、フィラーセル C 2 1 では、Y 方向両端部において、X 方向に延びる電源配線 2 1 1, 2 1 2 がそれぞれ設けられている。電源配線 2 1 1, 2 1 2 はともに、埋め込み配線層に形成された埋め込み電源配線 (B P R) である。電源配線 2 1 1 は、電源配線 1 1 と同一の電源電圧 V D D を供給する。電源配線 2 1 2 は、電源配線 1 2 と同一の電源電圧 V S S を供給する。

[0104] フィラーセル C 2 1 は、X 方向におけるほぼ中央において Y 方向に延び、かつセルの上部から下部にかけて Z 方向に延びているダミーゲート配線 2 3 1 が形成されている。また、フィラーセル C 2 1 の X 方向両端には、Y 方向に延びており、かつ、セルの上部から下部にかけて Z 方向に延びているダミーゲート配線 2 3 5 a, 2 3 5 b が形成されている。ダミーゲート配線 2 3 1, 2 3 5 a, 2 3 5 b は、X 方向において、同一ピッチ L で配置されている。

[0105] セル下部において、Y 方向に延びるローカル配線 2 4 1, 2 4 2 が形成されている。ローカル配線 2 4 1, 2 4 2 は、それぞれ、平面視において、電源配線 2 1 1, 2 1 2 と重なりを有する。ローカル配線 2 4 1 は、平面視に

において、ダミーゲート配線 2 3 1, 2 3 5 a の間に配置されている。ローカル配線 2 4 2 は、平面視において、ダミーゲート配線 2 3 1, 2 3 5 b の間に配置されている。

[0106] セル上部において、Y 方向に延びるローカル配線 2 5 1, 2 5 2 が形成されている。ローカル配線 2 5 1, 2 5 2 は、それぞれ、平面視において、電源配線 2 1 1, 2 1 2 と重なりを有する。ローカル配線 2 5 1 は、平面視において、ダミーゲート配線 2 3 1, 2 3 5 a の間に配置されている。ローカル配線 2 5 2 は、平面視において、ダミーゲート配線 2 3 1, 2 3 5 b の間に配置されている。

[0107] ダミーゲート配線 2 3 1 およびローカル配線 2 4 1, 2 4 2, 2 5 1, 2 5 2 は、いずれも他の配線と接続されていない。

[0108] フィラーセル C 2 1 には、ナノワイヤおよびダミーパッドが設けられておらず、P 型ダミートランジスタおよび N 型ダミートランジスタが形成されていない。すなわち、フィラーセル C 2 1 は、論理機能を有さないスタンダードセルである。

[0109] ここで、フィラーセル C 2 1 がインバータセル C 1 に隣接して配置されたものとする。なお、インバータセル C 1 とフィラーセル C 2 1 との境界に配置されたダミーゲート配線は、インバータセル C 1 のダミーゲート配線 3 5 b、および、フィラーセル C 2 1 のダミーゲート配線 2 3 5 a に相当する。

[0110] この場合、インバータセル C 1 のゲート配線 3 1、フィラーセル C 2 1 のダミーゲート配線 2 3 1、および、ダミーゲート配線 3 5 a, 3 5 b (2 3 5 a), 2 3 5 b は、X 方向において、同一ピッチ L で配置される。すなわち、ゲート配線 3 1、ダミーゲート配線 2 3 1、および、ダミーゲート配線 3 5 a, 3 5 b (2 3 5 a), 2 3 5 b は、X 方向において、等幅、等間隔、等ピッチで配置される。

[0111] また、ローカル配線 2 4 1, 2 4 2 は、インバータセル C 1 のローカル配線 4 1, 4 2 と、Z 方向において、同層に配置され、かつ、X 方向において、同一ピッチ L で配置される。すなわち、ローカル配線 4 1, 4 2, 2 4 1

， 2 4 2 は、X方向において、等幅、等間隔、等ピッチ（ピッチL）で配置される。

[0112] また、ローカル配線 2 5 1， 2 5 2 は、インバータセル C 1 のローカル配線 5 1， 5 2 と、Z方向において、同層に配置され、かつ、X方向において、ピッチLで配置されている。すなわち、ローカル配線 5 1， 5 2， 2 5 1， 2 5 2 は、X方向において、等幅、等間隔、等ピッチ（ピッチL）で配置される。

[0113] 以上の構成により、論理機能を有さないフィラーセル C 2 1 は、論理機能を有するインバータセル C 1 に隣接して配置される。フィラーセル C 2 1 のローカル配線 2 4 1， 2 4 2 は、インバータセル C 1 のローカル配線 4 1， 4 2 と、Z方向において、同層に配置される。フィラーセル C 2 1 のローカル配線 2 5 1， 2 5 2 は、インバータセル C 1 のローカル配線 5 1， 5 2 と、Z方向において、同層に配置される。すなわち、ローカル配線 4 1， 4 2， 2 4 1， 2 4 2 は、規則的に配置される。また、ローカル配線 5 1， 5 2， 2 5 1， 2 5 2 は、規則的に配置される。これにより、C F E Tを用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0114] また、ローカル配線 4 1， 4 2， 2 4 1， 2 4 2 は、X方向において、同一ピッチLで配置される。また、ローカル配線 5 1， 5 2， 2 5 1， 2 5 2 は、X方向において、同一ピッチLで配置される。すなわち、ローカル配線 4 1， 4 2， 2 4 1， 2 4 2 は、規則的に配置される。また、ローカル配線 5 1， 5 2， 2 5 1， 2 5 2 は、規則的に配置される。これにより、C F E Tを用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0115] また、フィラーセル C 2 1 のダミーゲート配線 2 3 1、インバータセル C 1 のゲート配線 3 1、および、ダミーゲート配線 3 5 a， 3 5 b（2 3 5 a）， 2 3 5 b は、X方向において、同一ピッチLで配置されている。すなわち、ゲート配線 3 1、ダミーゲート配線 2 3 1、および、ダミーゲート配線

35a, 35b (235a), 235bは、規則的に配置される。これにより、CFETを用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0116] なお、ローカル配線241, 242, 251, 252は、それぞれ、平面視において、電源配線211, 212と重なりを有しているが、これに限られない。ローカル配線241, 242, 251, 252は、それぞれ、いずれか一方と重なりを有していなくてもよい。

[0117] (フィラーセルの変形例)

(その1)

図13は第2実施形態に係るフィラーセルの他のレイアウト構造を示す図であり、図13(a)はセル下部を示し、図13(b)はセル上部を示す。フィラーセルC22は、フィラーセルC21とX方向におけるセル幅が異なる。すなわち、フィラーセルC21のセル幅は2Lであるのに対して、フィラーセルC22のセル幅はLである。

[0118] セル下部において、X方向におけるほぼ中央部にY方向に延びるローカル配線243が形成されている。また、セル上部において、X方向におけるほぼ中央部にY方向に延びるローカル配線253が形成されている。ローカル配線243, 253は、それぞれ、平面視において、電源配線211, 212と重なりを有する。

[0119] フィラーセルC22がインバータセルC1に隣接して配置された場合、ローカル配線243は、インバータセルC1のローカル配線41, 42と、Z方向において、同層に配置され、かつ、X方向において、同一ピッチLで配置される。ローカル配線253は、インバータセルC1のローカル配線51, 52と、Z方向において、同層に配置され、かつ、X方向において、同一ピッチLで配置される。

[0120] 本変形例に係るフィラーセルC22によって、ローカル配線243は、インバータセルC1のローカル配線41, 42と、Z方向において、同層に配置される。ローカル配線253は、インバータセルC1のローカル配線51

， 5 2 と、 Z 方向において、同層に配置される。すなわち、ローカル配線 4 1， 4 2， 2 4 3 は、規則的に配置される。また、ローカル配線 5 1， 5 2， 2 5 3 は、規則的に配置される。これにより、C F E T を用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0121] また、ローカル配線 4 1， 4 2， 2 4 3 は、X 方向において、同一ピッチ L で配置される。また、ローカル配線 5 1， 5 2， 2 5 3 は、X 方向において、同一ピッチ L で配置される。すなわち、ローカル配線 4 1， 4 2， 2 4 3 は、規則的に配置される。また、ローカル配線 5 1， 5 2， 2 5 3 は、規則的に配置される。これにより、C F E T を用いた半導体集積回路装置において、製造ばらつきを抑えることができ、歩留まりを向上させることができる。

[0122] また、フィラーセル C 2 2 のセル幅は L であるので、論理セルの間隔が L となるような極小の隙間にフィラーセルを配置することができる。

[0123] (その 2)

図 1 4 は第 2 実施形態に係るフィラーセルの他のレイアウト構造を示す図であり、図 1 4 (a) はセル下部を示し、図 1 4 (b) はセル上部を示す。フィラーセル C 2 3 は、図 1 2 に示すフィラーセル C 2 1 と基本的に同様の構成であるが、ローカル配線と電源配線とがコンタクトで接続されている。

[0124] フィラーセル C 2 3 では、Z 方向に延びるコンタクト 2 6 1 ~ 2 6 4 が形成されている。コンタクト 2 6 1 ~ 2 6 4 は、それぞれ、平面視において、電源配線 2 1 1 と重なる位置に配置されている。電源配線 2 1 1 およびローカル配線 2 4 1 は、コンタクト 2 6 1 を介して、互いに接続されている。電源配線 2 1 1 およびローカル配線 2 4 2 は、コンタクト 2 6 2 を介して、互いに接続されている。ローカル配線 2 4 1， 2 5 1 は、コンタクト 2 6 3 を介して互いに接続されている。ローカル配線 2 4 2， 2 5 2 は、コンタクト 2 6 4 を介して互いに接続されている。

[0125] 本変形例に係るフィラーセル C 2 3 によって、フィラーセル C 2 1 と同様

の効果を得ることができる。

[0126] また、ローカル配線241, 242, 251, 252には、それぞれ、コンタクト261～264を介して、電源配線211から同一の電源電圧VDDが供給される。すなわち、ローカル配線241, 242, 251, 252は、いずれも同一の電位VDDに固定される。これにより、フローティングノードを削減することができ、回路ブロックの動作の安定化が図られる。

[0127] なお、電源配線211または電源配線212とダミーゲート配線231とをコンタクトで接続して、ダミーゲート配線231の電位を固定してもよい。

[0128] また、ローカル配線241, 242, 251, 252は、コンタクト261～264を介して、電源配線211と接続されているが、これに限られない。ローカル配線241, 242, 251, 252は、コンタクトを介して、電源配線212と接続されてもよい。

[0129] また、フィラーセルC23は、セル幅が2Lのスタンダードセルであるが、これに限られず、フィラーセルC23のセル幅をLとしてもよい。この場合、ダミーゲート配線231、ローカル配線242, 252およびコンタクト262, 264が不要となる。

[0130] (その3)

図15は第2実施形態に係るフィラーセルの他のレイアウト構造を示す図であり、図15(a)はセル下部を示し、図15(b)はセル上部を示す。フィラーセルC24は、図12に示すフィラーセルC21と基本的に同様の構成であるが、ローカル配線と電源配線とがコンタクトで接続されており、かつ、セル下部のローカル配線のY方向の長さが異なっている。

[0131] セル下部において、ローカル配線244, 245は、それぞれ、平面視において、電源配線211と重なりを有するが、電源配線212と重なりを有さない。

[0132] また、フィラーセルC24では、Z方向に延びるコンタクト265～268が形成されている。コンタクト265, 266は、平面視において、電源

配線 2 1 1 と重なる位置に配置され、コンタクト 2 6 7, 2 6 8 は、平面視において、電源配線 2 1 2 と重なる位置に配置されている。電源配線 2 1 1 およびローカル配線 2 4 4 は、コンタクト 2 6 5 を介して、互いに接続されている。電源配線 2 1 1 およびローカル配線 2 4 5 は、コンタクト 2 6 6 を介して、互いに接続されている。電源配線 2 1 2 およびローカル配線 2 5 1 は、コンタクト 2 6 7 を介して、互いに接続されている。電源配線 2 1 2 およびローカル配線 2 5 2 は、コンタクト 2 6 8 を介して、互いに接続されている。

[0133] 本変形例に係るフィラーセル C 2 2 によって、フィラーセル C 2 1 と同様の効果を得ることができる。

[0134] また、ローカル配線 2 4 4, 2 4 5 には、コンタクト 2 6 5, 2 6 6 を介して、電源配線 2 1 1 から電源電圧 V D D が供給される。また、ローカル配線 2 5 1, 2 5 2 には、コンタクト 2 6 7, 2 6 8 を介して、電源配線 2 1 2 から電源電圧 V S S が供給される。すなわち、ローカル配線 2 4 4, 2 4 5 は、いずれも電位 V D D に固定され、ローカル配線 2 5 1, 2 5 2 は、いずれも電位 V S S に固定される。これにより、フローティングノードを削減することができ、回路ブロックの動作の安定化が図られる。

[0135] また、平面視において重なるローカル配線 2 4 4 とローカル配線 2 5 1 との間、および、平面視において重なるローカル配線 2 4 5 とローカル配線 2 5 2 との間において、配線容量が生じる。この配線容量により電源間容量が発生するため、回路ブロックに供給される電源電位の安定化が図られる。

[0136] また、ローカル配線 2 4 4, 2 4 5 は、コンタクト 2 6 5, 2 6 6 を介して、電源配線 2 1 1 と接続されており、ローカル配線 2 5 1, 2 5 2 は、コンタクト 2 6 7, 2 6 8 を介して、電源配線 2 1 2 と接続されているが、これに限られない。ローカル配線 2 4 4, 2 4 5 が電源配線 2 1 2 と接続されており、ローカル配線 2 5 1, 2 5 2 が電源配線 2 1 1 と接続されてもよい。この場合、ローカル配線 2 4 4, 2 4 5 は、平面視において、電源配線 2 1 1 と重なりを有さず、電源配線 2 1 2 と重なりを有する。

- [0137] また、フィラーセルC 2 4は、セル幅が2 Lのスタンダードセルであるが、これに限られず、フィラーセルC 2 4のセル幅をLとしてもよい。この場合、ダミーゲート配線2 3 1、ローカル配線2 4 5, 2 5 2およびコンタクト2 6 6, 2 6 8が不要となる。
- [0138] なお、上述の各実施形態および変形例では、セル上部と下部とにおいて、トランジスタはそれぞれ1本のナノワイヤを備えるものとしたが、トランジスタの一部または全部は、複数本のナノワイヤを備えてもよい。この場合、平面視でY方向において複数本のナノワイヤを設けてもよいし、Z方向において複数本のナノワイヤを設けてもよい。また、Y方向およびZ方向の両方においてそれぞれ複数本のナノワイヤを設けてもよい。また、セルの上部と下部とにおいて、トランジスタが備えるナノワイヤの本数が異なってもよい。
- [0139] また、上述の各実施形態では、立体構造トランジスタとしてナノワイヤFETを例にとって説明を行ったが、これに限られるものではない。例えば、各フィラーセルの下部に形成されるトランジスタは、フィン型トランジスタであってもよい。
- [0140] また、図6では、ナノワイヤ1 2 1, 1 2 6の平面視縦方向の断面形状は、正方形で図示されているがこれに限られない。ナノワイヤ1 2 1, 1 2 6の平面視縦方向の断面形状は、正方形以外の形状（例えば、長方形）であってもよい。
- [0141] また、インバータセルC 1, C 2およびフィラーセルC 1 1～C 1 6では、セル下部にP型トランジスタ、セル上部にN型トランジスタが形成されるが、これに限られず、セル上部にP型トランジスタ、セル下部にN型トランジスタが形成されてもよい。
- [0142] また、電源配線1 1, 1 2, 1 1 1, 1 1 2, 2 1 1, 2 1 2は、埋め込み配線であるが、これに限られない。例えば、電源配線1 1, 1 2, 1 1 1, 1 1 2, 2 1 1, 2 1 2は、M 1配線層に配線してもよい。

産業上の利用可能性

[0143] 本開示では、C F E Tを用いたスタンダードセルを備えた半導体集積回路について、適用できるので、たとえば半導体チップの性能向上に有用である。

### 符号の説明

[0144] 1 1, 1 2, 1 1 1, 1 1 2, 2 1 1, 2 1 2 電源配線  
3 1 ゲート配線  
3 5 a, 3 5 b, 1 3 1, 1 3 2 a~1 3 2 c, 1 3 5 a, 1 3 5 b, 2 3  
1, 2 3 5 a, 2 3 5 b ダミーゲート配線  
4 1, 4 2, 5 1, 5 2, 1 4 1~1 5 8, 2 4 1~2 4 5, 2 5 1~2 5  
3 ローカル配線  
P 1 P型トランジスタ  
N 1 N型トランジスタ  
P 1 1~P 1 4 P型ダミートランジスタ  
N 1 1~N 1 4 N型ダミートランジスタ  
C 1, C 2 インバータセル  
C 1 1~C 1 6, C 2 1~C 2 4 フィラーセル

## 請求の範囲

- [請求項1]      論理機能を有する第1スタンダードセルと、前記第1スタンダードセルに隣接して配置され、論理機能を有さない第2スタンダードセルと、を備える半導体集積回路装置であって、
- 前記第1スタンダードセルは、
- 第1方向に延伸され、第1電源電圧を供給する第1電源配線と、
- 前記第1方向に延伸され、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、
- 第1導電型の立体構造トランジスタである、第1トランジスタと、
- 、
- 深さ方向において、前記第1トランジスタよりも高い位置に形成され、かつ、平面視において、チャンネル部が前記第1トランジスタのチャンネル部と重なりを有する位置に配置された第2導電型の立体構造トランジスタである、第2トランジスタと、を備え、
- 前記第2スタンダードセルは、
- 前記第1方向に延伸され、前記第1電源電圧を供給する第3電源配線と、
- 前記第1方向に延伸され、前記第2電源電圧を供給する第4電源配線と、
- 前記第1方向と垂直をなす第2方向において、チャンネル部が前記第1トランジスタのチャンネル部と同じ位置に配置され、かつ、前記深さ方向において、前記第1トランジスタと同層に配置された前記第1導電型の立体構造トランジスタである、第1ダミートランジスタと、
- 前記第2方向において、チャンネル部が前記第2トランジスタのチャンネル部と同じ位置に配置され、かつ、前記深さ方向において、前記第2トランジスタと同層に配置された前記第2導電型の立体構造トランジスタである、第2ダミートランジスタと、を備えることを特徴とする半導体集積回路装置。

- [請求項2]           請求項1記載の半導体集積回路装置において、  
前記第1スタンダードセルは、  
前記第2方向に延び、かつ、前記深さ方向に延びており、前記第1および第2トランジスタのゲートとなる、ゲート配線をさらに備え、  
前記第2スタンダードセルは、  
前記第2方向に延び、かつ、前記深さ方向に延びており、前記第1および第2ダミートランジスタのゲートとなる、ダミーゲート配線をさらに備え、  
前記第1スタンダードセルと前記第2スタンダードセルとの境界において、前記第2方向および前記深さ方向において延びるように、第2ダミーゲート配線が設けられており、  
前記ゲート配線、前記ダミーゲート配線、および前記第2ダミーゲート配線は、前記第1方向において、同一ピッチで配置されていることを特徴とする半導体集積回路装置。
- [請求項3]           請求項1記載の半導体集積回路装置において、  
前記第1スタンダードセルは、  
前記第2方向に延び、前記第1トランジスタのソースおよびドレインにそれぞれ接続された第1および第2ローカル配線と、  
前記第2方向に延び、前記第2トランジスタのソースおよびドレインにそれぞれ接続された第3および第4ローカル配線とを備え、  
前記第2スタンダードセルは、  
前記第2方向に延び、前記第1ダミートランジスタのソースおよびドレインにそれぞれ接続された第5および第6ローカル配線と、  
前記第2方向に延び、前記第2ダミートランジスタのソースおよびドレインにそれぞれ接続された第7および第8ローカル配線とを備えることを特徴とする半導体集積回路装置。
- [請求項4]           請求項3記載の半導体集積回路装置において、

前記第5、第6、第7および第8ローカル配線のうち少なくとも一つは、平面視において、前記第3電源配線と重なりを有することを特徴とする半導体集積回路装置。

[請求項5] 請求項4記載の半導体集積回路装置において、  
前記第5、第6、第7および第8ローカル配線は、平面視において、それぞれ、前記第3および第4電源配線と重なりを有することを特徴とする半導体集積回路装置。

[請求項6] 請求項4記載の半導体集積回路装置において、  
前記第5、第6、第7および第8ローカル配線は、前記第3電源配線と接続されていることを特徴とする半導体集積回路装置。

[請求項7] 請求項4記載の半導体集積回路装置において、  
前記第5および第6ローカル配線は、前記第3電源配線と接続され、  
前記第7および第8ローカル配線は、前記第4電源配線と接続されていることを特徴とする半導体集積回路装置。

[請求項8] 請求項3記載の半導体集積回路装置において、  
前記第1、第2、第5および第6ローカル配線は、前記深さ方向において、同層に配置され、かつ、前記第1方向において、同一ピッチで配置されており、  
前記第3、第4、第7および第8ローカル配線は、前記深さ方向において、同層に配置され、かつ、前記第1方向において、同一ピッチで配置されていることを特徴とする半導体集積回路装置。

[請求項9] 論理機能を有する第1スタンダードセルと、前記第1スタンダードセルに隣接して配置され、論理機能を有さない第2スタンダードセルと、を備える半導体集積回路装置であって、  
前記第1スタンダードセルは、  
第1方向に延伸され、第1電源電圧を供給する第1電源配線と、  
前記第1方向に延伸され、前記第1電源電圧と異なる第2電源電

圧を供給する第2電源配線と、

第1導電型の立体構造トランジスタである、第1トランジスタと、

深さ方向において、前記第1トランジスタよりも高い位置に形成され、かつ、平面視において、チャネル部が前記第1トランジスタのチャネル部と重なりを有する位置に配置された第2導電型の立体構造トランジスタである、第2トランジスタと、

前記第1方向と垂直をなす第2方向に延び、前記第1トランジスタのソースおよびドレインにそれぞれ接続された第1および第2ローカル配線と、

前記第2方向に延び、前記第2トランジスタのソースおよびドレインにそれぞれ接続された第3および第4ローカル配線と、を備え、

前記第2スタンダードセルは、

前記第1方向に延伸され、前記第1電源電圧を供給する第3電源配線と、

前記第1方向に延伸され、前記第2電源電圧を供給する第4電源配線と、

前記深さ方向において、前記第1および第2ローカル配線と同層に配置された第5ローカル配線と、

前記深さ方向において、前記第3および第4ローカル配線と同層に配置された第6ローカル配線とを備え、

前記第5および第6ローカル配線のうち少なくともいずれか一方は、平面視で、前記第3および第4電源配線と重なりを有していることを特徴とする半導体集積回路装置。

[請求項10]

請求項9記載の半導体集積回路装置において、

前記第1スタンダードセルは、

前記第2方向に延び、かつ、前記深さ方向に延びており、前記第1トランジスタおよび前記第2トランジスタのゲートとなる、ゲート

配線をさらに備え、

前記第2スタンダードセルは、

前記第2方向に延び、かつ、前記深さ方向に延びているダミーゲート配線をさらに備え、

前記第1スタンダードセルと前記第2スタンダードセルとの境界において、前記第2方向および前記深さ方向において延びるように、第2ダミーゲート配線が設けられており、

前記ゲート配線、前記ダミーゲート配線、および前記第2ダミーゲート配線は、前記第1方向において、同一ピッチで配置されていることを特徴とする半導体集積回路装置。

[請求項11] 請求項9記載の半導体集積回路装置において、

前記第5および第6ローカル配線は、前記第3電源配線と、接続されていることを特徴とする半導体集積回路装置。

[請求項12] 請求項9記載の半導体集積回路装置において、

前記第5ローカル配線は、前記第3電源配線と接続され、

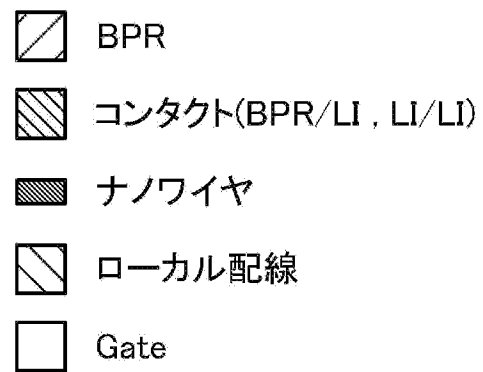
前記第6ローカル配線は、前記第4電源配線と接続されていることを特徴とする半導体集積回路装置。

[請求項13] 請求項9記載の半導体集積回路装置において、

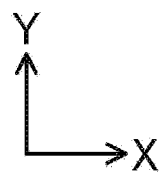
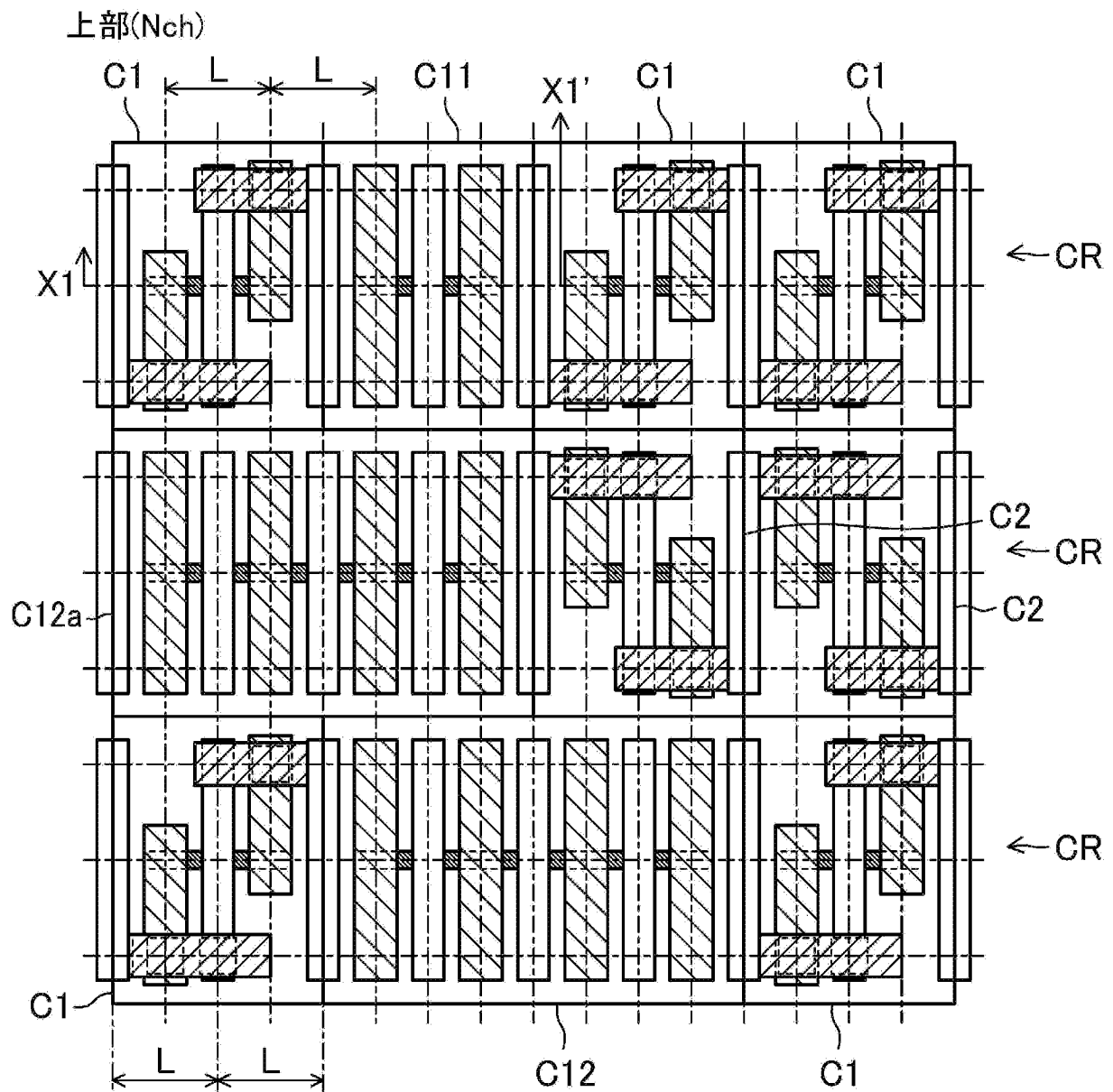
前記第1、第2および第5ローカル配線は、前記第1方向において、同一ピッチで配置されており、

前記第3、第4および第6ローカル配線は、前記第1方向において、同一ピッチで配置されていることを特徴とする半導体集積回路装置。

下部(Pch)

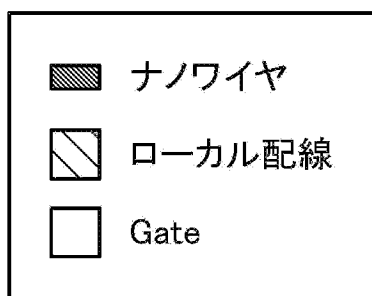
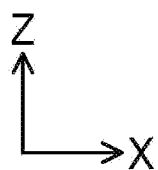
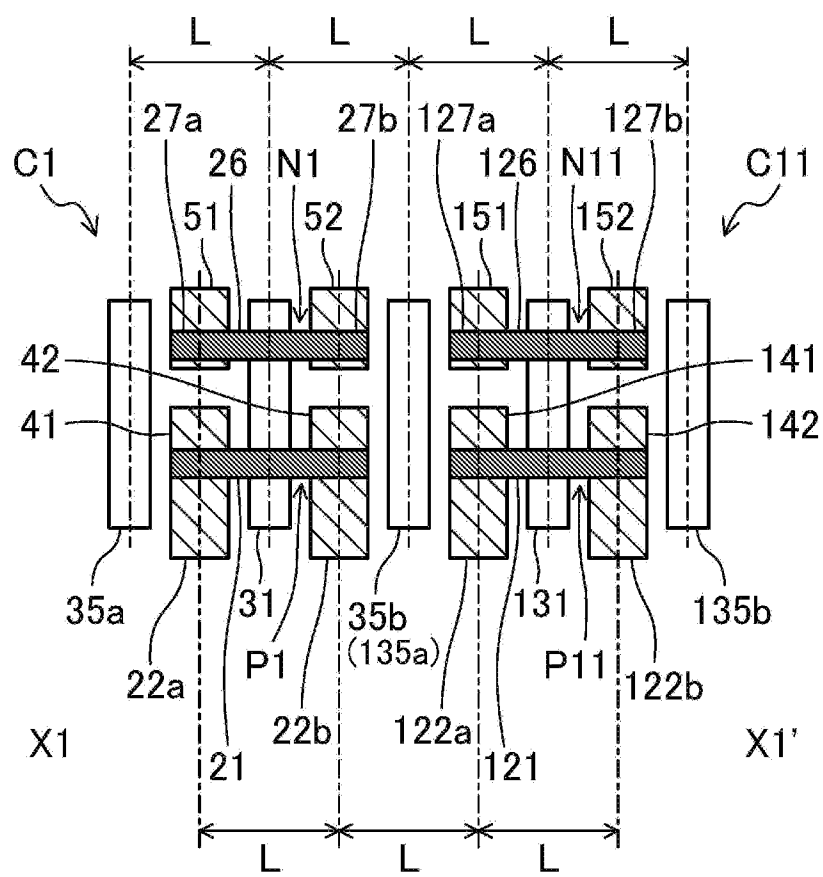


[図2]

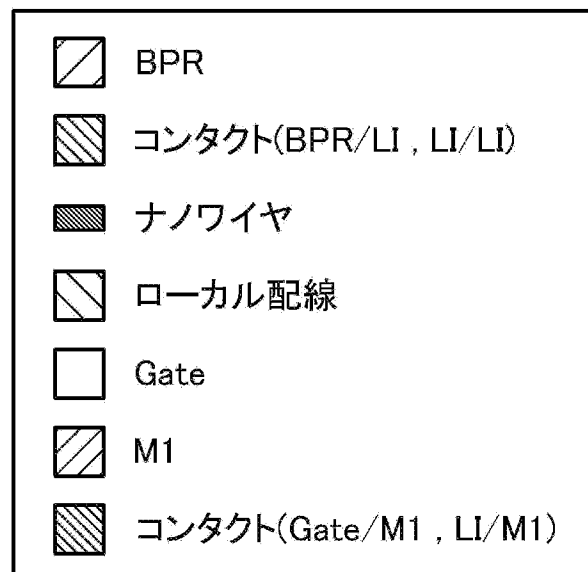
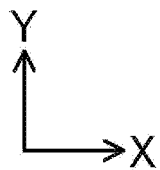
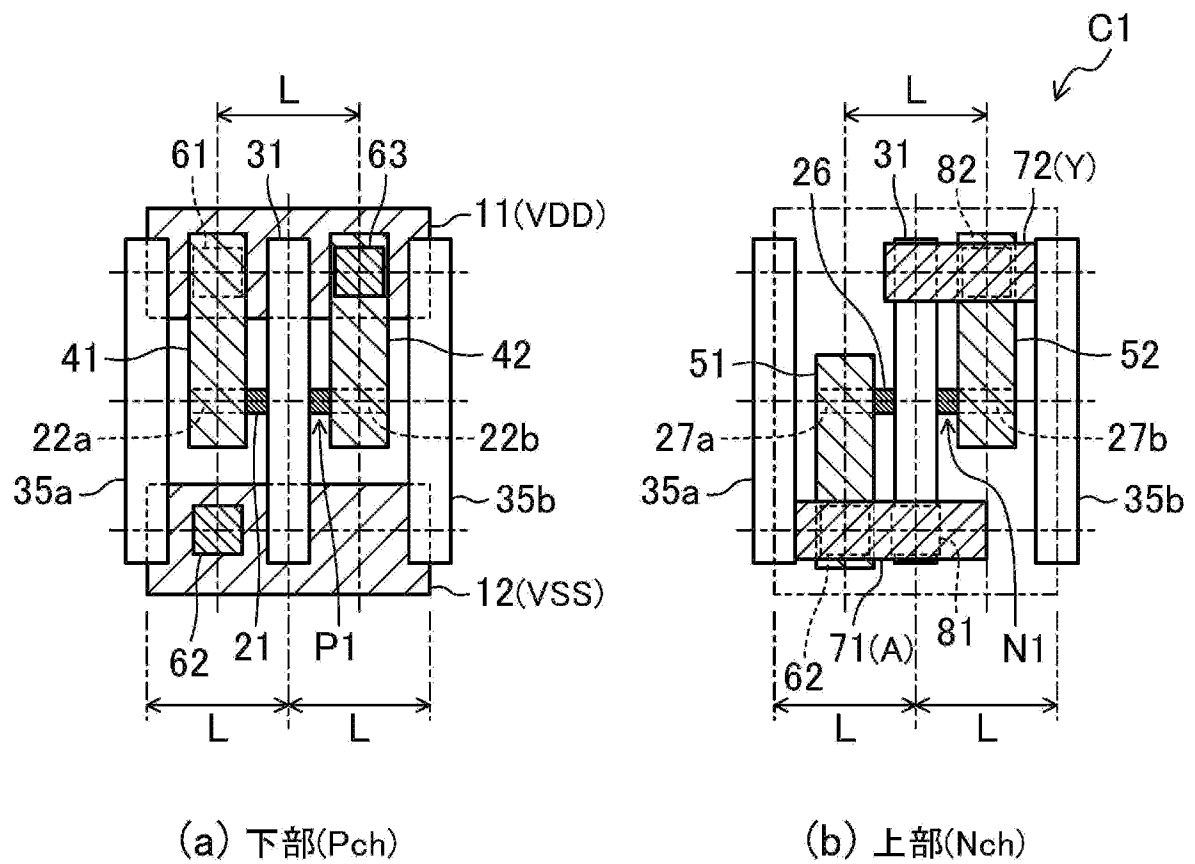


- |  |                        |
|--|------------------------|
|  | BPR                    |
|  | コンタクト(BPR/LI , LI/LI)  |
|  | ナノワイヤ                  |
|  | ローカル配線                 |
|  | Gate                   |
|  | M1                     |
|  | コンタクト(Gate/M1 , LI/M1) |

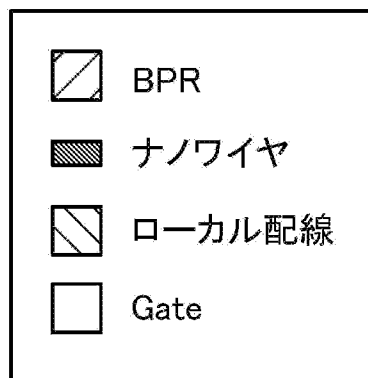
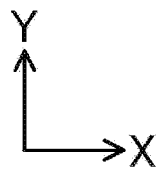
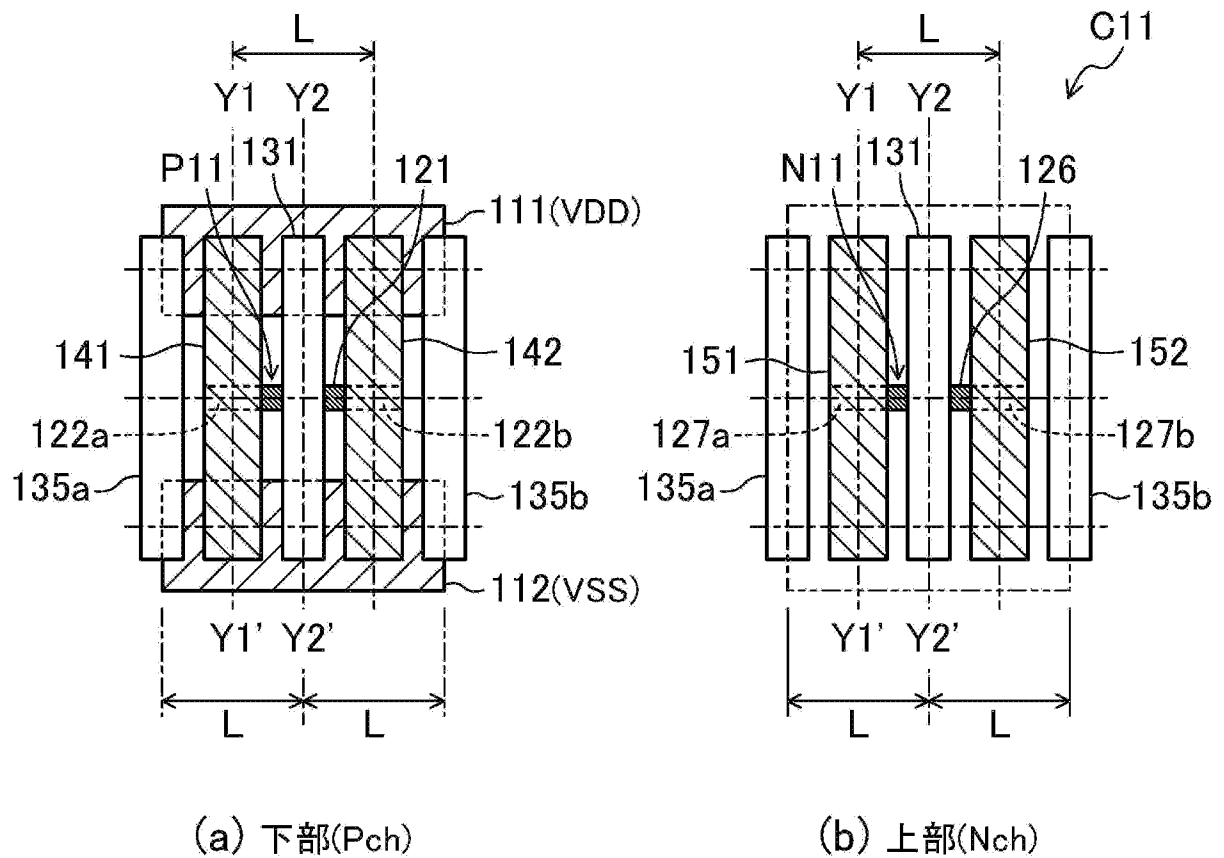
[図3]



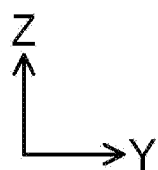
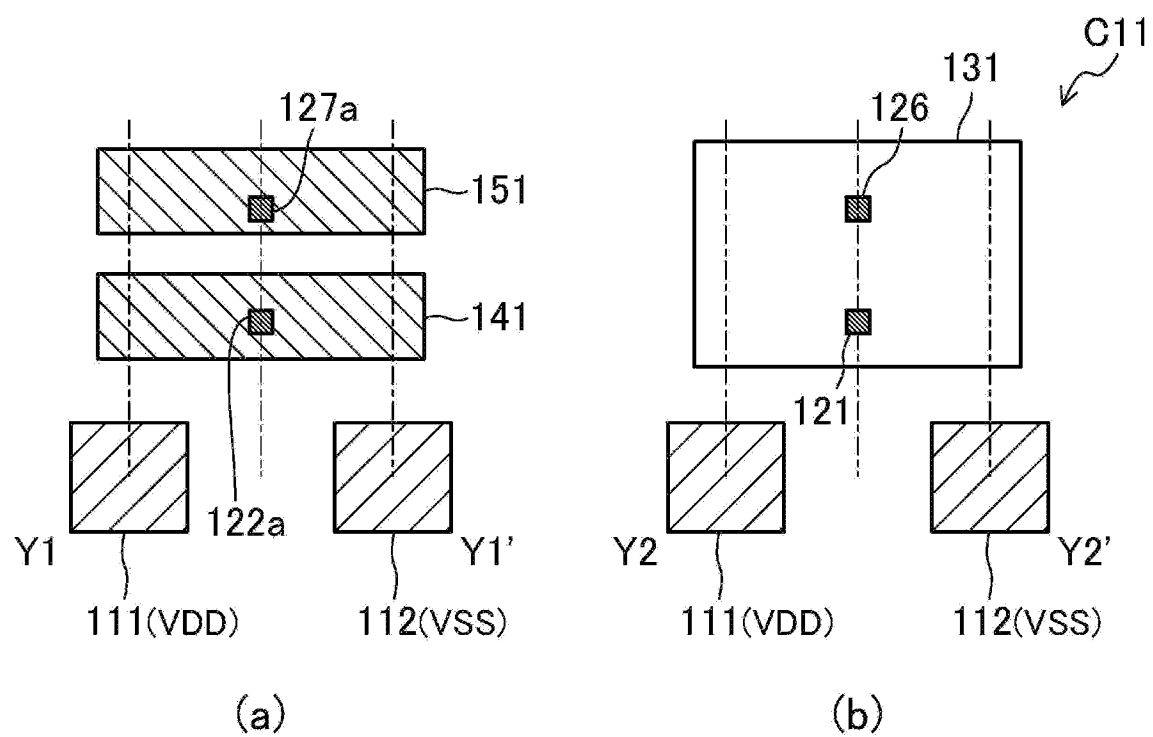
[図4]



[図5]

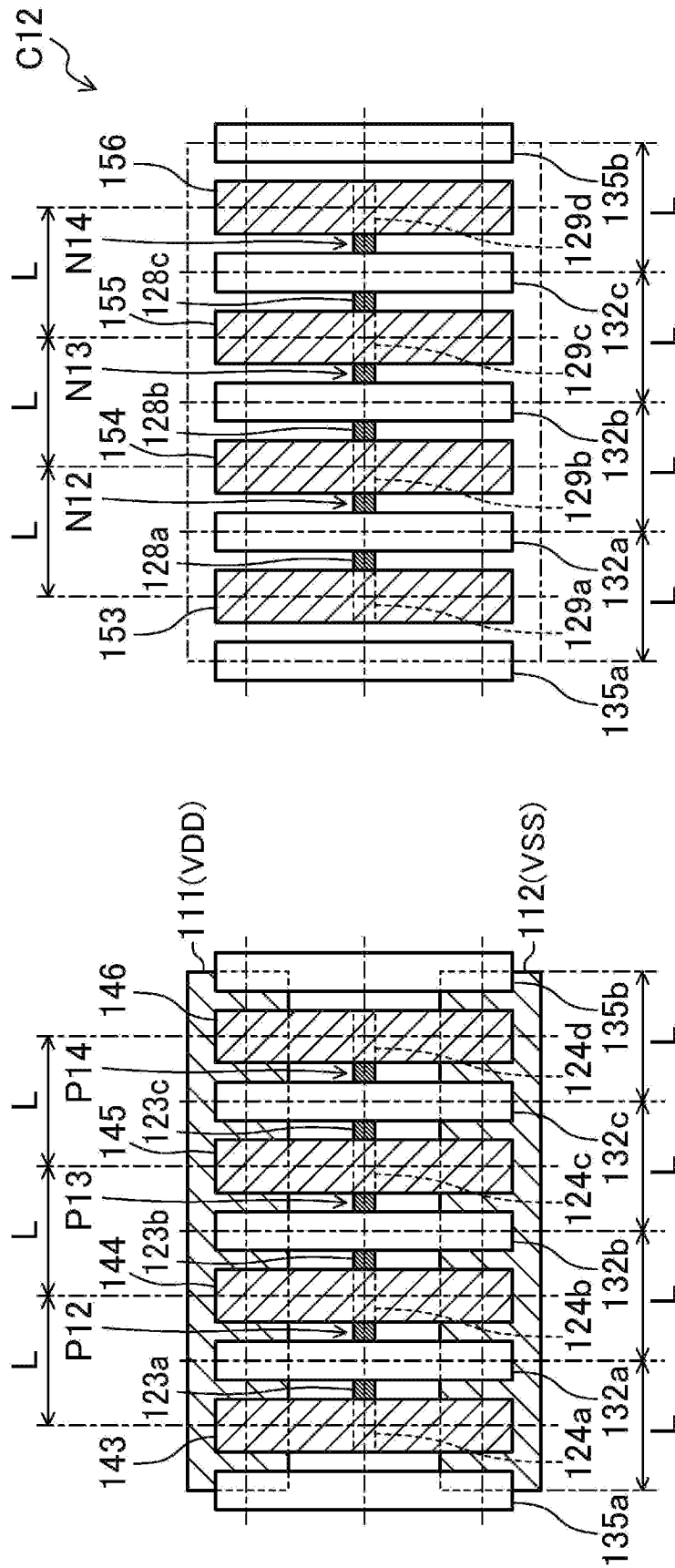


[図6]



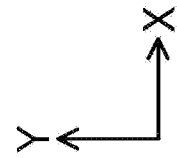
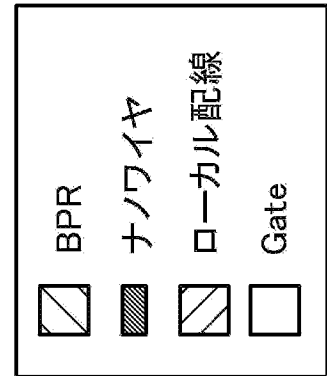
- |  |        |
|--|--------|
|  | BPR    |
|  | ナノワイヤ  |
|  | ローカル配線 |
|  | Gate   |

[図7]

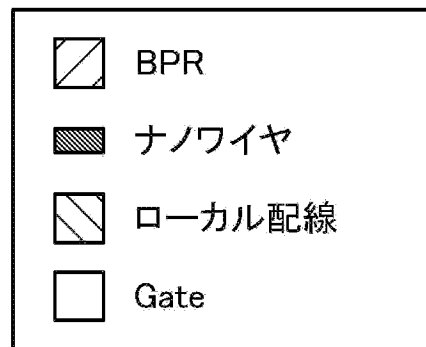
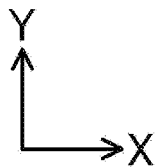
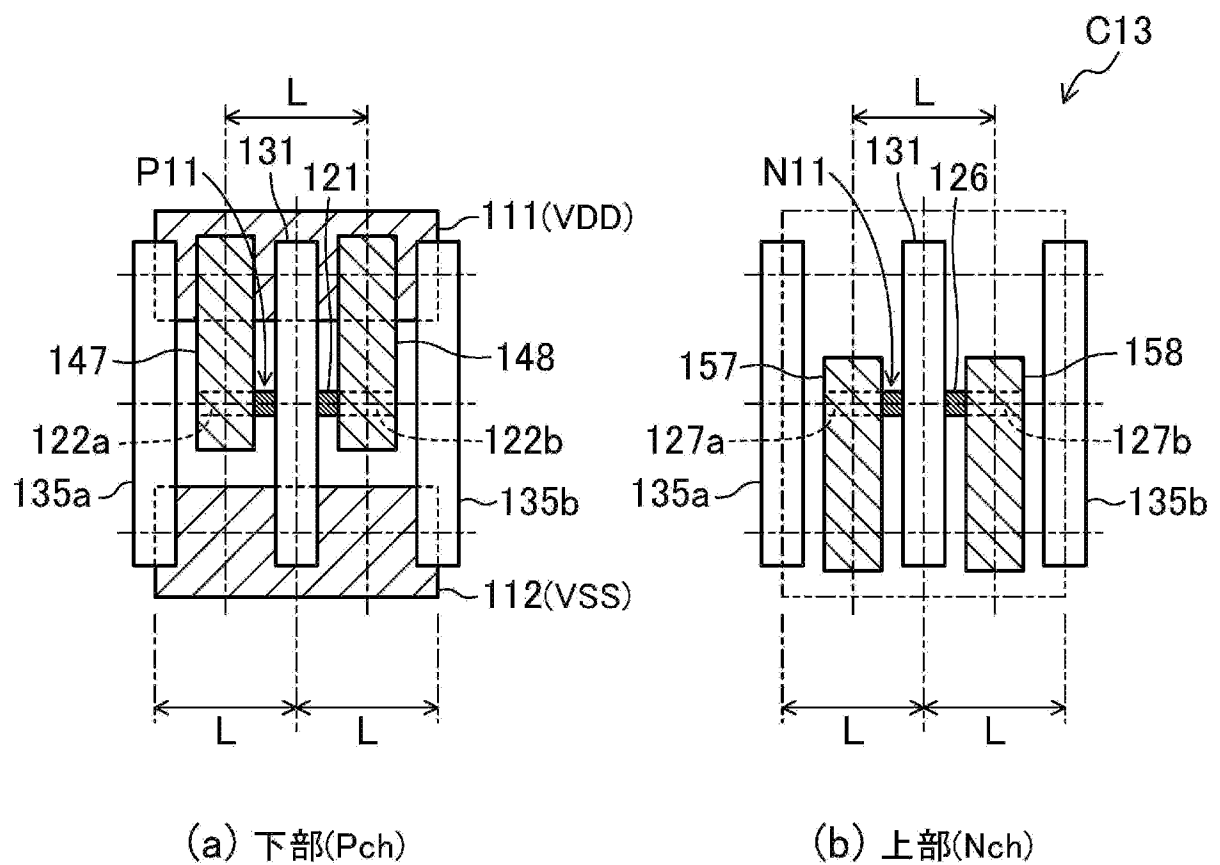


(a) 下部(Pch)

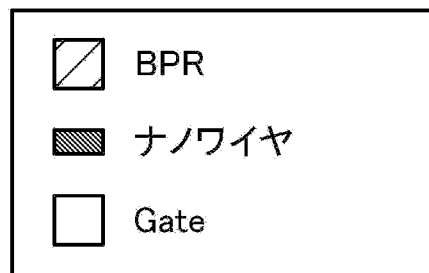
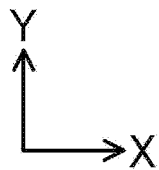
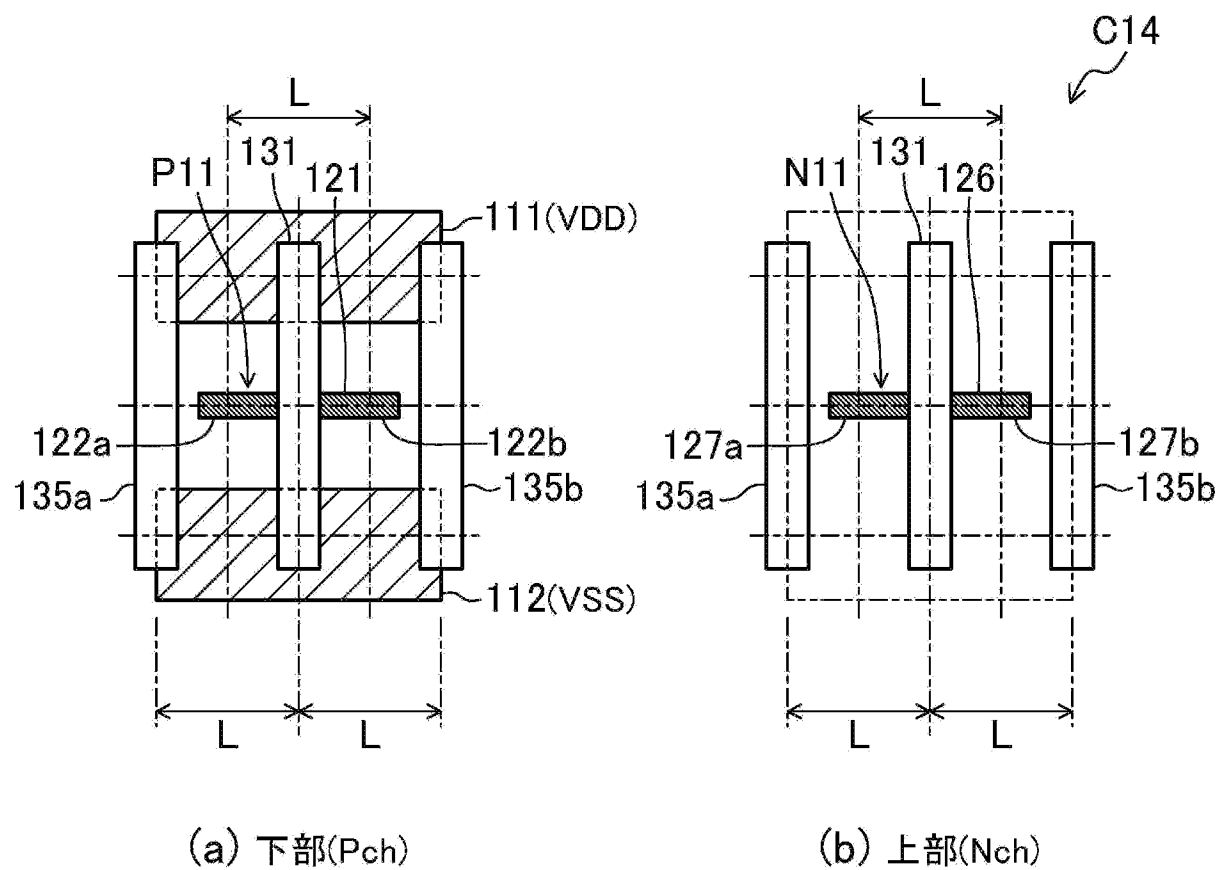
(b) 上部(Nch)



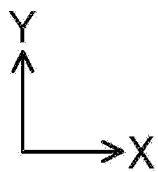
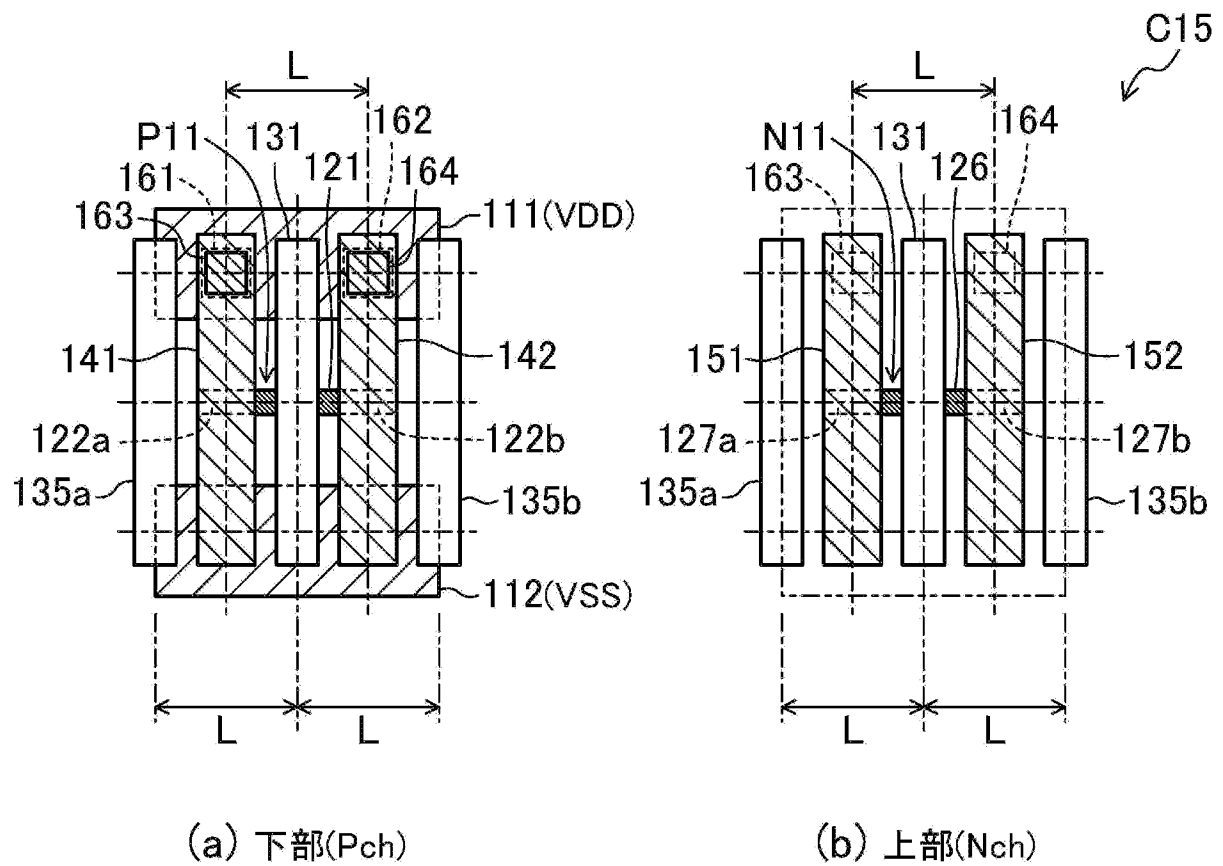
[図8]



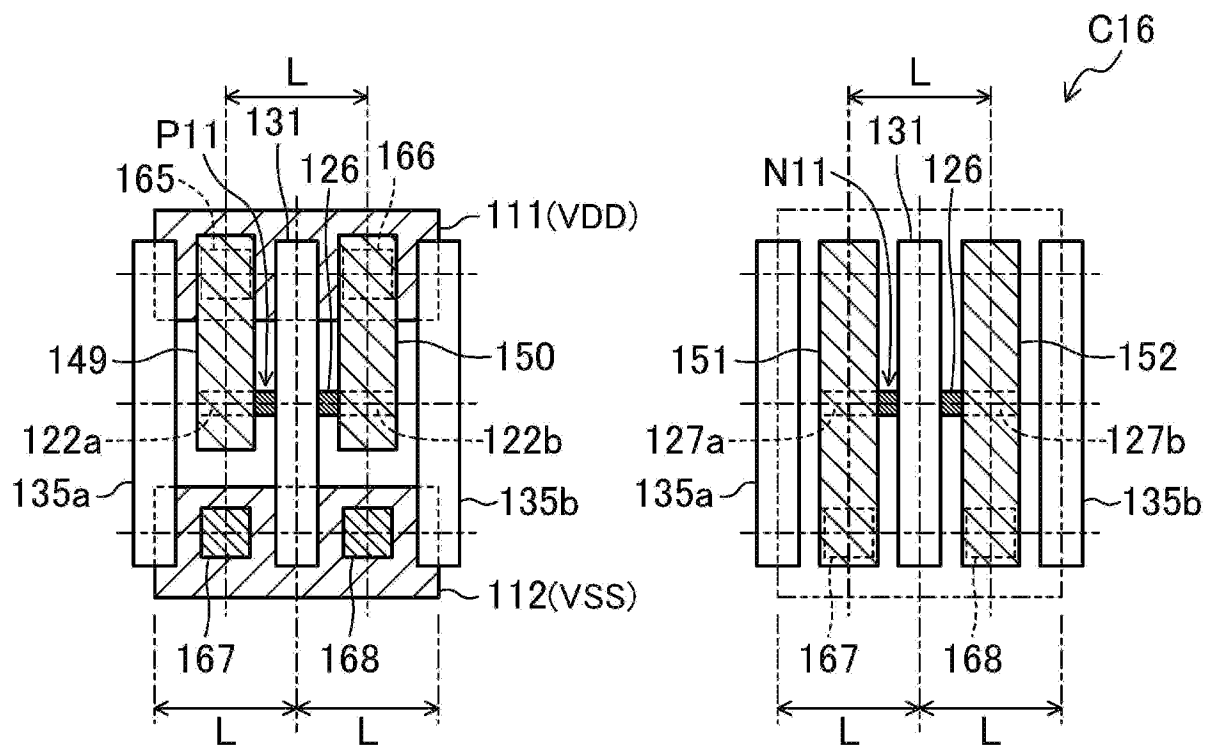
[図9]



[図10]

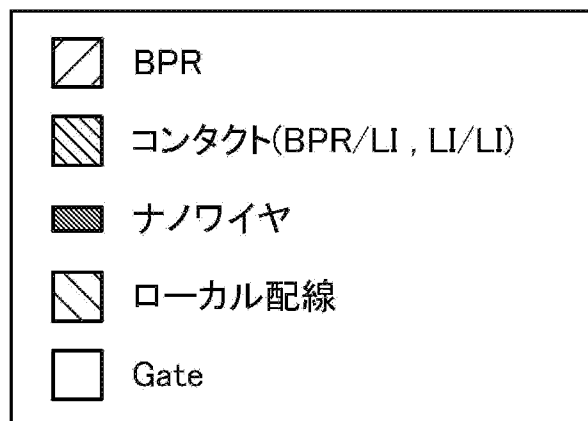
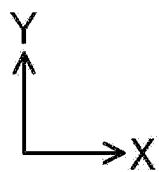


[図11]

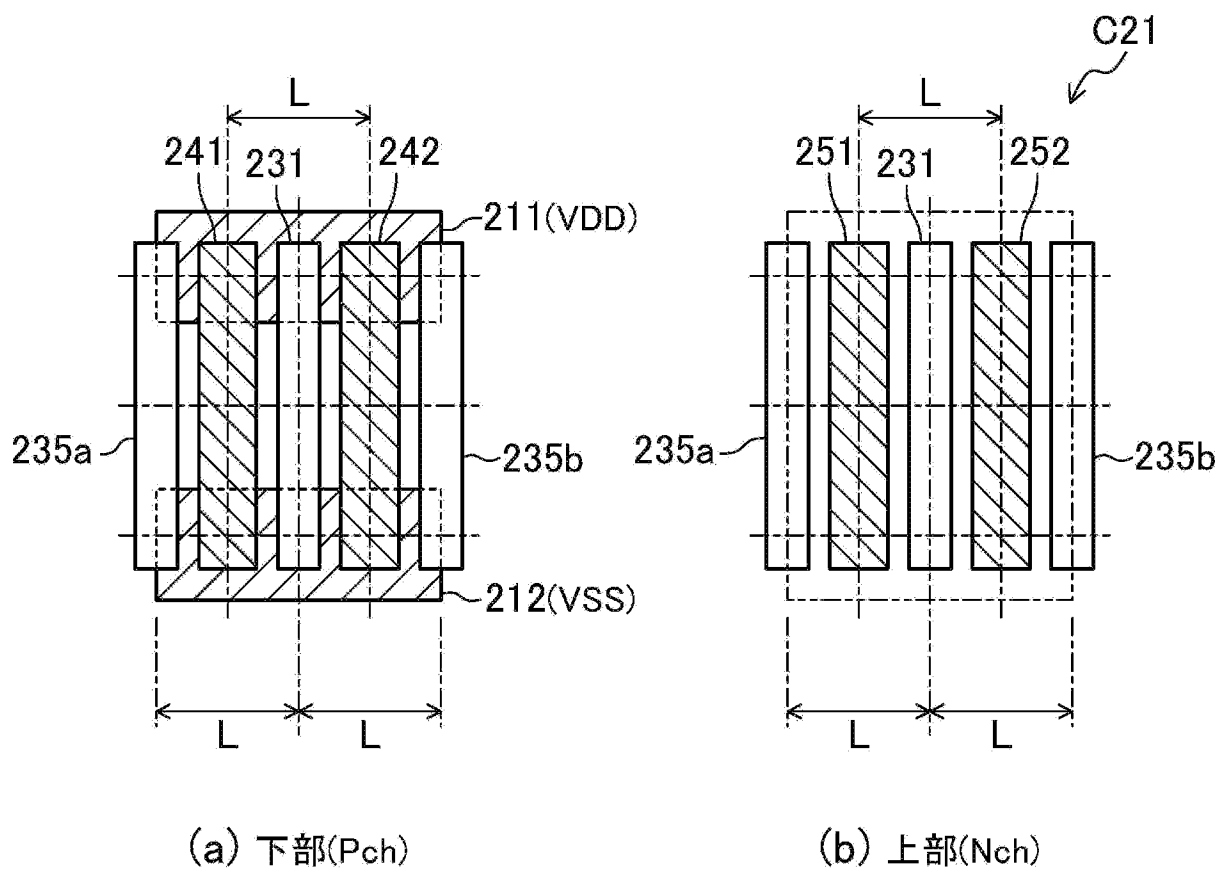


(a) 下部(Pch)

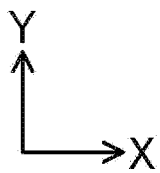
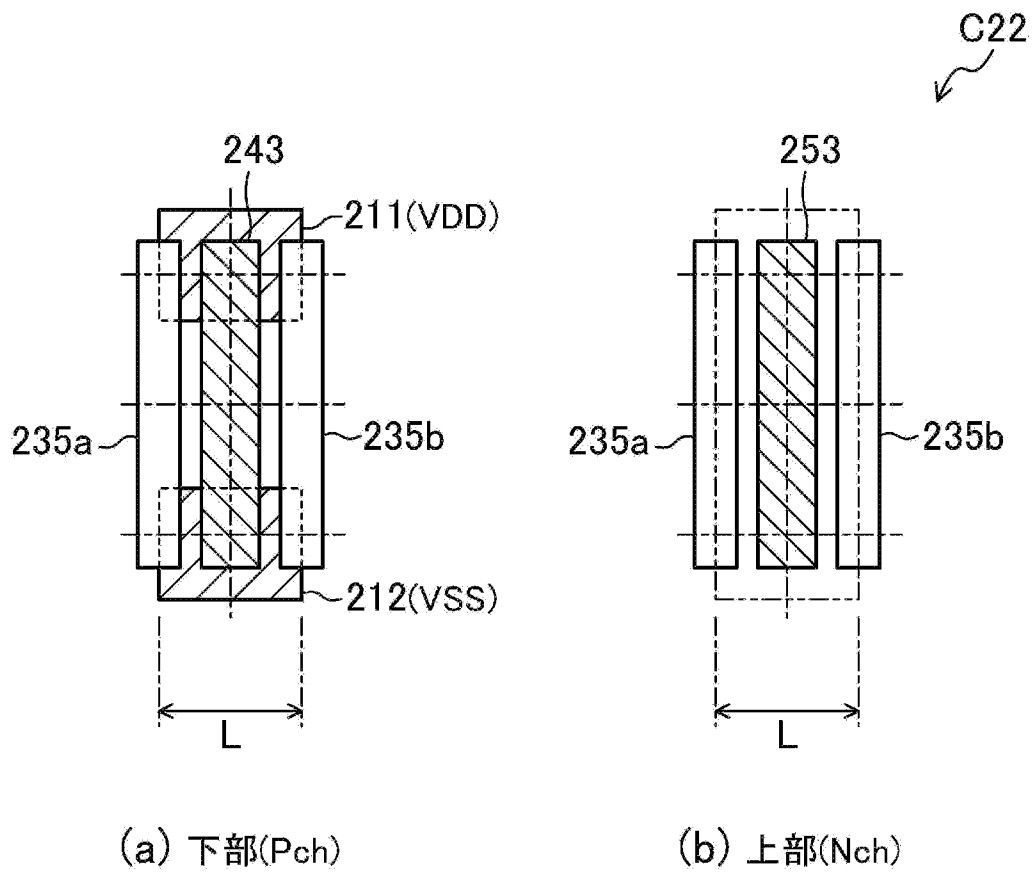
(b) 上部(Nch)



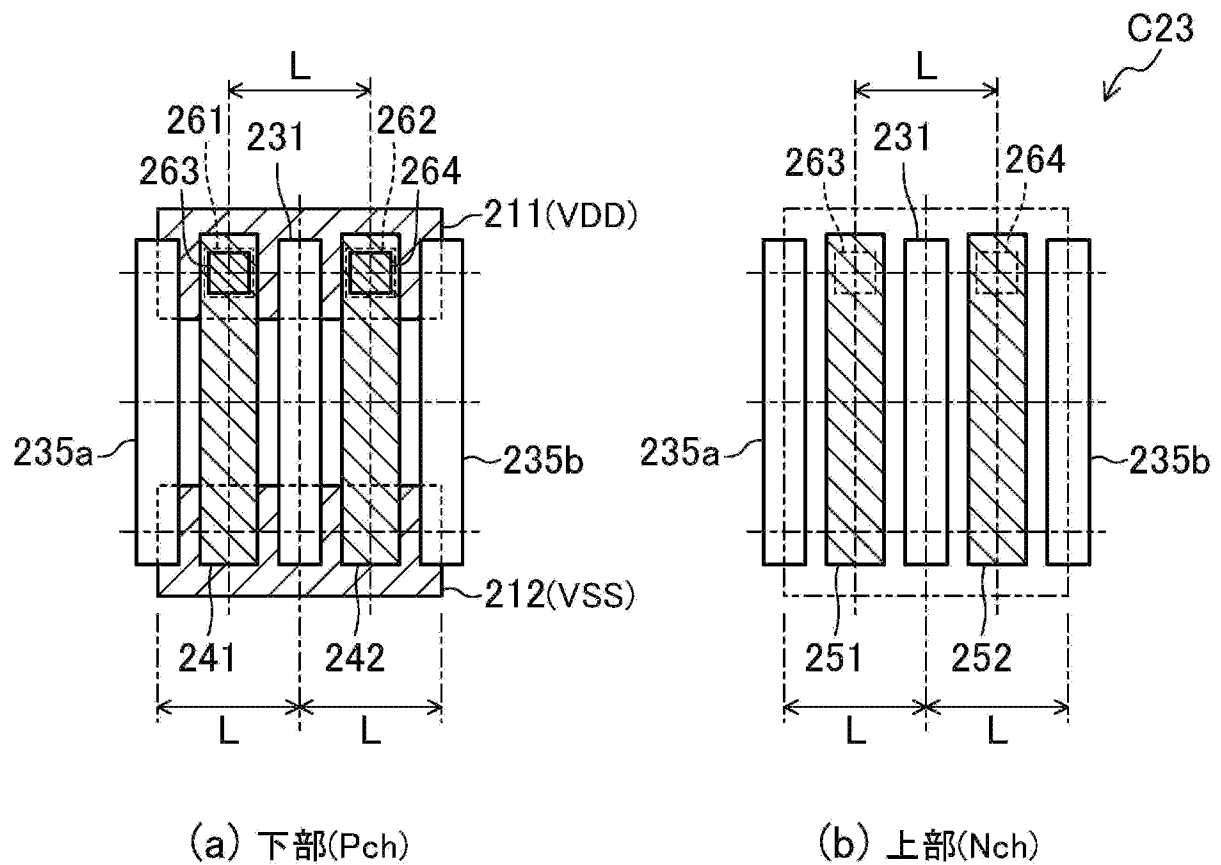
[図12]



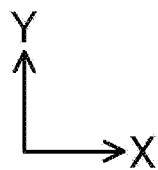
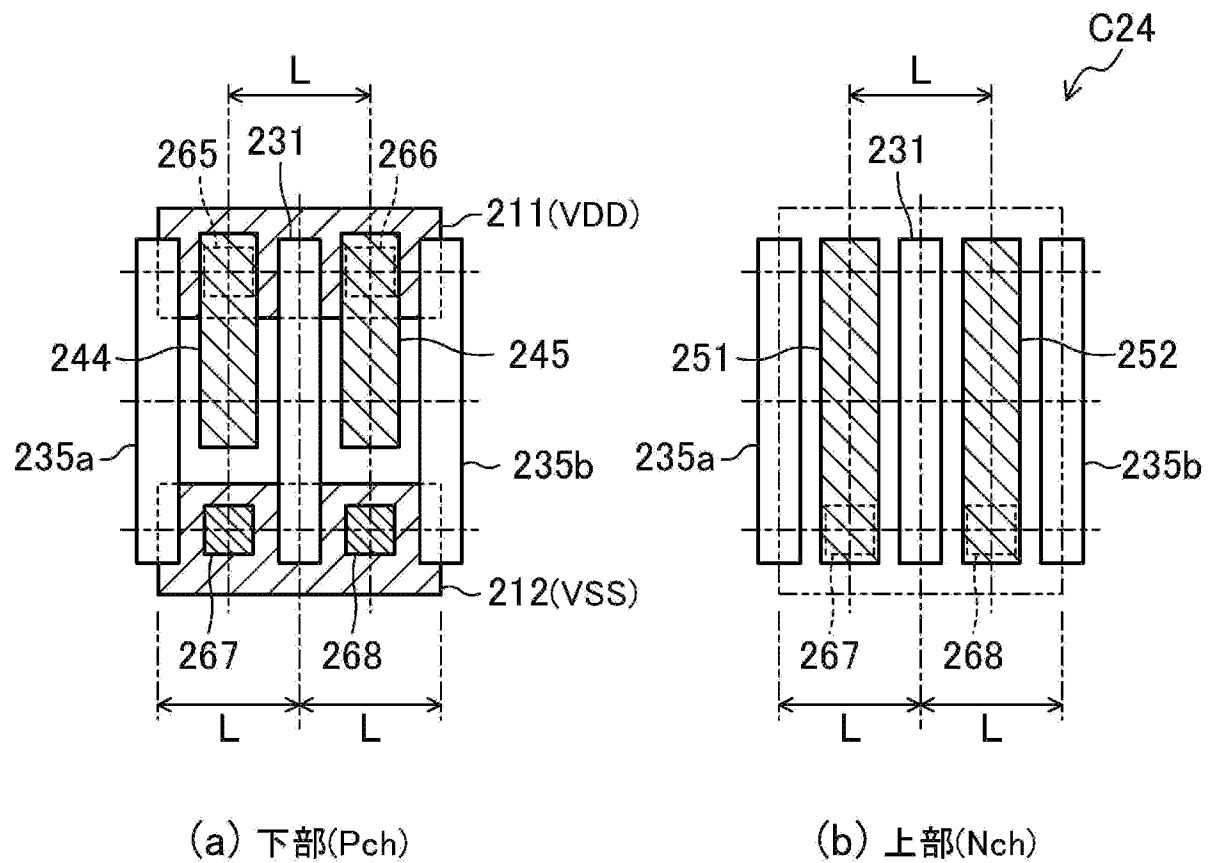
[図13]



[図14]



[図15]



[図16]

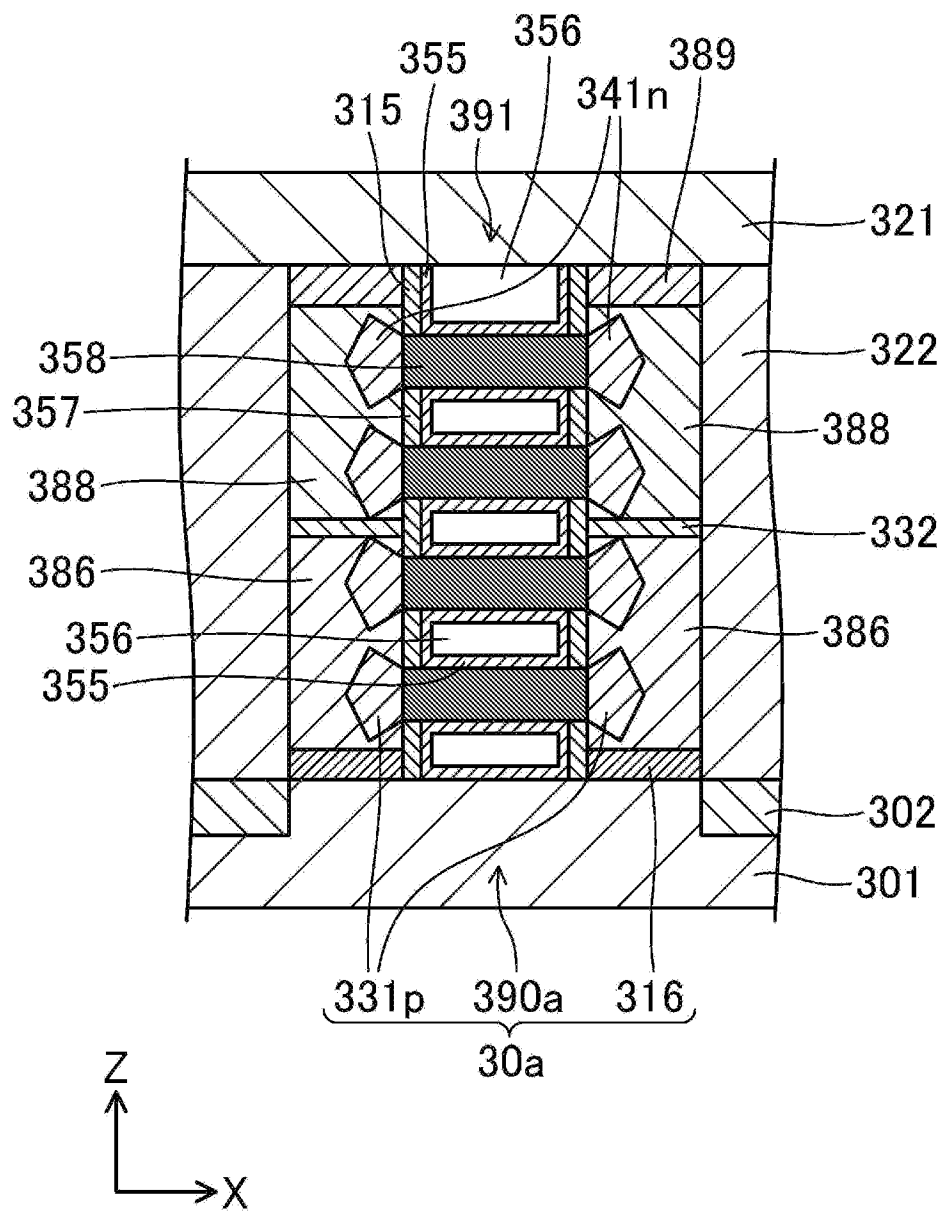
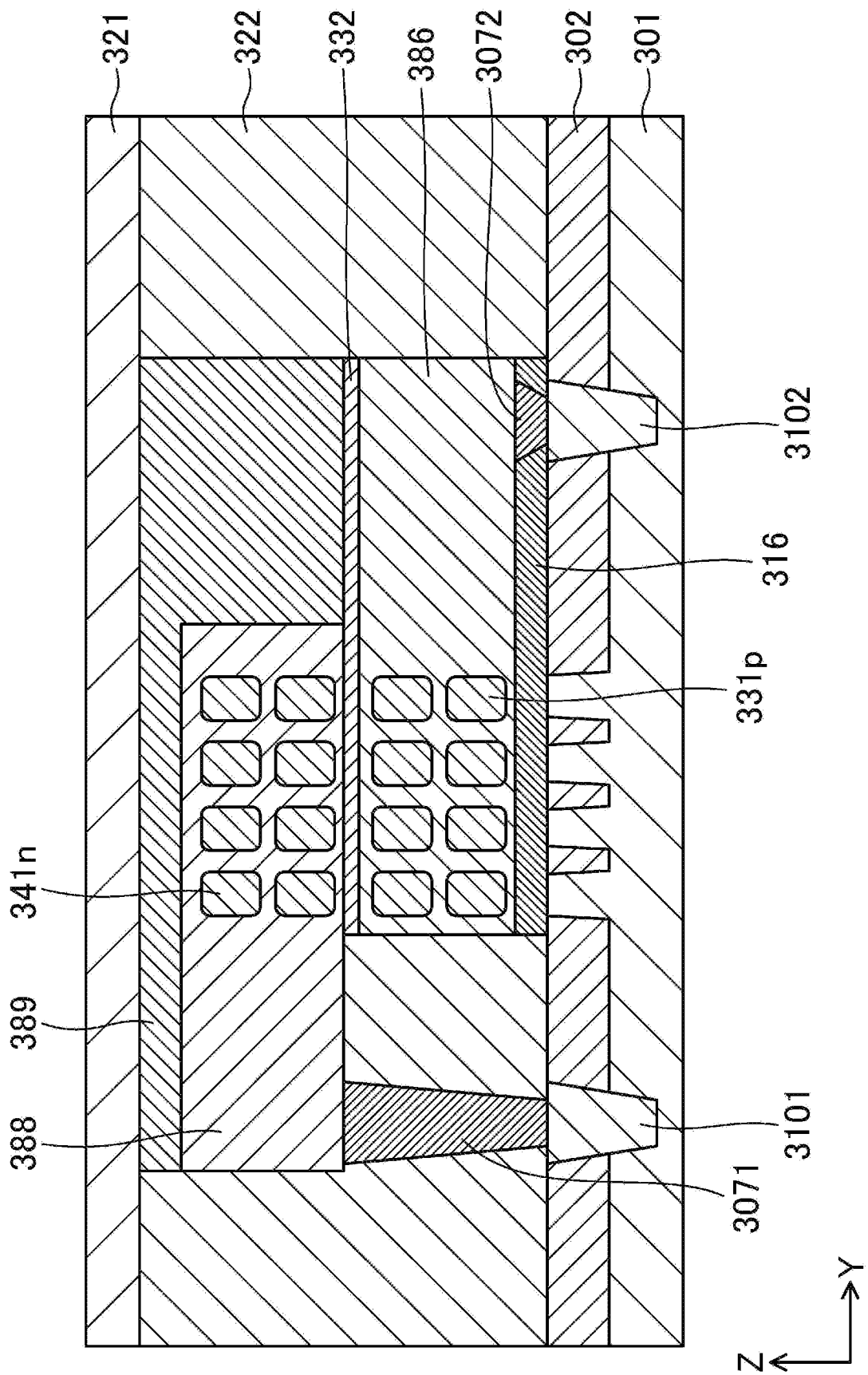
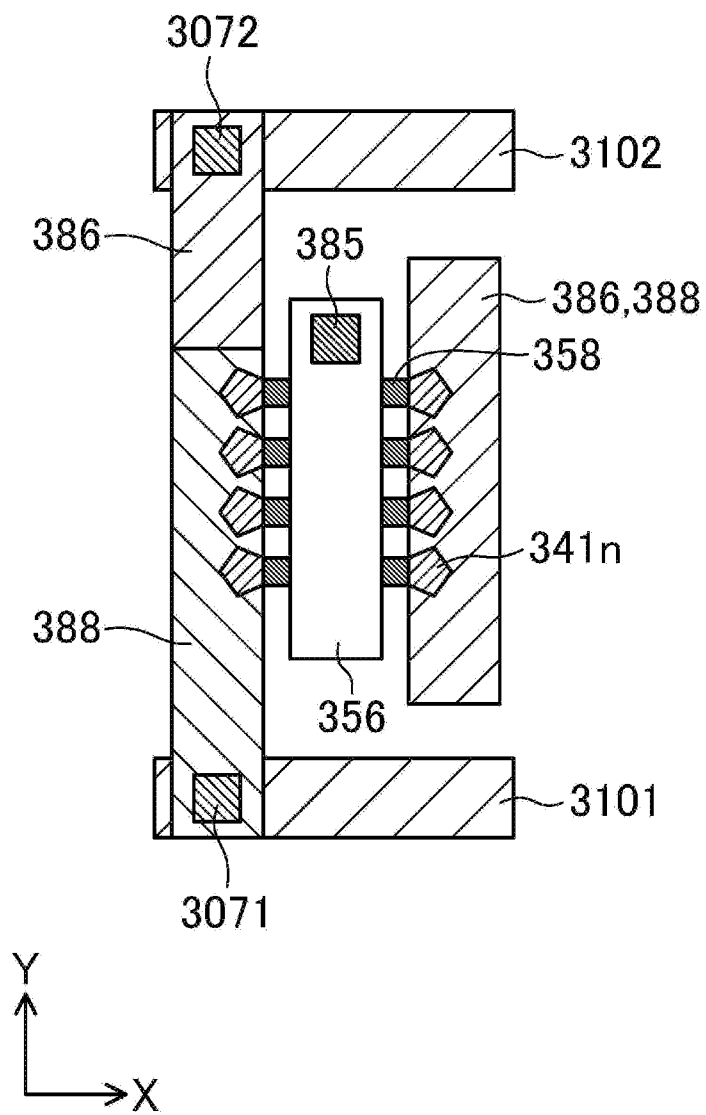


Fig. 3 is a cross-sectional view of a semiconductor device. The device is built on a substrate 301. A central region 356 contains a 4x4 array of square elements 355. The elements are surrounded by a frame 357. The device is built on a substrate 301 with various layers 302, 321, 322, 355, 375, and 385. A coordinate system with Z and Y axes is shown at the bottom right.

[図18]



[図19]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/049190

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/06(2006.01)i  
FI: H01L21/82B, H01L21/82L, H01L27/088B, H01L27/088E, H01L27/092C, H01L27/092G, H01L27/088D, H01L27/092F, H01L27/04A, H01L27/04D, H01L29/06601N  
According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/82, H01L21/822, H01L27/04, H01L21/8234, H01L27/088, H01L21/8238, H01L27/092, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2020 |
| Registered utility model specifications of Japan         | 1996-2020 |
| Published registered utility model applications of Japan | 1994-2020 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                             | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | WO 2018/025580 A1 (SOCIONEXT INC.) 08.02.2018<br>(2018-02-08), paragraphs [0012]-[0040],<br>[0042]-[0045], fig. 1-3, 5, 15, 16 | 1, 2<br>3-13          |
| Y<br>A    | JP 2014-505995 A (INTEL CORPORATION) 06.03.2014<br>(2014-03-06), paragraph [0032], fig. 5a-5d                                  | 1, 2<br>3-13          |
| A         | WO 2018/025597 A1 (SOCIONEXT INC.) 08.02.2018<br>(2018-02-08), entire text, all drawings                                       | 1-13                  |
| A         | JP 2007-13156 A (SAMSUNG ELECTRONICS CO., LTD.)<br>18.01.2007 (2007-01-18), entire text, all drawings                          | 1-13                  |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

Date of the actual completion of the international search  
25.02.2020

Date of mailing of the international search report  
03.03.2020

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2019/049190

|                   |            |                                                                                                                               |
|-------------------|------------|-------------------------------------------------------------------------------------------------------------------------------|
| WO 2018/025580 A1 | 08.02.2018 | US 2019/0164993 A1<br>paragraphs [0026]-[0054],<br>[0056]-[0059], fig. 1-3, 5, 15, 16<br>CN 109643688 A                       |
| JP 2014-505995 A  | 06.03.2014 | US 2012/0138886 A1<br>paragraph [0035], fig. 5a-5d<br>EP 2942817 A1<br>SG 190373 A1<br>CN 103238208 A<br>KR 10-2013-0108410 A |
| WO 2018/025597 A1 | 08.02.2018 | US 2019/0165186 A1<br>entire text, all drawings<br>CN 109564893 A                                                             |
| JP 2007-13156 A   | 18.01.2007 | US 2006/0289940 A1<br>entire text, all drawings<br>KR 10-2007-0000681 A<br>CN 1893079 A                                       |

| A. 発明の属する分野の分類（国際特許分類（IPC））<br>H01L 21/82(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i;<br>H01L 27/088(2006.01)i; H01L 21/8238(2006.01)i; H01L 27/092(2006.01)i; H01L 29/06(2006.01)i<br>FI: H01L21/82 B; H01L21/82 L; H01L27/088 B; H01L27/088 E; H01L27/092 C; H01L27/092 G; H01L27/088 D;<br>H01L27/092 F; H01L27/04 A; H01L27/04 D; H01L29/06 601N                                                                                                                                                                                                                                                   |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------|--------------|-----------------------------------------------------------------|---------------------------------|-------------------------------------------------|----------------------------------------|---------------------------------------------------------------------|---------------------------------------------------------------|-------------------|---------------------------|--|------------------------------------------|--|
| B. 調査を行った分野                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 調査を行った最小限資料（国際特許分類（IPC））<br>H01L21/82; H01L21/822; H01L27/04; H01L21/8234; H01L27/088; H01L21/8238; H01L27/092; H01L29/06                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br><table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>                                                                                                                                                                                                                                                                                                                                                                    |                                                                                                         |                                                                       | 日本国実用新案公報    | 1922-1996年                                                      | 日本国公開実用新案公報                     | 1971-2020年                                      | 日本国実用新案登録公報                            | 1996-2020年                                                          | 日本国登録実用新案公報                                                   | 1994-2020年        |                           |  |                                          |  |
| 日本国実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 1922-1996年                                                                                              |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 日本国公開実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 1971-2020年                                                                                              |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 日本国実用新案登録公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 1996-2020年                                                                                              |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 日本国登録実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 1994-2020年                                                                                              |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                       | 関連する<br>請求項の番号                                                        |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | WO 2018/025580 A1（株式会社ソシオネクスト）08.02.2018（2018-02-08）<br>段落[0012]-[0040], [0042]-[0045], 図1-3, 5, 15, 16 | 1, 2<br>3-13                                                          |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | JP 2014-505995 A（インテル コーポレーション）06.03.2014（2014-03-06）<br>段落[0032], 図5 a-5 d                             | 1, 2<br>3-13                                                          |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | WO 2018/025597 A1（株式会社ソシオネクスト）08.02.2018（2018-02-08）<br>全文, 全図                                          | 1-13                                                                  |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2007-13156 A（三星電子株式会社）18.01.2007（2007-01-18）<br>全文, 全図                                               | 1-13                                                                  |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| <table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&amp;” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table> |                                                                                                         |                                                                       | * 引用文献のカテゴリー | “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの | “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの | “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの | “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの | “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | “&” 同一パテントファミリー文献 | “O” 口頭による開示、使用、展示等に言及する文献 |  | “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 |  |
| * 引用文献のカテゴリー                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            | “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                                     |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | “&” 同一パテントファミリー文献                                                                                       |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| “O” 口頭による開示、使用、展示等に言及する文献                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                         |                                                                       |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 国際調査を完了した日<br>25.02.2020                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                         | 国際調査報告の発送日<br>03.03.2020                                              |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                                         | 権限のある職員（特許庁審査官）<br><br>市川 武宜 5F 4056<br><br>電話番号 03-3581-1101 内線 3514 |              |                                                                 |                                 |                                                 |                                        |                                                                     |                                                               |                   |                           |  |                                          |  |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/049190

| 引用文献 |             |    | 公表日        | パテントファミリー文献                                     |                 |    | 公表日 |
|------|-------------|----|------------|-------------------------------------------------|-----------------|----|-----|
| WO   | 2018/025580 | A1 | 08.02.2018 | US                                              | 2019/0164993    | A1 |     |
|      |             |    |            | 段落[0026]-[0054], [0056]-[0059], 図1-3, 5, 15, 16 |                 |    |     |
|      |             |    |            | CN                                              | 109643688       | A  |     |
| JP   | 2014-505995 | A  | 06.03.2014 | US                                              | 2012/0138886    | A1 |     |
|      |             |    |            | 段落[0035], 図5a-5d                                |                 |    |     |
|      |             |    |            | EP                                              | 2942817         | A1 |     |
|      |             |    |            | SG                                              | 190373          | A1 |     |
|      |             |    |            | CN                                              | 103238208       | A  |     |
|      |             |    |            | KR                                              | 10-2013-0108410 | A  |     |
| WO   | 2018/025597 | A1 | 08.02.2018 | US                                              | 2019/0165186    | A1 |     |
|      |             |    |            | 全文, 全図                                          |                 |    |     |
|      |             |    |            | CN                                              | 109564893       | A  |     |
| JP   | 2007-13156  | A  | 18.01.2007 | US                                              | 2006/0289940    | A1 |     |
|      |             |    |            | 全文, 全図                                          |                 |    |     |
|      |             |    |            | KR                                              | 10-2007-0000681 | A  |     |
|      |             |    |            | CN                                              | 1893079         | A  |     |