

PATENTANSPRÜCHE

1. Drahtloser digitaler Rufempfänger mit einem Haupttaktgeber (14), gekennzeichnet durch erste Mittel (11, 12, 13, 15-17) zum periodischen Erreichen der Bitsynchronisation des Empfängers auf die empfangenen digitalen Signale und zur entsprechenden Einstellung des Haupttaktgebers innerhalb einer ersten vorbestimmten Anzahl von Datenbits, durch zweite Mittel (18, 19, 20) zur Feststellung des Empfangs von gültigen Datenbits während einer weiteren vorbestimmten Anzahl von Bitperioden unmittelbar nach der genannten ersten Anzahl von Bitperioden, durch dritte Mittel (21-24) zum Vergleich der ankommenden Bitmuster mit lokalerzeugten Bitmustern während der genannten weiteren Anzahl von Bitperioden, wobei die zweiten und dritten Mittel gleichzeitig wirksam sind während der genannten weiteren Anzahl von Bitperioden, und durch logische Mittel (20), welche auf ein positives Ausgangssignal von einem oder beiden der zweiten und dritten Mittel ansprechen, um ein Steuersignal zur Steuerung der Arbeitsweise des Empfängers während einer weiteren Zeitperiode zu erzeugen.

2. Empfänger nach Anspruch 1, dadurch gekennzeichnet, dass die ersten Mittel zum periodischen Aufbau der Bitsynchronisation Mittel (11) zur Differenzierung der ankommenden Datensignale aufweisen, um den Datenimpulsflanken entsprechende Flankenimpulse zu erzeugen, weiter Mittel (13) zur Erzeugung eines Impulses von vorbestimmter Dauer und Zeitlage in Bezug auf einen angenommenen Datenbittakt, der vom Haupttaktgeber abgegeben wird, ferner zweite logische Mittel (12, 15), welche auf die Flankenimpulse und den Impuls von vorbestimmter Dauer ansprechen, um die Anzahl der Flankenimpulse zu zählen, welche während des Impulses von vorbestimmter Dauer auftreten, und endlich Rückführmittel zum Haupttaktgeber, um eine Phasenverschiebung von 180° im Bittakt auszuführen, wenn die Anzahl der während des Impulses von vorbestimmter Dauer gezählten Flankenimpulse einen vorbestimmten Wert während einer gegebenen Anzahl der erstgenannten bestimmten Anzahl von Bits übersteigt.

3. Empfänger nach Anspruch 2, weiter gekennzeichnet durch Mittel (17), um während einer weiteren gegebenen Anzahl von Bittaktimpulsen die Zeitlage der Flankenimpulse in Bezug auf den Bittakt zu vergleichen, und durch Rückführmittel zum Haupttaktgeber, um eine schrittweise Einstellung des Bittaktes durchzuführen, um eine allfällig vorhandene Abweichung in der Zeitlage zwischen den Flankenimpulsen und dem Bittakt schrittweise zu reduzieren.

4. Empfänger nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass die zweiten Mittel zur Feststellung des Empfangs von gültigen Datenbits einen Zähler (19) aufweisen, an welchen die genannten Flankenimpulse angelegt werden, ferner Mittel (18) zur Freigabe dieses Zählers während jedes Impulses von vorbestimmter Dauer, und endlich Mittel (20) zur Erzeugung eines Ausgangssignals für die ersten logischen Mittel, wenn der Zählstand einen vorbestimmten Wert übersteigt, um den Empfänger für eine gegebene Zeitperiode auszuschalten.

5. Empfänger nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass die dritten Mittel zum Vergleich der ankommenden Bitmuster mit lokalerzeugten Bitsequenzen Mittel (22) zur lokalen Erzeugung dieser Bitsequenzen aufweisen, ferner Taktgebermittel (23), welche auf Signale vom Haupttaktgeber (14) ansprechen, um die Mittel zur lokalen Erzeugung der Bitsequenzen während der genannten weiteren Anzahl von Bitperioden aktiv zu schalten, ferner Mittel (21) zum Vergleich der ankommenden Datenbits mit den lokal erzeugten Bitsequenzen, weiter einen Zähler (24) zur Zählung der Anzahl von Fehlern im genannten Vergleich, und endlich Mittel zur Erzeugung eines Ausgangssignals für die erste logische Schaltung, wenn der Zählstand eine vorbestimmte Zahl übersteigt, um den Empfänger für eine gegebene Zeitperiode auszuschalten.

6. Empfänger nach einem der vorangegangenen Ansprüche,

gekennzeichnet durch Mittel (27) zum Vergleich der ankommenden Datenbits mit gespeicherten Synchronisations- und Adress-Codewörtern zur Erzeugung eines Ausgangssignals, wenn die ankommenden Daten einem Synchronisationswort entsprechen, wobei dieses Ausgangssignal an den Haupttaktgeber (14) angelegt wird, um diesen auf das empfangene Synchronisationscodewort auszurichten.

7. Verfahren zum Betrieb des drahtlosen digitalen Rufempfängers nach Patentanspruch 1, dadurch gekennzeichnet, dass mit den ersten Mitteln (11-13, 15-17) die Bitsynchronisation der Taktgeberschaltung des Empfängers mit den ankommenden Datenbits innerhalb einer vorbestimmten Anzahl von Bitperioden nach Einschalten des Empfängers erreicht wird, dass mit den zweiten Mitteln (18, 19, 20) festgestellt wird, ob die ankommenden Signale gültige Daten enthalten und gleichzeitig mit den dritten Mitteln (21-24), ob die ankommenden Signale eine Datensequenz enthalten, die einer lokal erzeugten Sequenz entspricht, und dass die logischen Mittel (20) bei erfolgreicher Feststellung in einem der Fälle veranlassen, dass der Empfänger während einer nachfolgenden Periode aktiv bleibt, während welcher die ankommenden Daten geprüft werden, um festzustellen, ob diese eine Datenfolge enthalten, welche einem Synchronisations- oder Adress-Codewort entsprechen, welches lokal gespeichert ist.

Die vorliegende Erfindung betrifft einen drahtlosen digitalen Rufempfänger.

Ein drahtloser digitaler Rufempfänger muss ausgestrahlte digitale Signale zuverlässig empfangen und verarbeiten, welche Signale am Empfangsort Geräusch und Phasenzittern aufweisen können. Weiter muss ein solcher Empfänger in der Lage sein, nach einem Startvorgang sehr rasch die richtige Arbeitsweise aufzunehmen oder die richtige Arbeitsweise wiederaufzunehmen nach irgendeiner Unterbrechung des empfangenen digitalen Datenstromes, z.B. nach dem Verlassen einer Zone, in welcher der HF-Empfang abgedeckt ist, wie dies in einem Tunnel oder unter einer Brücke der Fall ist. Gleichzeitig müssen Anstrengungen unternommen werden, die im Empfänger eingebaute Batterie so wenig wie möglich zu belasten.

Die Anforderungen, die an einen drahtlosen Rufempfänger gestellt werden, können z.B. anhand des Pflichtenheftes für den öffentlichen drahtlosen Rufdienst abgeschätzt werden, der gegenwärtig für das British Post Office in Entwicklung ist. Die Beschreibung des Standard-Code-Formates kann gefunden werden in «Final Report of the British Post Office Code Standardisation Advisory Group» (POCSAG). Daraus kann entnommen werden, dass jede Adresse nur einmal übertragen wird und aus einem 32-Bit-Codewort besteht, das in einem Satz von Wörtern übertragen wird, wobei jeder Satz ein Synchronisations-Codewort gefolgt von 8 Rahmen mit je zwei Codewörtern enthält. Jede Übertragung startet mit einem Kopf, um den Rufempfängern zu ermöglichen, Bitsynchronisation zu erreichen, und um diese vorzubereiten für die Erreichung der Wortsynchronisation. Da ein Empfänger zu irgendeiner Zeit eingeschaltet werden kann oder zu irgendeiner Zeit eine den HF-Empfang abdeckende Zone verlassen kann, ist es erwünscht, dass der Empfänger die Bit- und Wortsynchronisation und die Unterscheidung zwischen echten Daten und zufälligem Geräusch in möglichst kurzer Zeit erreichen kann. Die erste, nach dem Einschalten empfangene vollständige Sendung inklusive des zugehörigen Kopfes muss voll wirksam sein, soweit es den Benutzer des Rufempfängers betrifft.

Gelöst wird diese Aufgabe durch die im Kennzeichen des ersten Anspruchs genannten Merkmale. Vorteilhafte Weiterbildungen können den abhängigen Ansprüchen entnommen werden.

Ein Ausführungsbeispiel der Erfindung wird nun anhand der Zeichnung näher erläutert. In der Zeichnung zeigt:

Die Fig. 1 ein Blockschema der Synchronisationsanordnung für einen digitalen Rufempfänger;

die Fig. 2 eine typische Synchronisations-Sequenz; und
die Fig. 3 ein die Fig. 1 betreffendes Taktdiagramm.

Die verschiedenen Blöcke von Fig. 1 sind je für sich aus bekannten elektronischen Schaltungen aufgebaut und können durch den Fachmann leicht realisiert werden. Die nachfolgende Beschreibung bezieht sich auf alle drei Figuren.

Die vom Rufempfänger empfangenen demodulierten HF-Signale erscheinen als digitaler Datenstrom an Klemme 10. Dieser Datenstrom kann aus echten digitalen Daten, d.h. Kopf, Synchronisationswort oder Adresscodewort bestehen, oder aus falschen Daten, d.h. Geräusch. Um die Bitsynchronisation zu erreichen, werden die ankommenden Daten zuerst an eine Datendifferenzierschaltung 11 angelegt, welche kurze, den Datenimpulsflanken entsprechende Impulse erzeugt. Die Datenflanken werden zusammen mit einem Impuls «Freigabefenster» einer monostabilen Schaltung 13 an ein UND-Tor 12 angelegt. Die monostabile Schaltung 13 wird durch Bittaktimpulse von einem Haupttaktgeber 14 angesteuert. Die monostabile Schaltung 13 erzeugt Freigabeimpulse, welche in diesem Beispiel eine Länge von $\pm 11/64$ einer Bitperiode, zentriert auf einen angenommenen Bitabtastpunkt aufweisen. Das Ausgangssignal des UND-Tores 12 wird an einen Zähler 15 angelegt, der die Anzahl von Datenflanken in dem Fenster zählt. Wenn die Anzahl der während des ersten Viertels einer Wortperiode (angenommen ist ein 32-Bit-Wort) gezählten Flanken gleich oder grösser 4 ist, dann gibt der Zähler 15 ein Signal an den Haupttaktgeber 14 ab, welches bewirkt, dass das an die monostabile Schaltung 13 angelegte Bittaktimpuls eine Phasenverschiebung von 180° erfährt. Das erste Viertel der Wortperiode (8 Bits), während welcher der Zähler 15 aktiv ist, wird durch einen Synchronisationschlitz-Taktgenerator 16 bestimmt, welcher seinerseits durch den Haupttaktgeber 14 getaktet wird. (Ausgang T von Taktgeber 14 speist den Generator 16, einen Zähler 19 und einen Hilfstaktgeber 23). Das Steuersignal vom Taktgenerator 16 an den Zähler 15 kann als Signal «Freigabe rasches Ziehen» bezeichnet werden. Während des nächsten halben Wortes (16 Bits) wird vom Generator 16 ein Signal «Freigabe langsames Ziehen» an einen Satz von «Früh/Spät»-Halteschaltungen 17 angelegt, und zwar zusammen mit den Datenflanken von der Differenzierschaltung 11 und dem Bitratensignal. Die Halteschaltungen vergleichen die Zeitlage der Datenflanken mit dem Abtastpunkt, wie er vom Bitratentakt erhalten wird. Wenn eine Abweichung vorhanden ist, d.h. wenn die erste Datenflanke zu früh oder zu spät ist, wird ein Signal von den Halteschaltungen 17 an den Haupttaktgeber 14 angelegt, um den Bitratentakt um $\pm 1/32$ einer Bitperiode zu verändern, um die Abweichung zu reduzieren. Dieser Vorgang wird bei jeder nachfolgenden Datenflanke wiederholt, bis die Flankenimpulse und der Abtastpunkt 180° auseinander liegen. Maximal 16 Flankenimpulse werden zugelassen, um diesen Zustand zu erreichen. In Praxis werden die Flankenimpulse nie genau mit der idealen Lage übereinstimmen, sondern die Schaltung wird um $\pm 1/32$ einer Bitperiode um den idealen Abtastpunkt pendeln. Die bis jetzt beschriebene Abfolge kann als Bitsynchronisations-Sequenz bezeichnet werden und hat eine Dauer von insgesamt $3/4$ eines Wortes (24 Bits).

Nach Abschluss der Bitsynchronisationssequenz laufen zwei weitere Datenprüfvorgänge parallel. Einer ist die Sequenz «Detektion Daten» und der andere die Sequenz «Detektion Kopf». Die an Klemme 10 ankommenden Daten werden zunächst als gültig angenommen bis zum Beweis des Gegenteils. Daher werden nach Abschluss der Bitsynchronisations-Sequenz die nachfolgenden $\pm 11/64$ durch die monostabile Schaltung 13 erzeug-

ten Fensterfreigabeimpulse zusammen mit den Datenflanken der Differenzierschaltung 11 an ein UND-Tor 18 angelegt. Das Ausgangssignal des UND-Tores 18 gelangt an einen Zähler 19, welcher vom Haupttaktgeber 14 freigegeben wird. Der Zähler 19 sollte nicht mehr als eine Datenflanke während jedes Fensters von $\pm 11/64$ Impulsen zählen, welche Flanke nun auf den richtigen Abtastpunkt zentriert ist. Da die Eingangsdaten ursprünglich als gültig angenommen werden, ist eine Halteschaltung 20 «gültige Daten» gesetzt, um diesen Zustand festzuhalten. Vorausgesetzt, der Zähler 19 erreicht keinen höheren Zählstand als 1, bleibt die Schaltung 20 gesetzt. Wenn Zähler 19 den Zählstand 2 erreicht und damit einen Fehler anzeigt, dann wird die Schaltung 20 rückgestellt. Die Eingangsdaten werden gleichzeitig an eine Vergleichsschaltung 21 angelegt, wo sie mit einer von einem Generator 22 lokal erzeugten Kopf-Sequenz verglichen werden. Der Generator 22 wird durch einen Hilfstaktgeber 23 gesteuert. Mit dem nächsten $1/4$ Wort (8 Bits) wird die Phase des Kopfes gefunden. Das Ausgangssignal der Vergleichsschaltung 21 wird an einen Zähler 24 angelegt, und wenn mehr als drei Fehler gezählt werden, wird die Phase des Kopfgenerators 22 über ein vom Zähler 24 durch ein Tor 25 rückgeführtes Signal verändert. Wenn angenommen wird, dass am Ende der 8 Bits (das letzte Viertel des ersten 32-Bit-Wortes) die Phase des Kopfgenerators richtig ist, dann wird für die nächsten 24 Bits ($3/4$ eines Wortes) der lokal erzeugte Kopf (eine einfache 01010101... Sequenz im POCSAG-Code) mit den ankommenden Daten verglichen. Wenn innerhalb 24 Bits drei oder weniger Fehler gezählt werden, dann wird der Kopf als gültig betrachtet und die Halteschaltung bleibt gesetzt. Wenn der Kopf detektiert ist, dann muss der Empfänger in der nächsten Suchsequenz entweder Daten oder einen nachfolgenden Kopf detektieren. Daher wird, wenn der Kopf durch den Zähler 24 detektiert ist, nicht nur die Halteschaltung 20 gesetzt bleiben, sondern auch eine Halteschaltung 26 «Kopf vorausgegangen» gesetzt. Diese Halteschaltung 26 sperrt den Zähler 19 während der nächsten Suchsequenz, da angenommen wird, dass eine erfolgreiche Detektion des Kopfes auch angibt, dass die richtige Datenrate erreicht wurde. Wenn also entweder durch Zähler 19 die korrekte Datenrate oder durch Zähler 24 ein gültiger Kopf bestimmt ist, dann bleibt die Halteschaltung 20 gesetzt, um gültige Daten anzuzeigen, und die Empfängerschaltung bleibt eingeschaltet, da die nachfolgenden Daten entweder ein Synchronisationswort oder ein Adresswort enthalten. Unterdessen werden die Eingangsdaten simultan an eine Wortvergleichsschaltung 27 angelegt, wo sie mit lokal gespeicherten Synchronisations- und Adress-Codewörtern verglichen werden. Wenn das Synchronisationswort detektiert wird, dann wird der Haupttaktgeber 14 neu auf das Synchronisationswort ausgerichtet. Gleichzeitig wird die Halteschaltung 26 zurückgestellt. Sobald das Synchronisationswort detektiert wird, wird die Empfängerschaltung ausgeschaltet, um die Batterie zu schonen, und zwar solange, bis der zugeteilte Adresszeitschlitz für den Empfänger fällig ist. Dann wird der Empfänger für die Dauer des zugeteilten Zeitschlitzes wieder eingeschaltet und falls Daten ankommen, werden sie durch die Vergleichsschaltung 27 mit den gespeicherten Adresswörtern verglichen. Der Empfänger wird auch ausgeschaltet, wenn sowohl Zähler 19 als auch Zähler 24 die Halteschaltung 20 nicht setzen konnten. Dies wird irgendwo zwischen den Bits 4 und 24 auftreten und der Empfänger wird dann wiederum $16 1/2$ Wörter später eingeschaltet (der POCSAG-Kopf ist 18 Wörter lang und dem Empfänger wird $1/2$ Wortperiode zugestanden, um in vollen Betrieb zu kommen).

Zusammenfassend kann man sagen, dass der Empfänger zuerst die Bitsynchronisation erreicht und dann gleichzeitig sucht:

- a) nach Daten mit einer gültigen Bitrate,
- b) nach einem gültigen Kopf, und
- c) nach einem Synchronisations- oder Adresswort.

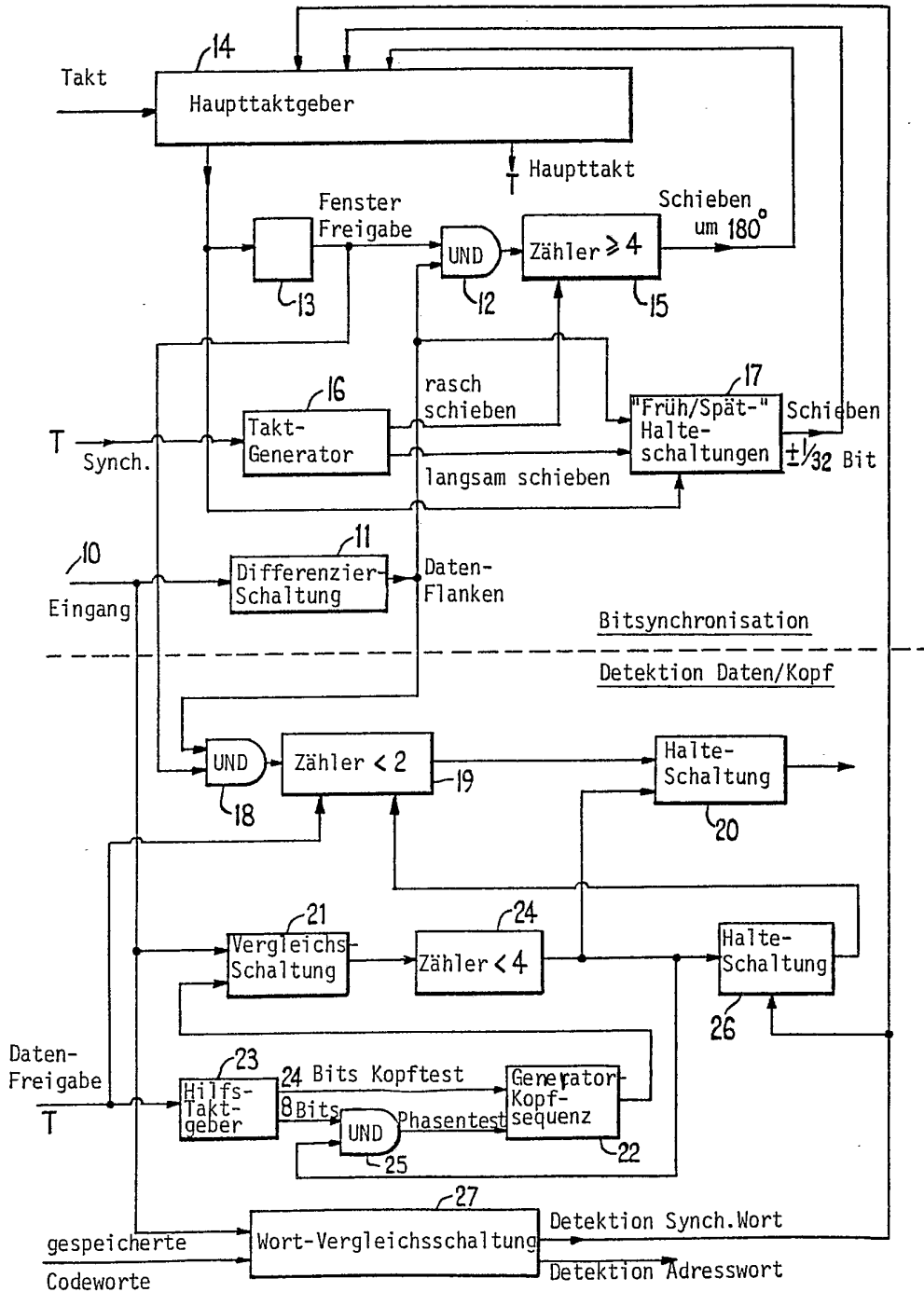


FIG.1

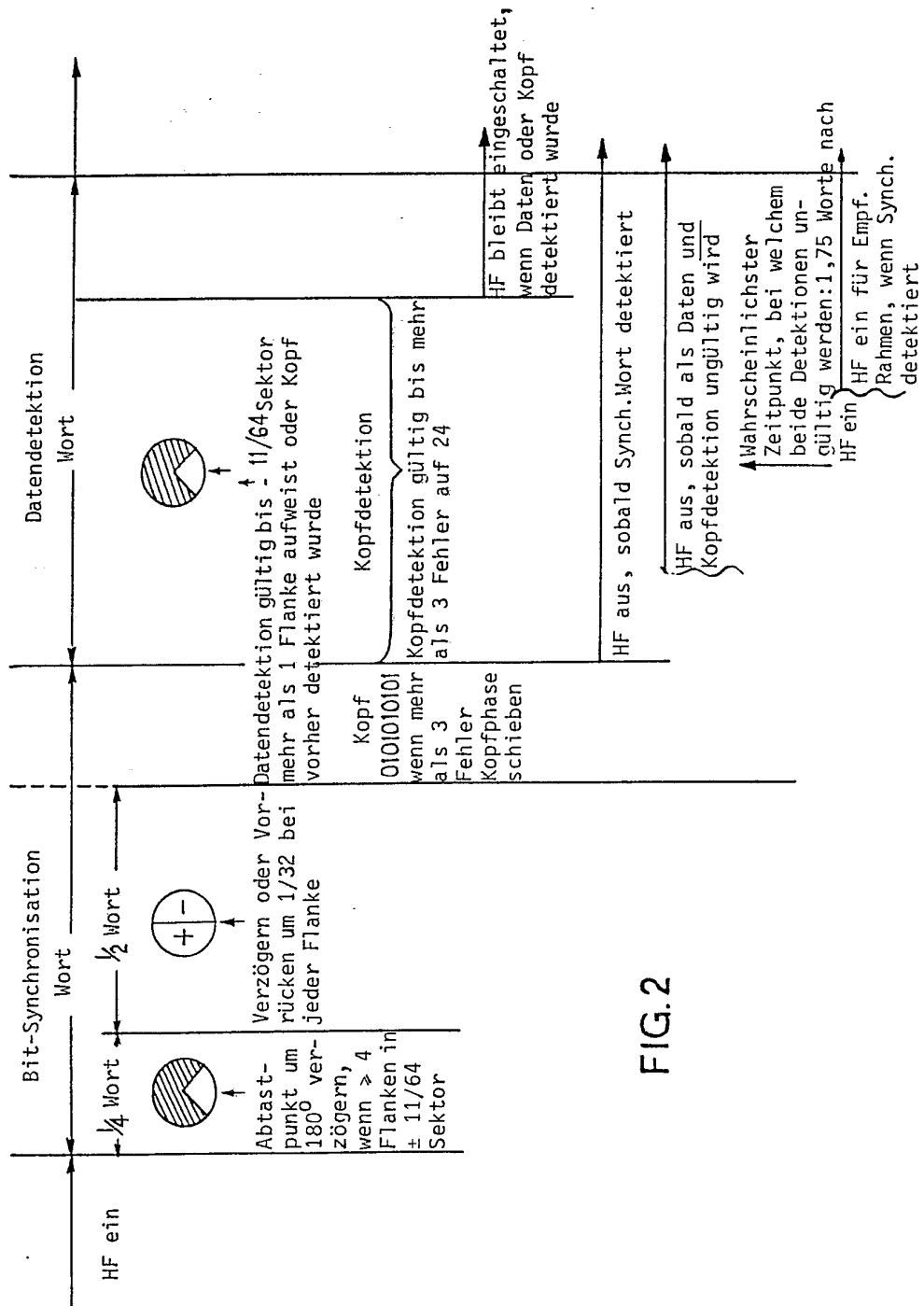


FIG. 2

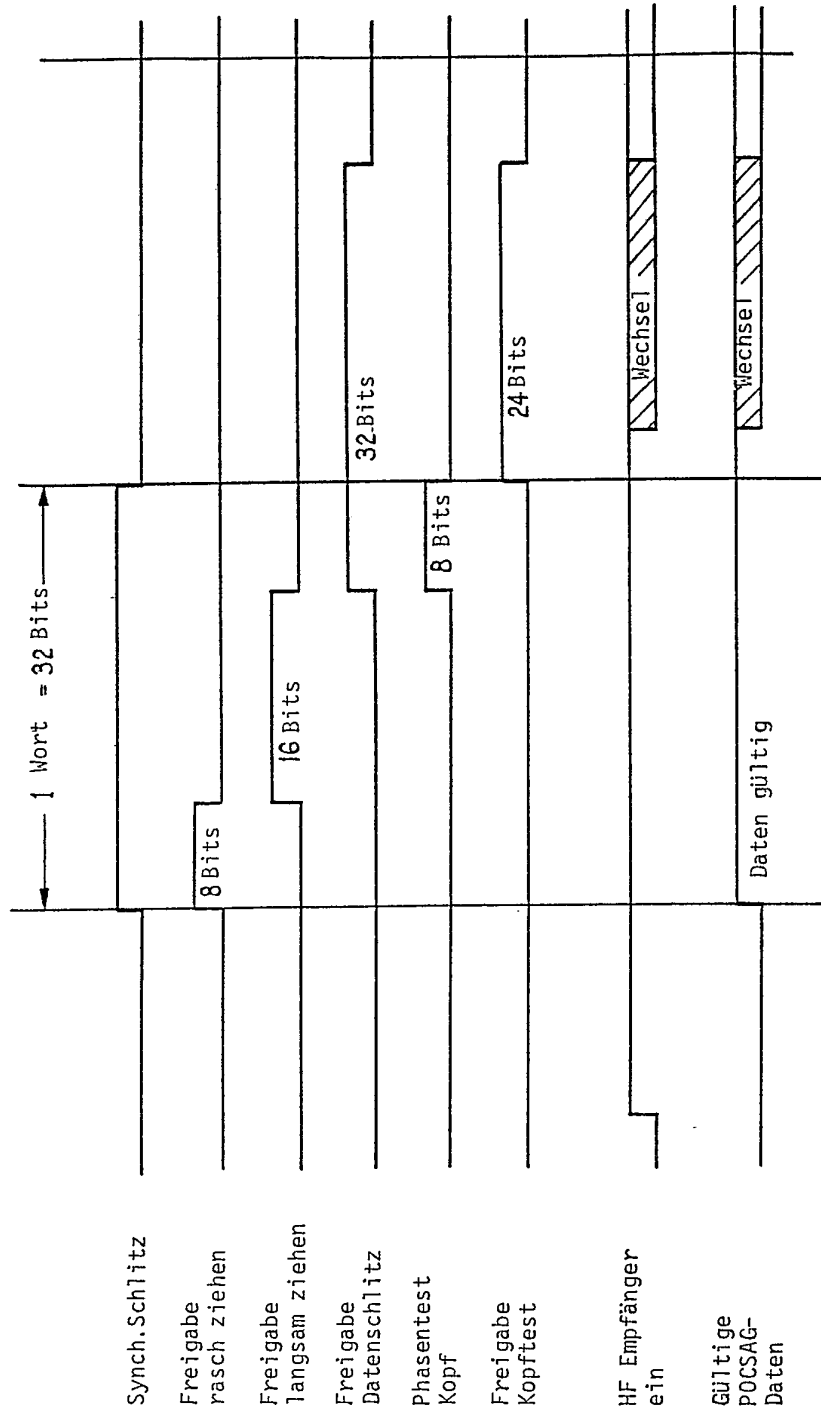


FIG.3