



(12)发明专利

(10)授权公告号 CN 108347301 B

(45)授权公告日 2020.06.02

(21)申请号 201710061380.3

(22)申请日 2017.01.25

(65)同一申请的已公布的文献号

申请公布号 CN 108347301 A

(43)申请公布日 2018.07.31

(73)专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 周悦 李榕 张公正 杜颖钢

王俊

(51)Int.Cl.

H04L 1/00(2006.01)

审查员 牛相潮

权利要求书5页 说明书18页 附图6页

(54)发明名称

数据的传输方法和装置

(57)摘要

本申请涉及一种数据的传输方法和装置。本申请提供一种Polar码的编码方法和装置,该方法包括:发送设备根据预设规则将待编码序列分段,确定每一分段中的校验冻结比特数目及位置、信息比特数目和位置、冻结比特位置数目和位置,随后将信息比特和冻结比特放入相应位置,并确定校验冻结比特的值,随后对待编码序列进行Polar码编码并发送。该方法简化了校验冻结比特数目与位置的确认过程,有效地提升了处理效率。



1. 一种极化Polar编码方法,其特征在于,

发送设备对所述待编码序列进行Polar编码,其中所述Polar码的母码长度为N,所述待编码序列中包括冻结比特、校验冻结比特和信息比特,所述待编码序列包括q段;所述 $N=2^n$,n和q为正整数,所述 $q=n$ 或 $q<n$,所述待编码序列包括q段,其中第t个分段点所在的比特位置的序号为 B_t ,所述 B_t 用n位二进制数表示时,所述n位二进制数的第t位为0,其余n-1位均为1,其中 $0<t<q$;

所述校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的;或者所述校验冻结比特中的至少一个为预设的值;

所述发送设备发送编码后的序列。

2. 根据权利要求1所述的方法,其特征在于,所述待编码的比特位置的序号的取值范围为大于等于0且小于N的任意整数;

当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者

当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者

当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者

当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者

当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者

当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者

当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者

当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者

当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。

3. 根据权利要求1或2所述的方法,其特征在于,所述q段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg}=\text{round}(P_f \cdot G_g / (K + P_f))$,其中round为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第g分段中的信息比特数目和校验冻结比特数目之和,K为信息比特数目, P_f 、g、K均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

4. 根据权利要求3所述的方法,其特征在于:

所述第g分段中的校验冻结比特位置为所述第g分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者

所述第g分段中的校验冻结比特位置为所述第g分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者

所述第g分段中的校验冻结比特位置为所述第g分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

5. 根据权利要求1至4任一项所述的方法,其特征在于,

所述待编码序列为 $[u_0, u_1, u_2, \dots, u_{N-1}]$,所述校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的;或者所述校验冻结比特中的至少一个为预设的值;所述校验冻结比特的值通过如下步骤获取:

所述发送设备对待编码序列 $[u_0, u_1, u_2, \dots, u_{N-1}]$ 中的元素,按顺序依次与循环移位寄存器进行交互操作,每一次操作后,所述循环移位寄存器按固定方向转动一位,所述循环移位寄存器长度为 p ,其初始状态 $y[0], y[1], \dots, y[p-1]$ 为已知的长度为 p 的二进制序列, p 为正整数且为质数;

若 u_i 所在位置不是所述校验冻结比特位置,则所述寄存器的 $y[x] = (u_i \text{ XOR } y[x])$

若 u_i 所在位置是所述校验冻结比特位置,则所述校验冻结比特为 $u_i = y[x]$

其中 $i = 0, 1, \dots, N-1, y[x]$ 为所述循环移位寄存器中第 x 个寄存器的状态, $0 \leq x \leq p-1, i, x$ 为整数。

6. 一种极化Polar译码方法,其特征在于,

接收设备对接收到的待译码序列进行Polar译码,得到已译码序列,其中所述Polar码的母码长度为 N ,所述待译码序列长度为 N ,所述待译码序列中包括冻结比特、校验冻结比特和信息比特,所述待译码序列包括 q 段;所述 $N = 2^n$, n 和 q 为正整数,所述 $q = n$ 或 $q < n$,所述待译码序列包括 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0 < t < q$ 。

7. 根据权利要求6所述的方法,其特征在于,所述待译码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数;

当 $N = 16$,分段点对应的比特位置的序号集合为 $[7 \ 11]$;或者

当 $N = 32$,分段点对应的比特位置的序号集合为 $[15 \ 23 \ 27]$;或者

当 $N = 64$,分段点对应的比特位置的序号集合为 $[31 \ 47 \ 55 \ 59]$;或者

当 $N = 128$,分段点对应的比特位置的序号集合为 $[63 \ 95 \ 111 \ 119 \ 123]$;或者

当 $N = 256$,分段点对应的比特位置的序号集合为 $[127 \ 191 \ 223 \ 239 \ 247 \ 251]$;或者

当 $N = 512$,分段点对应的比特位置的序号集合为 $[255 \ 383 \ 447 \ 479 \ 495 \ 503 \ 507]$;或者

当 $N = 1024$,分段点对应的比特位置的序号集合为 $[511 \ 767 \ 895 \ 959 \ 991 \ 1007 \ 1015 \ 1019]$;或者

当 $N = 2048$,分段点对应的比特位置的序号集合为 $[1023 \ 1535 \ 1791 \ 1919 \ 1983 \ 2015 \ 2031 \ 2039 \ 2043]$;或者

当 $N = 4096$,分段点对应的比特位置的序号集合为 $[2047 \ 3071 \ 3583 \ 3839 \ 3967 \ 4031 \ 4065 \ 4079 \ 4087 \ 4091]$ 。

8. 根据权利要求6或7所述的方法,其特征在于,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg} = \text{round}(P_f * G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f, g, K 均为正整数, G_g, P_{fg} 为非负整数, $0 < g \leq q$ 。

9. 根据权利要求8所述的方法,其特征在于:

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与发送

设备约定的 P_{fg} 个比特位置。

10. 一种极化Polar编码装置,其特征在于,包括:

编码模块,所述编码模块用于对待编码序列进行Polar编码,其中所述Polar码的母码长度为 N ,所述待编码序列中包括冻结比特、校验冻结比特和信息比特,所述待编码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q<n$,所述待编码序列包括 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0<t<q$;

处理模块,用于根据所述冻结比特和信息比特中的至少一个确定所述校验冻结比特中至少有一个的值;或者用于确定所述校验冻结比特中的至少一个为预设的值;

发送模块,用于发送编码后的序列。

11. 根据权利要求10所述的装置,其特征在于,所述待编码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数;

当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者

当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者

当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者

当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者

当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者

当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者

当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者

当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者

当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。

12. 根据权利要求10或11所述的装置,其特征在于,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg}=\text{round}(P_f \cdot G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

13. 根据权利要求12所述的装置,其特征在于:

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

14. 根据权利要求10至13任一项所述的装置,其特征在于,

所述待编码序列为 $[u_0, u_1, u_2, \dots, u_{N-1}]$,所述校验冻结比特中至少有一个的值是所述处理模块根据所述冻结比特和信息比特中的至少一个确定的;或者所述校验冻结比特中的至

少一个为预设的值;所述校验冻结比特的值由所述处理模块通过如下步骤获取:

所述发送装置对待编码序列 $[u_0, u_1, u_2, \dots, u_{N-1}]$ 中的元素,按顺序依次与循环移位寄存器进行交互操作,每一次操作后,所述循环移位寄存器按固定方向转动一位,所述循环移位寄存器长度为 p ,其初始状态 $y[0], y[1], \dots, y[p-1]$ 为已知的长度为 p 的二进制序列, p 为正整数且为质数;

若 u_i 所在位置不是所述校验冻结比特位置,则所述寄存器的 $y[x] = (u_i \text{ XOR } y[x])$

若 u_i 所在位置是所述校验冻结比特位置,则所述校验冻结比特为 $u_i = y[x]$

其中 $i = 0, 1, \dots, N-1, y[x]$ 为所述循环移位寄存器中第 x 个寄存器的状态, $0 \leq x \leq p-1, i, x$ 为整数。

15. 一种极化Polar译码装置,其特征在于,包括,

获取模块,用于获取待译码序列;

译码模块,用于对接收到的待译码序列进行Polar译码,得到已译码序列,其中所述Polar码的母码长度为 N ,所述待译码序列长度为 N ,所述待译码序列中包括冻结比特、校验冻结比特和信息比特,所述待译码序列包括 q 段;所述 $N = 2^n, n$ 和 q 为正整数,所述 $q = n$ 或 $q < n$;以及

处理模块,用于将所述待译码序列分为 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0 < t < q$ 。

16. 根据权利要求15所述的装置,其特征在于,所述待译码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数;

当 $N = 16$,分段点对应的比特位置的序号集合为 $[7 \ 11]$;或者

当 $N = 32$,分段点对应的比特位置的序号集合为 $[15 \ 23 \ 27]$;或者

当 $N = 64$,分段点对应的比特位置的序号集合为 $[31 \ 47 \ 55 \ 59]$;或者

当 $N = 128$,分段点对应的比特位置的序号集合为 $[63 \ 95 \ 111 \ 119 \ 123]$;或者

当 $N = 256$,分段点对应的比特位置的序号集合为 $[127 \ 191 \ 223 \ 239 \ 247 \ 251]$;或者

当 $N = 512$,分段点对应的比特位置的序号集合为 $[255 \ 383 \ 447 \ 479 \ 495 \ 503 \ 507]$;或者

当 $N = 1024$,分段点对应的比特位置的序号集合为 $[511 \ 767 \ 895 \ 959 \ 991 \ 1007 \ 1015 \ 1019]$;或者

当 $N = 2048$,分段点对应的比特位置的序号集合为 $[1023 \ 1535 \ 1791 \ 1919 \ 1983 \ 2015 \ 2031 \ 2039 \ 2043]$;或者

当 $N = 4096$,分段点对应的比特位置的序号集合为 $[2047 \ 3071 \ 3583 \ 3839 \ 3967 \ 4031 \ 4065 \ 4079 \ 4087 \ 4091]$ 。

17. 根据权利要求15或16所述的装置,其特征在于,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg} = \text{round}(P_f * G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f, g, K 均为正整数, G_g, P_{fg} 为非负整数, $0 < g \leq q$ 。

18. 根据权利要求17所述的装置,其特征在于:

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位

置序号最小的 P_{fg} 个比特位置;或者

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者

所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与发送设备约定的 P_{fg} 个比特位置。

19. 一种极化Polar编码实体装置,其特征在于,包括:

存储器,用于存储执行指令;

处理器,用于读取所述存储器存储的指令,以执行权利要求1到5中任意一项所述的方法。

20. 一种极化Polar译码实体装置,其特征在于,包括:

存储器,用于存储执行指令;

处理器,用于读取所述存储器存储的指令,以执行权利要求6到9中任意一项中所述的方法。

数据的传输方法和装置

技术领域

[0001] 本申请涉及通信技术,尤其涉及一种Polar(极化)码的编码方法和装置。

背景技术

[0002] 无线通信的快速演进预示着未来第五代(Fifth Generation,5G)通信系统将呈现出一些新的特点,最典型的三个通信场景包括增强移动宽带(Enhance Mobile Broadband,eMBB)、海量机器连接通信(Massive Machine Type Communication,mMTC)和高可靠低延迟通信(Ultra Reliable and Low Latency Communications,URLLC)。这些通信场景的需求将对现有长期演进(Long Term Evolution,LTE)技术提出新的挑战。通信系统通常采用信道编码提高数据传输的可靠性,保证通信的质量。信道编码作为最基本的无线接入技术,是满足5G通信需求的重要研究对象之一。

[0003] 最近,Arikan基于信道极化提出了一种编码方式,起名为极化码(Polar Codes)。极化码是第一种、也是已知的唯一一种能够被严格证明“达到”信道容量的信道编码方法。在不同码长下,尤其对于有限码,Polar码的性能远优于Turbo码和LDPC码。另外,Polar码在编译码方面具有较低的计算复杂度。这些优点让Polar码在5G中具有很大的发展和应用前景,并在3GPP(the 3rd Generation Partner Project,第三代合作伙伴项目)RAN1(RAN的英文全称:Radio Access Network;RAN的中文全称:无线接入网络)87次会议上被接纳用于eMBB业务的控制信道编码。

[0004] 极化(Polar)码是可以取得香农容量且具有低编译码复杂度的编码方式。Polar码是一种线性块码。其生成矩阵为 G_N ,其编码过程为 $x_1^N = u_1^N G_N$,其中, $u_1^N = (u_1, u_2, \dots, u_N)$ 是一个二进制的行矢量, $G_N = B_N F_2^{\otimes(\log_2(N))}$,码长 $N=2^n$, n 为正整数。

[0005] $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$, B_N 是一个 $N \times N$ 转置矩阵,例如比特反转(bit reversal)矩阵,需注意

B_N 并非必选的操作(相当于 B_N 为单位阵)。 $F_2^{\otimes(\log_2(N))}$ 是 F_2 的克罗内克幂(Kronecker power),定义为 $F^{\otimes(\log_2(N))} = F \otimes F^{\otimes((\log_2(N))-1)}$ 。

[0006] 具体而言,Polar码是一种依赖于信道(Channel dependent)的编码,它对 N 个相同的信道 W 进行Polar Codes码极化处理,得到 N 个极化信道,当然,这 N 个极化信道的巴氏参数(Bhattacharyya parameter)要么趋于0,要么趋于1。Polar Codes码在实际应用时,一个重要的工作是针对不同信道 W ,计算所有 $N=2^n$ 个极化信道的可靠度,然后选取其中的 K 个可靠度较高的极化信道,把这些极化信道对应的位置索引号集合称为信息集合 \mathcal{A} 。另外的一部分比特置为收发端预先约定的固定值,称之为冻结(英文翻译:frozen)比特,其序号的集合用 \mathcal{A} 的补集 \mathcal{A}^c 表示。Polar码编码时,把 K 个信息符号放置到信息集合对应的位置上,其余 $(N-K)$ 个位置(称为冻结集合(Frozen Set))放置固定已知符号,一般可以取该 $N-K$ 个固定已知符号为全0符号,其中, $K \leq N$ 。实际上,只需要收发端预先约定,冻结比特的值可以被任意

设置。由于极化信道与比特一一对应,所以极化信道也常常用比特位置来说明。

[0007] 随着Polar码技术的发展,原有的编码方式需要改进,以适应各种场景。

发明内容

[0008] 本申请提供一种Polar码的编码方法和装置。

[0009] 本申请第一方面提供一种Polar码的编码方法,包括:

[0010] 发送设备对所述待编码序列进行Polar编码,其中所述Polar码的母码长度为 N ,所述待编码序列中包括冻结比特、校验冻结比特和信息比特,所述待编码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q<n$;

[0011] 所述校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的;或者所述校验冻结比特中的至少一个为预设的值;

[0012] 所述发送设备发送编码后的序列。

[0013] 利用本方法,发送设备根据预设规则将待编码序列分段,确定每一分段中的校验冻结比特数目及位置、信息比特数目和位置、冻结比特位置数目和位置,随后将信息比特和冻结比特放入相应位置,并确定校验冻结比特的值,随后对待编码序列进行Polar码编码并发送。该方法简化了校验冻结比特数目与位置的确认过程,有效地提升了处理效率。使得校验冻结比特位置与可靠度计算方式解耦,简化校验冻结比特位置与取值的确认,有效地提升了处理效率。

[0014] 在一种可能的实现中,所述待编码序列包括 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0<t<q$ 。

[0015] 在一种可能的实现中,所述待编码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数:

[0016] 当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者

[0017] 当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者

[0018] 当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者

[0019] 当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者

[0020] 当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者

[0021] 当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者

[0022] 当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者

[0023] 当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者

[0024] 当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。

[0025] 在一种可能的实现中,所述分段点通过 $n=\log_2 N$ 位移位寄存器确定。

[0026] 在一种可能的实现中,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg}=\text{round}$

$(P_f * G_g / (K + P_f))$), 其中round为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

[0027] 在一种可能的实现中, 在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数, 例如取整的方式, 例如与等长分段类似的尽量平均分配校验冻结比特数目的方式, 或者任一发送设备与接收设备约定好的分配方式。

[0028] 在一种可能的实现中, 所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外, 比特位置序号最小的 P_{fg} 个比特位置; 或者, 所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外, 比特位置序号最大的 P_{fg} 个比特位置; 或者, 所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外, 与接收设备约定的 P_{fg} 个比特位置。

[0029] 在一种可能的实现中, 所述待编码序列为 $[u_0, u_1, u_2, \dots, u_{N-1}]$, 所述校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的; 或者所述校验冻结比特中的至少一个为预设的值; 所述校验冻结比特的值通过如下步骤获取:

[0030] 所述发送设备对待编码序列 $[u_0, u_1, u_2, \dots, u_{N-1}]$ 中的元素, 按顺序依次与循环移位寄存器进行交互操作, 每一次操作后, 所述循环移位寄存器按固定方向转动一位, 所述循环移位寄存器长度为 p , 其初始状态 $y[0], y[1], \dots, y[p-1]$ 为已知的长度为 p 的二进制序列, p 为正整数且为质数;

[0031] 若 u_i 所在位置不是所述校验冻结比特位置, 则所述寄存器的 $y[x] = (u_i \text{ XOR } y[x])$

[0032] 若 u_i 所在位置是所述校验冻结比特位置, 则所述校验冻结比特为 $u_i = y[x]$

[0033] 其中 $i = 0, 1, \dots, N-1$, $y[x]$ 为所述循环移位寄存器中第 x 个寄存器的状态, $0 \leq x \leq p-1$, i, x 为整数。

[0034] 在一种可能的实现中, 所述顺序为从左至右或者从右至左或者任一发送设备与接收设备统一的顺序。

[0035] 在一种可能的实现中, 固定方向为顺时针或者逆时针。

[0036] 在一种可能的实现中, 所述待编码序列包括 q 段, 其中每一段中包括的比特位置的数目相同, $q = 2^v$ 段, v 是正整数, $0 < v < n$ 。

[0037] 在一种可能的实现中, 校验冻结比特位置在 q 段中按每一分段的平均可靠度从高到低依次在每一分段上取一个比特位置选取, 其中, 取每一分段中除冻结比特位置外可靠度最低的比特位置, 或者取每一分段中除冻结比特位置外可靠度最高的比特位置, 或者是取任一发送设备与接收设备约定好的比特位置。

[0038] 本申请的第二方面提供一种Polar码译码方法, 包括:

[0039] 接收设备对接收到的待译码序列进行Polar译码, 得到已译码序列, 其中所述Polar码的母码长度为 N , 所述待译码序列长度为 N , 所述待译码序列中包括冻结比特、校验冻结比特和信息比特, 所述待译码序列包括 q 段; 所述 $N = 2^n$, n 和 q 为正整数, 所述 $q = n$ 或 $q < n$ 。

[0040] 在一种可能的实现中, 所述待译码序列包括 q 段, 其中第 t 个分段点所在的比特位置的序号为 B_t , 所述 B_t 用 n 位二进制数表示时, 所述 n 位二进制数的第 t 位为0, 其余 $n-1$ 位均为1, 其中 $0 < t < q$ 。

[0041] 在一种可能的实现中,所述待译码的比特位置的序号的取值范围为大于等于0且小于N的任意整数;

[0042] 当 $N=16$,分段点对应的比特位置的序号集合为 $[7\ 11]$;或者

[0043] 当 $N=32$,分段点对应的比特位置的序号集合为 $[15\ 23\ 27]$;或者

[0044] 当 $N=64$,分段点对应的比特位置的序号集合为 $[31\ 47\ 55\ 59]$;或者

[0045] 当 $N=128$,分段点对应的比特位置的序号集合为 $[63\ 95\ 111\ 119\ 123]$;或者

[0046] 当 $N=256$,分段点对应的比特位置的序号集合为 $[127\ 191\ 223\ 239\ 247\ 251]$;或者

[0047] 当 $N=512$,分段点对应的比特位置的序号集合为 $[255\ 383\ 447\ 479\ 495\ 503\ 507]$;或者

[0048] 当 $N=1024$,分段点对应的比特位置的序号集合为 $[511\ 767\ 895\ 959\ 991\ 1007\ 1015\ 1019]$;或者

[0049] 当 $N=2048$,分段点对应的比特位置的序号集合为 $[1023\ 1535\ 1791\ 1919\ 1983\ 2015\ 2031\ 2039\ 2043]$;或者

[0050] 当 $N=4096$,分段点对应的比特位置的序号集合为 $[2047\ 3071\ 3583\ 3839\ 3967\ 4031\ 4065\ 4079\ 4087\ 4091]$ 。

[0051] 在一种可能的实现中,所述分段点通过 $n=\log_2N$ 位移寄存器确定。

[0052] 在一种可能的实现中,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg}=\text{round}(P_f * G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

[0053] 在一种可能的实现中,在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数,例如取整的方式,例如与等长分段类似的尽量平均分配校验冻结比特数目的方式,或者任一发送设备与接收设备约定好的分配方式。

[0054] 在一种可能的实现中,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

[0055] 在一种可能的实现中,所述待编码序列包括 q 段,其中每一段中包括的比特位置的数目相同, $q=2^v$ 段, v 是正整数, $0 < v < n$ 。

[0056] 在一种可能的实现中,校验冻结比特位置在 q 段中按每一分段的平均可靠度从高到低依次在每一分段上取一个比特位置选取,其中,取每一分段中除冻结比特位置外可靠度最低的比特位置,或者取每一分段中除冻结比特位置外可靠度最高的比特位置,或者是取任一发送设备与接收设备约定好的比特位置。

[0057] 本申请的第三方面提供一种极化Polar编码装置,包括:

[0058] 编码模块,所述编码模块用于对待编码序列进行Polar编码,其中所述Polar码的码字长度为 N ,所述待编码序列中包括冻结比特、校验冻结比特和信息比特,所述待编码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q < n$;

[0059] 处理模块,用于根据所述冻结比特和信息比特中的至少一个确定所述校验冻结比特中至少有一个的值;或者用于确定所述校验冻结比特中的至少一个为预设的值;

[0060] 发送模块,用于发送编码后的序列。

[0061] 在一种可能的实现中,所述待编码序列包括 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0 < t < q$ 。

[0062] 在一种可能的实现中,所述待编码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数:

[0063] 当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者

[0064] 当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者

[0065] 当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者

[0066] 当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者

[0067] 当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者

[0068] 当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者

[0069] 当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者

[0070] 当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者

[0071] 当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。

[0072] 在一种可能的实现中,所述分段点通过 $n = \log_2 N$ 位移位寄存器确定。

[0073] 在一种可能的实现中,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg} = \text{round}(P_f * G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

[0074] 在一种可能的实现中,在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数,例如取整的方式,例如与等长分段类似的尽量平均分配校验冻结比特数目的方式,或者任一发送设备与接收设备约定好的分配方式。

[0075] 在一种可能的实现中,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

[0076] 在一种可能的实现中,所述待编码序列为 $[u_0, u_1, u_2, \dots, u_{N-1}]$,所述校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的;或者所述校验冻结比特中的至少一个为预设的值;所述校验冻结比特的值通过如下步骤获取:

[0077] 所述发送设备对待编码序列 $[u_0, u_1, u_2, \dots, u_{N-1}]$ 中的元素,按顺序依次与循环移位

寄存器进行交互操作,每一次操作后,所述循环移位寄存器按固定方向转动一位,所述循环移位寄存器长度为 p ,其初始状态 $y[0], y[1], \dots, y[p-1]$ 为已知的长度为 p 的二进制序列, p 为正整数且为质数;

[0078] 若 u_i 所在位置不是所述校验冻结比特位置,则所述寄存器的 $y[x] = (u_i \text{ XOR } y[x])$

[0079] 若 u_i 所在位置是所述校验冻结比特位置,则所述校验冻结比特为 $u_i = y[x]$

[0080] 其中 $i = 0, 1, \dots, N-1, y[x]$ 为所述循环移位寄存器中第 x 个寄存器的状态, $0 \leq x \leq p-1, i, x$ 为整数。

[0081] 在一种可能的实现中,所述顺序为从左至右或者从右至左或者任一发送设备与接收设备统一的顺序。

[0082] 在一种可能的实现中,固定方向为顺时针或者逆时针。

[0083] 在一种可能的实现中,所述待编码序列包括 q 段,其中每一段中包括的比特位置的数目相同, $q = 2^v$ 段, v 是正整数, $0 < v < n$ 。

[0084] 在一种可能的实现中,校验冻结比特位置在 q 段中按每一分段的平均可靠度从高到低依次在每一分段上取一个比特位置选取,其中,取每一分段中除冻结比特位置外可靠度最低的比特位置,或者取每一分段中除冻结比特位置外可靠度最高的比特位置,或者是取任一发送设备与接收设备约定好的比特位置。

[0085] 本申请的第四方面提供一种极化Polar译码装置,包括,

[0086] 获取模块,用于获取待译码序列;

[0087] 译码模块,用于对接收到的待译码序列进行Polar译码,得到已译码序列,其中所述Polar码的母码长度为 N ,所述待译码序列长度为 N ,所述待译码序列中包括冻结比特、校验冻结比特和信息比特,所述待译码序列包括 q 段;所述 $N = 2^n$, n 和 q 为正整数,所述 $q = n$ 或 $q < n$ 。

[0088] 在一种可能的实现中,所述装置还包括:

[0089] 处理模块,用于将所述待译码序列分为 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0 < t < q$ 。

[0090] 在一种可能的实现中,所述待译码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数;

[0091] 当 $N = 16$,分段点对应的比特位置的序号集合为[7 11];或者

[0092] 当 $N = 32$,分段点对应的比特位置的序号集合为[15 23 27];或者

[0093] 当 $N = 64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者

[0094] 当 $N = 128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者

[0095] 当 $N = 256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者

[0096] 当 $N = 512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者

[0097] 当 $N = 1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者

[0098] 当 $N = 2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983

2015 2031 2039 2043];或者

[0099] 当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。

[0100] 在一种可能的实现中,所述分段点通过 $n=\log_2 N$ 位移位寄存器确定。

[0101] 在一种可能的实现中,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg}=\text{round}(P_f * G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

[0102] 在一种可能的实现中,在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数,例如取整的方式,例如与等长分段类似的尽量平均分配校验冻结比特数目的方式,或者任一发送设备与接收设备约定好的分配方式。

[0103] 在一种可能的实现中,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

[0104] 在一种可能的实现中,所述待编码序列包括 q 段,其中每一段中包括的比特位置的数目相同, $q=2^v$ 段, v 是正整数, $0 < v < n$ 。

[0105] 在一种可能的实现中,校验冻结比特位置在 q 段中按每一分段的平均可靠度从高到低依次在每一分段上取一个比特位置选取,其中,取每一分段中除冻结比特位置外可靠度最低的比特位置,或者取每一分段中除冻结比特位置外可靠度最高的比特位置,或者是取任一发送设备与接收设备约定好的比特位置。

[0106] 本申请的第五方面提供一种极化Polar码编码实体装置,包括:

[0107] 存储器,用于存储执行指令;

[0108] 处理器,用于读取所述存储器存储的指令,所述处理器用于对待编码序列进行Polar编码,其中所述Polar码的母码长度为 N ,所述待编码序列中包括冻结比特、校验冻结比特和信息比特,所述待编码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q < n$;

[0109] 所述处理器还用于根据所述冻结比特和信息比特中的至少一个确定所述校验冻结比特中至少有一个的值;或者用于确定所述校验冻结比特中的至少一个为预设的值;

[0110] 在一种可能的实现中,所述设备还包括发送器,用于发送编码后的序列。

[0111] 在一种可能的实现中,所述存储器可以是独立的,也可以跟所述处理器集成在一起。

[0112] 当所述存储器是独立于所述处理器之外的器件时,所述装置还可以包括:

[0113] 总线,用于连接所述存储器和处理器。

[0114] 在一种可能的实现中,所述待编码序列包括 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0 < t < q$ 。

[0115] 在一种可能的实现中,所述待编码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数:

- [0116] 当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者
- [0117] 当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者
- [0118] 当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者
- [0119] 当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者
- [0120] 当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者
- [0121] 当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者
- [0122] 当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者
- [0123] 当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者
- [0124] 当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。
- [0125] 在一种可能的实现中,所述分段点通过 $n=\log_2N$ 位移位寄存器确定。
- [0126] 在一种可能的实现中,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg}=\text{round}(P_f \cdot G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。
- [0127] 在一种可能的实现中,在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数,例如取整的方式,例如与等长分段类似的尽量平均分配校验冻结比特数目的方式,或者任一发送设备与接收设备约定好的分配方式。
- [0128] 在一种可能的实现中,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。
- [0129] 在一种可能的实现中,所述待编码序列为 $[u_0, u_1, u_2, \dots, u_{N-1}]$,所述校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的;或者所述校验冻结比特中的至少一个为预设的值;所述校验冻结比特的值通过如下步骤获取:
- [0130] 所述发送装置对待编码序列 $[u_0, u_1, u_2, \dots, u_{N-1}]$ 中的元素,按顺序依次与循环移位寄存器进行交互操作,每一次操作后,所述循环移位寄存器按固定方向转动一位,所述循环移位寄存器长度为 p ,其初始状态 $y[0], y[1], \dots, y[p-1]$ 为已知的长度为 p 的二进制序列, p 为正整数且为质数;
- [0131] 若 u_i 所在位置不是所述校验冻结比特位置,则所述寄存器的 $y[x] = (u_i \text{ XOR } y[x])$
- [0132] 若 u_i 所在位置是所述校验冻结比特位置,则所述校验冻结比特为 $u_i = y[x]$
- [0133] 其中 $i=0, 1, \dots, N-1$, $y[x]$ 为所述循环移位寄存器中第 x 个寄存器的状态, $0 \leq x \leq p-1$, i 、 x 为整数。
- [0134] 在一种可能的实现中,所述顺序为从左至右或者从右至左或者任一发送设备与接

收设备统一的顺序。

[0135] 在一种可能的实现中,固定方向为顺时针或者逆时针。

[0136] 在一种可能的实现中,所述待编码序列包括 q 段,其中每一段中包括的比特位置的数目相同, $q=2^v$ 段, v 是正整数, $0<v<n$ 。

[0137] 在一种可能的实现中,校验冻结比特位置在 q 段中按每一分段的平均可靠度从高到低依次在每一分段上取一个比特位置选取,其中,取每一分段中除冻结比特位置外可靠度最低的比特位置,或者取每一分段中除冻结比特位置外可靠度最高的比特位置,或者是取任一发送设备与接收设备约定好的比特位置。

[0138] 本申请的第六方面提供一种极化Polar码译码装置,包括,

[0139] 存储器,用于存储执行指令;

[0140] 处理器,用于读取所述存储器存储的指令;所述处理器用于对接收到的待译码序列进行Polar译码,得到已译码序列,其中所述Polar码的母码长度为 N ,所述待译码序列长度为 N ,所述待译码序列中包括冻结比特、校验冻结比特和信息比特,所述待译码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q<n$ 。

[0141] 在一种可能的实现中,所述装置还包括:

[0142] 接收器,用于接收待译码信号,并将待译码的信号发送给处理器。

[0143] 在一种可能的实现中,所述处理器用于将所述待译码序列分为 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0<t<q$ 。

[0144] 在一种可能的实现中,所述存储器可以是独立的,也可以跟所述处理器集成在一起。

[0145] 当所述存储器是独立于所述处理器之外的器件时,所述装置还可以包括:

[0146] 总线,用于连接所述存储器和处理器。

[0147] 在一种可能的实现中,所述待译码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数;

[0148] 当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者

[0149] 当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者

[0150] 当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者

[0151] 当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者

[0152] 当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者

[0153] 当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者

[0154] 当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者

[0155] 当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者

[0156] 当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。

[0157] 在一种可能的实现中,所述分段点通过 $n = \log_2 N$ 位移寄存器确定。

[0158] 在一种可能的实现中,所述 q 段中每一分段校验冻结比特的数目 P_{fg} 为 $P_{fg} = \text{round}(P_f * G_g / (K + P_f))$,其中 round 为四舍五入操作, P_f 为校验冻结比特数目, G_g 为第 g 分段中的信息比特数目和校验冻结比特数目之和, K 为信息比特数目, P_f 、 g 、 K 均为正整数, G_g 、 P_{fg} 为非负整数, $0 < g \leq q$ 。

[0159] 在一种可能的实现中,在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数,例如取整的方式,例如与等长分段类似的尽量平均分配校验冻结比特数目的方式,或者任一发送设备与接收设备约定好的分配方式。

[0160] 在一种可能的实现中,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者,所述第 g 分段中的校验冻结比特位置为所述第 g 分段中除所述冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

[0161] 在一种可能的实现中,所述待编码序列包括 q 段,其中每一段中包括的比特位置的数目相同, $q = 2^v$ 段, v 是正整数, $0 < v < n$ 。

[0162] 在一种可能的实现中,校验冻结比特位置在 q 段中按每一分段的平均可靠度从高到低依次在每一分段上取一个比特位置选取,其中,取每一分段中除冻结比特位置外可靠度最低的比特位置,或者取每一分段中除冻结比特位置外可靠度最高的比特位置,或者是取任一发送设备与接收设备约定好的比特位置。

[0163] 本申请第七方面提供一种可读存储介质,可读存储介质中存储有执行指令,当发送设备的至少一个处理器执行该执行指令时,发送设备执行上述第一方面或者第一方面的各种实施方式提供的数据的发送方法。

[0164] 本申请第八方面提供一种可读存储介质,可读存储介质中存储有执行指令,当接收设备的至少一个处理器执行该执行指令时,接收设备执行上述第二方面或者第二方面的各种实施方式提供的数据的接收方法。

[0165] 本申请第九方面提供一种程序产品,该程序产品包括执行指令,该执行指令存储在可读存储介质中。发送设备的至少一个处理器可以从可读存储介质读取该执行指令,至少一个处理器执行该执行指令使得发送设备实施第一方面或者第一方面的各种实施方式提供的数据的发送方法。

[0166] 本申请第十方面提供一种程序产品,该程序产品包括执行指令,该执行指令存储在可读存储介质中。接收设备的至少一个处理器可以从可读存储介质读取该执行指令,至少一个处理器执行该执行指令使得接收设备实施上述第二方面或者第二方面的各种实施方式提供的数据的接收方法。

附图说明

[0167] 图1为本申请提供的一种系统架构示意图;

[0168] 图2为本申请提供的待编码序列等长分段的实施例示意图;

[0169] 图3为本申请提供的Polar码编码方法实施例的流程示意图;

[0170] 图4为本申请提供的冻结比特、校验冻结比特和信息比特的位置集合按可靠度排

序的示意图；

- [0171] 图5为本申请提供的待编码序列不等长分段的实施例示意图；
- [0172] 图6为本申请提供的移位寄存器结构示意图；
- [0173] 图7为本申请提供的校验冻结比特值确认的示例示意图；
- [0174] 图8为本申请提供的Polar码译码方法实施例的流程示意图；
- [0175] 图9为本申请提供的发送装置实施例的结构示意图；
- [0176] 图10为本申请提供的接收装置实施例的结构示意图；
- [0177] 图11为本申请提供的编码实体装置实施例的结构示意图；
- [0178] 图12为本申请提供的译码实体装置实施例的结构示意图。

具体实施方式

[0179] 本申请的技术方案可应用于wifi、4G、5G以及未来的通信系统中。图1为本申请提供的数据的发送方法或接收方法的一种系统架构示意图，如图1所示，该系统架构中包括网络设备（例如基站）以及终端，也可以是Wifi的接入点，Wifi终端等。该方案中网络设备和终端的数量不做限制。网络设备向终端传输下行数据而终端向基站传输上行数据。在上行数据或者下行数据的传输过程中，均可采用后续提供的方法。

[0180] 上述架构中，网络设备可以是基站或者能够提供与基站类似功能的其他设备，为终端设备提供通信服务；终端可以是：移动台（mobile station，简称MS），用户单元（subscriber unit）、蜂窝电话（cellular phone）、智能电话（smart phone）、无线数据卡、个人数字助理（personal digital assistant，PDA）电脑、平板型电脑、无线调制解调器（modem）、手持设备（handheld）、膝上型电脑（laptop computer）、无绳电话（cordless phone）或者无线本地环路（wireless local loop，WLL）台、机器类型通信（machine type communication，MTC）终端等。为方便描述，本申请所有实施例中，上面提到的设备统称为终端。

[0181] 在D2D（英文名称：Device-to-Device；中文名称：设备对设备）通信中，网络设备还可以是承担基站功能的终端。除此之外，基站又称为无线接入网（Radio Access Network，RAN）设备，是一种将终端接入到无线网络的设备，上述架构中的基站还可以是全球移动通讯（Global System for Mobile communication，GSM）或码分多址（Code Division Multiple Access，CDMA）中的基站（Base Transceiver Station，BTS），也可以是宽带码分多址（Wideband Code Division Multiple Access，WCDMA）中的基站（NodeB，NB），还可以是长期演进（Long Term Evolution，LTE）中的演进型基站（Evolutional Node B，eNB或eNodeB），或者中继站或接入点，或者5G网络以及未来通信网络中的基站等，在此并不限定。

[0182] Parity-Check-Polar（PC-Polar，奇偶校验Polar）是一种改进型Polar码，它在冻结比特中选取一些信道作为PC信道，在这些信道中，PC-function（中文翻译：校验函数）被用来进行纠错。在每一个PC信道位置，所有与PC-function相关的已译码比特会用来辅助进行list（中文翻译：列表）译码的剪枝：只有满足PC-function或PC-frozen的路径才能生存，其余路径随着译码进程被删除。这种方式有效地进一步提升了译码性能，但是确认PC信道的时候，也即在待编码的序列中确定校验冻结比特位置的时候，搜索过程较为复杂，这种PC-Polar与计算可靠度的方法密切相关，只能基于极化权重的计算方法中的参数来确定可

靠度和校验冻结比特数目,这导致收发两端要么每次都要通过复杂的计算过程得到校验冻结比特的个数和位置,引起不必要的延迟,要么需要保存一个庞大的表格将各种码长各种码率下的校验比特个数和位置保存下来,占用较多的存储空间。

[0183] 通过对极化信道的可靠度的分析,可以看到可靠度的分布具有一定的规律,具体表现在可以在整个序列中分成若干段,每一分段中可靠度的分布都具有相似性,比如图2中,取母码长度为 $N=256$ 的Polar码,分为8段,每一分段中的变化趋势都是相似的,本申请即利用这种特性,使得校验冻结比特位置与可靠度计算方式解耦,简化校验冻结比特位置与取值的确认,有效地提升了处理效率。

[0184] 为方便起见,首先给出本申请中可能用到的参数的定义,见表1:

[0185] 表1

| | | |
|--------|----|--|
| [0186] | K | 信息比特数量 |
| | M | 编码后比特序列长度 |
| | N | 母码长度, 等于 $2^{\lceil \log_2(M) \rceil}$ |
| | R | 码率 (K/M) |
| | F | 冻结比特位置集合 |
| | PF | PC冻结比特位置集合 |
| | n | $\log_2(N)$ |
| | I | 信息比特位置集合 |

[0187] 可选的,表1中的信息比特中还可能包括填充比特、CRC (英文全称:Cyclic redundancy check;中文全称:循环冗余校验) 校验比特等在译码端必须进行路径扩展的比特。

[0188] 图3为本申请提供的编码方法的流程示意图,如图3所示,在图1所示的应用示意图的基础上,网络设备或者终端均可以作为发送设备或者接收设备,该方法的具体包括以下步骤:

[0189] S301:发送设备获取用于待编码序列的长度 N ,以及其中的信息比特数目 K 、校验冻结比特数目 P_f 、冻结比特的数目及位置。

[0190] 其中 K 的值根据码率 R 和编码后的序列长度 M 确定, $K=M*R$,待编码序列的长度(即母码长度) $N=2^{\lceil \log_2(M) \rceil}$,这里的 $\lceil \cdot \rceil$ 是上取整函数,可选的,也可以通过 $\log_2 M$ 下取整的方法来确定 N 。

[0191] P_f 的值可以预先给定,或者根据与 M 、 K 相关的函数来确定,例如通过表2来确定,其中第一列代表 K ,第一行代表码率 R ,表格中数值代表典型的 P_f 值。

[0192] 表2

| | | | | |
|--------|------|-----|-----|-----|
| | 1/12 | 1/6 | 1/3 | 1/2 |
| [0193] | 32 | 16 | 12 | 16 |
| | 48 | 16 | 12 | 16 |
| | 64 | 20 | 12 | 16 |
| | 80 | 20 | 16 | 16 |
| | 120 | 24 | 24 | 24 |
| [0194] | 200 | 24 | 24 | 24 |

[0195] 表2中所示的是个示例,具体的取值方法还取决于速率匹配方案或者其他可能的具体实现方式,一般地,实际系统中的最优 P_f 值在表格中典型值的 ± 8 范围内的正整数。

[0196] 不失一般性,本申请以预先给定 P_f 值为例,例如 $P_f=8, 16, 18, 20$ 等值。

[0197] 由于本申请的方法与具体的打孔模式无关,而且在编码的时候打孔的比特的位置也都是放置冻结比特,因此本申请将打孔比特位置也统一归为冻结比特位置,具体的冻结比特取值和打孔模式只需要在发送设备和接收设备统一即可,本申请不做限定。因此,冻结比特的数目为 $N-K-P_f$,在待编码序列中按可靠度排序后的位置如图4所示,即都是取可靠度最低的位置,可靠度的计算方法也只需发送设备和接收设备统一即可,本申请中同样不作限定。

[0198] S302:发送设备根据预设规则将待编码序列分为 q 段。

[0199] 需要说明的是,在 N 确定后,S302步骤即可执行,并不一定要在S301中其余操作完成后再执行。

[0200] 可选的,预设规则可以是待编码序列中的 N 个位置(也即 N 个极化信道)按序号等分为若干段,例如分为 $q=2^v$ 段, v 可以是小于 n 的任一正整数。例如,图2中 $N=256, n=8$,而 $v=3$ 。

[0201] 可选的,预设规则可以是如图5所示的不等长分段,其中 $N=512, n=9, q=8$,本例中,各个分段点是每个分段的最后一个点,该分段点所在的比特位置的序号为 B_t ,其中 $t=1, 2, \dots, q-1$,序号从0开始排列, B_t 的取值为:

[0202] 第一分段点 $B_1 = (01111111)_{\text{BIN}} = (255)_{\text{DEC}}$ (即第一分段为第0个位置到第255个位置,因此第一分段有256个位置);第二分段点 $B_2 = (10111111)_{\text{BIN}} = (383)_{\text{DEC}}$;第三分段点 $B_3 = (11011111)_{\text{BIN}} = (447)_{\text{DEC}}$;第四分段点 $B_4 = (11101111)_{\text{BIN}} = (479)_{\text{DEC}}$;第五分段点 $B_5 = (11110111)_{\text{BIN}} = (495)_{\text{DEC}}$;第六分段点 $B_6 = (11111011)_{\text{BIN}} = (503)_{\text{DEC}}$;第七分段点 $B_7 = (11111101)_{\text{BIN}} = (507)_{\text{DEC}}$,其中BIN表示二进制,DEC表示十进制。之所以这里只分为 $q=n-1=8$ 段而不是 $q=n=9$ 段,是因为按这个规律,第8段只有4个点(508, 509, 510, 511),再分的意义已经不大。当然,要按照 n 取值分为 $q=n=9$ 段也可以,则 $B_8 = (11111110)_{\text{BIN}} = (509)_{\text{DEC}}$ 。按此规律,可以得到如下取分段点的一般方式:

[0203] 若待编码序列包括 q 段,其中第 t 个分段点所在的比特位置的序号为 B_t ,所述 B_t 用 n 位二进制数表示时,所述 n 位二进制数的第 t 位为0,其余 $n-1$ 位均为1,其中 $0 < t < q$ 。

[0204] 可选的,可以用表格的形式将不同 N 对应的分段点预先保存下来。例如,若 $q=n-1$,所述待编码的比特位置的序号的取值范围为大于等于0且小于 N 的任意整数,则:

- [0205] 当 $N=16$,分段点对应的比特位置的序号集合为[7 11];或者
- [0206] 当 $N=32$,分段点对应的比特位置的序号集合为[15 23 27];或者
- [0207] 当 $N=64$,分段点对应的比特位置的序号集合为[31 47 55 59];或者
- [0208] 当 $N=128$,分段点对应的比特位置的序号集合为[63 95 111 119 123];或者
- [0209] 当 $N=256$,分段点对应的比特位置的序号集合为[127 191 223 239 247 251];或者
- [0210] 当 $N=512$,分段点对应的比特位置的序号集合为[255 383 447 479 495 503 507];或者
- [0211] 当 $N=1024$,分段点对应的比特位置的序号集合为[511 767 895 959 991 1007 1015 1019];或者
- [0212] 当 $N=2048$,分段点对应的比特位置的序号集合为[1023 1535 1791 1919 1983 2015 2031 2039 2043];或者
- [0213] 当 $N=4096$,分段点对应的比特位置的序号集合为[2047 3071 3583 3839 3967 4031 4065 4079 4087 4091]。
- [0214] 若待编码的比特位置的序号由1开始编号至 N ,则上述各分段点对应的比特位置的序号集合中的每一个元素均需加1,不再赘述。
- [0215] 具体实现中,还可以采用分段移位寄存器的方式取分段点,如图6所示,首先将首位取0,其余位取1,取出 n 个寄存器中的值即得到第一个分段点,然后依次向右循环移位一位,得到下一个分段点,直到得到所有分段点,分为 q 段。
- [0216] S303:发送设备确认每一分段中的校验冻结比特数目及位置和信息比特数目及位置:
- [0217] 若S302中的分段是以等分的方式分段,则可以按如下步骤选取校验冻结比特位置:
- [0218] 步骤PFa01:获取 q, P_f, N ,冻结比特位置集合;
- [0219] 步骤PFa02:若 $P_f > q$,执行PFa03;否则执行PFa05;
- [0220] 步骤PFa03:在 q 段中各取一个除冻结比特位置外的比特位置作为校验冻结比特位置,可以取每一分段中除冻结比特位置外可靠度最低的一个比特位置,也可以取每一分段中除冻结比特位置外可靠度最高的一个比特位置,或者是取任一发送设备与接收设备约定好的一个比特位置;
- [0221] 步骤PFa04: $P_f = P_f - q$;跳至步骤PFa02;
- [0222] 步骤PFa05:取平均可靠度最高的 P_f 个分段,在该 P_f 个分段的每一分段中各取一个除冻结比特位置外的比特位置作为校验冻结比特位置,可以取该段中除冻结比特位置和已取的校验冻结比特位置外可靠度最低的一个比特位置,也可以取该段中除冻结比特位置和已取的校验冻结比特位置外可靠度最高的一个比特位置,或者是取任一与接收设备约定好的一个比特位置。
- [0223] 步骤PFa06:发送设备根据校验冻结比特位置和冻结比特位置将剩下的位置确认为信息比特的位置。
- [0224] 可选的,在等分方式分段时,还可以采用如下的规则选取校验冻结比特位置:将各个集合(冻结比特集合,校验冻结比特集合,信息比特集合)从比特位置序列的序号最高处

记起,如果连续的两个奇偶分段中都含有除冻结比特之外的集合,那么从这两个奇偶分段的奇数段中选取固定数量的校验冻结比特位置;如果不是都含有,则跳转到下一对奇偶分段中;反复上述操作,直到达到校验冻结比特的设定值。该固定数量可以预先设定。当然,也可以从这两个奇偶分段的偶数段中选取固定数量的校验冻结比特。

[0225] 可选的,在等分方式分段时,还可以采用如下的规则选取校验冻结比特位置:在按照上述方法选取校验冻结比特位置时,第一轮每个选到的分段中只选取1个校验冻结比特的位置;在第二轮中,则将每一分段的长度扩为2倍,也即分段数减半,按减半后的分段依照第一轮的方法选取校验冻结比特位置,并依此类推,直到取完所有的校验冻结比特位置。

[0226] 无论采用哪一种选取方式,在每一选取的分段中是按照可靠度最高还是可靠度最低选取校验冻结比特位置,只需要发送设备和接收设备统一即可。

[0227] 若S302中的分段是以不等分的方式分段,例如以上述循环移位寄存器的方式确定分段点,那么在分段点确认后,可以根据如下步骤确定每一分段中的校验冻结比特:

[0228] 步骤PFb01:获取 q, P_f, N ,冻结比特位置集合;

[0229] 步骤PFb02:确定第 g 分段中的除冻结比特位置之外的位置数目 G_g, G_g 为非负整数, g 为正整数, $0 < g \leq q$,注意 G_g 有可能为0,其中包括信息比特位置和校验冻结比特位置;

[0230] 步骤PFb03:根据下述公式确定第 g 分段中的校验冻结比特数目: $P_{fg} = \text{round}(P_f * G_g / (K + P_f))$,其中round为四舍五入操作,因此 P_{fg} 有可能为0;在确定第 g 分段中的校验冻结比特数目时还可以利用其它的函数,例如取整的方式,例如与等长分段类似的尽量平均分配校验冻结比特数目的方式,或者任一发送设备与接收设备约定好的分配方式。

[0231] 步骤PFb04:确定在第 g 分段中的校验冻结比特位置为第 g 分段中除冻结比特位置外,比特位置序号最小的 P_{fg} 个比特位置;或者

[0232] 第 g 分段中的校验冻结比特位置为第 g 分段中除冻结比特位置外,比特位置序号最大的 P_{fg} 个比特位置;或者

[0233] 第 g 分段中的校验冻结比特位置为第 g 分段中除冻结比特位置外,与接收设备约定的 P_{fg} 个比特位置。

[0234] 步骤PFb05:发送设备根据校验冻结比特位置和冻结比特位置将剩下的位置确认为信息比特的位置。

[0235] 例如,按照PFb01至PFb05的步骤,在 $N=512$ 的序列中确认冻结比特位置、校验冻结比特位置、信息比特位置,假设 $K=40, P_f$ 定为16,位置序号由0开始到511,则 $G_g = K + P_f = 56, n = 9, q = n - 1 = 8$,根据Polar码的极化权重的可靠度计算方式确定 $512 - 56 = 456$ 个冻结比特(包括打孔比特、截短比特等类型)位置后,信息比特的位置和校验冻结比特的的位置集合 Q 为: $Q = [252 \ 253 \ 254 | 366 \ 373 \ 374 \ 377 \ 378 \ 380 \ 381 \ 382 | 414 \ 429 \ 430 \ 437 \ 438 \ 441 \ 442 \ 444 \ 445 \ 446 | 461 \ 462 \ 468 \ 469 \ 470 \ 472 \ 473 \ 474 \ 476 \ 477 \ 478 | 481 \ 482 \ 483 \ 484 \ 485 \ 486 \ 488 \ 489 \ 490 \ 492 \ 493 \ 494 | 496 \ 497 \ 498 \ 500 \ 501 \ 502 | 504 \ 505 \ 506 | 508 \ 509 \ 510]$;

[0236] 其中“|”为分段标记,则 $G_1 = 3; G_2 = 8; G_3 = 10; G_4 = 11; G_5 = 12; G_6 = 6; G_7 = 3; G_8 = 3$;则可得到各个段中 P_{fg} 的数量 $P_{fg} = \text{round}(P_f * G_g / (K + P_f))$ $g = 1, 2, 3, 4, 5, 6, 7$,或8为:

[0237] $P_{f1} = 1; P_{f2} = 2; P_{f3} = 3; P_{f4} = 3; P_{f5} = 3; P_{f6} = 2; P_{f7} = 1; P_{f8} = 1$;

[0238] 假设 P_{fg} 个校验冻结比特为上述信息比特的位置和校验冻结比特的的位置集合 Q 的各

个段中最靠左的 P_{fg} 个比特,因此有校验冻结比特位置的集合 Q_{PF} 为:

[0239] $Q_{PF} = [252, 366, 373, 414, 429, 430, 468, 472, 461, 481, 482, 484, 496, 497, 504, 508]$;

[0240] 相应地,集合 Q 中除 Q_{PF} 表示的位置之外的位置集合即为信息比特的位置集合。

[0241] S304:发送设备将冻结比特和信息比特按S303中确定的位置放入待编码序列;

[0242] S305:发送设备确定待编码序列中的校验冻结比特:

[0243] 令待编码序列为 $u = [u_0, u_1, u_2, \dots, u_{N-1}]$,将冻结比特和信息比特按照前述步骤中的位置依次放入到待编码序列中,校验冻结比特中至少有一个的值是根据所述冻结比特和信息比特中的至少一个确定的;或者校验冻结比特中的至少一个为预设的值。

[0244] 可选地,校验冻结比特的值通过如下方式获取:

[0245] 发送设备对待编码序列 u 中的元素,按顺序依次与循环移位寄存器进行交互操作,每一次操作后,循环移位寄存器按固定方向(顺时针或逆时针)转动一位,该循环移位寄存器长度为 p ,其初始状态 $y[0], y[1], \dots, y[p-1]$ 为已知的长度为 p 的二进制序列, p 为正整数且为质数,则交互时进行如下操作:

[0246] 若 u_i 所在位置不是校验冻结比特(PF)位置

[0247] 则所述寄存器的 $y[x] = (u_i \text{ XOR } y[x])$;

[0248] 若 u_i 所在位置是校验冻结比特(PF)位置

[0249] 则所述校验冻结比特为 $u_i = y[x]$ 。

[0250] 其中 $i = 0, 1, \dots, N-1$, $y[x]$ 为所述循环移位寄存器中第 x 个寄存器的状态, $0 \leq x \leq p-1$, i, x 为整数;其中,顺序为从左至右或者从右至左或者任一发送设备与接收设备统一的顺序。固定方向为顺时针或者逆时针。一个具体的例子可见于图7,其中 $x = 0$,顺序为从左至右,固定方向为顺时针。

[0251] 注意这里只区分是否校验冻结比特,并不需要将冻结比特先行排除,因此一方面简化了判断操作,另一方面也无形中解除了在采用校验冻结比特进行Polar编码时先排除冻结比特时冻结比特必须为零的限制。

[0252] S306:发送设备对待编码序列进行Polar编码。

[0253] 图8为本申请提供的一种接收方法的实施例的示意图。

[0254] S801:接收设备获取用于译码的Polar码的母码长度 N ,以及其中的信息比特数目 K 、校验冻结比特数目 P_f 、冻结比特的数目及位置。

[0255] 其中 K 的值根据码率 R 和编码后的序列长度 M 确定, $K = M * R$,待译码序列的长度(也即母码长度) $N = 2^{\lceil \log_2(M) \rceil}$,这里的 $\lceil \cdot \rceil$ 是上取整函数,可选的,也可以通过 $\log_2 M$ 下取整的方法来确定 N 。

[0256] P_f 的值可以预先给定,或者根据表2和 N 确定。注意实际传输的序列长度为 M ,这里将收发两端统一的冻结比特在译码的时候也按照相应的位置补入接收到的序列,使得待译码序列的长度恢复为 N ,这种处理方式与直接处理长度为 M 的接收序列没有实质的不同,因此本申请中还是以长度为 N 的序列为对象进行叙述。

[0257] S802:接收设备根据预设规则将待译码序列分为 q 段。

[0258] 这里的预设规则与发送设备类似,因此参照S302中的方式确定,此处不再赘述。

[0259] S803:接收设备确认每一分段中的校验冻结比特数目及位置和信息比特数目及位

置。

[0260] 这里的确认方法与发送设备类似,因此可以参照S303中的方法确定,此处不再赘述。

[0261] S804:接收设备对待译码序列进行Polar译码,得到已译码序列。

[0262] 这里的Polar译码方法与现有的PC-Polar译码方式类似,校验冻结比特可以辅助译码,此处不再赘述。

[0263] 图9为本申请提供的一种用于Polar码编码的装置示意图。该装置10包括:

[0264] 编码模块11,用于对待编码序列进行Polar编码,其中所述Polar码的母码长度为 N ,所述待编码序列中包括冻结比特、校验冻结比特和信息比特,所述待编码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q<n$

[0265] 处理模块12,用于根据所述冻结比特和信息比特中的至少一个确定所述校验冻结比特中至少有一个的值;或者用于确定所述校验冻结比特中的至少一个为预设的值;

[0266] 发送模块13,用于发送编码后的序列。

[0267] 可选的,所述处理模块12还用于将所述待编码序列分为 q 段,分段方法与前述方法实施例中S302一致,不再赘述。

[0268] 可选的,所述处理模块12还用于确定所述 q 段中每一段的校验冻结比特的数目和位置,确定方法与前述方法实施例中S303一致,不再赘述

[0269] 可选的,所述处理模块12还用于根据方法实施例S304、S305所述的方法确定待编码序列中的校验冻结比特。

[0270] 图10为本申请提供的一种用于Polar码译码的装置示意图。该装置20包括:

[0271] 获取模块21,用于获取待译码序列。

[0272] 译码模块23,用于对接收到的待译码序列进行Polar译码,得到已译码序列,其中所述Polar码的母码长度为 N ,所述待译码序列长度为 N ,所述待译码序列中包括冻结比特、校验冻结比特和信息比特,所述待译码序列包括 q 段;所述 $N=2^n$, n 和 q 为正整数,所述 $q=n$ 或 $q<n$ 。

[0273] 处理模块22,用于按预设规则将待译码序列分为 q 段,所述分段方法与前述方法实施例中S802一致,不再赘述。

[0274] 可选的,处理模块22还用于确定每一分段中校验冻结比特的数目及位置和信息比特数目及位置,所述确定方法与前述方法实施例S803一致,不再赘述。

[0275] 图11为本申请提供的一种编码实体装置示意图,该装置1100包括:

[0276] 存储器1101,用于存储执行指令,该存储器还可以是flash(闪存)。

[0277] 处理器1102,用于执行存储器存储的执行指令,以实现图3所示的编码方法中的各个步骤。具体可以参见前面方法实施例中的相关描述。

[0278] 可选地,存储器1101既可以是独立的,也可以跟处理器1102集成在一起。

[0279] 当所述存储器1101是独立于处理器1102之外的器件时,所述装置1100还可以包括:

[0280] 总线1103,用于连接所述存储器和处理器。图11的编码装置还可以进一步包括发送器(图中未画出),用于发送处理器1102进行Polar编码后的编码序列。

[0281] 图12为本申请提供的一种译码实体装置示意图,该装置1200包括:

[0282] 存储器1201,用于存储执行指令,该存储器还可以是flash(闪存)。

[0283] 处理器1202,用于执行存储器存储的执行指令,用于实现图8所示的译码方法中的各个步骤。具体可以参见前面方法实施例中的相关描述。

[0284] 可选地,存储器1201可以是独立的,也可以跟处理器1202集成在一起。

[0285] 当所述存储器1201是独立于处理器1202之外的器件时,所述装置1200还可以包括:

[0286] 总线1203,用于连接所述存储器和处理器。

[0287] 图12的译码装置还可以进一步包括接收器(图中未画出),用于接收待译码信号,并将待译码的信号发送给处理器1202。

[0288] 本申请还提供一种可读存储介质,可读存储介质中存储有执行指令,当发送设备的至少一个处理器执行该执行指令时,发送设备执行上述的各种实施方式提供的数据的发送方法。

[0289] 本申请还提供一种可读存储介质,可读存储介质中存储有执行指令,当接收设备的至少一个处理器执行该执行指令时,接收设备执行上述的各种实施方式提供的数据的接收方法。

[0290] 本申请还提供一种程序产品,该程序产品包括执行指令,该执行指令存储在可读存储介质中。发送设备的至少一个处理器可以从可读存储介质读取该执行指令,至少一个处理器执行该执行指令使得发送设备实施上述的各种实施方式提供的数据的发送方法。

[0291] 本申请还提供一种程序产品,该程序产品包括执行指令,该执行指令存储在可读存储介质中。接收设备的至少一个处理器可以从可读存储介质读取该执行指令,至少一个处理器执行该执行指令使得接收设备实施上述的各种实施方式提供的数据的接收方法。

[0292] 在上述发送设备或者接收设备的实施例中,应理解,处理器可以是中央处理单元(英文:Central Processing Unit,简称:CPU),还可以是其他通用处理器、数字信号处理器(英文:Digital Signal Processor,简称:DSP)、专用集成电路(英文:Application Specific Integrated Circuit,简称:ASIC)等。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。结合本申请所公开的方法的步骤可以直接体现为硬件处理器执行完成,或者用处理器中的硬件及软件模块组合执行完成。

[0293] 实现上述各方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成。前述的程序可以存储于一可读取存储器中。该程序在执行时,执行包括上述各方法实施例的步骤;而前述的存储器(存储介质)包括:只读存储器(英文:read-only memory,缩写:ROM)、RAM、快闪存储器、硬盘、固态硬盘、磁带(英文:magnetic tape)、软盘(英文:floppy disk)、光盘(英文:optical disc)及其任意组合。

[0294] 最后应说明的是:尽管参照前述各实施例对本方案进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不能使相应技术方案的本质的本质脱离本申请各实施例技术方案的范围。

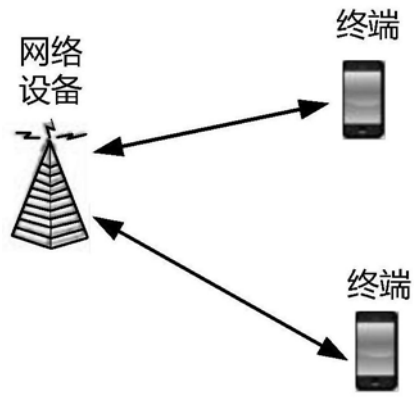


图1

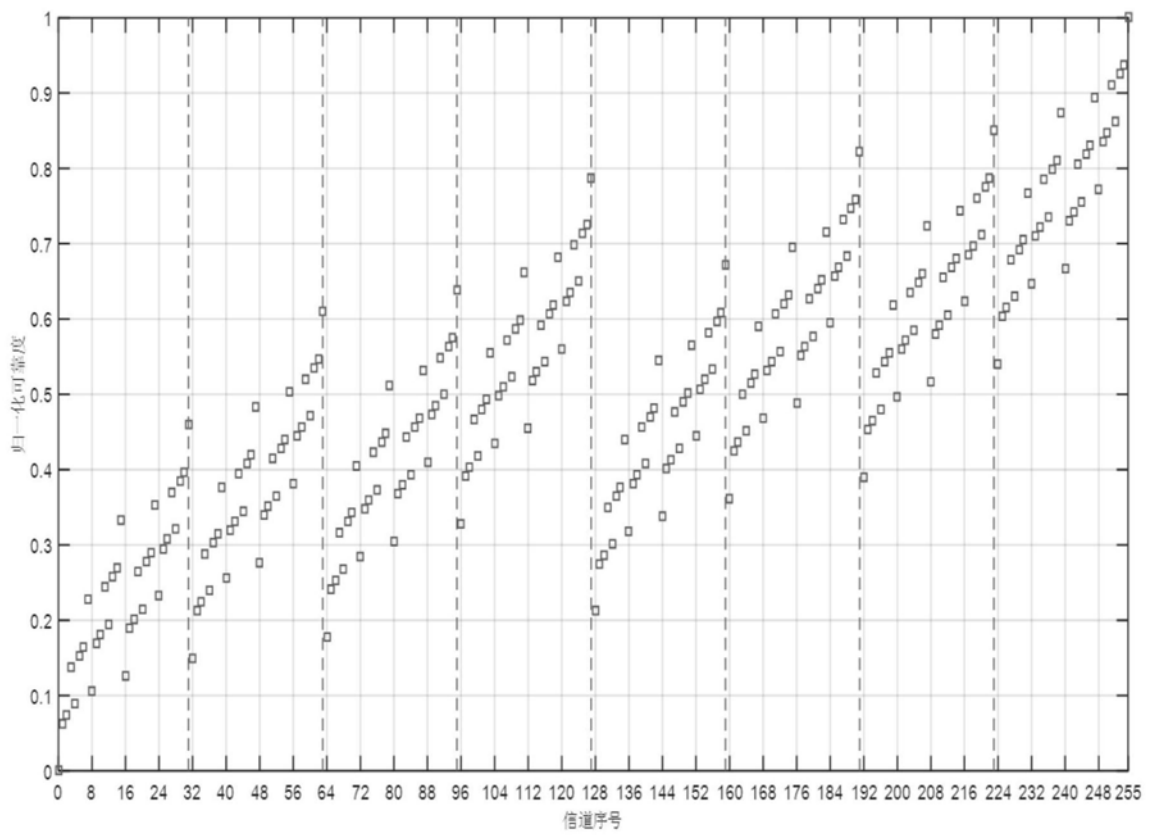


图2

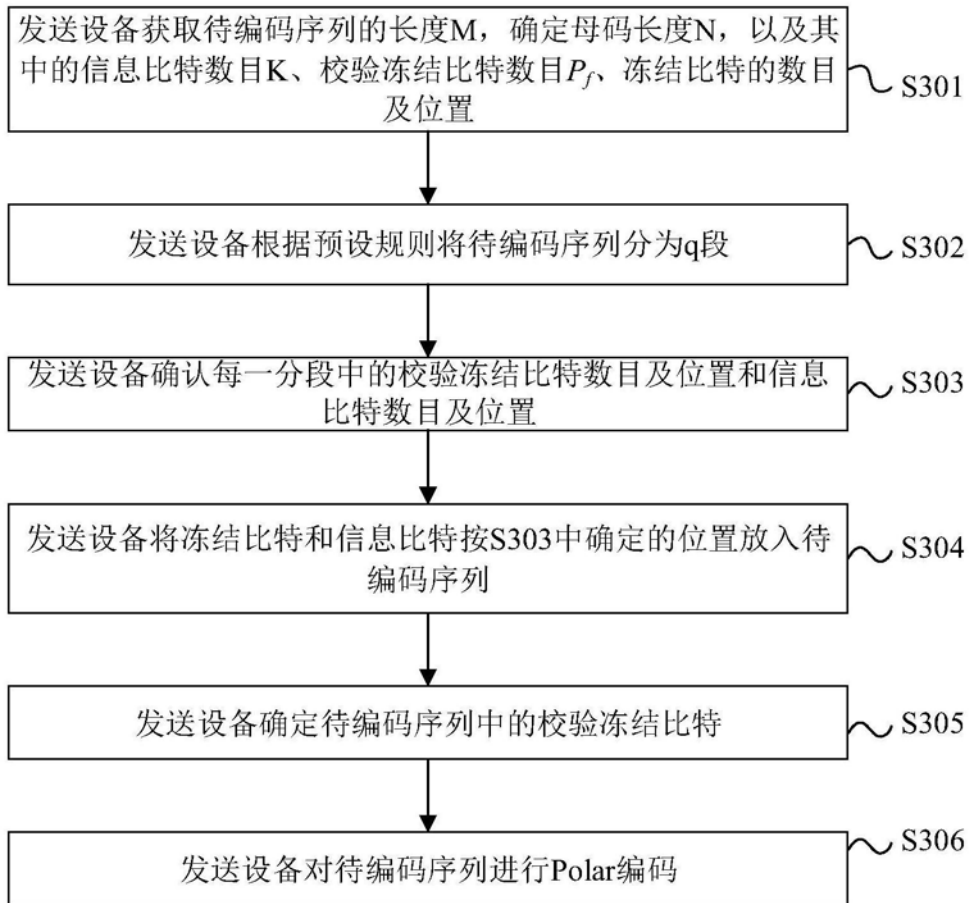


图3

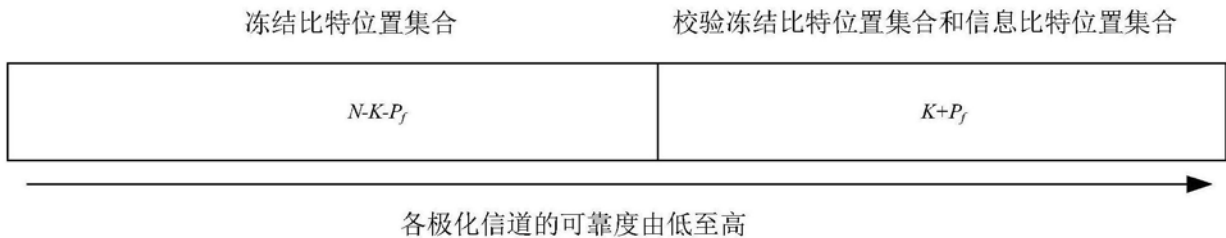


图4

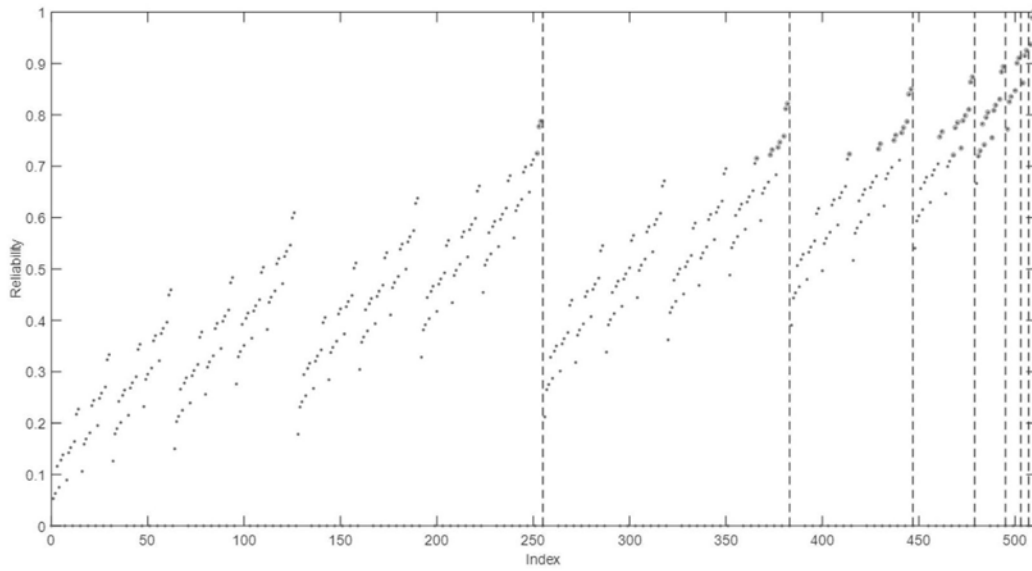


图5

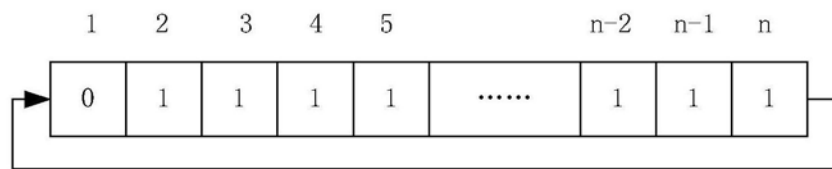


图6

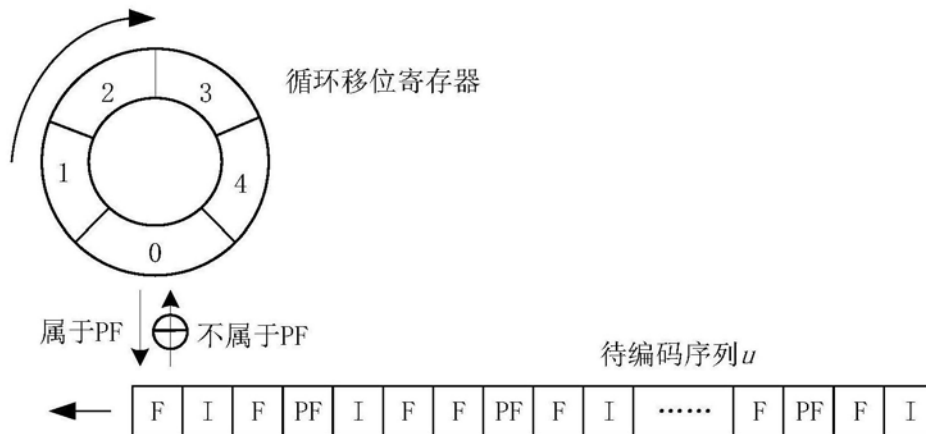


图7

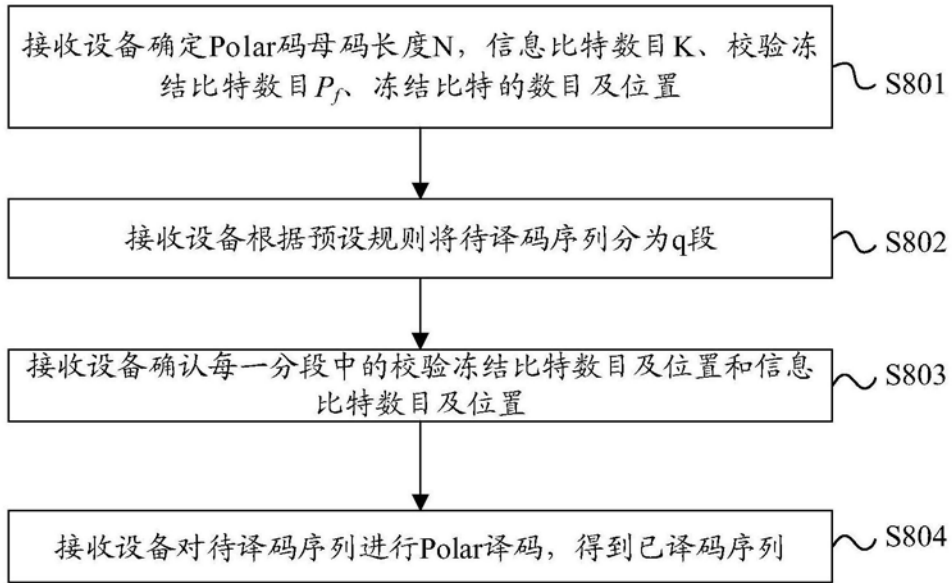


图8

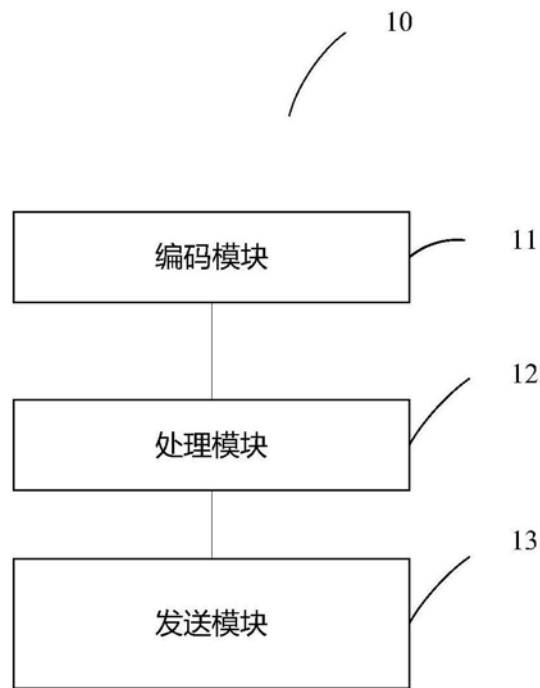


图9

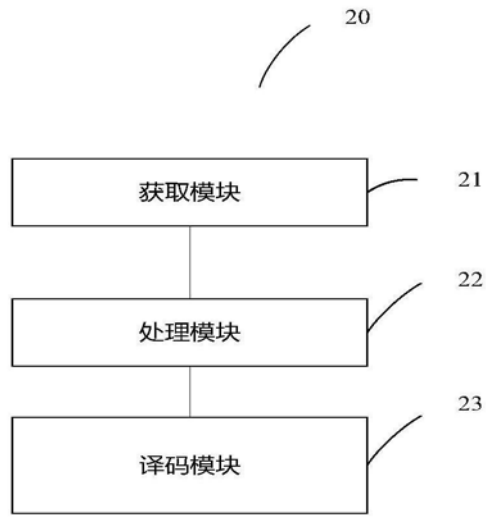


图10

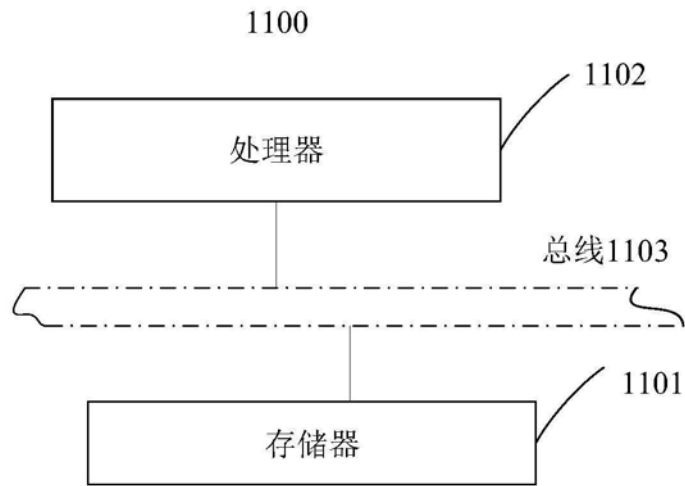


图11

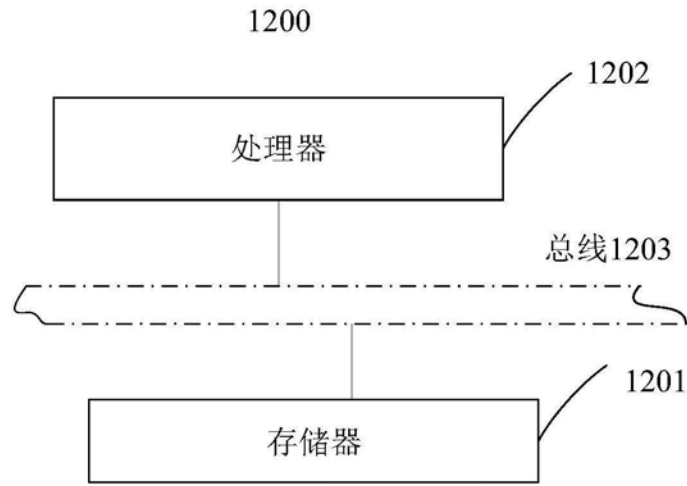


图12