



(12) 发明专利申请

(10) 申请公布号 CN 104167043 A

(43) 申请公布日 2014. 11. 26

(21) 申请号 201310185697. X

(22) 申请日 2013. 05. 17

(71) 申请人 北京嘉岳同乐极电子有限公司
地址 100083 北京市海淀区信息路甲 28 号
科实大厦 B 座 10 层 A-1

(72) 发明人 刘乐杰 时启猛 曲炳郡

(51) Int. Cl.
G07D 7/04 (2006. 01)

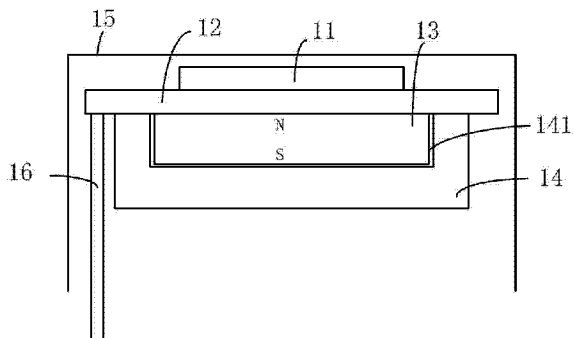
权利要求书1页 说明书4页 附图4页

(54) 发明名称

一种芯片式弱磁检测传感器

(57) 摘要

本发明提供一种芯片式弱磁检测传感器,包括:芯片,用于感应设于被检测物体内的磁标识并输出差分信号;永磁体,用于磁化所述磁标识,所述芯片置于所述永磁体上方的中间区域;磁偏置单元,用于改变所述永磁体的磁场;所述磁偏置单元采用导磁材料制作,在所述磁偏置单元上设有凹部,所述永磁体设于所述凹部内。该芯片式弱磁检测传感器灵敏度高,抗干扰能力强,而且成本低。



1. 一种芯片式弱磁检测传感器,其特征在于,包括:
芯片,用于感应设于被检测物体内的磁标识并输出差分信号;
永磁体,用于磁化所述磁标识,所述芯片置于所述永磁体上方的中间区域;
磁偏置单元,用于改变所述永磁体的磁场分布;
其特征在于,所述磁偏置单元采用导磁材料制作,在所述磁偏置单元上设有凹部,所述永磁体设于所述凹部内。
2. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,所述凹部设置于靠近所述芯片一侧或远离所述芯片一侧。
3. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,所述永磁体的上表面不高于所述磁偏置单元的上表面。
4. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,所述凹部的内轮廓和内径尺寸分别与所述永磁体的外轮廓和外径尺寸匹配,所述永磁体嵌置于所述凹部内。
5. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,所述永磁体为一体结构。
6. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,所述永磁体包括多个永磁单体,所述多个永磁单体在平行于感应面的平面上排列。
7. 根据权利要求6所述的芯片式弱磁检测传感器,其特征在于,所述永磁体沿所述永磁体长度方向排列。
8. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,包括采用金属或塑料制作的壳体,所述芯片、所述永磁体和所述磁偏置单元置于所述壳体内。
9. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,包括坡莫合金制作的壳体,在所述壳体上设有开口,所述芯片、所述永磁体和所述磁偏置单元置于所述壳体内,且所述芯片的感应面与所述开口相对。
10. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,包括线路板,所述芯片的输入端、输出端与设于所述线路板的线路板焊盘电连接。
11. 根据权利要求10所述的芯片式弱磁检测传感器,其特征在于,所述线路板上设有通孔,所述磁偏置单元嵌于所述通孔内。
12. 根据权利要求1所述的芯片式弱磁检测传感器,其特征在于,所述芯片包括磁感应薄膜和芯片焊盘,所述芯片焊盘与所述磁感应薄膜电连接,所述磁感应薄膜为 GMR 薄膜。

一种芯片式弱磁检测传感器

技术领域

[0001] 本发明属于精密测量领域，具体涉及一种芯片式弱磁检测传感器。

背景技术

[0002] 磁传感器被广泛应用于验钞机、ATM 机以及票据检测设备当中，用于辨别钞票、票据等被检测物体的真伪。随着技术的进步，市场上出现了芯片式磁传感器，其具有灵敏度高、成本低、体积小、易集成等诸多优点，因此逐渐取代了传统的线圈式磁传感器。

[0003] 芯片式磁传感器是通过芯片感应设于被检测物体内的磁标识的磁场来辨别被监测物的真伪。在被检测物体内不仅设有硬磁标识，还设有软磁标识，以提高被检测物体的防伪能力。然而，软磁标识只有被磁化后才能被芯片感应。为此，芯片式磁传感器还包括用于磁化软磁标识的永磁体。永磁体在磁化软磁标识的同时，其产生的平行于芯片感应面的磁场会影响芯片的灵敏度，降低了芯片式磁传感器的灵敏度。

发明内容

[0004] 本发明要解决的技术问题就是针对精密测量仪中存在的上述缺陷，提供一种芯片式弱磁检测传感器，其可以消除永磁体对芯片的影响，以提高其灵敏度。

[0005] 为此，本发明提供一种芯片式弱磁检测传感器，包括：

[0006] 芯片，用于感应设于被检测物体内的磁标识并输出差分信号；

[0007] 永磁体，用于磁化所述磁标识，所述芯片置于所述永磁体上方的中间区域；

[0008] 磁偏置单元，用于改变所述永磁体的磁场分布；

[0009] 其特征在于，所述磁偏置单元采用导磁材料制作，在所述磁偏置单元上设有凹部，所述永磁体设于所述凹部内。

[0010] 其中，所述凹部设置于靠近所述芯片一侧或远离所述芯片一侧。

[0011] 其中，所述永磁体的上表面不高于所述磁偏置单元的上表面。

[0012] 其中，所述凹部的内轮廓和内径尺寸分别与所述永磁体的外轮廓和外径尺寸匹配，所述永磁体嵌置于所述凹部内。

[0013] 其中，所述永磁体为一体结构。

[0014] 其中，所述永磁体包括多个永磁单体，所述多个永磁单体在平行于感应面的平面上排列。

[0015] 其中，所述永磁体沿所述永磁体长度方向排列。

[0016] 其中，包括采用金属或塑料制作的壳体，所述芯片、所述永磁体和所述磁偏置单元置于所述壳体内。

[0017] 其中，包括坡莫合金制作的壳体，在所述壳体上设有开口，所述芯片、所述永磁体和所述磁偏置单元置于所述壳体内，且所述芯片的感应面与所述开口相对。

[0018] 其中，包括线路板，所述芯片的输入端、输出端与设于所述线路板的线路板焊盘电连接。

[0019] 其中,所述线路上设有通孔,所述磁偏置单元嵌于所述通孔内。

[0020] 其中,所述芯片包括磁感应薄膜和芯片焊盘,所述芯片焊盘与所述磁感应薄膜电连接,所述磁感应薄膜为 GMR 薄膜。

[0021] 本发明具有以下有益效果:

[0022] 本发明提供的芯片式弱磁检测传感器,磁偏置单元采用导磁材料制作,永磁体设于磁偏置单元的凹部内,磁偏置单元约束存在水平分量的磁场,减小了芯片位置磁场的水平分量,扩大了理想区域,从而减少了永磁体对芯片的影响,进而提高芯片式弱磁检测传感器的灵敏度;同时降低了传感器的装配难度。此外,可以屏蔽存在水平分量的外界磁场进入理想区域,提高芯片式弱磁检测传感器的抗干扰能力。

附图说明

[0023] 图 1 为本发明实施例芯片式弱磁检测传感器的示意图;

[0024] 图 2a 为永磁体产生的磁场的磁力线分布示意图;

[0025] 图 2b 为将永磁体设于磁偏置单元的凹部时,永磁体产生的磁场的磁力线分布示意图;

[0026] 图 3a 为另一实施例磁偏置单元和永磁体的结构示意图;

[0027] 图 3b 为再一实施例磁偏置单元和永磁体的结构示意图;

[0028] 图 3c 为又一实施例磁偏置单元和永磁体的结构示意图;

[0029] 图 4a 为长度较长的永磁体在其长度方向磁场强度的分布曲线;

[0030] 图 4b 为永磁单体形成的长度较长的永磁体在其长度方向磁场强度的分布曲线;

[0031] 图 5 为将多块永磁单体排列而成的永磁体嵌置于磁偏置单元的俯视图;

[0032] 图 6 为本发明实施例芯片式弱磁检测传感器的壳体的结构示意图;

[0033] 图 7a 为本发明另一实施例芯片式弱磁检测传感器的结构示意图;

[0034] 图 7b 为本发明再一实施例芯片式弱磁检测传感器的结构示意图。

具体实施方式

[0035] 为使本领域的技术人员更好地理解本发明的技术方案,下面结合附图对本发明提供的芯片式弱磁检测传感器进行详细描述。

[0036] 如图 1 所示,芯片式弱磁检测传感器包括芯片 11、线路板 12、永磁体 13、磁偏置单元 14、壳体 15 以及焊针 16。芯片 11、线路板 12、永磁体 13 和磁偏置单元 14 置于壳体 15 内,并用树脂固定。芯片 11 用于感应设于被检测物体内的磁标识并输出差分信号,其包括磁感应薄膜和芯片焊盘,芯片焊盘作为芯片的输入端和输出端与磁感应薄膜电连接。在线路板 12 上设有布线以及与所述布线电连接的线路板焊盘,而且每一条布线电连接两个线路板焊盘。利用导线将芯片焊盘与对应的线路板焊盘电连接,从而将芯片 11 与线路板 12 电连接。焊针 16 与线路板焊盘对应电连接,焊针 16 通过线路板 12 与芯片的输入端、输出端连接,利用焊针 16 将芯片式弱磁检测传感器与诸如处理器等其它部件电连接。

[0037] 磁感应薄膜可以为巨磁阻磁敏感(GMR)薄膜、各向异性磁阻磁敏感薄膜、隧穿效应磁阻磁敏感薄膜、巨磁阻抗效应磁阻磁敏感薄膜、霍尔效应薄膜或巨霍尔效应薄膜。芯片 11 和永磁体 13 分别设置于线路板 12 的上下两侧。永磁体 13 用于磁化被检测物体内的弱磁

标识,以使弱磁标识产生能被芯片 11 感应的磁场。在永磁体 13 产生的磁场在其上方分布情况为:在永磁体 13 的中间区域,磁场主要垂直于永磁体的表面,磁场的水平分量很小,而且随着距离永磁体 13 表面的增加,磁场的水平分量会有所增加;在永磁体 13 的边缘区域,磁力线倾斜分布,磁场的水平分量加大。因此,本实施例将永磁体 13 正上方的中间区域被称之为“理想区域”,而且优选将芯片 11 设置于理想区域。

[0038] 如图 2a 所示,永磁体 13 产生的磁场的磁力线较发散,而且永磁体 13 上方的中间区域存在较强的磁场分量。如图 2b 所示,磁偏置单元 14 靠近芯片 11 一侧设有凹部 141,永磁体 13 设于磁偏置单元 14 的凹部 141 内。磁偏置单元 14 将永磁体 13 的四个侧面和底面包围,仅露出永磁体 13 朝向芯片 11 一侧的面。将永磁体 13 设于磁偏置单元 14 的凹部 141 时,磁偏置单元 14 具有吸引磁场的特性,能够约束永磁体 13 的磁场,使永磁体 13 产生的磁场偏向磁偏置单元 14 或被导入磁偏置单元 14 传导,从而可以优化永磁体 13 的磁场分布。具体地,如图 2b 所示,磁偏置单元 14 使得存在水平分量(平行于芯片感应面)的磁场更靠近永磁体,这一方面减小了永磁体 13 上方、尤其是放置芯片 11 的区域的磁场的水平分量;另一方面,抑制了永磁体 13 边缘的磁场向外围扩散,两方面均可减小理想区域的水平分量的磁场,同时扩大理想区域,从而减少永磁体 13 对芯片 11 的影响。此外,理想区域的扩大,降低了装配芯片式弱磁检测传感器的难度,从而降低芯片式弱磁检测传感器的成本。另外,磁偏置单元 14 还可以屏蔽存在水平分量的外界磁场进入理想区域,提高芯片式弱磁检测传感器的抗干扰能力。为了更优地减少永磁体 13 对芯片 11 的影响,优选永磁体 13 的上表面不高于磁偏置单元 14 的上表面,如永磁体 13 的上表面与磁偏置单元 14 的上表面齐平,或者,永磁体 13 的上表面低于磁偏置单元 14 的上表面。磁偏置单元 14 可以采用诸如坡莫合金等导磁材料制作。

[0039] 优选地,凹部 141 的内轮廓和内径尺寸与永磁体 13 的外轮廓和外径尺寸匹配,将永磁体 13 嵌置于凹部 141 内,并使永磁体 13 与磁偏置单元 14 紧密接触,以使偏置单元 14 更好地约束永磁体 13 的磁场,从而进一步减少永磁体 13 对芯片 11 灵敏度的影响。

[0040] 如图 3a 所示,在另一实施例中,将凹部 141 设置于磁偏置单元 14 远离芯片 11 一侧。垂直于永磁体 13 表面的磁力线不改变方向穿过磁偏置单元 14,对弱磁标识进行磁化;存在水平分量的磁力线受磁偏置单元 14 的约束,更靠近永磁体 13,减弱了芯片 11 位置磁场的水平分量。永磁体 13 侧面的磁力线进入磁偏置单元 14 形成回路,减小了永磁体 13 对芯片 11 的影响,从而提高芯片式弱磁检测传感器的灵敏度。

[0041] 如图 3b 所示,再一实施例中,将磁偏置单元 14 设置在永磁体 13 远离芯片 11 的一侧,即图中所示永磁体 13 的下侧,这样设置的磁偏置单元 14 同样可以吸引存在水平分量的磁场,扩大理想区域,减小放置芯片 11 的区域的磁场的水平分量,从而减少永磁体 13 对芯片 11 的影响,进而提高芯片式弱磁检测传感器的灵敏度。

[0042] 如图 3c 所示,凹部 141 的深度小于永磁体 13 的厚度,使得永磁体 13 的四个侧面的底部部分被磁偏置单元 14 包围,永磁体 13 的侧面的顶部部分裸露,磁偏置单元 14 同样可以达到吸引永磁体 13 的磁力线的目的,从而减少永磁体 13 对芯片 11 的影响,进而提高芯片式弱磁检测传感器的灵敏度。

[0043] 永磁体 13 可以为一体结构,也可以由多块永磁单体在平行于芯片感应面的平面上排列而成。具体地,当永磁体 13 的尺寸较小时,永磁体 13 表面纵向磁场强度分布较均

匀,此时可以采用一体结构的永磁体。当永磁体 13 的尺寸较大时,如永磁体 13 的长度较长时,永磁体 13 表面纵向磁场强度在长度方向分布不均匀。如图 4a 所示,图中,横坐标表示永磁体的水平距离(mm),纵坐标表示磁场强度(G)。永磁体 13 两端的纵向磁场强度较强,中间位置的纵向磁场强度较弱,这将影响永磁体 13 磁化弱磁标识的效果,从而影响芯片式弱磁检测传感器的精度。因此,优选采用多块尺寸较小的永磁单体 131 拼接(排列)设置,如图 5 所示。如图 4b 所示,拼接而成的永磁体 13 可以获得纵向磁场强度更均匀的永磁体 13,从而提高永磁体 13 预磁化弱磁标识的效果,进而可以提高芯片式弱磁检测传感器的精度。优选相邻两块永磁单体紧密排列,即相邻两块永磁单体紧靠在一起,使相邻两块永磁单体之间的间隙最小。不难理解,当采用多块永磁单体拼接的永磁体时,永磁单体可以在永磁体 13 的长度方向或宽度方向排列,更优选在长度方向排列。

[0044] 本实施例中,壳体 15 采用坡莫合金制作,由坡莫合金制作的壳体 15 可以有效地屏蔽外界环境中的磁场对芯片 11 的干扰。如图 6 所示,在壳体 15 上设有开口 151,永磁体 13 的磁场穿过开口 151 射出壳体 15 以预磁化弱磁标识。在将芯片 11 固定于壳体 15 内时,芯片的感应面与开口 151 相对。当然,壳体 15 也可以采用铜、铝等金属制作,或者采用塑料制作。需要指出的是,当采用金属或塑料制作壳体 15 时,可以不设置开口 151,从而可以降低壳体 15 的制作成本。在壳体 15 上还可以设置接地端 152,用于消除静电。

[0045] 在上述实施例中,芯片 11 和磁偏置单元 14 分置于线路板 12 的上下两侧。然而,本发明磁偏置单元 14 还可以嵌于线路板 12 内。具体地,如图 7a 和图 7b 所示,在线路板 12 上设置通孔 121,将永磁体 13 设置于凹部 141,磁偏置单元 14 嵌于通孔 121 内,即磁偏置单元 14 从线路板 12 的下方伸入通孔 121,并使磁偏置单元 14 的上表面不高于线路板 12 的上表面。优选磁偏置单元 14 的上表面与线路板 12 的上表面齐平,以利于芯片式弱磁检测传感器的装配。需要指出的是,磁偏置单元 14 的上表面高于线路板 12 的上表面也可以减少永磁体 13 对芯片 11 的影响。图 7a 所示实施例是将部分磁偏置单元 14 嵌于通孔 121 内,芯片 11 和永磁体 13 之间被线路板 12 隔离。图 7b 所示实施例是将磁偏置单元 14 全部嵌于通孔 121 内,这种情况下,首先将芯片 11 封装,然后设于永磁体 13 的上表面,即通过芯片 11 的封装将芯片 11 和永磁体 13 隔离。壳体 15 采用坡莫合金制作,壳体 15 上设有开口 151,并使芯片 11 与开口 151 相对。

[0046] 上述实施例提供的芯片式弱磁检测传感器可以用于验钞机、ATM 机、用于辨别票据真伪的检测装置,其通过检测设置在被检测物体内的磁标识来辨别被检测物体的真伪。

[0047] 本实施例提供的芯片式弱磁检测传感器,磁偏置单元采用导磁材料制作,永磁体设于磁偏置单元的凹部内,磁偏置单元约束存在水平分量的磁场,减小了芯片位置磁场的水平分量,扩大了理想区域,从而减少了永磁体对芯片的影响,进而提高芯片式弱磁检测传感器的灵敏度;同时降低了传感器的装配难度,从而降低制作成本。此外,可以屏蔽存在水平分量的外界磁场进入理想区域,提高芯片式弱磁检测传感器的抗干扰能力。

[0048] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

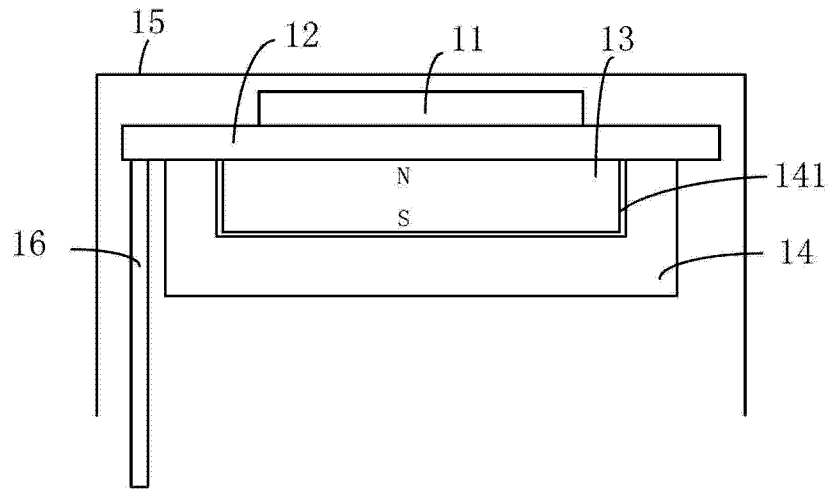


图 1

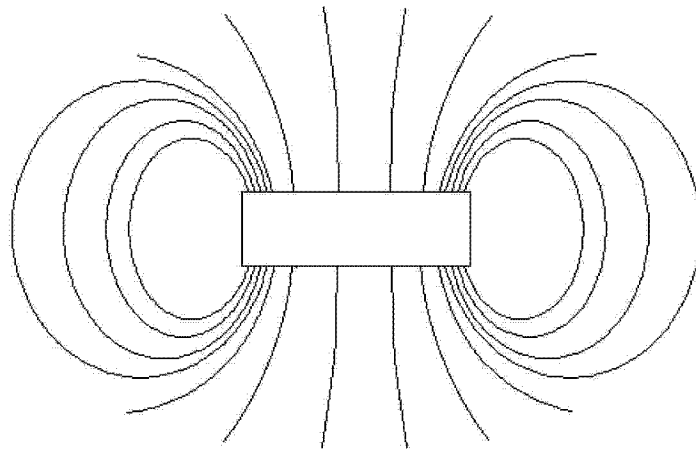


图 2a

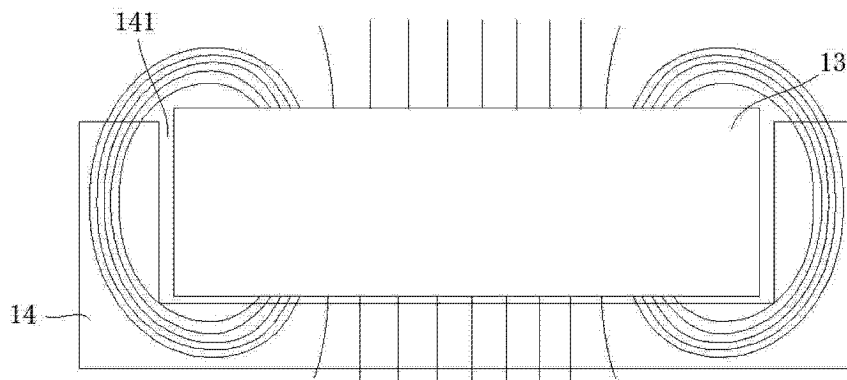


图 2b

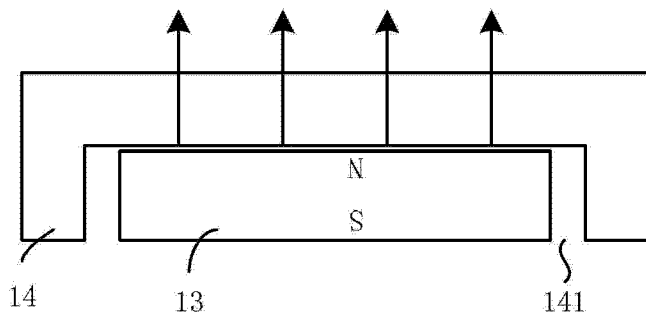


图 3a

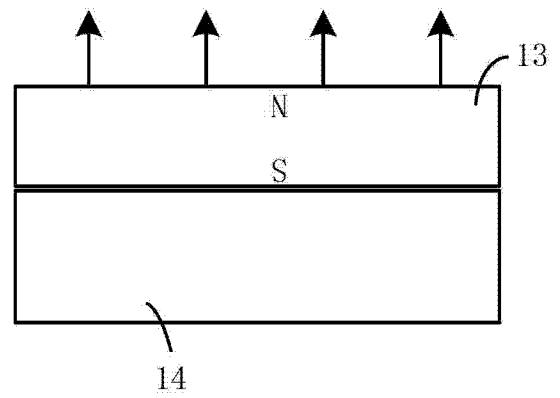


图 3b

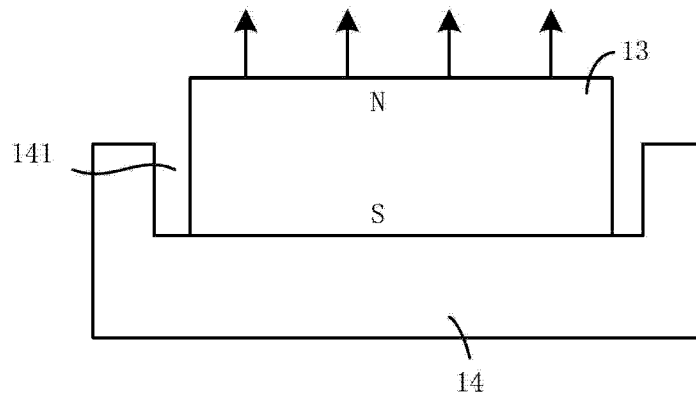


图 3c

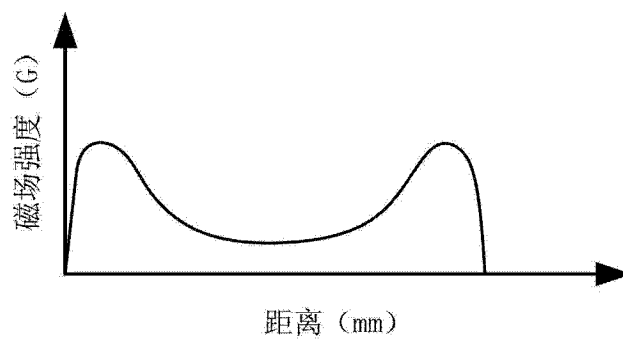


图 4a

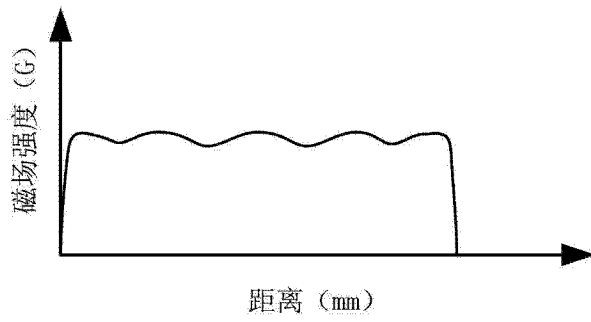


图 4b

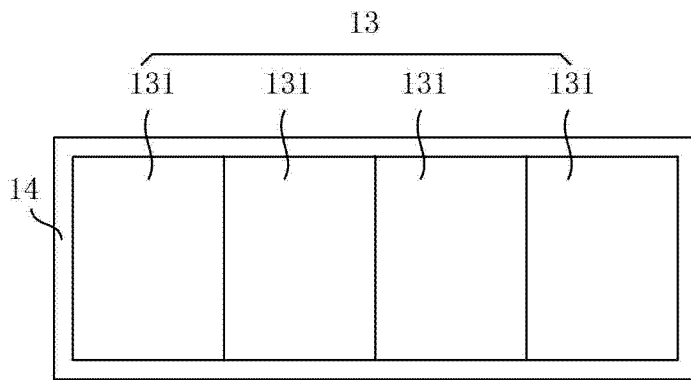


图 5

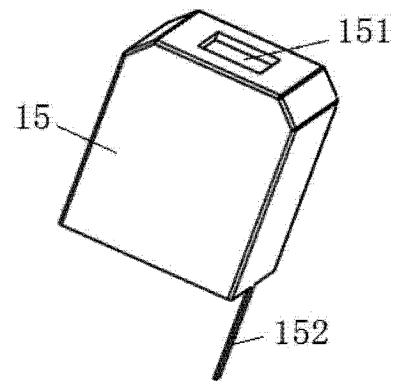


图 6

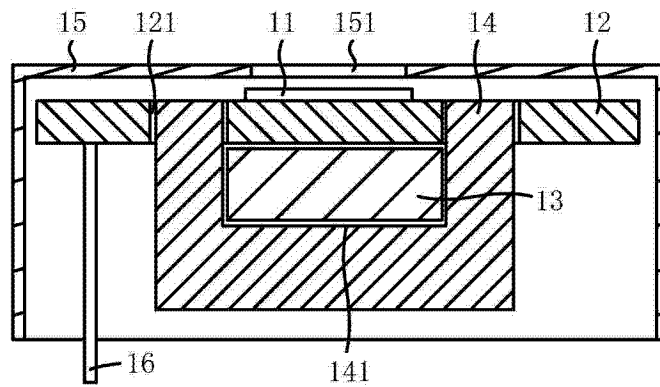


图 7a

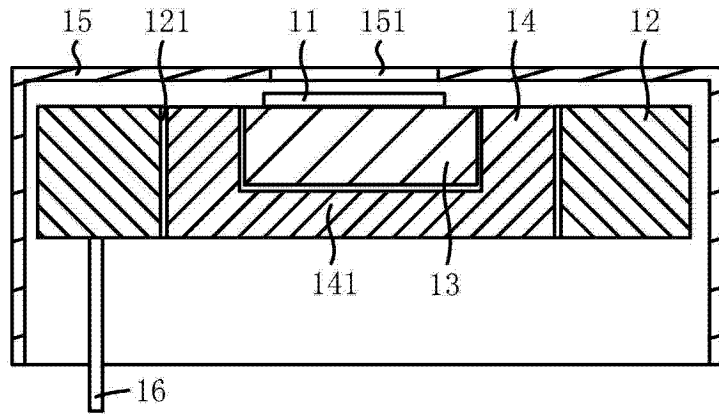


图 7b