

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/092 (2006.01)



[12] 发明专利说明书

专利号 ZL 02807542.0

[45] 授权公告日 2006 年 2 月 15 日

[11] 授权公告号 CN 1242480C

[22] 申请日 2002.12.10 [21] 申请号 02807542.0

[30] 优先权

[32] 2001.12.13 [33] JP [31] 380534/2001

[86] 国际申请 PCT/JP2002/012925 2002.12.10

[87] 国际公布 WO2003/054962 日 2003.7.3

[85] 进入国家阶段日期 2003.9.28

[71] 专利权人 东京毅力科创株式会社

地址 日本东京都

共同专利权人 大见忠弘

[72] 发明人 大见忠弘 小谷光司 须川成利

审查员 郭 强

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 王 怡

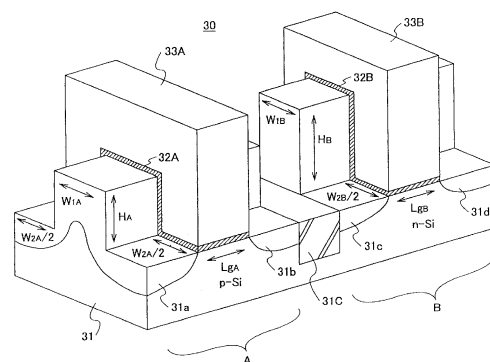
权利要求书 3 页 说明书 12 页 附图 15 页

[54] 发明名称

互补型 MIS 器件

[57] 摘要

一种 CMOS 器件，包括在硅基片的(100)面上形成并具有其他结晶面的结构，以及由在所述结构上通过微波等离子体处理形成的高质量的栅极绝缘膜和在其上形成的栅电极构成的 p 通道 MOS 晶体管和 n 通道 MOS 晶体管，其中，设定所述结构的尺寸和形状，使得所述 p 通道 MOS 晶体管和 n 通道 MOS 晶体管之间的载流子迁移率平衡。



1. 一种互补型 MIS 器件，其特征在于，

所述互补型 MIS 器件由以下部分构成：

5 半导体基片，具有作为主面的第一结晶面，并被分划成 p 通道 MIS 晶体管区域和 n 通道 MIS 晶体管区域；

 p 通道 MIS 晶体管，包括：第一半导体结构，作为所述半导体基片的一部分形成在所述 p 通道 MIS 晶体管区域中，由一对侧壁面和顶面构成，其中，所述一对侧壁面由不同于所述第一结晶面的第二结晶面形成，所述
10 顶面由不同于所述第二结晶面的第三结晶面形成；第一栅极绝缘膜，形成在所述 p 通道 MIS 晶体管区域中，以均匀的厚度实际覆盖所述主面和所述第一半导体结构的侧壁面及顶面；第一栅电极，形成在所述 p 通道 MIS 晶体管区域中，通过所述第一栅极绝缘膜连续覆盖在所述主面和所述第一半导体结构的侧壁面及顶面上；第一及第二 p 型扩散区域，在所述 p 通道
15 MIS 晶体管区域内，形成在所述半导体基片及所述第一半导体结构中的所述第一栅电极的一侧和另一侧上，并均沿着所述半导体基片主面和所述第一半导体结构的侧壁面及顶面连续延伸；以及

 n 通道 MIS 晶体管，包括：第二半导体结构，作为所述半导体基片的一部分形成在所述 n 通道 MIS 晶体管区域中，由一对侧壁面和顶面构成，
20 其中，所述一对侧壁面由不同于所述第一结晶面的第四结晶面形成，所述顶面由不同于所述第四结晶面的第五结晶面形成；第二栅极绝缘膜，形成在所述 n 通道 MIS 晶体管区域中，以均匀的厚度实际覆盖所述主面和所述第二半导体结构的侧壁面及顶面；第二栅电极，形成在所述 n 通道 MIS 晶体管区域中，通过所述第二栅极绝缘膜连续覆盖在所述主面和所述第二半
25 导体结构的侧壁面及顶面上；第一及第二 n 型扩散区域，在所述 n 通道 MIS 晶体管区域内，形成在所述半导体基片及所述第二半导体结构中的所述第二栅电极的一侧和另一侧上，并均沿着所述半导体基片主面和所述第二半导体结构的侧壁面及顶面连续延伸；

 其中，设定所述第一半导体结构的顶面和侧壁面的宽度以及所述第二

半导体结构的顶面和侧壁面的宽度，使得所述 p 通道 MIS 晶体管的电流驱动能力与所述 n 通道 MIS 晶体管的电流驱动能力平衡。

2. 如权利要求 1 所述的互补型 MIS 器件，其特征在于，

所述第一结晶面和所述第三结晶面及所述第五结晶面由同一个结晶面
5 构成，所述第二结晶面和所述第四结晶面由同一个结晶面构成。

3. 如权利要求 2 所述的互补型 MIS 器件，其特征在于，

设定所述第一半导体结构的顶面和侧壁面的宽度及所述第二半导体结构的顶面和侧壁面的宽度，从而设所述第一半导体结构的顶面和侧壁面的宽度分别为 W_{1A} 和 W_A 、所述第二半导体结构的顶面和侧壁面的宽度分别为 W_{1B} 和 W_B 、所述主面中的所述第一栅电极的栅极宽度为 W_{2A} 、所述主面中的所述第二栅电极的栅极宽度为 W_{2B} 、所述第一结晶面上的空穴迁移率为 μ_{p1} 、所述第二结晶面上的空穴迁移率为 μ_{p2} 、所述第一结晶面上的电子迁移率为 μ_{n1} 、以及所述第二结晶面上的电子迁移率为 μ_{n2} 时，使其满足公式：

15
$$\mu_{p1} (W_{1A} + W_{2A}) + \mu_{p2} W_A = \mu_{n1} (W_{1B} + W_{2B}) + \mu_{n2} W_B。$$

4. 如权利要求 2 或 3 所述的互补型 MIS 器件，其特征在于，

所述第一结晶面由硅的 (100) 面或其附近的结晶面构成，所述第二结晶面由硅的 (110) 面或其附近的结晶面构成。

5. 如权利要求 1 至 3 中任一项所述的互补型 MIS 器件，其特征在于，
20 所述第一及第二栅极绝缘膜由氧化膜、氮化膜或氮氧化膜形成。

6. 如权利要求 4 所述的互补型 MIS 器件，其特征在于，所述第一及第二栅极绝缘膜由氧化膜、氮化膜或氮氧化膜形成。

7. 一种互补型 MIS 器件，其特征在于，

所述互补型 MIS 器件由以下部分构成：

25 半导体基片；

n 通道 MIS 晶体管，包括：第一栅电极，在所述半导体基片的主面上通过第一栅极绝缘膜在第一结晶方位上形成；第一及第二 n 型扩散区域，形成在所述半导体器件基片中的所述第一栅电极的一侧和另一侧上；以及

p 通道 MIS 晶体管，包括：第二栅电极，在所述半导体基片上通过第

二栅极绝缘膜在第二结晶方位上形成；第一及第二 p 型扩散区域，形成在所述半导体器件基片中的所述第二栅电极的一侧和另一侧上；

其中，所述第一栅电极与所述第二栅电极相互连接；

所述第二 p 型扩散区域与所述第一 n 型扩散区域相互连接；

- 5 设定所述第一结晶方位及所述第二结晶方位，使得所述 p 通道 MIS 晶体管的电流驱动能力与所述 n 通道 MIS 晶体管的电流驱动能力相平衡。

8. 如权利要求 7 所述的互补型 MIS 器件，其特征在于，

所述半导体基片以硅的（111）面或（110）面或者其附近的结晶面为主面。

互补型 MIS 器件

5 技术领域

本发明一般地涉及半导体器件，特别涉及平衡 p 通道 MIS 晶体管和 n 通道 MIS 晶体管的载流子迁移率的互补型 MIS 器件。

背景技术

10 CMOS 电路是含有 p 通道 MOS 晶体管和 n 通道 MOS 晶体管的基本电子电路，而构成所述 CMOS 电路的 CMOS 器件被广泛应用于各种电子装置中。

以往，CMOS 器件形成在可形成优质热氧化膜的 Si 基片的 (100) 面上。

但是在 Si 基片的 (100) 面上，电子和空穴间的有效质量和晶格散射
15 几率明显不同，其结果，电子迁移率与空穴迁移率相比大了 2~3 倍。

图 1 表示典型的 CMOS 反相器 10 的电路。

参照图 1，CMOS 反相器 10 通过串联连接 p 通道 MOS 晶体管 11 和 n 通道 MOS 晶体管 12 而构成，并形成同时向 p 通道 MOS 晶体管和 n 通道 MOS 晶体管供给输入信号的结构。

20 在这种 CMOS 反相器中，如上所述的那样，p 通道 MOS 晶体管的空穴迁移率，进而电流驱动能力只是 n 通道 MOS 晶体管的电子迁移率的 $1/2 \sim 1/3$ 。因此，从 CMOS 器件整体出发，为了实现足够的电流驱动能力以及动作速度，在以往的 CMOS 反相器中，需要将 p 通道 MOS 晶体管 11 的通道宽度 W_1 设定为 n 通道 MOS 晶体管 12 的通道宽度 W_2 的 2~3 倍。

25 但是，在以往的装置中，会产生导致 p 通道 MOS 晶体管的通道区域的面积比 n 通道 MOS 晶体管的通道区域的面积大，或在设计微小化的高速集成电路装置时需要排列大小不同的元件等的各种困难。此外，在面积大的 p 通道 MOS 晶体管中寄生电容也增大，其结果会产生动作速度下降，电力消耗增大的问题。

另外，由于 p 通道 MOS 晶体管和 n 通道 MOS 晶体管的特性如上述那样不对称，因此，这种 CMOS 电路表现出非线性动作特性，从而限制了在要求线性动作的模拟电路等中的应用。

此外，如上所述，以 CMOS 电路为主的半导体器件以往在 Si 基片的（100）面上形成，但是由于硅结晶的（100）面的原子密度低，容易分裂，因此，增大晶片的直径时，也有处理变得困难的问题。

发明内容

因此，本发明的总的目的是提供一种解决上述问题的新型实用的半导体器件及其制造方法。

本发明更具体的目的是提供一种平衡 p 通道 MOS 晶体管和 n 通道 MOS 晶体管之间的电流驱动能力的 CMOS 器件。

本发明的另一目的是提供一种互补型 MIS 器件，其特征在于，

所述互补型 MIS 器件由以下部分构成：

15 半导体基片，具有作为主面的第一结晶面，并被分划成 p 通道 MIS 晶体管区域和 n 通道 MIS 晶体管区域；

p 通道 MIS 晶体管，包括：第一半导体结构，作为所述半导体基片的一部分形成在所述 p 通道 MIS 晶体管区域中，由一对侧壁面和顶面构成，其中，所述一对侧壁面由不同于所述第一结晶面的第二结晶面形成，所述顶面由不同于所述第二结晶面的第三结晶面形成；第一栅极绝缘膜，形成在所述 p 通道 MIS 晶体管区域中，以均匀的厚度实际覆盖所述主面和所述第一半导体结构的侧壁面及顶面；第一栅电极，形成在所述 p 通道 MIS 晶体管区域中，通过所述第一栅极绝缘膜连续覆盖在所述主面和所述第一半导体结构的侧壁面及顶面上；第一及第二 p 型扩散区域，在所述 p 通道 MIS 晶体管区域内，形成在所述半导体基片及所述第一半导体结构中的所述第一栅电极的一侧和另一侧上，并均沿着所述半导体基片主面和所述第一半导体结构的侧壁面以及顶面连续延伸；以及

n 通道 MIS 晶体管，包括：第二半导体结构，作为所述半导体基片的一部分形成在所述 n 通道 MIS 晶体管区域中，由一对侧壁面和顶面构成，

其中，所述一对侧壁面由不同于所述第一结晶面的第四结晶面形成，所述顶面由不同于所述第四结晶面的第五结晶面形成；第二栅极绝缘膜，形成在所述 n 通道 MIS 晶体管区域中，以均匀的厚度实际覆盖所述主面和所述第二半导体结构的侧壁面及顶面；第二栅电极，形成在所述 n 通道 MIS 晶体管区域中，通过所述第二栅极绝缘膜连续覆盖在所述主面和所述第二半导体结构的侧壁面及顶面上；第一及第二 n 型扩散区域，在所述 n 通道 MIS 晶体管区域内，形成在所述半导体基片及所述第二半导体结构中的所述第二栅电极的一侧和另一侧上，并均沿着所述半导体基片主面和所述第二半导体结构的侧壁面及顶面连续延伸；

其中，设定所述第一半导体结构的顶面和侧壁面的宽度以及所述第二半导体结构的顶面和侧壁面的宽度，使得所述 p 通道 MIS 晶体管的电流驱动能力与所述 n 通道 MIS 晶体管的电流驱动能力实际平衡。

本发明的另一目的是提供一种互补型 MIS 器件，其特征在于，所述互补型 MIS 器件由以下部分构成：

半导体基片；

n 通道 MIS 晶体管，包括：第一栅电极，在所述半导体基片的主面上通过第一栅极绝缘膜在第一结晶方位上形成；第一及第二 n 型扩散区域，形成在所述半导体器件基片中的所述第一栅电极的一侧和另一侧上；以及

p 通道 MIS 晶体管，包括：第二栅电极，在所述半导体基片上通过第二栅极绝缘膜在第二结晶方位上形成；第一及第二 p 型扩散区域，形成在所述半导体器件基片中的所述第二栅电极的一侧和另一侧上；

其中，所述第一栅电极与所述第二栅电极相互连接；

所述第二 p 型扩散区域与所述第一 n 型扩散区域相互连接；

设定所述第一结晶方位及所述第二结晶方位，使得所述 p 通道 MIS 晶体管的电流驱动能力与所述 n 通道 MIS 晶体管的电流驱动能力相平衡。

根据本发明，通过使用硅（100）面以外的结晶面，可以使 p 通道 MOS 晶体管和 n 通道 MOS 晶体管的电流驱动能力平衡，从而能够促进 CMOS 器件的微小化，同时提高动作速度。

附图说明

图 1 是表示以往的 CMOS 器件结构的等价电路图。

图 2 是在本发明中使用的基片处理装置的结构示意图。

图 3 是使用图 2 的基片处理装置的硅基片氧化处理的示意图。

- 5 图 4 是使用图 2 的基片处理装置后各种结晶面上形成的氧化膜的膜质和热氧化膜的比较示意图。

图 5A~图 5C 是在各种结晶面上形成的 p 通道 MOS 晶体管的漏极电流特性示意图。

图 6 是本发明第一实施例的 CMOS 器件的结构示意图。

- 10 图 7 是图 6 的 CMOS 器件的部分示意图。

图 8 是本发明第二实施例的 CMOS 器件的结构示意图。

图 9 是本发明第三实施例的 3 输入 NAND 电路的结构示意图。

图 10 是本发明第四实施例的 3 输入 NOR 电路的结构示意图。

图 11 是本发明第五实施例的 5 输入 NAND 电路的结构示意图。

- 15 图 12 是本发明第六实施例的 5 输入 NOR 电路的结构示意图。

图 13 是本发明第七实施例的 CMOS 开关的结构示意图。

图 14A~图 14C 是图 13 的 CMOS 开关的动作说明图。

图 15 是本发明第八实施例的推挽放大器的结构示意图。

20 具体实施方式

[原理]

图 2 表示本发明中用于栅极绝缘膜的形成的微波基片处理装置 20 的结构。

- 25 参照图 2, 微波处理装置 20 具有通过排气口 21A 排气的处理容器 21, 在所述处理容器 21 中设有支承被处理基片 24 的样品支承台 23。所述排气口 21A 包围所述样品支承台 23 四周而形成, 并通过驱动连接在所述排气口 21A 上的真空泵, 将多余的原子团和在基片处理中产生的副生成物, 从被处理基片 24 表面附近的处理空间沿基片表面向装置外均匀排出。

此外, 在所述处理容器 21 中, 与所述被处理基片 24 相对, 作为壁面

的一部分形成有一般由 Al_2O_3 或石英组成的平板形状的微波窗 22，而且在所述微波窗 22 的内侧与所述被处理基片 24 相对，形成有均匀地供给处理气体的平板形状的喷盘（shower plate）25。

另外，在所述处理容器 21 的外侧，与所述微波窗相结合，设有通过同轴波导管 27 供电的如径向线缝隙天线等的微波天线 26，通过以 900MHz~10GHz，一般为 2.45GHz 的微波驱动所述微波天线 26，在所述喷盘的正下方均匀形成高密度且低能量的等离子体。

图 2 的微波基片处理装置 20 通过等离子体激发从喷盘 25 供给的处理气体，并使用由此形成的原子团对被处理基片 24 的表面进行处理。

更具体地说，首先对所述处理容器 21 的内部进行排气使其成高真空状态，接着从所述喷盘 25 导入 Kr 和 O_2 的混合气体，使所述处理容器 21 的内部压强达到约 1Torr（约 133Pa）。另外，将处理基片 24 的温度设定为 200~550℃，最好是 400℃，并在此状态下向所述微波天线供给微波，从而在被处理基片 24 的表面附近形成均匀的高密度等离子体。

所述等离子体形成的结果，Kr 被激发成中间激发态，通过这样激发的 Kr^* 和氧分子的相互碰撞，在所述被处理基片 24 的表面附近高效形成氧原子 O^* 。使用这样形成的氧原子 O^* 处理被处理基片表面，不仅在硅基片的（100）面上，还能在（111）面以及（110）面上，形成适于作为栅极绝缘膜的高质量的氧化膜。

图 3 对比表示通过图 2 的微波基片处理装置 20 氧化硅基片的（100）面、（111）面以及（110）面时 Kr / O_2 等离子体氧化膜的成长速度和热氧化膜的成长速度。

参照图 3 可知，在 Kr / O_2 等离子体氧化膜中得到远大于热氧化膜时的成长速度，而使用活性氧原子 O^* 的 Si 基片的氧化则可高效地进行。另外通过图 3 可知，在 Kr / O_2 等离子体氧化膜中，Si 原子面密度大的（111）面及（110）面上的成长速度变得比（100）面上的成长速度还小。这与从原料供给速率确定过程导出的结果一致，并暗示这样形成的等离子体氧化膜具有优良的膜质。

与此相反，在 Si 基片的（111）面、（110）面上形成热氧化膜时，与

在(100)面上形成热氧化膜时相比氧化膜的成长速度变大,这暗示在(111)面、(110)面上形成的热氧化膜的膜质较差。

图4表示对这样形成的Kr/O₂等离子体氧化膜与热氧化膜上的表面能级密度进行比较的结果。

- 5 参照图4,可知Kr/O₂等离子体氧化膜不管是形成在硅的(100)面上,还是形成在(111)面、(110)面上时,其表面能级密度都比形成在(100)面上的热氧化膜的表面能级密度还低,从而得到了质量非常高的氧化膜。

- 10 与此相反,在形成于硅的(111)面、(110)面上的热氧化膜中,正如从图3的结果预测的那样,表面能级密度非常大,因此,用于MOS晶体管的栅极绝缘膜中时,会产生因载流子的捕获而引起的临界值电压变化或栅极漏电流增大等各种问题。

- 15 图5A~图5C表示通过图2的基片处理装置分别在硅基片的(100)面、(111)面、及(110)面形成氧化硅膜,并将所述氧化硅膜作为栅极绝缘膜形成p通道MOS晶体管时的对应漏极电压的标准化漏极电流特性。图5A、5B表示氧化硅膜通过所述Kr/O₂等离子体处理形成的情况和通过热氧化处理形成的情况。与此相对,由于通过热氧化处理不能在(110)面上形成良好的氧化膜,因此,在图5C中只表示通过Kr/O₂等离子体处理形成的栅极氧化膜的例子。图5A是关于栅极长度为10μm、
20 栅极宽度为50μm的p通道MOS晶体管的结果,图5B、图5C是关于栅极长度为10μm、栅极宽度为300μm的p通道MOS晶体管的结果。

- 25 参照图5A~图5B可知,p通道MOS晶体管的漏极电流,即互导或电流驱动能力,可以通过在硅的(100)面以外的结晶面,例如(111)面或(110)面上形成晶体管来使之增大,特别是在硅的(111)面上形成p通道MOS晶体管时,可获得约为在(100)面上形成的p通道MOS晶体管1.3倍的电流驱动能力,此外,在(110)面上形成时可获得约1.8倍的电流驱动能力。

[第一实施例]

图6、7表示本发明第一实施例的CMOS器件30的结构。其中,图7

是取出图 6 的一部分来表示的图。

参照图 6、7，CMOS 器件 30 形成在以 (100) 面为主面的 Si 基片 31 上，在所述 (100) 面上形成有被元件分离区域 31C 分隔的 p 型区域 A 和 n 型区域 B，如图 7 所示，所述区域 A 中的宽度为 W_{1A} 、高度为 H_A 的突出部分 31A，以及所述区域 B 中的宽度为 W_{1B} 、高度为 H_B 的突出部分 31B 形成在两侧壁面上。由图 7 可知，所述突出部分 31A、31B 的顶面由 (100) 面、侧壁面由 (110) 面形成。

在图 7 的 Si 基片 31 上，通过先前在图 2 中说明的基片处理装置 20 均匀地形成有氧化硅膜，接着在其上面，分别在区域 A 和区域 B 上形成图 6 所示的多晶硅栅电极 33A 及 33B。另外，随着所述栅电极 33A 和 33B 的图案化，所述氧化硅膜也被图案化，从而形成与所述栅电极 33A 对应的栅极绝缘膜 32A，以及与栅电极 33B 对应的栅极绝缘膜 32B。

另外，在图 6 的 CMOS 器件 30 中，在所述 p 型区域 A 中对所述栅电极 33A 通过向自对准掩膜中进行 n 型杂质的离子注入，在所述栅电极 33A 的两侧形成包含所述突出部分 31A 的 n 型扩散区域 31a 和 31b。同样地，也在所述 n 型区域 B 的所述栅电极 33B 的两侧形成包含所述突出部分 31B 的 p 型扩散区域 31c 和 31d。其结果，在所述 Si 基片 31 上，在所述区域 A 中形成 p 通道 MOS 晶体管，并且在所述区域 B 中形成 n 通道 MOS 晶体管。

在图 6 的 CMOS 器件中，p 通道 MOS 晶体管具有栅极长度 L_{gA} ，n 通道 MOS 晶体管具有栅极长度 L_{gB} ，所述栅电极 33A 在所述突出部分 31A 的各侧以栅极宽度 $W_{2A}/2$ 覆盖 Si 基片 31 的平坦部分。其结果，所述栅电极 33A 的 (100) 面上的栅极宽度包括所述突出部分 31A 的顶面部分成 $W_{1A}+W_{2A}$ 。与此相反，所述栅电极 33A 的 (110) 面上的栅极宽度 W_A 由于形成在两侧壁面上因此为 $2H_A$ ，其结果，在所述区域 A 中形成的 p 通道 MOS 晶体管的电流驱动能力，可通过公式 $\mu_{p1}(W_{1A}+W_{2A})+2\mu_{p2}H_A$ 求出。其中， μ_{p1} 表示 (100) 面中的空穴迁移率， μ_{p2} 表示 (110) 面中的空穴迁移率。

同样地，在所述区域 B 中形成的 n 通道 MOS 晶体管的电流驱动能

力, 可通过公式 $\mu_{n1} (W_{1B} + W_{2B}) + 2\mu_{n2} H_B$ 求出。其中, μ_{n1} 表示 (100) 面中的电子迁移率, μ_{n2} 表示 (110) 面中的电子迁移率。

这里, 在本实施例的 CMOS 器件 30 中, 由于 p 通道 MOS 晶体管也形成在两侧壁面上, 因此为了使其电流驱动能力与 n 通道 MOS 晶体管的电
5 流驱动能力相平衡, 设定所述突出部分 31A、31B 的宽度和高度, 使其满足公式:

$$\mu_{p1} (W_{1A} + W_{2A}) + \mu_{p2} W_A = \mu_{n1} (W_{1B} + W_{2B}) + \mu_{n2} W_B$$

其中, 这里使用了 $W_A = 2H_A$, $W_B = 2H_B$ 的关系。

尤其, 在所述结构中, 通过设定所述突出部分 31A、31B 的高度 H_A
10 和 H_B , 使得尽管元件的面积相同, 也能够使 p 通道 MOS 晶体管和 n 通道 MOS 晶体管的电流驱动能力平衡。

在侧壁面上形成的晶体管, 不一定是要在两个侧壁面上, 也可以是在单个侧壁面上形成。

另外, 在以上说明中栅极绝缘膜 32A、32B 为氧化硅膜, 但是在图 2
15 的基片处理装置中, 也可以通过形成由 Ar 或 Kr 气体组成的稀有气体和 NH_3 气体的、或者所述稀有气体和 N_2 气体及 H_2 气体的混合气体等离子体, 来形成作为栅极绝缘膜 32A、32B 的氮化硅膜。另外, 还可以通过向其中添加 O_2 气体, 用氮氧化硅膜形成所述栅极绝缘膜 32A、32B。此时, 代替 p 通道 MOS 晶体管和 n 通道 MOS 晶体管, 可得到 p 通道 MIS 晶体管
20 和 n 通道 MIS 晶体管。

另外, 在本实施例中所述基片 31 不只限于硅, 也可以是在 Si 上添加了其它元素、例如 Ge 的 SiGe 基片。

[第二实施例]

图 8 表示本发明第二实施例的 CMOS 器件 40 的结构。

25 参照图 8, CMOS 器件 40 形成在以 (111) 面或 (110) 面为主面的 Si 基片 41 上, 由具有在所述 Si 基片 41 上向第一方位延伸的栅电极 42A 的 n 通道 MOS 晶体管 40A 和具有在所述 Si 基片 41 上向第二方位延伸的栅电极 42B 的 p 通道 MOS 晶体管 40B 组成, 在所述栅电极 40A 的两侧上形成有 n 型扩散区域 43A、44A, 并且在所述栅电极 40B 的两侧上形成有 p 型

扩散区域 43B、44B。

此时，通过连接所述扩散区域 44A 与所述扩散区域 43B，以及连接所述栅电极 42A 与 42B，来形成 CMOS 电路。

在这种 CMOS 器件中，p 通道 MOS 晶体管的电流驱动能力根据晶体管对于 n 通道 MOS 晶体管的相对方位 θ 而变化。在 (110) 面方位的硅晶片
5 片中，晶体管的源漏极方向朝向 (110) 方位时电流驱动能力最大，并且在其 180° 旋转方向上电流驱动能力最小。而在此之间的角度方向上，取最大值与最小值中间的值。在 p 通道晶体管中，最大值与最小值的比约为 2.5。另外在 n 通道晶体管中，最大值与最小值的比约为 1.4。

10 由此，通过最优化相对方位 θ ，可使 n 通道 MOS 晶体管 40A 与 p 通道 MOS 晶体管 40B 的电流驱动能力平衡。

[第三实施例]

图 9 表示应用了先前任一实施例的 CMOS 电路的 3 输入 NAND 电路的结构。

15 参照图 9，3 输入 NAND 电路含有串联连接在与输出端子连接的输出线和接地线之间的 n 通道 MOS 晶体管 $T_{r1} \sim T_{r3}$ ，并在输出线 V_{OUT} 和电源电压 V_{DD} 之间，并联连接有 p 通道 MOS 晶体管 $T_{r4} \sim T_{r6}$ 。其中，向 MOS 晶体管 T_{r1} 和 T_{r4} 的栅极供给输入逻辑信号 A，向 MOS 晶体管 T_{r2} 和 T_{r5} 的栅极供给输入逻辑信号 B，向 MOS 晶体管 T_{r3} 和 T_{r6} 的栅极供给输入逻辑
20 信号 C。

在图 9 的各晶体管中附注的数字表示各晶体管的相对元件面积。因此，将所有晶体管形成在硅的 (100) 面上时，图示 NAND 电路的相对面积为 18，但是，例如通过图 6 或图 8 所示结构将 p 通道 MOS 晶体管 $T_{r4} \sim T_{r6}$ 的电流驱动能力增大到 3 倍时，所需的元件面积减少到 1 / 3，其结果，NAND 电路的相对面积减少到 12。这样元件面积减少的结果，在连接
25 31 级所述 NAND 电路而形成的环形振荡器中，各晶体管的栅极长度为 0.25 μ m 时，振荡频率从以往的 855MHz 增大到 879MHz。

[第四实施例]

图 10 表示应用了先前任一实施例的 CMOS 电路的 3 输入 NOR 电路的

结构。

参照图 10, 3 输入 NOR 电路含有并联连接在与输出端子连接的输出线和接地线之间的 n 通道 MOS 晶体管 $T_{r11} \sim T_{r13}$, 而在输出线 V_{OUT} 和电源电压 V_{DD} 之间, 串联连接有 p 通道 MOS 晶体管 $T_{r14} \sim T_{r16}$ 。其中, 向 MOS 晶体管 T_{r11} 和 T_{r14} 的栅极供给输入逻辑信号 A, 向 MOS 晶体管 T_{r12} 和 T_{r15} 的栅极供给输入逻辑信号 B, 向 MOS 晶体管 T_{r13} 和 T_{r16} 的栅极供给输入逻辑信号 C。

在图 10 的各晶体管中附注的数字表示各晶体管的相对元件面积。因此, 将所有晶体管形成在硅的 (100) 面上时, 图示 NOR 电路的相对面积为 30, 但是, 例如通过图 6 或图 8 所示结构将 p 通道 MOS 晶体管 $T_{r4} \sim T_{r6}$ 的电流驱动能力增大到 3 倍时, 所需的元件面积减少到 1 / 3, 其结果, NOR 电路的相对面积减少到 12。这样元件面积减少的结果, 在连接 31 级所述 NOR 电路而形成的环形振荡器中, 各晶体管的栅极长度为 $0.25\mu\text{m}$ 时, 振荡频率从以往的 447MHz 增大到 879MHz。

[第五实施例]

图 11 表示应用了先前任一实施例的 CMOS 电路的 5 输入 NAND 电路的结构。

参照图 11, 5 输入 NAND 电路含有串联连接在与输出端子连接的输出线和接地线之间的 n 通道 MOS 晶体管 $T_{r21} \sim T_{r25}$, 而在输出线 V_{OUT} 和电源电压 V_{DD} 之间, 并联连接有 p 通道 MOS 晶体管 $T_{r26} \sim T_{r30}$ 。其中, 向 MOS 晶体管 T_{r21} 和 T_{r26} 的栅极供给输入逻辑信号 A, 向 MOS 晶体管 T_{r22} 和 T_{r27} 的栅极供给输入逻辑信号 B, 向 MOS 晶体管 T_{r23} 和 T_{r28} 的栅极供给输入逻辑信号 C, 向 MOS 晶体管 T_{r24} 和 T_{r29} 的栅极供给输入逻辑信号 D, 向 MOS 晶体管 T_{r25} 和 T_{r30} 的栅极供给输入逻辑信号 E。

在图 11 的各晶体管中附注的数字表示各晶体管的相对元件面积。因此, 将所有晶体管形成在硅的 (100) 面上时, 图示 NAND 电路的相对面积为 40, 但是, 例如通过图 6 或图 8 所示结构将 p 通道 MOS 晶体管 $T_{r26} \sim T_{r30}$ 的电流驱动能力增大到 3 倍时, 所需的元件面积减少到 1 / 3, 其结果, NAND 电路的相对面积减少到 30。

[第六实施例]

图 12 表示应用了先前任一实施例的 CMOS 电路的 5 输入 NOR 电路的结构。

参照图 12, 5 输入 NOR 电路含有并联连接在与输出端子连接的输出线和接地线之间的 n 通道 MOS 晶体管 $T_{r41} \sim T_{r45}$, 而在输出线 V_{OUT} 和电源电压 V_{DD} 之间, 串联连接有 p 通道 MOS 晶体管 $T_{r46} \sim T_{r50}$ 。其中, 向 MOS 晶体管 T_{r41} 和 T_{r46} 的栅极供给输入逻辑信号 A, 向 MOS 晶体管 T_{r42} 和 T_{r47} 的栅极供给输入逻辑信号 B, 向 MOS 晶体管 T_{r43} 和 T_{r48} 的栅极供给输入逻辑信号 C, 向 MOS 晶体管 T_{r44} 和 T_{r49} 的栅极供给输入逻辑信号 D, 向 MOS 晶体管 T_{r45} 和 T_{r50} 的栅极供给输入逻辑信号 E。

在图 12 的各晶体管中附注的数字表示各晶体管的相对元件面积。因此, 将所有晶体管形成在硅的 (100) 面上时, 图示 NOR 电路的相对面积为 80, 例如通过图 6 或图 8 所示结构将 p 通道 MOS 晶体管 $T_{r46} \sim T_{r50}$ 的电流驱动能力增大到 3 倍时, 所需的元件面积减少到 $1/3$, 其结果, NOR 电路的相对面积减少到 30。这样元件面积减少的结果, 在连接 31 级所述 NOR 电路而形成的环形振荡器中, 各晶体管的栅极长度为 $0.25\mu\text{m}$ 时, 振荡频率从以往的 207MHz 增大到 431MHz。

[第七实施例]

图 13 表示本发明第七实施例的 CMOS 开关的结构。

参照图 13, CMOS 开关由相互并联连接在输入端子 V_{IN} 与输出端子 V_{OUT} 之间的 p 通道 MOS 晶体管 T_{r51} 和 n 通道 MOS 晶体管 T_{r52} 组成, 并对应于供给到各自栅电极的时钟信号 CLKp 和 CLKn, 对供给到输入端子 V_{IN} 中的信号进行采样。

图 14A 表示所述时钟信号 CLKp 和 CLKn 的波形, 另外, 图 14B 表示作为所述 CMOS 开关使用形成在硅基片的 (100) 面上的以往 p 通道 MOS 晶体管和 n 通道 MOS 晶体管时, 在输出端子 V_{OUT} 得到的输出信号的波形。

参照图 14A、图 14B, 在时钟信号 CLKp 和 CLKn 发生跃变时, n 通道 MOS 晶体管 T_{r52} 和 p 通道 MOS 晶体管 T_{r51} 的导通被关断, 然而此时, 在以往的 p 通道 MOS 晶体管 T_{r51} 中会伴随有与大于晶体管 T_{r52} 的元件面积

对应的较大的寄生电容，其结果，导致输出电压大大降低。

与此相反，图 14C 表示使用先前在本发明第一实施例或第二实施例中说明的 CMOS 器件时的 CMOS 开关的输出波形。

参照图 14C 可知，在使用本发明 CMOS 器件的 CMOS 开关中，p 通道 MOS 晶体管 T_{r51} 的寄生电容 C_p 减少到与 n 通道 MOS 晶体管 T_{r52} 的寄生电容 C_n 相等的程度，其结果，使得输出电压的偏移剧减。

这样，通过使用本发明的 CMOS 器件，可以实现响应速度非常好的 CMOS 开关。

[第八实施例]

10 图 15 表示使用本发明第八实施例的 p 通道 MOS 晶体管 T_{r61} 和 n 通道 MOS 晶体管 T_{r62} 的 B 类推挽放大器的结构。

参照图 15，在本实施例的 B 类推挽放大器中，通过 p 通道 MOS 晶体管 T_{r61} 和 n 通道 MOS 晶体管 T_{r62} 使动作特性及寄生元件特性平衡，从而，可以得到动态范围宽、频带宽度大以及无谐波失真的增益。

15 以上，以最佳实施例对本发明进行了说明，但是本发明并不限于所述特定的实施例，可以在权利要求书所记载的要点范围内做各种变形和改变。

工业实用性：

对于本发明，通过使用硅的（100）面以外的结晶面，可以平衡 p 通道 MOS 晶体管和 n 通道 MOS 晶体管的电流驱动能力，从而能够促进 CMOS 器件的微小化，同时还能够提高动作速度。

20

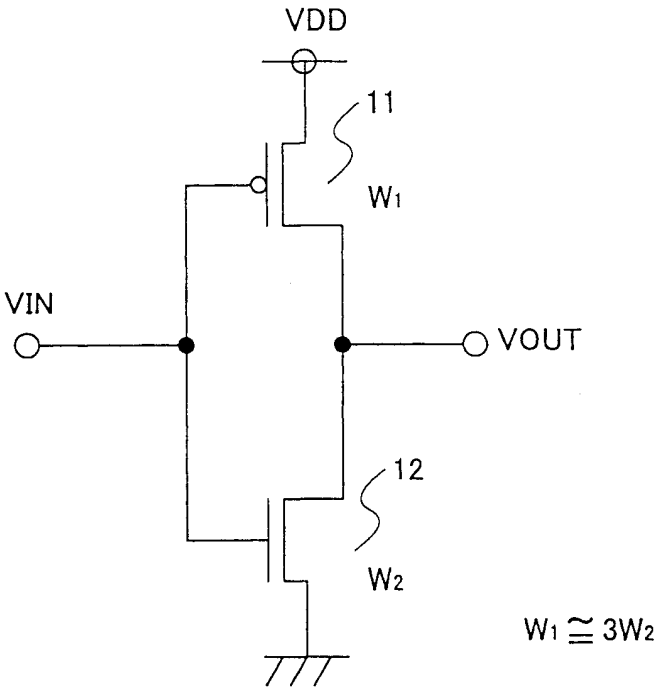
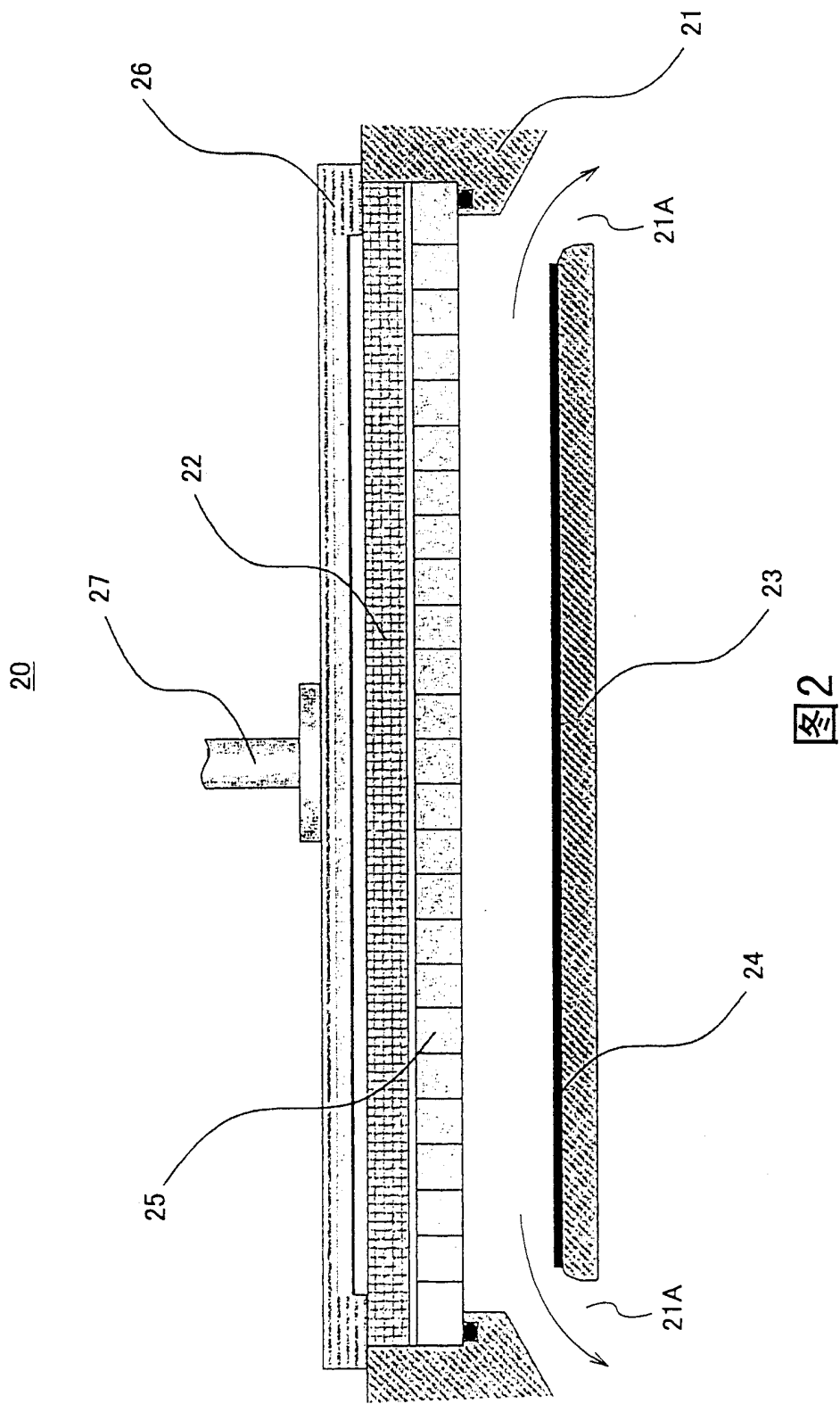


图1



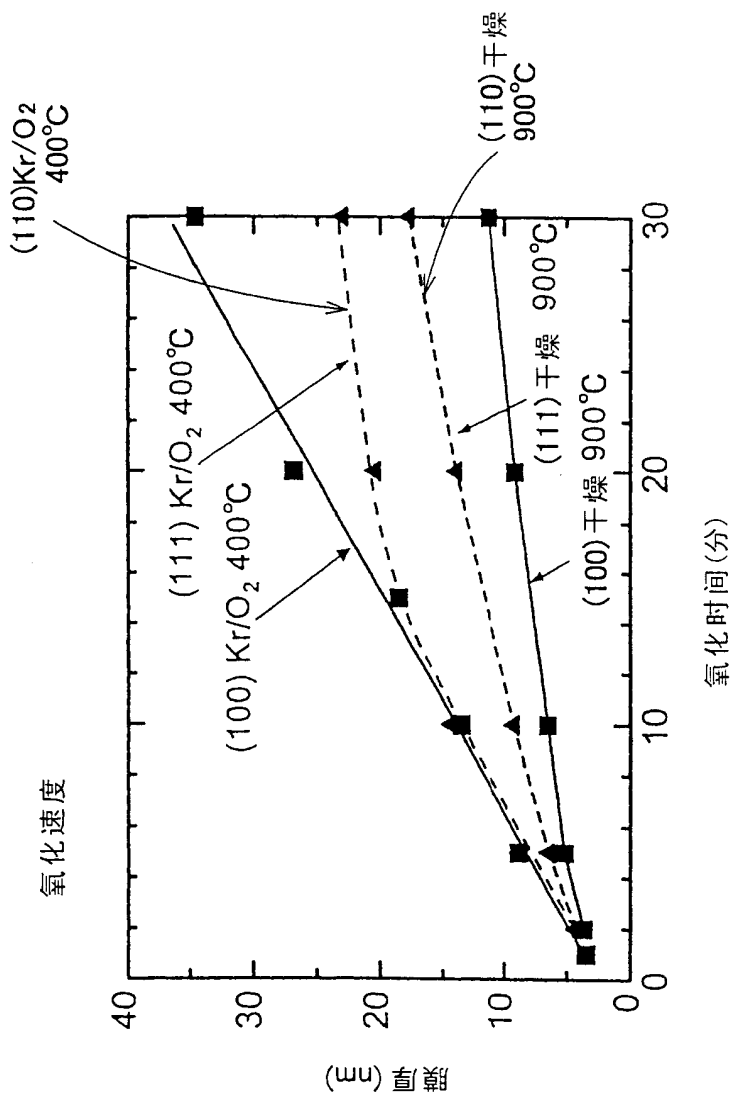


图3

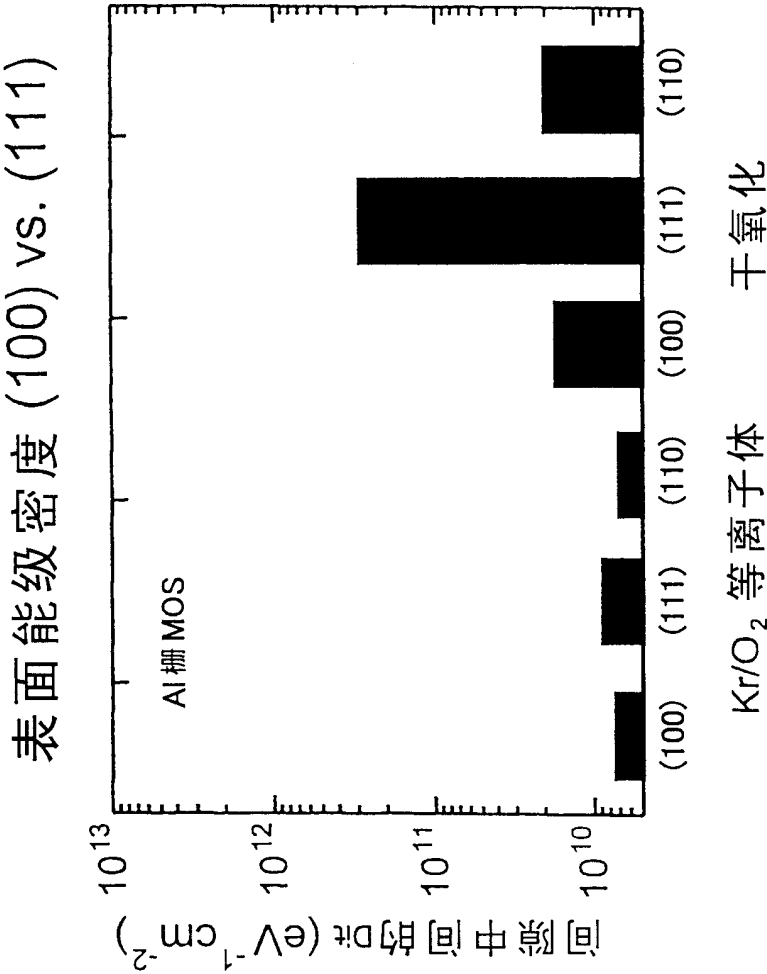


图4

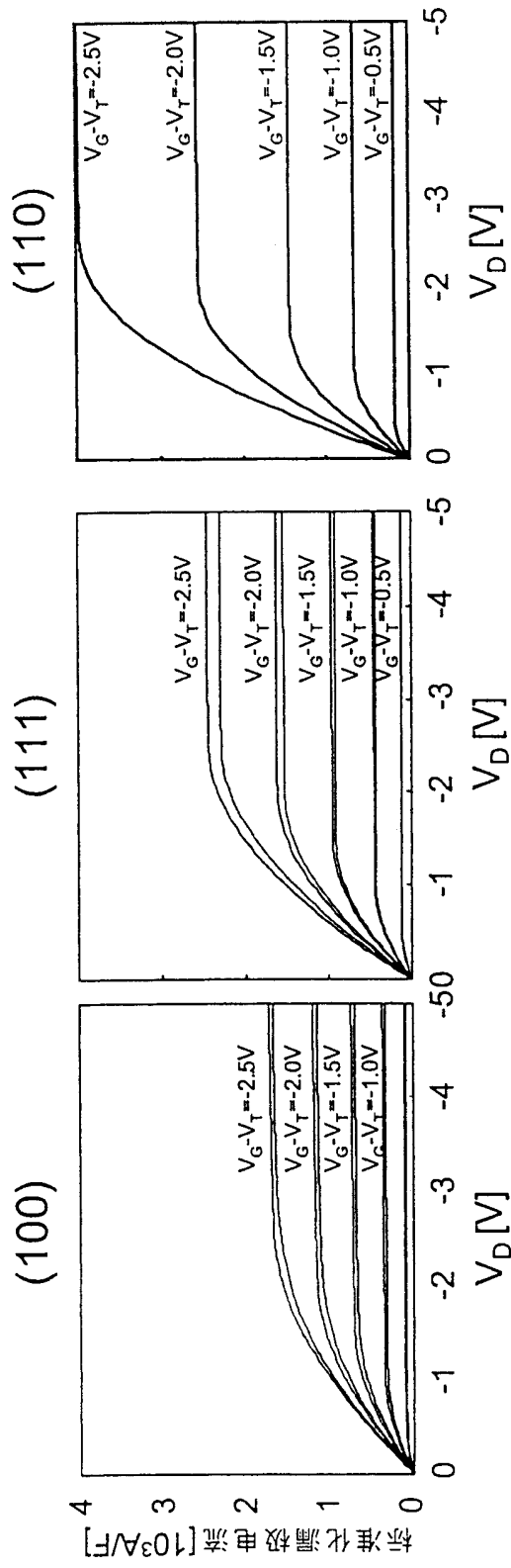


图5A

图5B

图5C

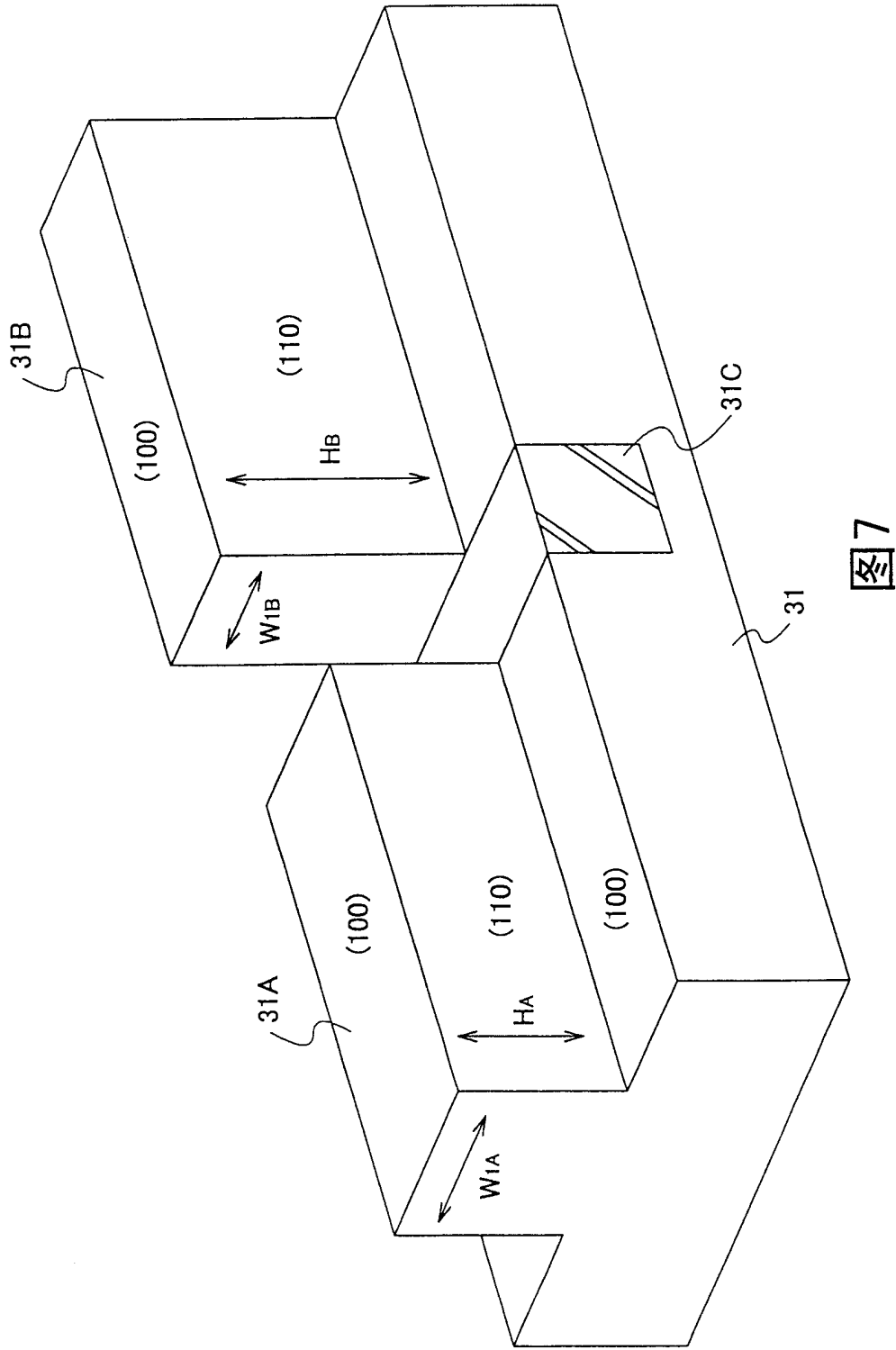


图7

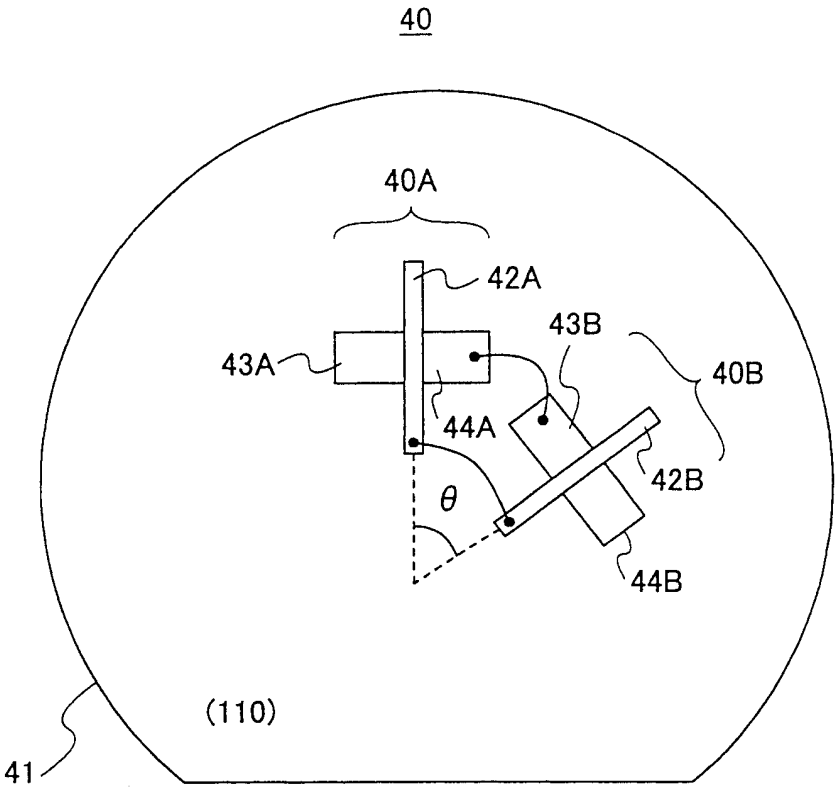


图8

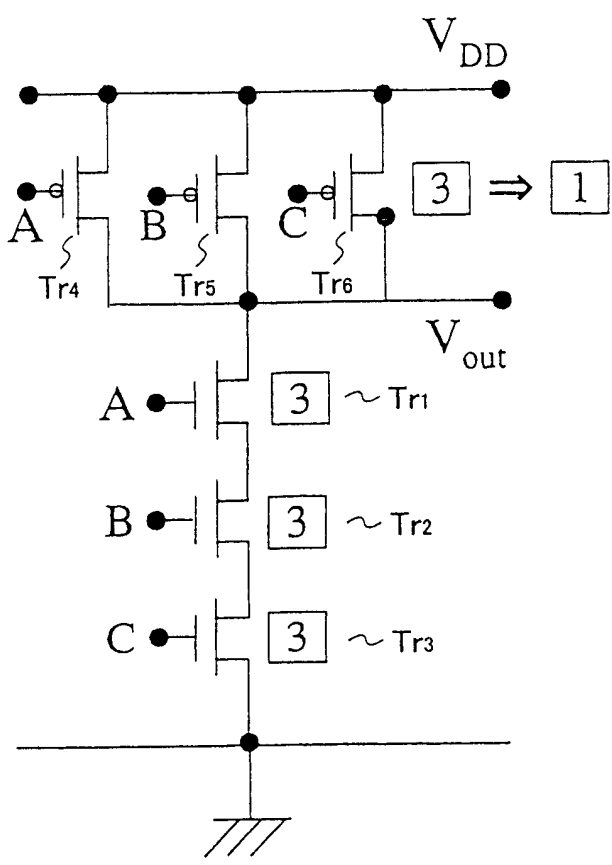


图9

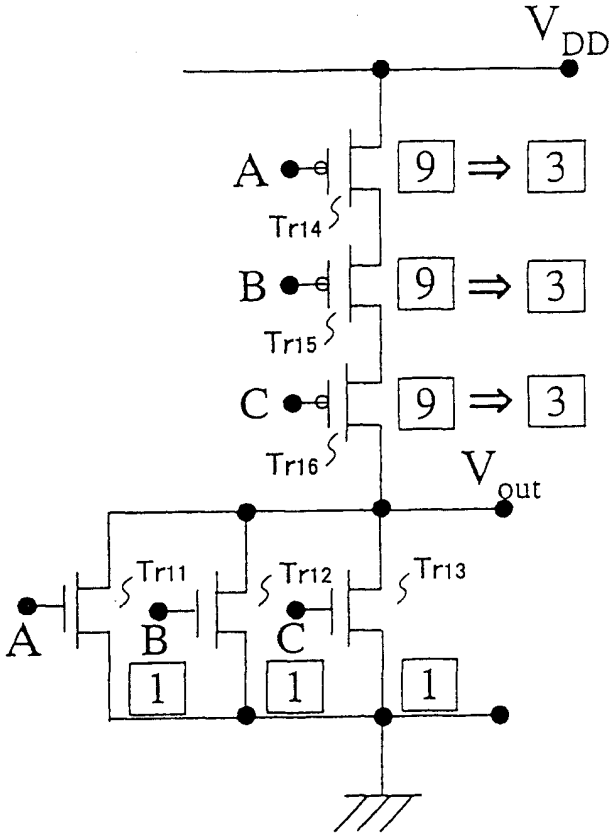


图10

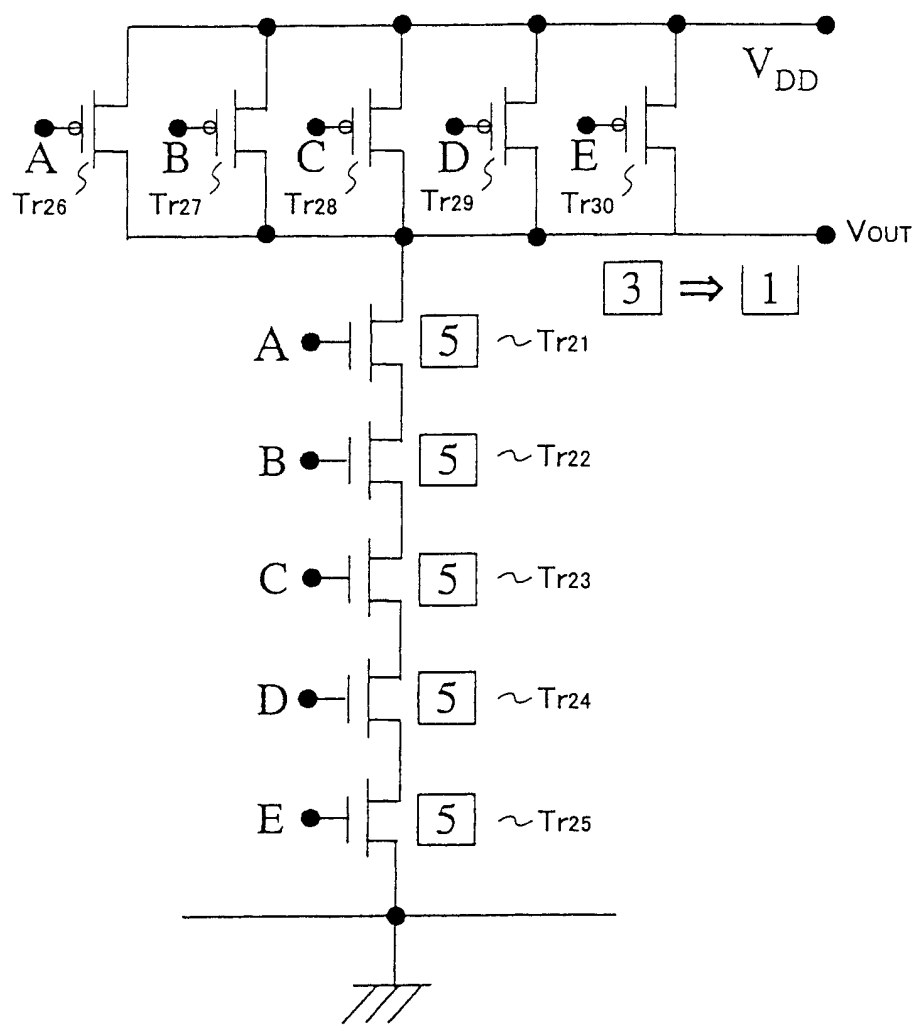


图 11

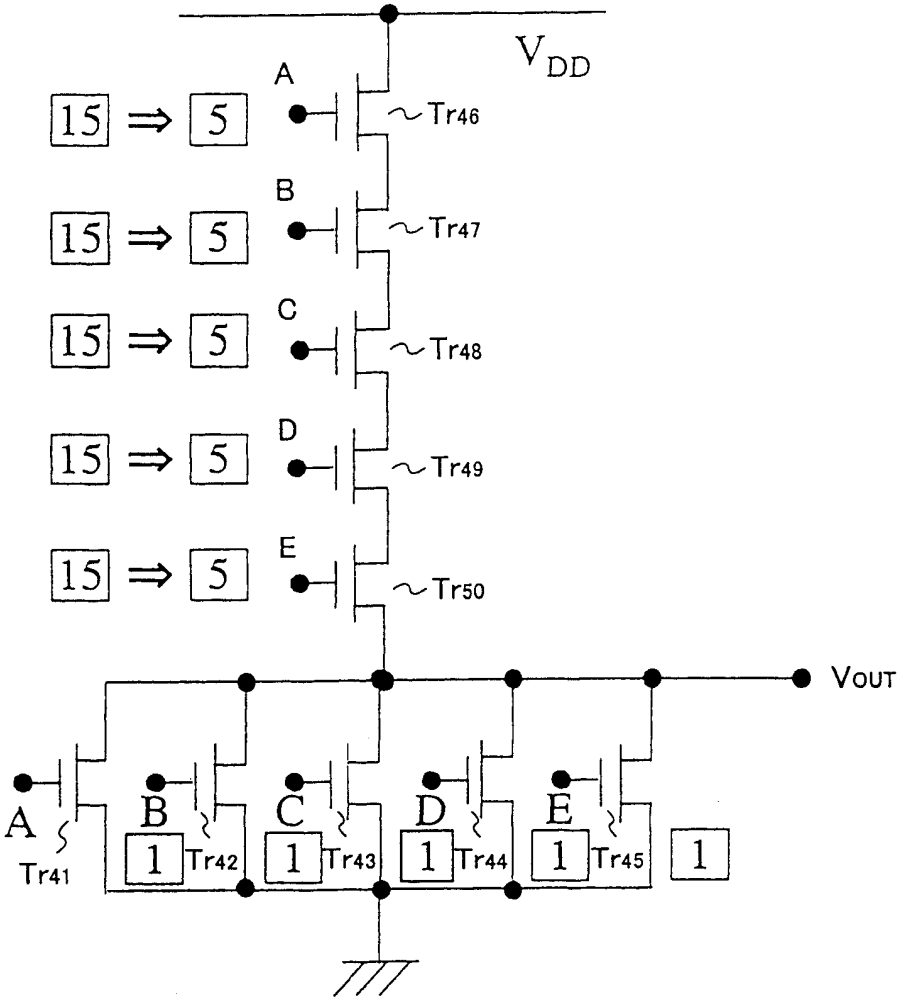


图12

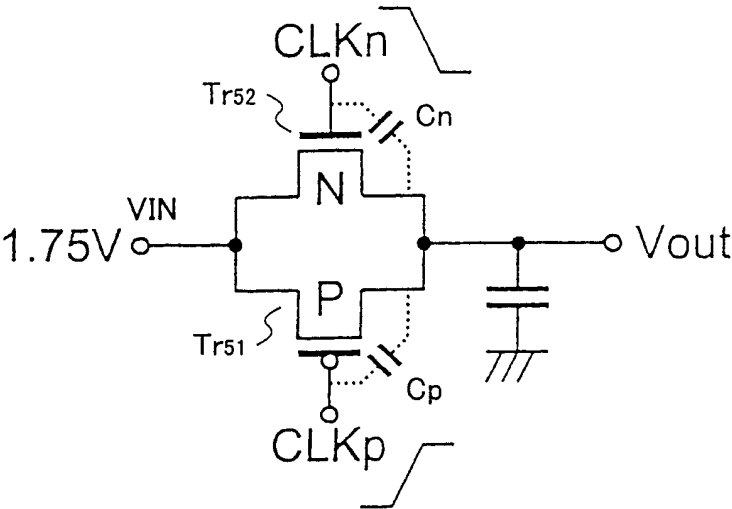


图13

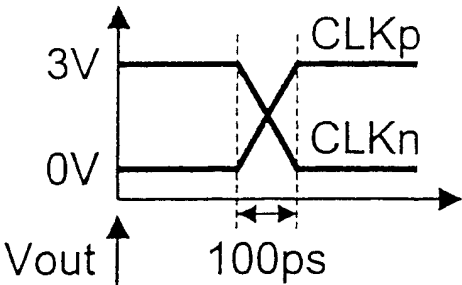


图14A

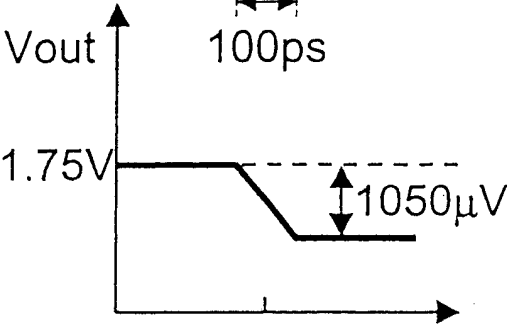


图14B

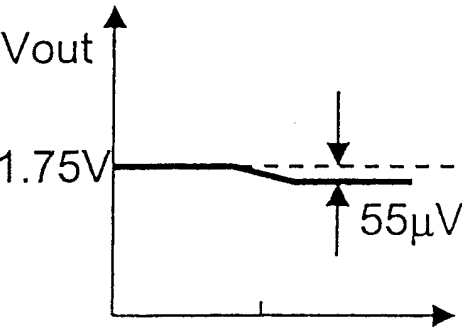


图14C

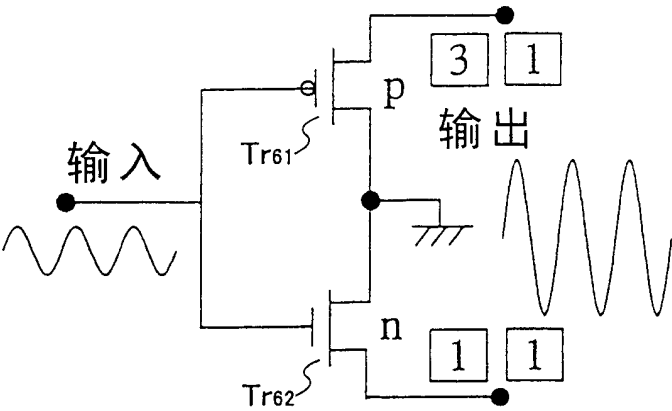


图15