



## 【特許請求の範囲】

## 【請求項 1】

データの論理に応じた電荷を蓄積するキャパシタを有するメモリセルと、  
前記メモリセルに接続されたビット線と、  
前記ビット線に接続される電荷転送回路と、  
前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、  
前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、  
前記ビット線に読み出された電荷を前記電荷蓄積回路に転送するために、読み出された電荷による前記ビット線の電圧の変化に応じて前記電荷転送回路の電荷転送能力を制御する制御回路と、  
読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を一時的に低くするリーク抑制回路とを備えていることを特徴とする半導体メモリ。

10

## 【請求項 2】

請求項 1 記載の半導体メモリにおいて、  
前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、  
前記リーク抑制回路は、前記入力端子に接続されており、読み出し動作において、この入力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

20

## 【請求項 3】

請求項 1 記載の半導体メモリにおいて、  
前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、  
前記リーク抑制回路は、前記出力端子に接続されており、読み出し動作において、この出力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

30

## 【請求項 4】

請求項 1 記載の半導体メモリにおいて、  
読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路を備え、  
前記リーク抑制回路は、前記初期化回路による初期設定に同期して電荷転送能力を一時的に低くすることを特徴とする半導体メモリ。

## 【請求項 5】

請求項 1 記載の半導体メモリにおいて、  
読み出し動作において、前記メモリセルから前記ビット線への前記電荷の読み出しが開始された後に、前記電荷転送回路の電荷転送能力を高くする転送制御回路を備えていることを特徴とする半導体メモリ。

40

## 【請求項 6】

請求項 1 記載の半導体メモリにおいて、  
前記電荷蓄積回路は、  
前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第 1 および第 2 キャパシタと、  
読み出し動作が開始された後、前記第 2 キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

## 【請求項 7】

請求項 1 記載の半導体メモリにおいて、

50

前記読み出し電圧が所定値に達したことを検出し、この検出にตอบสนองして前記制御回路の動作を停止する検出回路を備えていることを特徴とする半導体メモリ。

【請求項 8】

請求項 7 記載の半導体メモリにおいて、

前記メモリセルに形成され、相補の論理値に応じた電荷をそれぞれ蓄積するキャパシタ対を備え、

前記電荷転送回路、前記電荷蓄積回路、前記制御回路および前記リーク抑制回路は、前記前記キャパシタ対のキャパシタ毎に形成され、

前記検出回路は、前記キャパシタ対に対応する一对の電荷蓄積回路が生成する読み出し電圧のいずれかが所定値に達したことを検出することを特徴とする半導体メモリ。

10

【請求項 9】

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、

前記読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出されるときに、前記電荷転送回路の電荷転送能力を高くするリーク抑制回路とを備えていることを特徴とする半導体メモリ。

20

【請求項 10】

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路とを備え、

30

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第 1 および第 2 キャパシタと、

読み出し動作が開始された後、前記第 2 キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データの論理値を電荷として保持する強誘電体キャパシタ等で構成されるメモリセルを有する半導体メモリに関する。特に、メモリセルに書き込まれたデータを読み出すための回路技術に関する。

40

【背景技術】

【0002】

近時、ビット線 GND センス方式と称する強誘電体メモリの読み出し方式が提案されている（例えば、特許文献 1、非特許文献 1 参照）。この種の読み出し方式では、プレート線に電圧を印加したときにビット線の電圧が変動しないように、メモリセルからビット線に読み出される電荷を、プリセンスアンプ内に形成されるチャージトランスファと称する電荷転送回路を介して電荷蓄積回路に転送し、電荷蓄積回路に転送された電荷量に応じてメモリセルに保持されていたデータの論理値を判定する。チャージトランスファは、pM

50

OSトランジスタにより構成される。pMOSトランジスタは、プレート線を立ち上げる前にゲート・ソース間電圧が閾値電圧と同じ値に初期設定される。pMOSトランジスタのゲートは、ビット線の電圧の上昇に応じて出力電圧を下降させるインバータアンプで制御される。

【特許文献1】特開2002-133857号公報

【非特許文献1】IEEE Journal of Solid-State Circuits, Vol.37, No.5, pp592-597, May 2002

【発明の開示】

【発明が解決しようとする課題】

【0003】

読み出し動作において、pMOSトランジスタのゲート・ソース間電圧が閾値電圧に初期設定された後、プレート線が立ち上がるまでの期間、pMOSトランジスタは、弱くオンしている。このため、pMOSトランジスタのソース・ドレイン間にリークが発生する。このリークにより、pMOSトランジスタのドレイン電圧(負電圧)が上昇するため、読み出しマージンが低下するという問題があった。

【0004】

また、従来は、インバータアンプを活性化する制御信号の活性化期間を遅延回路等を用いて生成している。このため、制御信号の活性化期間を動作温度および動作電圧のワーストケースに応じて設計する必要があり、動作条件によってはインバータアンプの活性化期間が必要以上に長くなり、無駄な電力を消費していた。インバータアンプは、プリセンス

【0005】

本発明の目的は、メモリセルに書き込まれたデータを読み出すときの読み出しマージンの低下を防止することにある。

【0006】

本発明の別の目的は、データの論理値を電荷として保持するメモリセルを有する半導体メモリにおいて、読み出し動作時の消費電力を削減することにある。

【課題を解決するための手段】

【0007】

本発明の第1の形態では、メモリセルに接続されたビット線は、電荷転送回路を介して電荷蓄積回路に接続される。メモリセルは、データの論理に応じた電荷を蓄積するキャパシタを有する。制御回路は、ビット線に読み出された電荷を電荷蓄積回路に転送するために、読み出された電荷によるビット線の電圧の変化に応じて電荷転送回路の電荷転送能力を制御する。リーク抑制回路は、読み出し動作において、メモリセルからビット線に電荷が読み出される前に、電荷転送回路の電荷転送能力を一時的に低くする。読み出し回路は、電荷蓄積回路が蓄積した電荷に応じて生成する読み出し電圧に応じてメモリセルに保持されていたデータの論理を生成する。

【0008】

リーク抑制回路により、メモリセルからのデータの読み出し前に、電荷蓄積回路とビット線との間で電荷が転送されることを防止できる。このため、電荷蓄積回路は、メモリセルに記憶されているデータの論理値に応じて、読み出し回路が動作するために十分な読み出し電圧を生成できる。この結果、読み出しマージンの低下を防止でき、半導体メモリの誤動作を防止できる。

【0009】

本発明の第1の形態における好ましい例では、制御回路は、ビット線に接続された入力端子と、電荷転送能力を調整するために電荷転送回路の制御端子に接続された出力端子とを有している。リーク抑制回路は、入力端子に接続されており、読み出し動作において、この入力端子の電圧を電荷転送能力が低くなる側に強制的に変化させる。このため、制御回路を利用して、電荷転送回路の電荷転送能力を容易に調整できる。

【0010】

10

20

30

40

50

本発明の第1の形態における好ましい例では、制御回路は、ビット線に接続された入力端子と、電荷転送能力を調整するための電荷転送回路の制御端子に接続された出力端子とを有している。リーク抑制回路は、出力端子に接続されており、読み出し動作において、この出力端子の電圧を電荷転送能力が低くなる側に強制的に変化させる。電荷転送回路の電荷転送能力を、制御回路の動作とは別に調整することで、リーク抑制回路により電荷転送回路の電荷転送能力を直接調整できる。この結果、電荷転送能力を迅速かつ高い精度で調整できる。

**【0011】**

本発明の第1の形態における好ましい例では、初期化回路は、読み出し動作において、メモリセルからビット線に電荷が読み出される前に、電荷転送回路の電荷転送能力を初期状態に設定する。リーク抑制回路は、初期化回路による初期設定に同期して電荷転送能力を一時的に低くする。このため、初期設定後、データが読み出される前に電荷蓄積回路とビット線との間で電荷が転送されることを防止でき、電荷蓄積回路は、読み出し回路が動作するために十分な読み出し電圧を生成できる。

10

**【0012】**

本発明の第1の形態における好ましい例では、転送制御回路は、読み出し動作において、メモリセルからビット線への電荷の読み出しが開始された後に、電荷転送回路の電荷転送能力を高くする。このため、ビット線に読み出された電荷をビット線上に残すことなく電荷蓄積回路に確実に転送し、蓄積できる。したがって、電荷蓄積回路は、読み出し回路が動作するために十分な読み出し電圧を生成できる。

20

**【0013】**

本発明の第1の形態における好ましい例では、電荷蓄積回路は、第1および第2キャパシタを有する。第1キャパシタは、読み出し動作中に、メモリセルからビット線に読み出される電荷を常時蓄積する。第2キャパシタは、読み出し動作が開始された後、接続解放回路の制御により電荷転送回路との電気的な接続が解除される。すなわち、第2キャパシタは、電荷転送回路から解放される。接続の解除により、電荷転送回路に接続されたキャパシタの容量値は小さくなる。このため、読み出し動作の後半に、読み出し電圧を急激に上昇させることができ、読み出しマージンを向上できる。

**【0014】**

本発明の第1の形態における好ましい例では、検出回路は、読み出し電圧が所定値に達したことを検出し、この検出にตอบสนองして制御回路の動作を停止する。このため、制御回路の動作期間を最小限にでき、半導体メモリの読み出し動作中の消費電力を削減できる。

30

**【0015】**

本発明の第1の形態における好ましい例では、メモリセルは、相補の論理値に応じた電荷をそれぞれ蓄積するキャパシタ対を有している。電荷転送回路、電荷蓄積回路、制御回路およびリーク抑制回路は、キャパシタ対のキャパシタ毎に形成されている。検出回路は、キャパシタ対に対応する一对の電荷蓄積回路が生成する読み出し電圧のいずれかが所定値に達したことを検出する。キャパシタ対には、互いに反対の論理のデータが保持される。このため、メモリセルがどの論理値を記憶している場合にも、読み出し電圧の一方を必ず所定値に達することができ、読み出し動作中の消費電力を常に削減できる。

40

**【0016】**

本発明の第2の形態では、メモリセルに接続されたビット線は、電荷転送回路を介して電荷蓄積回路に接続される。メモリセルは、データの論理に応じた電荷を蓄積するキャパシタを有する。リーク抑制回路は、読み出し動作において、メモリセルからビット線に電荷が読み出されるときに、電荷転送回路の電荷転送能力を一時的に高くする。読み出し回路は、電荷蓄積回路が蓄積した電荷に応じて生成する読み出し電圧に応じてメモリセルに保持されていたデータの論理を生成する。

**【0017】**

リーク抑制回路により、メモリセルからデータが読み出されるときのみ、ビット線から電荷蓄積回路に電荷が転送され、それ以外では、電荷蓄積回路とビット線との間で電荷が

50

転送されることが防止される。このため、電荷蓄積回路は、メモリセルに記憶されているデータの論理値に応じて、読み出し回路が動作するために十分な読み出し電圧を生成できる。この結果、読み出しマージンの低下を防止でき、半導体メモリの誤動作を防止できる。

#### 【0018】

本発明の第3の形態では、メモリセルに接続されたビット線は、電荷転送回路を介して電荷蓄積回路に接続される。メモリセルは、データの論理に応じた電荷を蓄積するキャパシタを有する。電荷蓄積回路は、第1および第2キャパシタを有する。第1キャパシタは、読み出し動作中に、メモリセルからビット線に読み出される電荷を常時蓄積する。第2キャパシタは、読み出し動作が開始された後、接続解放回路の制御により電荷転送回路との電気的な接続が解除される。接続の解除により、電荷転送回路に接続されたキャパシタの容量値は小さくなる。このため、読み出し動作の後半に、読み出し電圧を急激に上昇させることができ、読み出しマージンを向上できる。

10

#### 【発明の効果】

#### 【0019】

本発明によれば、メモリセルに書き込まれたデータを読み出すときの読み出しマージンの低下を防止できる。また、読み出し動作時の消費電力を削減できる。

#### 【発明を実施するための最良の形態】

#### 【0020】

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。また、信号が伝達される信号線には、信号名と同じ符号を使用する。

20

#### 【0021】

図1は、本発明の半導体メモリの第1の実施形態を示している。この半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリは、アドレスバッファADB、コマンドバッファCMD B、ロウデコーダRDEC、タイミング生成回路TGEN、コラムデコーダCDEC、プレートドライバPD、ワードドライバWD、メモリコアCOREおよびデータ出力バッファBUFを有している。図1では、主に読み出し動作に必要な回路を記載している。このため、書き込み動作に必要なデータ入力バッファおよびライトアンプ等の回路は、記載を省略している。

30

#### 【0022】

アドレスバッファADBは、アドレス信号ADをアドレス端子を介して受信し、受信した信号をロウデコーダRDECおよびコラムデコーダCDECに出力する。ロウデコーダRDECは、アドレス信号の上位ビット(ロウアドレス)をデコードしてロウデコード信号を生成し、生成した信号をワードドライバWDおよびプレートドライバPDに出力する。コラムデコーダCDECは、アドレス信号の下位ビット(コラムアドレス)をデコードしてコラムデコード信号を生成し、生成した信号をコラムデコーダ列CDECに出力する。

40

#### 【0023】

コマンドバッファCMD Bは、チップセレクト信号/CSおよびライトイネーブル信号/WE等のコマンド信号をコマンド端子を介して受信し、受信した信号をタイミング生成回路TGENに出力する。タイミング生成回路TGENは、受信したコマンド信号が示す動作モードを解読し、プレートドライバPD、ワードドライバWD、データ出力バッファBUFおよび後述するプリセンスアンプPSA等を動作させるタイミング信号を、デコード結果に応じて出力する。

#### 【0024】

プレートドライバPDは、タイミング生成回路TGENからのタイミング信号およびロ

50

ウデコーダRDECからのロウデコード信号に 응답して、所定のプレート線PLを選択する。選択されたプレート線PLは、所定の期間低レベルから高レベルに変化する。ワードドライバWDは、タイミング生成回路TGENからのタイミング信号およびロウデコーダRDECからのロウデコード信号に 응답して、所定のワード線WL(WLEまたはWLO)を選択する。選択されたワード線WLは、所定の期間低レベルから高レベルに変化する。

#### 【0025】

メモリアコアCOREは、メモリセルアレイARYと、ビット線BL(BLE、BLO)に共通に接続されたリファレンスメモリセルRMCと、ビット線BLにそれぞれ対応するプリセンスアンプPSA1(ビット線GNDセンス回路)と、ビット線BLE、BLOに対応する一対のプリセンスアンプPSA1の出力をそれぞれ受けるセンスアンプSAとを有している。ワード線WLEに接続されたメモリセルMCは、ビット線BLEに接続されている。ワード線WLOに接続されたメモリセルMCは、ビット線BLOに接続されている。

10

#### 【0026】

プリセンスアンプPSA1は、メモリセルMCからデータを読み出すときに動作する。プリセンスアンプPSA1は、ビット線BLE(またはBLO)に読み出される電荷を電圧に変換し、変換した電圧をセンスアンプに出力する。プリセンスアンプPSA1の詳細は、後述する図3および図4で説明する。センスアンプSAは、ビット線BLE、BLOに対応する一対のプリセンスアンプPSA1からそれぞれ出力される読み出し電圧を差動増幅し、増幅したデータ信号をデータ出力バッファBUFに出力する。データ出力バッファBUFは、メモリアコアCOREから読み出される複数ビットの読み出しデータのうち、例えば16ビットを、コラムデコード信号に応じて選択し、選択した読み出しデータをデータ入出力端子I/Oに出力する。データ入出力端子I/Oは、例えば、16ビットで構成されている。

20

#### 【0027】

図2は、図1に示したメモリセルMCおよびリファレンスメモリセルRMCの詳細を示している。

#### 【0028】

各メモリセルMCは、一般に1T1C型を称されており、nMOSトランジスタからなるアクセストランジスタN1(アクセスゲート)および強誘電体キャパシタF1を有している。強誘電体キャパシタF1は、一端がアクセストランジスタN1を介してビット線BLEまたはビット線BLOに接続され、他端がプレート線PLに接続されている。相補のビット線BLE、BLOにそれぞれ接続されたメモリセルMCのアクセストランジスタN1のゲートは、それぞれ異なるワード線WLE、WLOに接続されている。すなわち、相補のビット線BLE、BLOにそれぞれ接続されたメモリセルMCは、同時にアクセスされない。

30

#### 【0029】

リファレンスメモリセルRMCは、メモリセルMCの強誘電体キャパシタF1と同じ4つの強誘電体キャパシタC10、C11で構成されるリファレンスキャパシタと、2つのnMOSトランジスタN10、N11とを有している。nMOSトランジスタN10は、リファレンスワード線RWLOが高レベルのときに、リファレンスキャパシタをビット線BLEに接続する。nMOSトランジスタN11は、リファレンスワード線RWLEが高レベルのときに、リファレンスキャパシタをビット線BLOに接続する。

40

#### 【0030】

リファレンスキャパシタは、"論理0"を記憶する強誘電体キャパシタC10と、"論理1"を記憶する強誘電体キャパシタC11を直列に接続した2つの容量対を並列に接続して構成されている。各容量対の一端は、接地線VSSに接続されている。リファレンスキャパシタの容量値は、 $(C10 + C11) / 2$ になる。すなわち、リファレンスキャパシタは、"論理0"を記憶する強誘電体キャパシタF1の容量値と、"論理1"を記憶する強誘

50

電体キャパシタF1の容量値の中間の容量値を有している。メモリセルキャパシタと同じ複数の強誘電体キャパシタを組み合わせてリファレンスキャパシタを構成することで、中間の容量値を簡易かつ高い精度で構成できる。

#### 【0031】

1T1C型セルで構成されるメモリセルアレイARRAYでは、ワード線WLEが高レベルになりビット線BLEに接続されたメモリセルMCが選択される場合、リファレンスワード線RWLEは、リファレンスキャパシタをビット線BLOに接続するために高レベルになる。同様に、ワード線WLOが高レベルになりビット線BLOに接続されたメモリセルMCが選択される場合、リファレンスワード線RWLOは、リファレンスキャパシタをビット線BLEに接続するために高レベルになる。そして、強誘電体キャパシタF1の容量値に応じて変化するビット線BLE（またはBLO）の電圧と、リファレンスキャパシタの容量値に応じて変化するビット線BLO（またはBLE）の電圧とが、それぞれプリセンスアンプPSA1に伝達される。

10

#### 【0032】

図3は、図1に示したプリセンスアンプPSA1の詳細を示している。プリセンスアンプPSA1は、ビット線初期化回路10、電荷転送回路12、リーク抑制回路14、インバータアンプ16（制御回路）、閾値電圧生成回路18（初期化回路）、負電圧生成回路20（電荷蓄積回路、初期化回路）およびレベルシフト回路22を有している。

#### 【0033】

ビット線初期化回路10は、ゲートで制御信号BGNDを受け、ソースが接地線に接続され、ドレインがビット線BL（BLEまたはBLO）に接続されたnMOSトランジスタで構成されている。電荷転送回路12は、ゲート（制御端子）が閾値電圧生成回路18の出力ノードVTHに接続され、ソースがビット線BLに接続され、ドレインが負電圧生成回路20の出力ノードMINSに接続されたpMOSトランジスタで構成されている。リーク抑制回路14は、ノードMGENXとインバータアンプ16の入力端子IINとの間に配置されたキャパシタC3を有している。キャパシタC3は、例えば、強誘電体キャパシタで構成されている。キャパシタC3の容量値は、後述するインバータアンプ16のキャパシタC1の容量値より十分小さい。インバータアンプ16の入力電圧IINは、キャパシタC3の容量結合により、ノードMGENXの立ち下がりに同期して僅かに下がる。

20

30

#### 【0034】

インバータアンプ16は、CMOSインバータ16a（フィードバックインバータ）、CMOSインバータ16aの出力端子IOUTを入力端子IINに接続するスイッチS1、CMOSインバータ16aの入力端子IINとビット線BLとの間に配置されたキャパシタC1、CMOSインバータ16aの出力IOUT端子と電荷転送回路12のゲートとの間に配置されたキャパシタC2を有している。CMOSインバータ16aのpMOSトランジスタ（図示せず）のソースは、ゲートでパワー制御信号POWXを受けるpMOSトランジスタを介して電源線VDDに接続されている。CMOSインバータ16aのnMOSトランジスタ（図示せず）のソースは、ゲートでパワー制御信号POWを受けるnMOSトランジスタを介して接地線に接続されている。パワー制御信号POWX、POWは、読み出し動作を開始するときに、それぞれ低レベルおよび高レベルに変化し、CMOSインバータ16aを活性化する。同様に、スイッチS1は、読み出し動作を開始するときにオフされる。キャパシタC1、C2は、例えば、強誘電体キャパシタで構成されている。

40

#### 【0035】

閾値電圧生成回路18は、ノードVGENXに高レベル（電源電圧VDD）または低レベル（接地電圧）を生成する電圧生成回路18aと、ノードVGENXとノードVTHとの間に接続されたキャパシタC4と、ノードVTHに接続されたクランプ回路18bと、クランプ回路18bを接地線に接続するスイッチS2とを有している。電圧生成回路18aは、電源線VDDと接地線の間直列に接続されたpMOSトランジスタおよびnMO

50

Sトランジスタを有している。pMOSトランジスタおよびnMOSトランジスタのゲートは、それぞれ電圧制御信号VGENP、VGENNを受けている。クランプ回路18bは、ソースがスイッチS2を介して接地線に接続され、ゲートおよびドレインがノードVTHに接続されたpMOSトランジスタで構成されている。キャパシタC4は、例えば、強誘電体キャパシタで構成されている。

**【0036】**

負電圧生成回路20は、負電圧制御信号MGENを受け、出力がノードMGENXに接続されたCMOSインバータ20aと、ノードMGENXとノードMINSとの間に配置されたキャパシタC5とを有している。キャパシタC5は、例えば、強誘電体キャパシタで構成されている。レベルシフト回路22は、ノードMINSに発生する負電圧を正電圧に変換するためのキャパシタ(図示せず)を有している。

10

**【0037】**

図4は、第1の実施形態における強誘電体メモリの読み出し動作を示している。まず、初期状態において、pMOSトランジスタ12(電荷転送回路)のゲートおよびドレインにそれぞれ接続されたノードVTHおよびMINSは、フローティング状態のためその電圧は不定である。しかし、pMOSトランジスタ12のソースおよびドレイン(p型拡散層)と、バックゲート(n型拡散層、接地電圧)とによりpn接合が形成されているため、ノードVTHおよびMINSの電圧は、pn接合の順方向電圧(約0.8V)より上がることはない。

**【0038】**

電圧制御信号VGENP、VGENNおよび負電圧制御信号MGENは、低レベルに保持されており、ノードVGENXおよびMGENXは、高レベルに保持されている。制御信号BGNDは、高レベルに保持されているため、nMOSトランジスタ10(ビット線初期化回路)はオンし、ビット線BL(BLEまたはBLO)の電圧は、接地電圧に初期化されている。パワー制御信号POW、POWXは、低レベル、高レベルにそれぞれ保持されており、フィードバックインバータ16a(CMOSインバータ)は、オフしている。スイッチS1、S2は、オンしている。スイッチS1、S2の動作を制御する制御信号、および電圧制御信号VGENP、VGENN、負電圧制御信号MGEN、制御信号BGND、パワー制御信号POW、POWXは、図1に示したタイミング生成回路TGENにより生成される。

20

30

**【0039】**

時刻T1において、パワー制御信号POW、POWXが高レベルおよび低レベルにそれぞれ変化し、フィードバックインバータ16aは活性化される。スイッチS1がオンしているため、フィードバックインバータ16aの入力電圧IINおよび出力電圧IOUTは、ともにほぼVDD/2になる。

**【0040】**

時刻T2において、電圧制御信号VGENP、VGENNが高レベルに変化し、ノードVGENXは、高レベルから低レベルに変化する。キャパシタC4による容量結合により、ノードVGENXの低レベルへの変化に応じてノードVTHの電圧も下がる。電源電圧VDDが3Vの場合、ノードVGENXの電圧が3V下がると、VTHの電圧も3V下がる。しかし、スイッチS2のオンにより、pMOSトランジスタ18b(クランプ回路)は、ノードVTHの電圧をpMOSトランジスタ18bの閾値電圧(例えば、-0.6V)にクランプする。このため、ノードVTHの電圧は、一旦立ち下がった後、微分波形を描いて負電圧(-0.6V)に落ち着く。このように、閾値電圧生成回路18は、電荷転送回路12の入力ノードVTHを所定の電圧に設定する初期化回路として動作する。

40

**【0041】**

pMOSトランジスタ12の閾値電圧は、pMOSトランジスタ18bの閾値電圧に等しくなるように設計されている。このため、ノードVTHの電圧が一旦下がったときに、pMOSトランジスタ12はオンし、ノードMINSの電圧は、ビット線BLの電圧(接

50

地電圧)まで下がる。ノードMGEXの電圧は、CMOSインバータ20aにより高レベル(=電源電圧VDD)に設定されているため、キャパシタC5には、その容量値と電源電圧VDDとの積に対応する電荷が充電される。

#### 【0042】

時刻T3において、電圧制御信号VGENNが低レベルに変化し、電圧生成回路18aのnMOSトランジスタがオフする。電圧生成回路18aのpMOSトランジスタは、既にオフしているため、ノードVGENXは、フローティング状態になる。同時にスイッチS1、S2がオフされる。スイッチS2のオフにより、pMOSトランジスタ18bによるノードVTHのクランプが解除される。スイッチS1のオフにより、フィードバックインバータ16aの入力と出力との短絡が解除される。フィードバックインバータ16aの入力の電圧は、ほぼVDD/2のため、フィードバックインバータ16aは、高いゲインを有する反転アンプとして動作する。一方、制御信号BGNDも低レベルに変化し、ビット線BLは、フローティング状態になる。以上により、時刻T3以降、ビット線BLの電圧が変化すると、キャパシタC1の容量結合によりフィードバックインバータ16aの入力電圧IINが変化する。フィードバックインバータ16aは、入力電圧IINの変化を増幅し、出力電圧IOUTを反対方向に変化させる。キャパシタC2の容量結合によりノードVTHの電圧は、出力電圧IOUTの変化に伴い変化する。

10

#### 【0043】

時刻T4において、負電圧制御信号MGENが高レベルに変化し、ノードMGEXの電圧は高レベルから低レベルに変化する。ノードMINSの電圧は、キャパシタC5の容量結合により、ノードMGEXの電圧の低下に伴い低下する。電源電圧VDDが3Vの場合、ノードMGEXの電圧は3V下がり、ノードMINSの電圧もほぼ3V下がる。ノードMINSの電圧は、0Vに初期化されているため、ノードMGEXの電圧変化によりほぼ-3Vまで下がる。しかし、寄生容量によるロスと、既に浅くオンしているpMOSトランジスタ12のリーク電流により、ノードMINSの電圧は、-3Vより高くなる。ノードMINSの電圧は、キャパシタC5によりこの電圧に保持される。このように、負電圧生成回路20は、電荷転送回路12の入出力ノードMINSを所定の電圧に設定し、電荷転送回路12の電荷転送能力を初期状態に設定する初期化回路として動作する。

20

#### 【0044】

また、時刻T4において、負電圧制御信号MGENの変化によりノードMGEXが立ち下がると、キャパシタC3の容量結合により、フィードバックインバータ16aの入力電圧IINは強制的に僅かに下がる。フィードバックインバータ16aは、この電圧変化を増幅し、出力電圧IOUTを上昇させる。ノードVTHの電圧は、キャパシタC2の容量結合により、出力電圧IOUTに応じて上昇する。これにより、pMOSトランジスタ12のゲート・ソース間電圧(絶対値)が小さくなり、pMOSトランジスタ12を介してノードMINSからビット線BLに流れるリーク電流は低減される。すなわち、電荷転送回路12の電荷転送能力は低下する。したがって、メモリセルMCからビット線BLに電荷が読み出される前に、pMOSトランジスタ12のソース・ドレイン間リークによりノードMINSの電圧が上昇することが防止される。なお、キャパシタC1の容量値は、キャパシタC3の容量値に比べて十分大きいいため、入力電圧IINが変化したときに、キャパシタC1の容量結合により発生するビット線BLの電圧の変化量は無視できる。

30

40

#### 【0045】

時刻T5において、ワード線WLとプレート線PLの電圧が接地電圧から電源電圧VDDに変化する。ワード線WLの立ち上がりにより、メモリセルMCのアクセストランジスタN1がオンし、メモリセルMCの強誘電体キャパシタF1に正電圧が掛かる。メモリセルMCがデータ"1"を記憶している場合、強誘電体キャパシタF1に掛かる電圧の極性は、書き込み時と反対のため、分極反転が起こり、大きな反転電荷がビット線BLに読み出される。メモリセルMCがデータ"0"を記憶している場合、強誘電体キャパシタF1に掛かる電圧の極性は、書き込み時と同じため、分極反転は起こらず、比較的小さな電荷がビット線BLに読み出される。このとき、ビット線BLの電圧は、上昇しようとする。

50

しかし、ビット線BLの電圧が僅かに上がると、キャパシタC1の容量結合により、フィードバックインバータ16aの入力電圧が上がる。フィードバックインバータ16aの反転増幅作用およびキャパシタC2の容量結合により、ノードVTHの電圧は下がり、pMOSトランジスタ12のゲート・ソース間電圧(絶対値)は大きくなる。このため、pMOSトランジスタ12にドレイン電流が発生し、ビット線BLに読み出された電荷は、ビット線BLからノードMINSに転送される。したがって、ビット線BLの電圧上昇は、抑えられ、ほぼ0V(接地電圧)に保持される。このように、フィードバックインバータ16aは、電荷転送回路12の電荷転送能力を調整する制御回路として動作する。キャパシタC5は、ノードMINSに転送された電荷により放電されるため、ノードMINSの電圧(読み出し電圧)は、上昇する。このように、負電圧生成回路20のキャパシタC5は、蓄積電荷に応じて読み出し電圧を生成する読み出し回路として動作する。なお、メモリセルMCがデータ"0"を記憶する場合("0 read")、ノードVTHの電圧は、メモリセルMCがデータ"1"を記憶する場合("1 read")に比べ、緩やかに低下する。このため、"0 read"において、ノードVTHの電圧が、pMOSトランジスタ12の閾値電圧を下回るタイミングは、"1 read"において、ノードVTHの電圧が、pMOSトランジスタ12の閾値電圧を下回るタイミングより遅くなる。したがって、"0 read"においてノードMINSの電圧が上昇を開始するタイミングは、"1 read"においてノードMINSの電圧が上昇を開始するタイミングより遅くなる。この結果、"0 read"の読み出しマージンを大きくできる。

10

20

**【0046】**

ビット線BLEに接続されたメモリセルMCからデータを読み出す場合、リファレンスメモリセルRMCがビット線BLOに接続される。同様に、ビット線BLOに接続されたメモリセルMCからデータを読み出す場合、リファレンスメモリセルRMCがビット線BLEに接続される。リファレンスメモリセルRMCに接続されるプリセンスアンプPSAも、上述と同様に動作し、リファレンスメモリセルRMCから読み出される電荷に応じてノードMINSに負電圧を発生させる。リファレンスメモリセルRMCに接続されるプリセンスアンプPSA内の主要な電圧を、図中に破線で示す。

**【0047】**

時刻T6において、メモリセルMCおよびリファレンスメモリセルRMCにそれぞれ対応するノードMINSの読み出し電圧(負電圧)は、図3に示したレベルシフト回路22により正電圧に変換された後、図1に示したセンスアンプSAで差動増幅される。そして、メモリセルMCに記憶されていたデータの論理値が読み出される。その後、一般の強誘電体メモリと同様に、読み出し動作により分極反転したメモリセルMCの分極状態を元に戻すリストア動作が実施される。

30

**【0048】**

図4の一番下の波形は、従来のノードMINSの変化を示している。従来では、期間T4~T5において、pMOSトランジスタ12のゲート・ソース間電圧が、pMOSトランジスタ12の閾値電圧に等しく設定されている。このため、pMOSトランジスタ12にリーク電流(ドレイン・ソース間電流)が発生し、ノードMINSの電圧は上昇する。この結果、メモリセルMCにデータ"0"が記憶されている場合の波形が正方向にシフトし、センスアンプSAに入力される電圧差が小さくなってしまふ。この結果、読み出しマージンは小さくなる。なお、期間T4~T5は、可能な限り短く設計されるが、時刻T4、T5の関係が逆転しないために所定のマージンが必要である。

40

**【0049】**

以上、本実施形態では、リーク抑制回路14を構成するキャパシタC3により、ノードMINSの電圧が初期値に設定された後、メモリセルMCから電荷が読み出されるまでの期間(T4~T5)、電荷転送回路12の電荷転送能力を低くするために、pMOSトランジスタ12のゲート・ソース間電圧(絶対値)は、pMOSトランジスタ12の閾値電圧(絶対値)より僅かに小さくされる。このため、この期間にpMOSトランジスタ12のドレイン・ソース間にリークが発生することを防止できる。

50

## 【 0 0 5 0 】

特に、ノードMINSの電圧が初期値に設定されることに同期して、電荷転送回路12の電荷転送能力を一時的に低くするため、ノードMINSの初期設定後、データが読み出されるまで電荷蓄積回路12にリークが発生することを防止できる。したがって、メモリセルMCにデータ"0"が記憶されている場合のノードMINSの波形が正方向にシフトすることを防止できる。換言すれば、ノードMINSに、メモリセルMCに記憶されているデータの論理値に応じてセンスアンプSAが動作するために十分な読み出し電圧を生成できる。この結果、読み出しマージンの低下を防止できる。すなわち、強誘電体メモリの誤動作を防止できる。

## 【 0 0 5 1 】

また、リーク抑制回路14により、インバータアンプ16の入力電圧を強制的に変化させることで、インバータアンプ16の増幅作用を利用して電荷転送回路12の電荷転送能力を容易に調整できる。

## 【 0 0 5 2 】

図5は、本発明の半導体メモリの第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第1の実施形態のプリセンスアンプPSA1の代わりにプリセンスアンプPSA2が形成されている。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

## 【 0 0 5 3 】

プリセンスアンプPSA2は、第1の実施形態のプリセンスアンプPSA1のリーク抑制回路14の代わりにリーク抑制回路24を有している。プリセンスアンプPSA2のその他の構成は、プリセンスアンプPSA1と同じである。リーク抑制回路24は、ノードMGEXとインバータアンプ16の出力端子IOUTとの間に配置されたCMOSインバータ24aおよびキャパシタC6を有している。すなわち、リーク抑制回路24の出力は、キャパシタC2に直接接続されている。キャパシタC6は、例えば、強誘電体キャパシタで構成されている。キャパシタC6の容量値は、第1の実施形態のキャパシタC3の容量値よりは大きい、インバータアンプ16のキャパシタC2の容量値より十分小さい。インバータアンプ16の出力端子IOUTの電圧およびノードVTHの電圧は、キャパシタC6の容量結合およびキャパシタC2の容量結合により、ノードMGEXの立ち下がりに同期して僅かに上がる。

## 【 0 0 5 4 】

図6は、第2の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、ノードVTHの時刻T4以降の波形のみが第1の実施形態と相違する。その他の波形は、第1の実施形態(図4)と同じである。

## 【 0 0 5 5 】

時刻T4において、負電圧制御信号MGENの変化によりノードMGEXが立ち下がると、キャパシタC6の容量結合により、フィードバックインバータ16aの出力電圧IOUTは強制的に僅かに上昇する。ノードVTHの電圧は、キャパシタC2の容量結合により、出力電圧IOUTに応じて強制的に上昇する。すなわち、ノードVTHの電圧は、インバータアンプ16の動作と無関係に、負電圧制御信号MGENの変化に同期して上昇する。これにより、pMOSトランジスタ12のゲート・ソース間電圧(絶対値)が小さくなり、pMOSトランジスタ12を介してノードMINSからビット線BLに流れるリーク電流は低減される。すなわち、電荷転送回路12の電荷転送能力は低下する。したがって、第1の実施形態と同様に、メモリセルMCからビット線BLに電荷が読み出される前に、pMOSトランジスタ12のソース・ドレイン間リークによりノードMINSの電圧が上昇することが防止される。

10

20

30

40

50

## 【0056】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、リーク抑制回路24により、pMOSトランジスタ12のゲート電圧を強制的に直接調整できるため、電荷転送回路12の電荷転送能力を迅速かつ高い精度で調整できる。

## 【0057】

図7は、本発明の半導体メモリの第3の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第1の実施形態のプリセンスアンプPSA1の代わりにプリセンスアンプPSA3が形成されている。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

10

## 【0058】

プリセンスアンプPSA3は、第1の実施形態のプリセンスアンプPSA1のリーク抑制回路14および閾値電圧生成回路18の代わりに、リーク抑制回路26（プルダウン回路）および閾値電圧生成回路28（初期化回路）を有している。また、プリセンスアンプPSA3には、インバータアンプ16は形成されていない。プリセンスアンプPSA3のその他の構成は、プリセンスアンプPSA1と同じである。

20

## 【0059】

リーク抑制回路26は、制御信号VBUMPの入力ノードと、ノードVTHとの間に直列に配置されたCMOSインバータ26aおよびキャパシタC7を有している。キャパシタC7は、例えば、強誘電体キャパシタで構成されている。キャパシタC7の容量値は、キャパシタC4の容量値より小さく設計されている。ノードVTHの電圧は、制御信号VBUMPの低レベルから高レベルへの変化にตอบสนองして、キャパシタC7の容量結合により、一時的に下降する。制御信号VBUMPは、タイミング生成回路TGEN（図1）が生成する。

## 【0060】

閾値電圧生成回路28は、スイッチS2が削除されていること、電圧生成回路28aがCMOSインバータで構成されていること、およびクランプ回路28b（pMOSトランジスタ）の閾値電圧の絶対値が、電荷転送回路12（pMOSトランジスタ）の閾値電圧の絶対値より低いことを除き、第1の実施形態の閾値電圧生成回路18と同じである。スイッチS2が存在しないため、クランプ回路28b（pMOSトランジスタ）のソースは、接地線に直接接続されている。電圧生成回路28aの入力は、第1の実施形態の電圧制御信号VGENPと同じ論理の電圧制御信号VGENを受けている。例えば、pMOSトランジスタ28bの閾値電圧は、 $-0.5V$ であり、pMOSトランジスタ12の閾値電圧は、 $-0.6V$ である。閾値電圧（絶対値）は、トランジスタのゲート長を小さくする、ゲート幅を大きくする、あるいは、バックゲートの不純物濃度を低くする等により下げることができる。

30

40

## 【0061】

図8は、第3の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、電圧制御信号VGENの波形は、第1の実施形態の電圧制御信号VGENPの波形と同じである。制御信号VBUMPは、ワード線WLおよびプレート線PLの活性化タイミングと同じ時刻T5に高レベルに変化し、時刻T7に低レベルに変化する。その他の波形は、ノードVTHの波形を除いて第1の実施形態（図4）と同じである。

## 【0062】

時刻T2において、ノードVTHの電圧は、電圧制御信号VGENが高レベルに変化した後、pMOSトランジスタ28bの閾値電圧に応じて、例えば、約 $-0.5V$ にクランプされる。時刻T4において、負電圧制御信号MGENが高レベルに変化し、ノードMG

50

ENXの電圧は3V下がり、ノードMINSの電圧もほぼ3V下がる。このとき、ビット線BLおよびノードVTHの電圧は、それぞれ0V、-0.5Vであり、pMOSトランジスタ12のゲート・ソース間電圧の絶対値は、pMOSトランジスタ12の閾値電圧の絶対値より低い。このため、ノードMINSからビット線BLへのリークは発生せず、ノードMINSの電圧は、期間T4~T5において一定になる。

#### 【0063】

時刻T5において、ワード線WLおよびプレート線PLが高レベルに変化し、同時に制御信号VBUMPが高レベルに変化する。ノードVTHは、キャパシタC7の容量結合により、制御信号VBUMPの高レベルへの変化に応答して、pMOSトランジスタ12の閾値電圧(例えば、-0.6V)より低くなる(例えば、-0.8V)。ノードVTHの電圧は、pMOSトランジスタ28bによりクランプされるため、徐々に-0.5Vに戻る。ノードVTHの電圧がpMOSトランジスタ12の閾値電圧より低い間、pMOSトランジスタ12の電荷転送能力は、一時的に高くなり、pMOSトランジスタ12に十分な電流が流れる。このため、時刻T5から所定の期間、ビット線に読み出された電荷をノードMINS側に転送することができる。時刻T7において、制御信号VBUMPが低レベルに変化し、プリセンスアンプPSA3の動作が終了する。

10

#### 【0064】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ノードMINSの電圧が所定の負電圧に設定されてからワード線WLおよびプレート線PLが活性化するまでの期間、ノードVTHの電圧をpMOSトランジスタ12の閾値電圧より高くし、ワード線WLおよびプレート線PLの活性化に同期してノードVTHの電圧をpMOSトランジスタ12の閾値電圧より一時的に低くする。このため、メモリセルMCからビット線BLに電荷が読み出される前にpMOSトランジスタ12のドレイン・ソース間にリークが発生することを防止できる。メモリセルMCからビット線BLに電荷が読み出されたときには、ノードMINSに、メモリセルMCに記憶されているデータの論理値に応じてセンスアンプSAが動作するために十分な読み出し電圧を生成できる。

20

#### 【0065】

プリセンスアンプPSA3にインバータアンプ16(図3)を形成していないため、プリセンスアンプPSA3のレイアウトサイズを小さくできる。プリセンスアンプPSA3は、ビット線BL毎に必要な回路であり、チップ内に配置される数が多い。このため、プリセンスアンプPSA3のレイアウトサイズの削減により、強誘電体メモリのチップサイズを大幅に小さくでき、チップコストを削減できる。また、インバータアンプ16は、入力電圧に電源電圧VDDと接地電圧との中間電圧が印加されるため、電源線VDDから接地線に貫通電流が常に流れている。このため、インバータアンプ16を使用しないことで、強誘電体メモリの消費電力を削減できる。

30

#### 【0066】

図9は、本発明の半導体メモリの第4の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、メモリコアCOREが第1の実施形態と相違している。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。

40

#### 【0067】

メモリコアCOREのメモリセルアレイARYは、相補のビット線BL、BLXに接続された一般に2T2Cと称するメモリセルMCで構成されている。ビット線BL、BLXは、それぞれプリセンスアンプPSA1に接続されている。メモリコアCOREは、ビット線対BL、BLXに対応する一对のプリセンスアンプPSA1毎に、検出回路30を有している。検出回路30は、一对のプリセンスアンプPSA1からそれぞれ出力される読み出し電圧OUT、OUTXの一方が所定電圧(図11に示すVSMT)を超えたときに

50

、プリセンスアンプ P S A 1 内のインバータアンプ 1 6 への電源電圧 V D D 、 V S S の供給を停止し、その動作を停止する。

【 0 0 6 8 】

図 1 0 は、図 9 に示したメモリセルアレイ A R Y および検出回路 3 0 の詳細を示している。メモリセルアレイ A R Y は、上述したように、2 T 2 C 型のメモリセル M C で構成されている。メモリセル M C は、n M O S トランジスタからなる転送トランジスタ対 N 1 、 N 2 および強誘電体キャパシタ対 F 1 、 F 2 を有している。強誘電体キャパシタ F 1 は、一端が転送トランジスタ N 1 を介してビット線 B L に接続され、他端がプレート線 P L に接続されている。強誘電体キャパシタ F 2 は、一端が転送トランジスタ N 2 を介してビット線 B L X に接続され、他端がプレート線 P L に接続されている。転送トランジスタ N 1 、 N 2 のゲートは、共通のワード線 W L に接続されている。図中、強誘電体キャパシタ F 1 、 F 2 に付けた矢印は、分極状態を表している。上向きの矢印は、“論理 0 ”を記憶している状態である。下向きの矢印は、“論理 1 ”を記憶している状態である。このように、2 T 2 C 型セルでは、一对の強誘電体キャパシタ F 1 、 F 2 は、互いに反対のデータが書き込まれる。このため、図 9 に示したセンスアンプ S A は、相補のビット線 B L 、 B L X にそれぞれ読み出された電荷に対応するノード M I N S の電圧（後述する図 1 1 の “ 1 r e a d ” 、 “ 0 r e a d ” ）を正電圧に変換した値を差動増幅する。したがって、リフレッシュメモリセルは不要である。

10

【 0 0 6 9 】

検出回路 3 0 は、検出部 3 0 a 、遅延回路 D L Y 、 A N D 回路 3 0 b およびインバータ 3 0 c を有している。検出部 3 0 a は、対応する一对のプリセンスアンプ P S A 1 の出力 O U T 、 O U T X をそれぞれ受けるシュミットリガタイプのインバータ 3 0 d 、インバータ 3 0 d の出力を受ける N A N D ゲート 3 0 e 、 N A N D ゲート 3 0 e の出力と遅延回路 D L Y の出力とを受ける N A N D ゲート 3 0 f を有している。インバータ 3 0 d は、入力の立ち上がりの閾値電圧が V S M T に設定されている。すなわち、インバータ 3 0 d は、入力電圧が V S M T を超えたときに、出力を高レベルから低レベルに変化する。

20

【 0 0 7 0 】

N A N D ゲート 3 0 e は、負論理の O R ゲートとして動作する。N A N D ゲート 3 0 f は、遅延回路 D L Y により所定時間遅延された負電圧制御信号 M G E N の遅延信号 M G E N D が高レベルの期間動作し、インバータ 3 0 d のいずれかの低レベルへの変化にตอบสนองして出力を高レベルから低レベルに変化する。A N D 回路 3 0 b は、N A N D ゲート 3 0 f の出力が低レベルの期間、パワー制御信号 E P O W の伝達をマスクする。パワー制御信号 E P O W のマスクにより、パワー制御信号 P O W 、 P O W X は、低レベル、高レベルにそれぞれ保持される。

30

【 0 0 7 1 】

図 1 1 は、第 4 の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、パワー制御信号 P O W 、 P O W X の非活性化タイミングが第 1 の実施形態と相違する。また、検出回路 3 0 の形成により、新たにパワー制御信号 E P O W と遅延信号 M G E N D の波形が記載されている。その他の波形は、第 1 の実施形態（図 4 ）と同じである。

40

【 0 0 7 2 】

2 T 2 C 型のメモリセル M C では、相補のビット線 B L 、 B L X に対応するノード O U T 、 O U T X の電圧の一方は、期間 T 5 ~ T 6 の間にシュミットリガインバータ 3 0 d の閾値電圧 V S M T を必ず超える。検出回路 3 0 は、ノード O U T 、 O U T X の電圧の一方が閾値電圧 V S M T を超えたことを検出したときに、パワー制御信号 P O W 、 P O W X を低レベル、高レベルにそれぞれ変化させ、プリセンスアンプ P S A 1 内のインバータアンプ 1 6 への電源電圧 V D D および接地電圧の供給を停止する。このため、インバータアンプ 1 6 は、増幅動作を停止する。インバータアンプ 1 6 は、入力電圧に電源電圧 V D D と接地電圧との中間電圧が印加されるため、電源線 V D D から接地線に貫通電流が常に流れている。動作が必要ないときにインバータアンプ 1 6 への電源の供給を遮断することで

50

、読み出し動作での消費電力が削減される。

【0073】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、必要なときのみインバータアンプ16に電源を供給することで、貫通電流を削減でき、強誘電体メモリの動作中の消費電力を削減できる。

【0074】

また、本発明を、2T2C型のメモリセルを有する強誘電体メモリに適用することで、読み出し電圧OUT、OUTXの一方は、必ず閾値電圧VSMに達する。このため、インバータアンプ16の動作を、メモリセルMCに保持されているデータの論理値にかかわらず、読み出し動作毎に停止させることができる。この結果、読み出し動作中の消費電力を常に削減できる。

10

【0075】

図12は、本発明の第5の実施形態における強誘電体メモリの読み出し動作を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第4の実施形態のプリセンスアンプPSA1の代わりにプリセンスアンプPSA2(図5)が形成されている。その他の構成は、第4の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。この実施形態においても、上述した第1および第4の実施形態と同様の効果を得ることができる。

20

【0076】

図13は、本発明の半導体メモリの第6の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第1の実施形態のプリセンスアンプPSA1の代わりにプリセンスアンプPSA6が形成されている。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

【0077】

プリセンスアンプPSA6は、第1の実施形態のプリセンスアンプPSA1に、強誘電体材料で形成されたキャパシタC8(プルアップ回路32、転送制御回路)を追加して構成されている。プリセンスアンプPSA6のその他の構成は、プリセンスアンプPSA1と同じである。キャパシタC8は、一端でプルアップ信号PUPを受け、他端をインバータアンプ16に形成されるフィードバックインバータ16aの入力端子IINに接続している。キャパシタC8の容量値は、入力端子IINとビット線BLとの間を接続するキャパシタC1の容量値より十分に小さく、キャパシタC3の容量値とほぼ同じである。

30

【0078】

図14は、第6の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、ノードVTHの時刻T6以降の波形のみが第1の実施形態と相違する。その他の波形は、第1の実施形態(図4)と同じである。プルアップ信号PUPは、負電圧制御信号MGENが立ち下がり、ワード線WLおよびプレート線PLが駆動された後、時刻T6に立ち上がる。

40

【0079】

時刻T6において、プルアップ信号PUPの立ち上がりにより、フィードバックインバータ16aの入力電圧IINは、キャパシタC8の容量結合により強制的に僅かに上昇する。この上昇により、フィードバックインバータ16aの出力電圧IOUTは僅かに下降する。ノードVTHの電圧は、キャパシタC2の容量結合により、出力電圧IOUTに応じて強制的に下降する。このため、ノードVTHの下降率は、時刻T6を境に僅かに大きくなる。

50

## 【0080】

ノードVTHの電圧の下降に伴い、pMOSトランジスタ12(電荷転送回路)のゲート・ソース間電圧(絶対値)は大きくなり、pMOSトランジスタ12を介してノードMINSからビット線BLに流れるリーク電流は増加する。すなわち、電荷転送回路12の電荷転送能力は向上する。このため、強誘電体キャパシタF1からビット線BLに読み出された電荷は、ビット線BLに残ることなくノードMINSに転送される。ノードMINSの電圧変化(充電速度)は、第1の実施形態(図4のノードMINSの波形)に比べて大きくなる。ビット線BL上に読み出された電荷をノードMINSに確実に転送できるため、メモリセルMCの特性のばらつきによる読み出し電圧(ノードMINSおよび図13のノードOUT)の差は小さくなる。

10

## 【0081】

ここで、キャパシタC8の容量値は、ビット線BL上の電荷をノードMINSに転送した後に、ビット線BLの電圧が0Vになるように設計される。第1の実施形態では、インバータアンプ16は、ビット線BLの電圧のみに応答して動作する。このため、ビット線BL上に読み出された全電荷をノードMINSに転送することは難しく、読み出し動作後に(例えば、時刻T7)、ビット線BLの電圧は0Vより僅かに高くなってしまう。換言すれば、ビット線BLの上昇だけでは、フィードバックインバータ16aの入力電圧IINを出力電圧IOUTと同じ値にできなかった。本実施形態では、キャパシタC8により、フィードバックインバータ16aの入力電圧IINを強制的に出力電圧IOUTと同じ値に戻すことで、ビット線BL上に読み出された全電荷をノードMINSに転送できる。

20

## 【0082】

図中のノードMINSの波形の右端の曲線は、読み出し電圧のばらつき(メモリセルMCの特性のばらつき)を示す分布を示している。第1の実施形態(図4のノードMINSの波形)におけるデータ"0"の読み出し電圧のばらつきは大きい。これに対して本実施形態では、データ"0"の読み出し電圧のばらつきを小さくできる。ワーストのメモリセルMCにおいて、データ"0"の読み出しマージンを大きくできるため、第1の実施形態において、マージンが不足することで不良品になっていた強誘電体メモリを良品として出荷できる。この結果、強誘電体メモリの歩留を向上できる。ここで、読み出しマージンは、データ"0"の読み出し電圧と、図中に破線で示したリファレンスメモリセルRMCからの読み出し電圧との差である。なお、ノードMINSの読み出し電圧は、データ"1"では第1および第6の実施形態とも、ほぼ0Vになる。このため、読み出し電圧のばらつきは小さい。

30

## 【0083】

さらに、データ"1"の読み出し電圧MINSを速く0Vに近づけることができるため、メモリセルMCから読み出されたデータの論理を、第1の実施形態より早いタイミング(図14に示した時刻T7)で判定できる。この結果、強誘電体メモリのアクセス時間は短縮される。

## 【0084】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、プルアップ信号PUPにより駆動されるキャパシタC8により、ビット線BL上に読み出された電荷をビット線BL上に残すことなくノードMINSに転送できる。この結果、データ"0"の読み出しマージンのばらつきを小さくでき、強誘電体メモリの歩留を向上できる。また、強誘電体メモリのアクセス時間を短縮できる。

40

## 【0085】

図15は、本発明の半導体メモリの第7の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第1の実施形態のプリセンスアンプPSA1の代わりにプリセンスアンプPSA7が形成されている。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワ

50

ークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

【0086】

プリセンスアンプPSA7は、第1の実施形態の負電圧生成回路20の代わりに負電圧生成回路34（電荷蓄積回路、初期化回路）を有している。また、プリセンスアンプPSA7は、リーク抑制回路14を有していない。プリセンスアンプPSA7のその他の構成は、プリセンスアンプPSA1と同じである。

【0087】

負電圧生成回路34は、負電圧制御信号MGENを受け、出力がノードMGENXに接続されたCMOSインバータ20a、ノードMGENXとノードMINSとの間に配置されたキャパシタC9a（第1キャパシタ）、電源線VDDと接地線との間に直列に接続されたpMOSトランジスタ34a、nMOSトランジスタ34b、およびトランジスタ34a、34bのドレインノードMGENZとノードMINSとの間に配置されたキャパシタC9b（第2キャパシタ）を有している。pMOSトランジスタ34aのゲートは、負電圧制御信号MGENを受け、nMOSトランジスタ34bのゲートは、キャパシタ制御信号UCUTを受けている。キャパシタ制御信号UCUTは、図1に示したタイミング生成回路TGENにより生成される。キャパシタC9a、C9bは、例えば、強誘電体キャパシタで構成されており、その容量値は、第1の実施形態のキャパシタC4の半分および2倍にそれぞれ設計されている。

【0088】

図16は、第7の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、時刻T4以降のノードVTH、MINSの波形が第1の実施形態と相違する。その他の波形は、第1の実施形態（図4）と同じである。キャパシタ制御信号UCUTは、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態のプリセンスアンプPSA7は、リーク抑制回路14を有していないため、時刻T4から時刻T5の期間、ノードVTHの電圧は、上昇することなくほぼ一定の電圧を維持する。

【0089】

時刻T4において、負電圧制御信号MGENとキャパシタ制御信号UCUTが同時に高レベルに変化する。pMOSトランジスタ34aはオフし、nMOSトランジスタ34bはオンする。ノードMGENX、MGENZの電圧は、共に高レベルから低レベルに変化する。ノードMINSの電圧は、キャパシタC9a、C9bの容量結合により、ノードMGENX、MGENZの電圧の低下に伴い低下する。電源電圧VDDが3Vの場合、ノードMGENX、MGENZの電圧は3V下がり、ノードMINSの電圧もほぼ3V下がる。ノードMINSの電圧は、0Vに初期化されているため、ノードMGENXの電圧変化によりほぼ-3Vまで下がる。その後、ノードMINSの電圧は、寄生容量によるロスと、既に浅くオンしているpMOSトランジスタ12のリーク電流により、徐々に上昇する。しかし、キャパシタC9a、C9bの容量値の合計は、第1の実施形態のキャパシタC5の容量値の2.5倍あるため、上昇の程度は、第1の実施形態より小さい。時刻T4から時刻T6まで動作は、第1の実施形態と同じである。

【0090】

時刻T5において、ワード線WLとプレート線PLの立ち上がりにより、インバータアンプ16が動作し、ノードVTHの電圧が下降する。この下降により、pMOSトランジスタ12のゲート・ソース間電圧（絶対値）は大きくなり、ノードMINSからビット線BLに流れるリーク電流は増加し、ノードMINSの電圧は上昇する。但し、ノードMINSに第1の実施形態のキャパシタC5より容量値の大きいキャパシタC9a、C9bが並列に接続されているため、電圧の上昇は、第1の実施形態に比べ緩やかである。

【0091】

一方、時刻T6において、キャパシタ制御信号UCUTの立ち下がりにより、nMOSトランジスタ34bはオフし、ノードMGENZはフローティング状態になる。このため、キャパシタC9bは、等価的に開放され、ノードMINSから見えなくなる。すなわち

、トランジスタ34a、34bは、読み出し動作が開始された後、キャパシタC9bと電荷転送回路12(ノードMINS)との電氣的な接続を解除する接続解放回路として機能する。また、トランジスタ34bは、読み出し動作が開始された後、キャパシタC9bの他端をフローティング状態に設定するフローティング設定回路として機能する。

【0092】

ビット線BLからノードMINSに転送された電荷を蓄積するキャパシタは、容量値の小さいキャパシタC9aのみになる。したがって、ノードMINSの電圧の上昇率は、急激に大きくなる。しかし、時刻T5から時刻T6までの間にメモリセルMCからノードMINSに転送された電荷は、すでにキャパシタC9a、C9bに蓄積されている。このため、データ"0"を読み出すときのノードMINSの電圧の上昇は抑えられる。この結果、データ"0"とデータ"1"の読み出し電圧(MINS、OUT)の差は、大きくなる。すなわち、読み出しマージンは大きくなる。

10

【0093】

また、第6の実施形態と同様に、データ"1"の読み出し電圧MINSを速く0Vに近づけることができるため、メモリセルMCから読み出されたデータの論理を、第1の実施形態より早いタイミング(図14に示した時刻T7)で判定できる。この結果、強誘電体メモリのアクセス時間は短縮される。

【0094】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、キャパシタC9a、C9bの容量値を読み出し動作中に小さくすることにより、読み出しマージンを向上できる。この結果、強誘電体メモリの歩留を向上できる。また、強誘電体メモリのアクセス時間を短縮できる。

20

【0095】

図17は、本発明の半導体メモリの第8の実施形態を示している。第1および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第1の実施形態のプリセンスアンプPSA1の代わりにプリセンスアンプPSA8が形成されている。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

30

【0096】

プリセンスアンプPSA8は、第1の実施形態の負電圧生成回路20の代わりに上述した第7の実施形態の負電圧生成回路34を有している。プリセンスアンプPSA8のその他の構成は、プリセンスアンプPSA1と同じである。

【0097】

図18は、第8の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、時刻T5までの波形は、第1の実施形態と同じである。時刻T5以降の波形は、第7の実施形態と同じである。但し、キャパシタC9a、C9bの総容量値が第1の実施形態のキャパシタC5の容量値より大きいため、時刻T4から時刻T5の間におけるノードMINSの電圧の上昇は、第1の実施形態に比べ緩やかである。キャパシタ制御信号UCUTは、上述した第7の実施形態と同様に、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態においても、上述した第1および第7の実施形態と同様の効果を得ることができる。

40

【0098】

図19は、本発明の半導体メモリの第9の実施形態を示している。第1、第2および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第2の実施形態のプリセンスアンプPSA2の代わりにプリセンスアンプPSA9が形成されている。その他の構成は、第2の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセス

50

を使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

【0099】

プリセンスアンプPSA9は、第2の実施形態の負電圧生成回路20の代わりに上述した第7の実施形態の負電圧生成回路34を有している。プリセンスアンプPSA9のその他の構成は、プリセンスアンプPSA2と同じである。

【0100】

図20は、第9の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、時刻T5までの波形は、第2の実施形態と同じである。時刻T5以降の波形は、第7の実施形態とほぼ同じである。但し、時刻T4から時刻T5の間におけるノードMINSの電圧の上昇は、第2の実施形態に比べ緩やかである。キャパシタ制御信号UCUTは、上述した第7の実施形態と同様に、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態においても、上述した第1、第2および第7の実施形態と同様の効果を得ることができる。

10

【0101】

図21は、本発明の半導体メモリの第10の実施形態を示している。第1、第3および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第3の実施形態のプリセンスアンプPSA3の代わりにプリセンスアンプPSA10が形成されている。その他の構成は、第3の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

20

【0102】

プリセンスアンプPSA10は、第3の実施形態の負電圧生成回路20の代わりに上述した第7の実施形態の負電圧生成回路34を有している。プリセンスアンプPSA10のその他の構成は、プリセンスアンプPSA3と同じである。

【0103】

図22は、第10の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態では、時刻T5までの波形は、第3の実施形態と同じである。時刻T5以降の波形は、第7の実施形態とほぼ同じである。但し、時刻T4から時刻T5の間におけるノードMINSの電圧の上昇は、第3の実施形態に比べ緩やかである。キャパシタ制御信号UCUTは、上述した第7の実施形態と同様に、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態においても、上述した第1、第3および第7の実施形態と同様の効果を得ることができる。

30

【0104】

図23は、本発明の半導体メモリの第11の実施形態を示している。第1および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、第7の実施形態の構成に電源電圧検出部36および信号選択部38（解放制御回路）を追加して構成されている。その他の構成は、第7の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

40

【0105】

電源電圧検出部36は、電源電圧VDDをモニタし、電源電圧VDDが、例えば2.5V以下の間、選択制御信号SELを低レベルに維持し、電源電圧VDDが2.5Vを超えている間、選択制御信号SELを高レベルに維持する。信号選択部38は、低レベルの選択制御信号SELを受けている間、キャパシタ制御信号UCUTをキャパシタ制御信号U

50

CUT1として出力する。信号選択部38は、高レベルの選択制御信号SELを受けている間、負電圧制御信号MGENをキャパシタ制御信号UCUT1として出力する。キャパシタ制御信号UCUT1は、負電圧生成回路34のnMOSトランジスタ34bのゲートに供給される。

**【0106】**

すなわち、この実施形態では、電源電圧VDDが2.5Vを超えているとき、キャパシタC9bは、読み出し動作中、キャパシタC9aとともに、常に電荷を蓄積するキャパシタとして作用する。電源電圧VDDが2.5V以下のとき、キャパシタC9bは、読み出し動作の途中で等価的に開放され、ノードMINSから見えなくなる。換言すれば、プリセンスアンプPSA7は、電源電圧VDDが2.5V以下のときのみ上述した第7の実施形態と同じ動作を実行する。すなわち、信号選択部38は、電源電圧が低いときのみ、トランジスタ34bを読み出し動作中にオフする解放制御回路として機能する。

**【0107】**

図24は、第11の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態の動作波形は、ノードMINSの波形が電源電圧VDDの応じて異なることを除き、上述した第7の実施形態(図16)と同じである。より詳細には、電源電圧VDDが2.5V以下のとき、ノードMINSの波形は、第7の実施形態と同じになる。電源電圧VDDが2.5Vを超えているとき、キャパシタC9a、C9bは、読み出し動作中にビット線BLからノードMINSに転送された電荷を常に蓄積するため(電荷を蓄積するキャパシタの容量値が変わらないため)、ノードMINSの波形は、第1の実施形態に近い波形になる。

**【0108】**

電源電圧VDDが下がると、強誘電体キャパシタに充電される電荷量は、相対的に小さくなる。また、メモリセルMCの強誘電体キャパシタF1から読み出される電荷量は、電源電圧VDDが低いほど相対的に小さくなる。このため、プリセンスアンプPSA7により生成される読み出し電圧MINSは低くなる。具体的には、データ"1"の読み出し電圧とデータ"0"の読み出し電圧との差は小さくなる。本実施形態では、電源電圧VDDが低い読み出し動作中に、キャパシタC9bをノードMINSから解放することで、強誘電体キャパシタの電源電圧VDDによる特性の変化に応じて、最適な読み出し電圧MINSが生成される。この実施形態においても、上述した第1および第7の実施形態と同様の効果を得ることができる。さらに、電源電圧VDDに応じて最適な読み出し電圧MINSを生成できる。

**【0109】**

図25は、本発明の半導体メモリの第12の実施形態を示している。第1、第7および第11の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、第7の実施形態の構成に温度検出部40および信号選択部38を追加して構成されている。その他の構成は、第7の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

**【0110】**

温度検出部40は、強誘電体メモリのチップ温度をモニタし、温度が、例えば0以下の間、選択制御信号SELを高レベルに維持し、温度が0を超えている間、選択制御信号SELを低レベルに維持する。信号選択部38は、低レベルの選択制御信号SELを受けている間、キャパシタ制御信号UCUTをキャパシタ制御信号UCUT1として出力する。信号選択部38は、高レベルの選択制御信号SELを受けている間、負電圧制御信号MGENをキャパシタ制御信号UCUT1として出力する。キャパシタ制御信号UCUT1は、負電圧生成回路34のnMOSトランジスタ34bのゲートに供給される。

**【0111】**

10

20

30

40

50

すなわち、この実施形態では、温度が0 以下のとき、キャパシタC 9 bは、読み出し動作中、キャパシタC 9 aとともに、常に電荷を蓄積するキャパシタとして作用する。温度が0 を超えているとき、キャパシタC 9 bは、読み出し動作の途中で等価的に開放され、ノードM I N Sから見えなくなる。換言すれば、プリセンスアンプP S A 7は、温度が0 を超えているときのみ上述した第7の実施形態と同じ動作を実行する。このように、信号選択部3 8は、チップ温度が高いときのみ、トランジスタ3 4 bを読み出し動作中にオフする解放制御回路として機能する。

#### 【0 1 1 2】

この実施形態では、ノードM I N Sの波形は、温度が0 以下のときに上述した第1 1の実施形態の図2 4の上側の波形になり、温度が0 を超えているときに図2 4の下側の波形になる。強誘電体キャパシタに充電される電荷量、およびメモリセルM Cの強誘電体キャパシタF 1から読み出される電荷量は、温度が高いほど相対的に小さくなる。読み出し動作中にノードM I N Sに接続されるキャパシタC 9 a、C 9 bを温度に応じて切り替えることで、強誘電体キャパシタの温度による特性の変化に応じて、最適な読み出し電圧M I N Sが生成される。この実施形態においても、上述した第1および第7の実施形態と同様の効果を得ることができる。さらに、温度に応じて最適な読み出し電圧M I N Sを生成できる。

#### 【0 1 1 3】

図2 6は、本発明の半導体メモリの第1 3の実施形態を示している。第1、第7および第1 1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、第7の実施形態の構成にアドレス検出部4 2および信号選択部3 8を追加して構成されている。その他の構成は、第7の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にC M O Sプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

#### 【0 1 1 4】

アドレス検出部4 2は、強誘電体メモリを読み出しアクセスするために供給されるアドレス信号A Dを、図1に示したアドレス端子A Dを介して受ける。アドレス検出部4 2は、アドレス信号A Dが図1に示したメモリセルアレイA R Yの端に位置するメモリセルM Cを示すときに低レベルの選択制御信号を出力し、アドレス信号A DがメモリセルM C以外を示すときに高レベルの選択制御信号を出力する。信号選択部3 8は、低レベルの選択制御信号S E Lを受けている間、キャパシタ制御信号U C U Tをキャパシタ制御信号U C U T 1として出力する。信号選択部3 8は、高レベルの選択制御信号S E Lを受けている間、負電圧制御信号M G E Nをキャパシタ制御信号U C U T 1として出力する。キャパシタ制御信号U C U T 1は、負電圧生成回路3 4のn M O Sトランジスタ3 4 bのゲートに供給される。

#### 【0 1 1 5】

すなわち、この実施形態では、メモリセルアレイA R Yの端以外に位置するメモリセルM Cが読み出しアクセスされるとき、キャパシタC 9 bは、キャパシタC 9 aとともに、常に電荷を蓄積するキャパシタとして作用する。メモリセルアレイA R Yの端に位置するメモリセルM Cが読み出しアクセスされるとき、キャパシタC 9 bは、読み出し動作の途中で等価的に開放され、ノードM I N Sから見えなくなる。換言すれば、プリセンスアンプP S A 7は、メモリセルアレイA R Yの端に位置するメモリセルM Cが読み出しアクセスされるときのみ上述した第7の実施形態と同じ動作を実行する。このように、信号選択部3 8は、メモリセルアレイA R Yの端が読み出しアクセスされたときのみ、トランジスタ3 4 bを読み出し動作中にオフする解放制御回路として機能する。

#### 【0 1 1 6】

この実施形態では、ノードM I N Sの波形は、メモリセルアレイA R Yの端以外に位置するメモリセルM Cが読み出しアクセスされるときに上述した第1 1の実施形態の図2 4

10

20

30

40

50

の上側の波形になり、メモリセルアレイ A R Y の端に位置するメモリセル M C が読み出しアクセスされるときに図 2 4 の下側の波形になる。一般に、メモリセルアレイ A R Y の内部に形成される強誘電体キャパシタ F 1 の形状は、同じパターンが繰り返されるため、理想的な形状に形成されやすい。これに対して、メモリセルアレイ A R Y の端側に形成される強誘電体キャパシタ F 1 の形状は、繰り返しパターンが途切れるため、理想的な形状に形成されにくい。また、メモリセルアレイ A R Y の端に位置するメモリセル M C は、メモリセル M C を構成する絶縁膜、導電膜の厚さも標準値に対してずれやすい。このため、メモリセルアレイ A R Y の端側に形成される強誘電体キャパシタ F 1 の特性は、標準時に対してずれやすい。特性がずれやすい強誘電体キャパシタ F 1 を読み出しアクセスするとき、ノード M I N S に接続されるキャパシタ C 9 a、C 9 b を読み出し動作中に切り替えることで、悪い特性を有する強誘電体キャパシタ F 1 からデータを読み出す場合にも、最適な読み出し電圧 M I N S が生成される。この実施形態においても、上述した第 1 および第 7 の実施形態と同様の効果を得ることができる。さらに、読み出しアクセスするメモリセル M C の位置に依存せずに最適な読み出し電圧 M I N S を生成できる。

10

**【 0 1 1 7 】**

図 2 7 は、本発明の半導体メモリの第 1 4 の実施形態を示している。第 1、第 7 および第 1 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、第 7 の実施形態の構成に時間検出部 4 4 および信号選択部 3 8 を追加して構成されている。その他の構成は、第 7 の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上に C M O S プロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図 1 および図 2 と同じである。

20

**【 0 1 1 8 】**

時間検出部 4 4 は、強誘電体メモリの外部から時間信号 T I M E (例えば、レベルが一定の信号)を受ける。強誘電体メモリは、時間信号 T I M E を受けるための時間端子(図示せず)を有している。強誘電体メモリを使用するシステム(ユーザ)は、例えば、強誘電体メモリのアクセスを開始してから所定期間(強誘電体メモリの使用期間;例えば、3年)が経過するまで高レベルの時間信号 T I M E を出力し、3年が経過した後に低レベルの時間信号 T I M E を出力する。時間検出部 4 4 は、高レベルの時間信号 T I M E を受けているときに、高レベルの選択制御信号 S E L を出力し、高レベルの時間信号 T I M E を受けているときに、低レベルの選択制御信号 S E L を出力する。信号選択部 3 8 は、高レベルの選択制御信号 S E L を受けている間、負電圧制御信号 M G E N をキャパシタ制御信号 U C U T 1 として出力する。信号選択部 3 8 は、低レベルの選択制御信号 S E L を受けている間、キャパシタ制御信号 U C U T をキャパシタ制御信号 U C U T 1 として出力する。キャパシタ制御信号 U C U T 1 は、負電圧生成回路 3 4 の n M O S トランジスタ 3 4 b のゲートに供給される。

30

**【 0 1 1 9 】**

すなわち、この実施形態では、強誘電体メモリのアクセスを開始してから所定期間が経過するまで、キャパシタ C 9 b は、キャパシタ C 9 a とともに、常に電荷を蓄積するキャパシタとして作用する。所定期間が経過した後、キャパシタ C 9 b は、読み出し動作の途中で等価的に開放され、ノード M I N S から見えなくなる。換言すれば、プリセンスアンブ P S A 7 は、所定期間が経過するまで上述した第 7 の実施形態と同じ動作を実行する。このように、信号選択部 3 8 は、強誘電体メモリの使用期間が所定期間を超えたときのみ、トランジスタ 3 4 b を読み出し動作中にオフする解放制御回路として機能する。

40

**【 0 1 2 0 】**

この実施形態では、ノード M I N S の波形は、所定期間が経過するまで上述した図 2 4 の上側の波形になり、所定期間が経過した後に上述した図 2 4 の下側の波形になる。一般に、強誘電体キャパシタ F 1 は、アクセス回数が多いほどリテンション特性(ヒステリシス特性)が劣化し、メモリセル M C から読み出される電荷量は少なくなる。このため、長

50

期間使用した強誘電体メモリにおいて、ノードMINSに接続されるキャパシタC9a、C9bを読み出し動作中に切り替えることで、特性が劣化した強誘電体キャパシタF1からデータを読み出す場合にも、最適な読み出し電圧MINSが生成される。この実施形態においても、上述した第1および第7の実施形態と同様の効果を得ることができる。さらに、長期間の使用により特性が劣化した強誘電体キャパシタF1からデータを読み出す場合にも最適な読み出し電圧MINSを生成できる。

#### 【0121】

図28は、本発明の半導体メモリの第15の実施形態を示している。第1および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第7の実施形態のプリセンスアンプPSA7の代わりにプリセンスアンプPSA15が形成されている。また、電圧検出部48（解放制御回路）が新たに追加されている。その他の構成は、第7の実施形態と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

10

#### 【0122】

プリセンスアンプPSA15は、第7の実施形態の負電圧生成回路34の代わりに負電圧生成回路46（電荷蓄積回路、初期化回路）を有している。電圧生成回路46は、負電圧制御信号MGENを受け、出力がノードMGENXに接続されたCMOSインバータ20a、ノードMGENXとノードMINSとの間に配置されたキャパシタC9a、電源線VDDと接地線との間に直列に接続されたpMOSトランジスタ46a、nMOSトランジスタ46b、46cおよびトランジスタ46a、46bのドレインノードMGENZとノードMINSとの間に配置されたキャパシタC9bを有している。トランジスタ46a、46bのゲートは、負電圧制御信号MGENを受け、トランジスタ46cのゲートは、キャパシタ制御信号UCUTを受けている。

20

#### 【0123】

電圧検出部48は、プリセンスアンプPSA15毎に形成されている。電圧検出部48は、設定信号SETおよびプリセンスアンプPSA15から出力される読み出し電圧OUTに応じて、キャパシタ制御信号UCUTの論理レベルを設定する。設定信号SETは、図1に示したタイミング生成回路TGENにより生成される。

30

#### 【0124】

図29は、電圧検出部48の詳細を示している。電圧検出部48は、電源線VDDと接地線との間に直列に配置されたpMOSトランジスタ48aおよびnMOSトランジスタ48b、48cを有している。pMOSトランジスタ48aおよびnMOSトランジスタ48bのゲートは、設定信号SETを受けている。nMOSトランジスタ48cのゲートは、読み出し電圧OUTを受けている。nMOSトランジスタ48cの閾値電圧は、VTに設計されている。キャパシタ制御信号UCUTは、pMOSトランジスタ48aおよびnMOSトランジスタ48bのドレインから出力される。

#### 【0125】

図30は、第15の実施形態における強誘電体メモリの読み出し動作を示している。この実施形態の動作波形は、ノードMINS、OUTの波形およびキャパシタ制御信号UCUTの立ち上がりエッジのタイミングが異なることと、設定信号SETの波形が加えられたことを除き、上述した第7の実施形態（図16）と同じである。

40

#### 【0126】

設定信号SETは、時刻T4に立ち下がり、時刻T5に立ち上がる。キャパシタ制御信号UCUTは、時刻T4に設定信号SETが低レベルに変化すると、読み出し電圧OUTに関係なく高レベルに変化する。図中、上側のキャパシタ制御信号UCUTは、データ"1"を読み出すプリセンスアンプPSA7に対応する電圧検出部48から出力される。下側のキャパシタ制御信号UCUTは、データ"0"を読み出すプリセンスアンプPSA7

50

に対応する電圧検出部48から出力される。時刻T6までの読み出し電圧MINS、OUTの波形は、第7の実施形態(図16)と同じである。但し、読み出し電圧OUTの波形は、図16には示していない。

#### 【0127】

まず、データ"1"がメモリセルMCから読み出される場合、読み出し電圧OUTがnMOSトランジスタ48cの閾値電圧VTを超えたとき(時刻T6a)、対応するキャパシタ制御信号UCUTは低レベルに変化する(図30(a))。この変化により、キャパシタC9bは、等価的に開放され、ノードMINSから見えなくなる。したがって、データ"1"が読み出されるノードMINSの電圧の上昇率は、急激に大きくなる(図30(b))。ノードMINSの電圧の変化に追従して、読み出し電圧OUTも急激に高レベルに変化する(図30(c))。このように、トランジスタ46a、46b、46cは、読み出し動作が開始された後、キャパシタC9bと電荷転送回路12(ノードMINS)との電気的な接続を解除する接続解放回路として機能する。

10

#### 【0128】

一方、データ"0"がメモリセルMCから読み出される場合、読み出し電圧OUTがnMOSトランジスタ48cの閾値電圧VTを超えたとき(時刻T6b)、対応するキャパシタ制御信号UCUTは低レベルに変化する(図30(d))。この変化により、キャパシタC9bは、等価的に開放され、データ"0"が読み出されるノードMINSの電圧の上昇速度は速くなる(図30(e))。ノードMINSの電圧の変化に追従して、読み出し電圧OUTも急激に高レベルに変化する(図30(f))。

20

#### 【0129】

すなわち、電圧検出部48は、読み出し電圧OUTが所定値に到達したときに、トランジスタ46cを読み出し動作中にオフする解放制御回路として機能する。このように、データ"1"が読み出されるノードMINSの電圧の上昇速度を、データ"0"が読み出されるノードMINSの電圧に比べて速くすることで、データ"0"とデータ"1"の読み出し電圧(MINS、OUT)の差は、大きくなる。すなわち、読み出しマージンは大きくなる。

この実施形態においても、上述した第1および第7の実施形態と同様の効果を得ることができる。さらに、データ"0"とデータ"1"の読み出し電圧(MINS、OUT)の差を、第7の実施形態に比べて大きくでき、読み出しマージンは大きくできる。

30

#### 【0130】

なお、上述した実施形態では、キャパシタC1~C8、C9a、C9bを強誘電体材料で形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、キャパシタC1~C8、C9a、C9bをMOSトランジスタのゲート絶縁膜(MOSゲートキャパシタ)、互いに対向するポリシリコン層間に形成されるキャパシタ、あるいは金属配線層間に形成されるキャパシタで構成してもよい。

#### 【0131】

上述した実施形態では、本発明を強誘電体キャパシタを有する強誘電体メモリに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM(Dynamic Random Access Memory)に適用してもよい。

40

#### 【0132】

上述した第6~第15の実施形態では、本発明を、図2に示した1T1C型のメモリセルMCを有する強誘電体メモリに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、図10に示した2T2C型のメモリセルを有する強誘電体メモリに適用しても同様の効果を得ることができる。

#### 【0133】

上述した第14の実施形態では、時間信号TIMEに応じて時間検出部44により生成される選択制御信号SELにより、キャパシタ制御信号UCUTの生成タイミングを変更する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、時

50

間信号 T I M E を信号選択部 3 8 で直接受け、時間信号 T I M E に応じてキャパシタ制御信号 U C U T の生成タイミングを変更してもよい。

【 0 1 3 4 】

上述した第 1 1 ~ 第 1 5 の実施形態では、第 7 の実施形態のプリセンスアンプ P S A 7 の負電圧生成回路 3 4 の電荷蓄積動作を制御するために、電源電圧検出部 3 6 等を形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図 3 1 ~ 図 3 5 に示すように、第 8 の実施形態のプリセンスアンプ P S A 8 の負電圧生成回路 3 4 の電荷蓄積動作を制御するために、電源電圧検出部 3 6 等を形成してもよい。あるいは、特に図示していないが、第 9 および第 1 0 の実施形態のプリセンスアンプ P S A 9 、 P S A 1 0 の負電圧生成回路 3 4 の電荷蓄積動作を制御するために、電源電圧検出部 3 6 等を形成してもよい。

10

【 0 1 3 5 】

上述した第 1 1 の実施形態では、信号選択部 3 8 は、電源電圧 V D D が所定値 ( 2 . 5 V ) より低いときのみ、キャパシタ C 9 b を読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部 3 8 は、電源電圧 V D D が所定値より高いときのみ、電源電圧 V D D が所定の範囲にあるとき、あるいは、電源電圧 V D D が所定の範囲をはずれたときに、解放制御回路として機能してもよい。

【 0 1 3 6 】

上述した第 1 2 の実施形態では、信号選択部 3 8 は、チップ温度が所定値 ( 0 ) より高いときのみ、キャパシタ C 9 b を読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部 3 8 は、チップ温度が所定値より低いときのみ、チップ温度が所定の範囲にあるとき、あるいは、チップ温度が所定の範囲をはずれたときに、解放制御回路として機能してもよい。

20

【 0 1 3 7 】

上述した第 1 3 の実施形態では、信号選択部 3 8 は、アクセスアドレスがメモリセルアレイ A R Y の端を示すときに、キャパシタ C 9 b を読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部 3 8 は、アクセスアドレスがメモリセルアレイ A R Y の端以外を示すときに解放制御回路として機能してもよい。

30

【 0 1 3 8 】

上述した第 1 4 の実施形態では、信号選択部 3 8 は、半導体メモリの使用期間が所定期間を超えたときに、キャパシタ C 9 b を読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部 3 8 は、半導体メモリの使用期間が所定期間内のときに解放制御回路として機能してもよい。

【 0 1 3 9 】

上述した第 1 4 の実施形態では、強誘電体メモリの使用期間に応じてキャパシタ C 9 b の接続時間を変更する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、メモリセルアレイ A R Y または各メモリセル M C のアクセス回数をカウントするカウンタを強誘電体メモリに形成し、カウンタ値が所定値を超えたときにキャパシタ C 9 b の接続を読み出し動作中に解除してもよい。

40

【 0 1 4 0 】

以上の実施形態において説明した発明を整理して、付記として開示する。

( 付記 1 )

データの論理に応じた電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから

50

前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、

前記ビット線に読み出された電荷を前記電荷蓄積回路に転送するために、読み出された電荷による前記ビット線の電圧の変化に応じて前記電荷転送回路の電荷転送能力を制御する制御回路と、

読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を一時的に低くするリーク抑制回路とを備えていることを特徴とする半導体メモリ。

10

(付記 2)

付記 1 記載の半導体メモリにおいて、

前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、

前記リーク抑制回路は、前記入力端子に接続されており、読み出し動作において、この入力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

(付記 3)

付記 1 記載の半導体メモリにおいて、

前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、

前記リーク抑制回路は、前記出力端子に接続されており、読み出し動作において、この出力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

20

(付記 4)

付記 1 記載の半導体メモリにおいて、

読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路を備え、

前記リーク抑制回路は、前記初期化回路による初期設定に同期して電荷転送能力を一時的に低くすることを特徴とする半導体メモリ。

30

(付記 5)

付記 4 記載の半導体メモリにおいて、

前記電荷転送回路は、ゲートが前記制御回路の出力に接続され、ソースおよびドレインの一方および他方が前記ビット線および前記電荷蓄積回路に接続されたトランジスタを備え、

前記初期化回路は、読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記トランジスタのゲート・ソース間電圧を前記トランジスタの閾値電圧に設定し、

前記リーク抑制回路は、前記初期化回路による設定後、前記メモリセルから前記ビット線に電荷が読み出される前まで、前記ゲート・ソース間電圧の絶対値を前記閾値電圧の絶対値より一時的に低くするために、前記トランジスタのゲート電圧を変化させることを特徴とする半導体メモリ。

40

(付記 6)

付記 1 記載の半導体メモリにおいて、

読み出し動作において、前記メモリセルから前記ビット線への前記電荷の読み出しが開始された後に、前記電荷転送回路の電荷転送能力を高くする転送制御回路を備えていることを特徴とする半導体メモリ。

(付記 7)

付記 1 記載の半導体メモリにおいて、

前記電荷蓄積回路は、

50

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第1および第2キャパシタと、

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記8)

付記7記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

(付記9)

付記7記載の半導体メモリにおいて、

電源電圧を検出する電源電圧検出部と、

前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記10)

付記7記載の半導体メモリにおいて、

半導体メモリの温度を検出する温度検出部と、

前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記11)

付記7記載の半導体メモリにおいて、

前記メモリセルを有するメモリセルアレイと、

前記メモリセルを選択するためのアドレスを受けるアドレス端子と、

前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と

、  
前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記12)

付記7記載の半導体メモリにおいて、

半導体メモリの使用期間を示す時間信号を受ける時間端子と、

前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記13)

付記7記載の半導体メモリにおいて、

前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記14)

付記1記載の半導体メモリにおいて、

前記読み出し電圧が所定値に達したことを検出し、この検出にตอบสนองして前記制御回路の動作を停止する検出回路を備えていることを特徴とする半導体メモリ。

(付記15)

付記14記載の半導体メモリにおいて、

前記メモリセルに形成され、相補の論理値に応じた電荷をそれぞれ蓄積するキャパシタ対を備え、

前記電荷転送回路、前記電荷蓄積回路、前記制御回路および前記リーク抑制回路は、前記前記キャパシタ対のキャパシタ毎に形成され、

前記検出回路は、前記キャパシタ対に対応する一对の電荷蓄積回路が生成する読み出し電圧のいずれかが所定値に達したことを検出することを特徴とする半導体メモリ。

10

20

30

40

50

## (付記 16)

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、  
前記メモリセルに接続されたビット線と、  
前記ビット線に接続される電荷転送回路と、  
前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、  
前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、  
前記読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出されるときに、前記電荷転送回路の電荷転送能力を高くするリーク抑制回路とを備えていることを特徴とする半導体メモリ。

10

## (付記 17)

付記 16 記載の半導体メモリにおいて、  
前記メモリセルの前記キャパシタを前記ビット線に接続するためのアクセスゲートと、  
読み出し動作において、前記アクセスゲートがオンする前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路とを備え、  
前記リーク抑制回路は、前記アクセスゲートのオンに同期して、電荷転送能力を一時的に高くすることを特徴とする半導体メモリ。

20

## (付記 18)

付記 17 記載の半導体メモリにおいて、  
前記電荷転送回路は、ゲートが前記リーク抑制回路の出力に接続され、ソースおよびドレインの一方および他方が前記ビット線および前記電荷蓄積回路に接続されたトランジスタを備え  
前記初期化回路は、読み出し動作において、前記アクセスゲートがオンする前に、前記トランジスタのゲート・ソース間電圧の絶対値を前記トランジスタの閾値電圧の絶対値より低く設定し、  
前記リーク抑制回路は、前記アクセスゲートのオンに同期して前記ゲート・ソース間電圧の絶対値を前記閾値電圧の絶対値より一時的に大きくするために、前記トランジスタのゲート電圧を変化させることを特徴とする半導体メモリ。

30

## (付記 19)

付記 16 記載の半導体メモリにおいて、  
前記電荷蓄積回路は、  
前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第 1 および第 2 キャパシタと、  
読み出し動作が開始された後、前記第 2 キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

## (付記 20)

付記 19 記載の半導体メモリにおいて、  
前記接続解放回路は、読み出し動作が開始された後、前記第 2 キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

40

## (付記 21)

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、  
前記メモリセルに接続されたビット線と、  
前記ビット線に接続される電荷転送回路と、  
前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、  
前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデ

50

ータの論理を生成する読み出し回路とを備え、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第1および第2キャパシタと、

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記22)

付記21記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

10

(付記23)

付記21記載の半導体メモリにおいて、

電源電圧を検出する電源電圧検出部と、

前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記24)

付記21記載の半導体メモリにおいて、

半導体メモリの温度を検出する温度検出部と、

前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

20

(付記25)

付記21記載の半導体メモリにおいて、

前記メモリセルを有するメモリセルアレイと、

前記メモリセルを選択するためのアドレスを受けるアドレス端子と、

前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と

、前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

30

(付記26)

付記21記載の半導体メモリにおいて、

半導体メモリの使用期間を示す時間信号を受ける時間端子と、

前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記27)

付記21記載の半導体メモリにおいて、

前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

40

【0141】

付記5記載の半導体メモリでは、電荷転送回路は、ゲートが制御回路の出力に接続され、ソースおよびドレインの一方および他方がビット線および電荷蓄積回路に接続されたトランジスタを有している。初期化回路は、読み出し動作において、メモリセルからビット線に電荷が読み出される前に、トランジスタのゲート・ソース間電圧をトランジスタの閾値電圧に設定する。リーク抑制回路は、初期化回路による設定後、メモリセルからビット線に電荷が読み出される前まで、ゲート・ソース間電圧の絶対値を閾値電圧の絶対値より一時的に低くするために、トランジスタのゲート電圧を変化させる。このように、電荷転送回路をトランジスタで構成し、リーク抑制回路によりトランジスタのゲート・ソース間電圧を調整することで、電荷転送回路の電荷転送能力を容易に調整できる。

50

## 【0142】

付記8、20、22記載の半導体メモリでは、接続解放回路のフローティング設定回路は、読み出し動作が開始された後、第2キャパシタの他端をフローティング状態に設定する。このため、第2キャパシタと電荷転送回路との電氣的な接続を容易に解除できる。

## 【0143】

付記9、23記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、電源電圧に応じて制御することで、電源電圧による強誘電体キャパシタの特性の変化に応じて、最適な読み出し電圧を生成できる。

10

## 【0144】

付記10、24記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、温度検出部により検出される温度が所定値より高いときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、温度に応じて制御することで、温度による強誘電体キャパシタの特性の変化に応じて、最適な読み出し電圧を生成できる。

## 【0145】

付記11、25記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、アドレス検出部により検出されるアドレスがメモリセルアレイの端を示すときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、アクセスされるメモリセルの位置に応じて制御することで、レイアウトに依存する強誘電体キャパシタの特性

20

## 【0146】

付記12、26記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、時間信号が示す使用期間が所定期間を超えているときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、強誘電体メモリの使用期間に応じて制御することで、強誘電体キャパシタの特性の劣化に応じて、最適な読み出し電圧を生成できる。

## 【0147】

付記13、27記載の半導体メモリでは、解放制御回路は、読み出し電圧を検出すると共に、接続解放回路の機能を、読み出し電圧が所定値に達したときに有効にする。例えば、参照電圧を用いて読み出し電圧の論理値を検出する場合、あるいは相補の読み出し電圧を用いて読み出し電圧の論理値を検出する場合、一方の電圧は、他方の電圧より早く所定値に到達する。所定値に到達した電圧は、接続解放回路の機能により急激に上昇するため、読み出しマージンを向上できる。

30

## 【0148】

付記17記載の半導体メモリでは、メモリセルは、キャパシタをビット線に接続するためのアクセスゲートを有している。初期化回路は、読み出し動作において、アクセスゲートがオンする前に、電荷転送回路の電荷転送能力を初期状態に設定する。リーク抑制回路は、アクセスゲートのオンに同期して、電荷転送能力を一時的に高くする。このため、初期設定後、データの読み出しに同期して電荷転送能力を高くでき、電荷蓄積回路は、読み出し回路が動作するために十分な読み出し電圧を生成できる。データが読み出される前には、電荷蓄積回路とビット線との間で電荷が転送されることを防止できる。

40

## 【0149】

付記18記載の半導体メモリでは、電荷転送回路は、ゲートがリーク抑制回路の出力に接続され、ソースおよびドレインの一方および他方がビット線および電荷蓄積回路に接続されたトランジスタを有している。初期化回路は、読み出し動作において、アクセスゲートがオンする前に、トランジスタのゲート・ソース間電圧の絶対値をトランジスタの閾値電圧の絶対値より低く設定する。リーク抑制回路は、アクセスゲートのオンに同期してゲート・ソース間電圧の絶対値を閾値電圧の絶対値より一時的に大きくするために、トランジスタのゲート電圧を変化させる。このように、電荷転送回路をトランジスタで構成し、リーク抑制回路によりトランジスタのゲート・ソース間電圧を調整することで、電荷転送

50

回路の電荷転送能力を容易に調整できる。

【0150】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【0151】

【図1】本発明の半導体メモリの第1の実施形態を示すブロック図である。

【図2】図1に示したメモリセルおよびリファレンスメモリセルの詳細を示す回路図である。

【図3】図1に示したプリセンスアンプの詳細を示す回路図である。

【図4】第1の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図5】本発明の第2の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図6】第2の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図7】本発明の第3の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図8】第3の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図9】本発明の半導体メモリの第4の実施形態を示すブロック図である。

【図10】図9に示したメモリセルおよび検出回路の詳細を示す回路図である。

【図11】第4の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図12】第5の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図13】本発明の第6の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図14】第6の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図15】本発明の第7の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図16】第7の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図17】本発明の第8の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図18】第8の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図19】本発明の第9の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図20】第9の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図21】本発明の第10の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図22】第10の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図23】本発明の第11の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図24】第11の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

【図25】本発明の第12の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図26】本発明の第13の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図27】本発明の第14の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図28】本発明の第15の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図29】図14に示した電圧検出部の詳細を示す回路図である。

【図30】第15の実施形態における強誘電体メモリの読み出し動作を示す波形図である。

10

20

30

40

50

。

【図 3 1】本発明の別の適用例を示す回路図である。

【図 3 2】本発明の別の適用例を示す回路図である。

【図 3 3】本発明の別の適用例を示す回路図である。

【図 3 4】本発明の別の適用例を示す回路図である。

【図 3 5】本発明の別の適用例を示す回路図である。

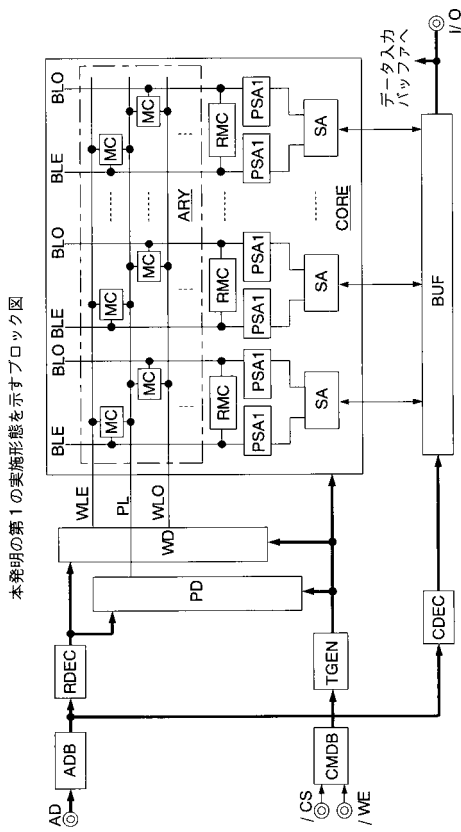
【符号の説明】

【 0 1 5 2 】

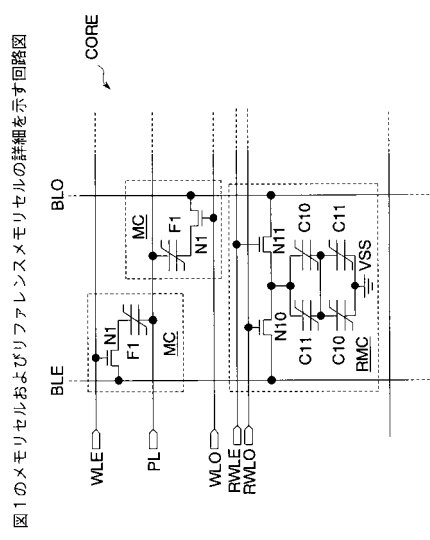
1 0	ビット線初期化回路	
1 2	電荷転送回路	10
1 4	リーク抑制回路	
1 6	インバータアンプ	
1 8	閾値電圧生成回路	
2 0	負電圧生成回路	
2 2	レベルシフト回路	
2 4、2 6	リーク抑制回路	
2 8	閾値電圧生成回路	
3 0	検出回路	
3 2	ブルアップ回路	
3 4	負電圧生成回路	20
3 6	電源電圧検出部	
3 8	信号選択部	
4 0	温度検出部	
4 2	アドレス検出部	
4 4	時間検出部	
4 6	負電圧生成回路	
4 8	電圧検出部	
A D B	アドレスバッファ	
A R Y	メモリセルアレイ	
B L、B L E、B L O、B L X	ビット線	30
B U F	データ出力バッファ	
C 1、C 2、C 3、C 4、C 5、C 6、C 7	キャパシタ	
C 8、C 9 a、C 9 b	キャパシタ	
C D E C	コラムデコーダ	
C M D B	コマンドバッファ	
C O R E	メモリコア	
F 1、F 2	強誘電体キャパシタ	
I I N	入力端子	
I O U T	出力端子	
M C	メモリセル	40
M G E N	負電圧制御信号	
M I N S	ノード	
N 1、N 2	アクセストランジスタ	
O U T、O U T X	読み出し電圧	
P D	プレートドライバ	
P S A 1、P S A 2、P S A 3	プリセンスアンプ	
P S A 6、P S A 7、P S A 8、P S A 9	プリセンスアンプ	
P S A 1 0、P S A 1 5	プリセンスアンプ	
P O W X、P O W	パワー制御信号	
R D E C	ロウデコーダ	50

- R M C リファレンスメモリセル
- S A センスアンプ
- S E L 選択制御信号
- S E T 設定信号
- T G E N タイミング生成回路
- U C U T、U C U T 1 キャパシタ制御信号
- V T H ノード
- W D ワードドライバ
- W L E、W L O ワード線

【 図 1 】



【 図 2 】

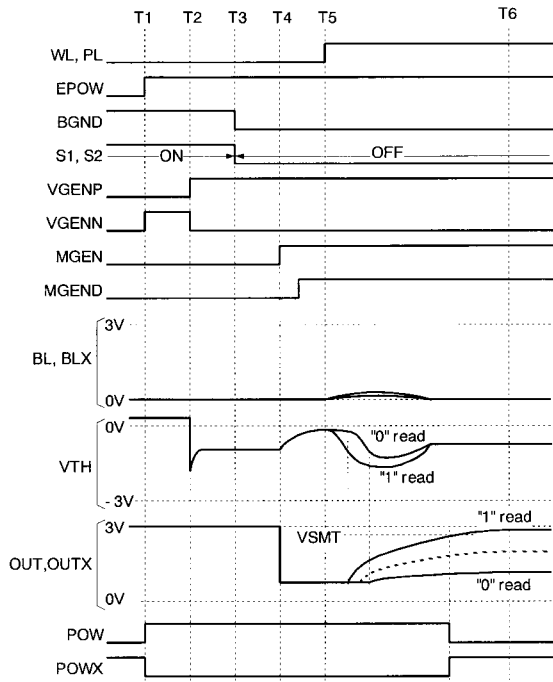






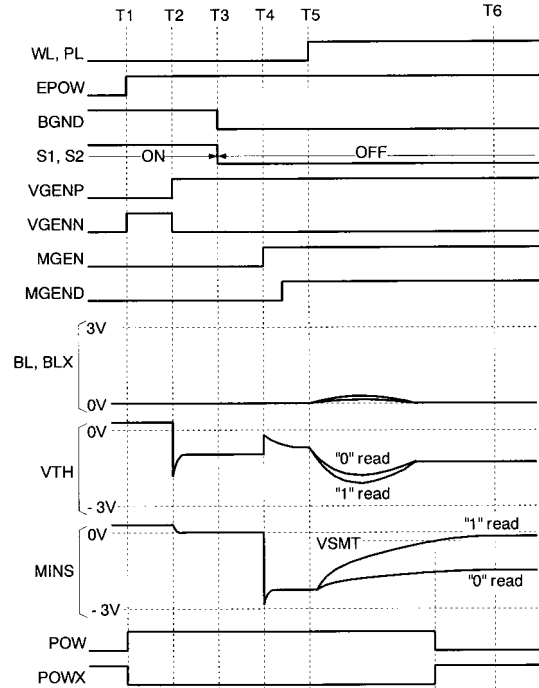
【 図 1 1 】

本発明の第4の実施形態の読み出し動作を示す波形図



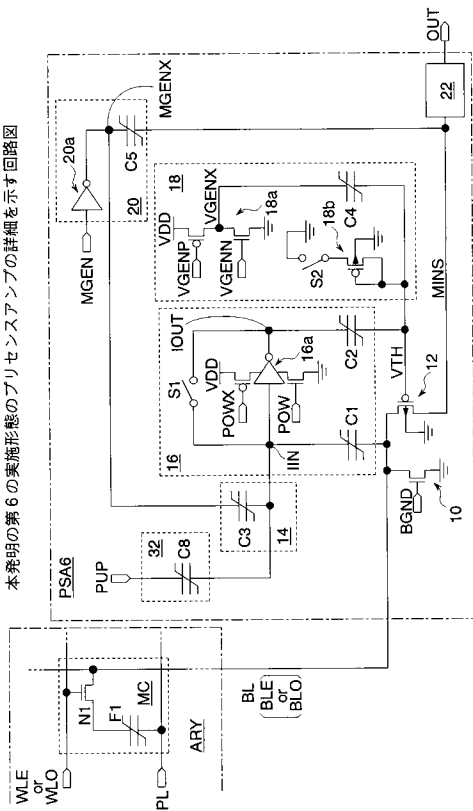
【 図 1 2 】

本発明の第5の実施形態の読み出し動作を示す波形図



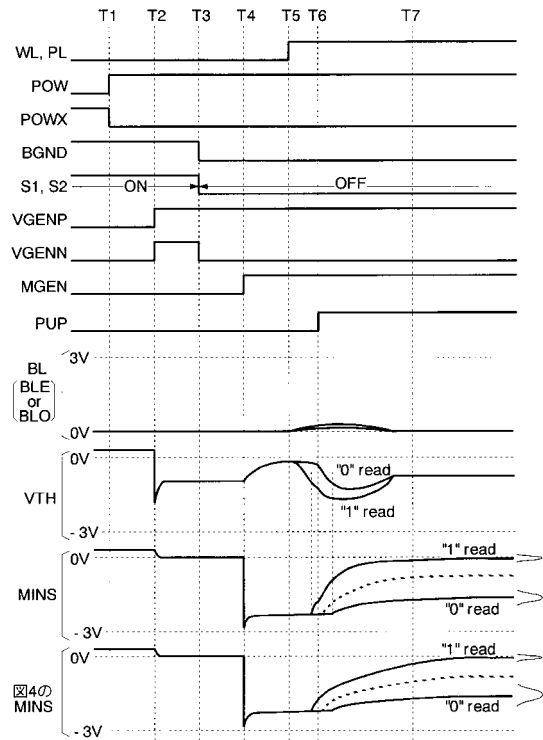
【 図 1 3 】

本発明の第6の実施形態のアリセンスアンプの詳細を示す回路図

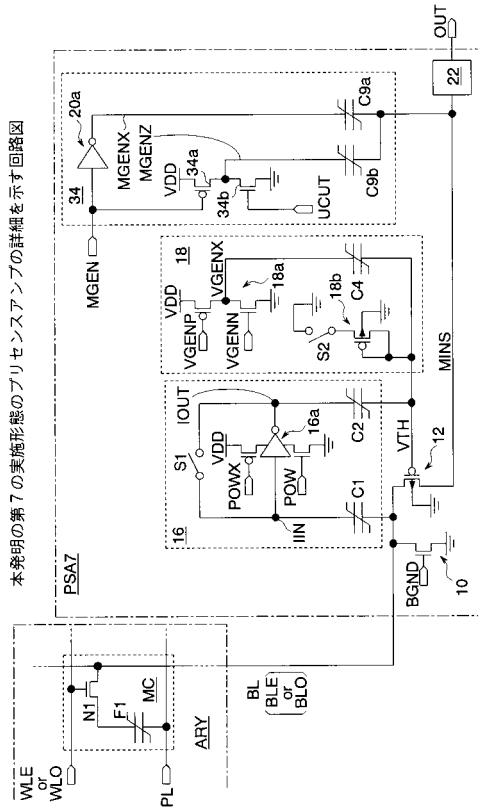


【 図 1 4 】

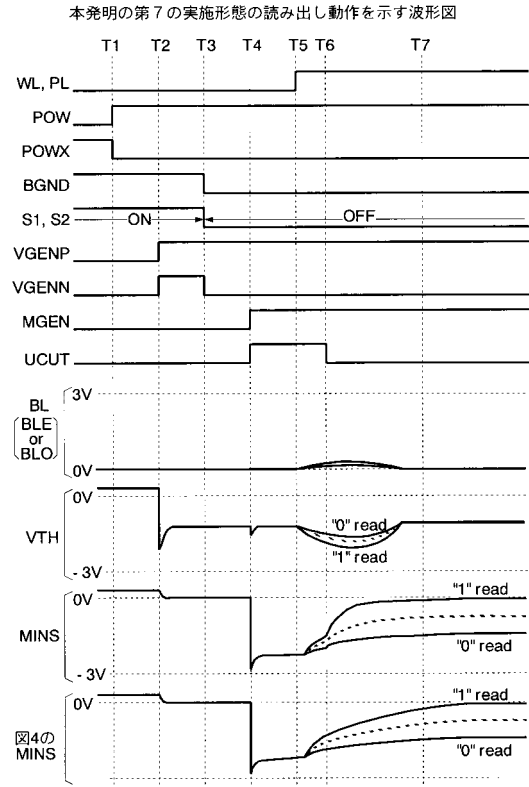
本発明の第6の実施形態の読み出し動作を示す波形図



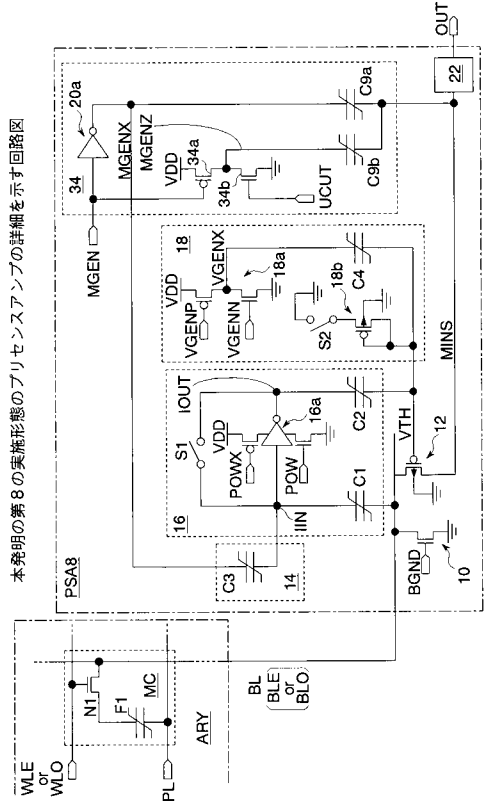
【 図 1 5 】



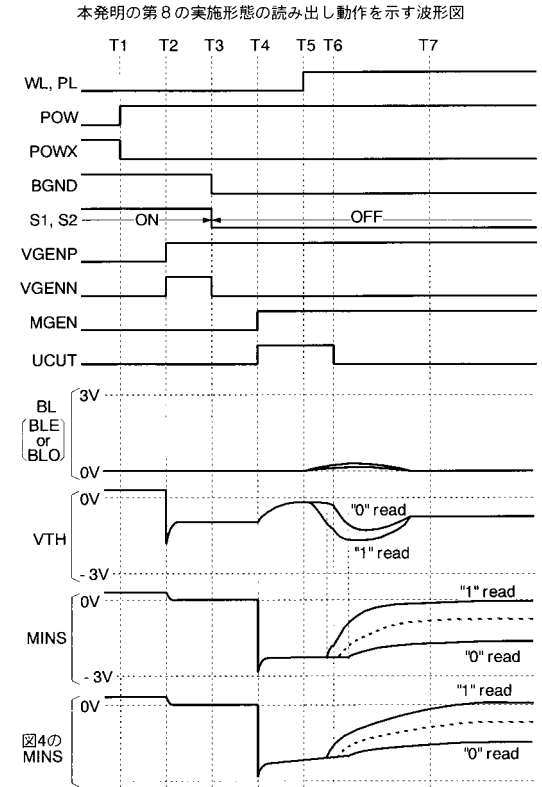
【 図 1 6 】



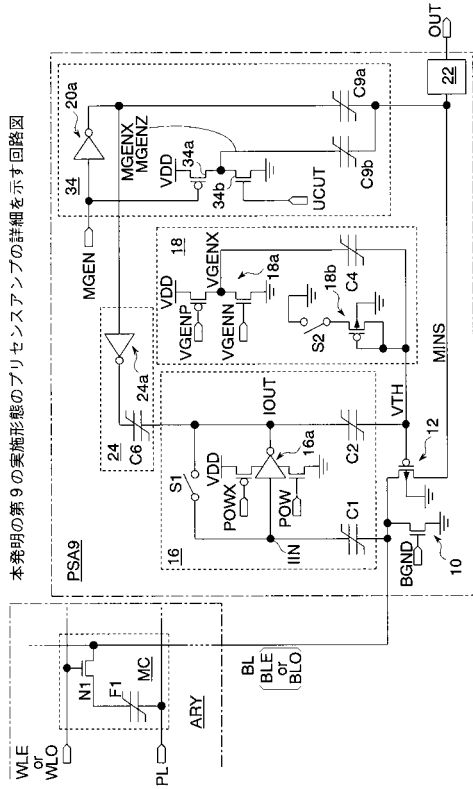
【 図 1 7 】



【 図 1 8 】

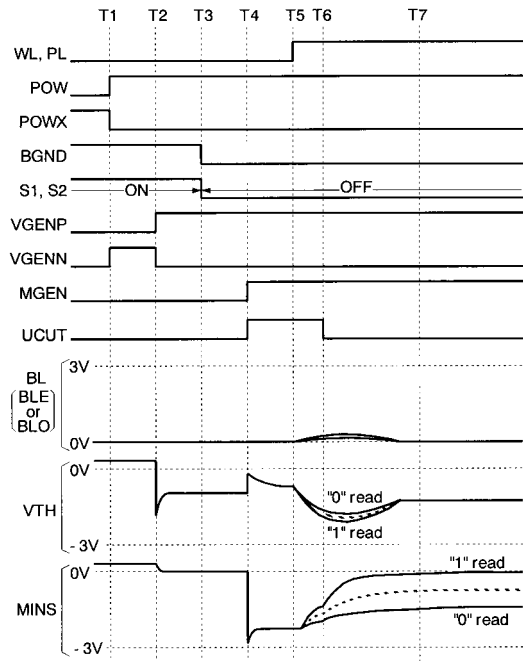


【 図 1 9 】

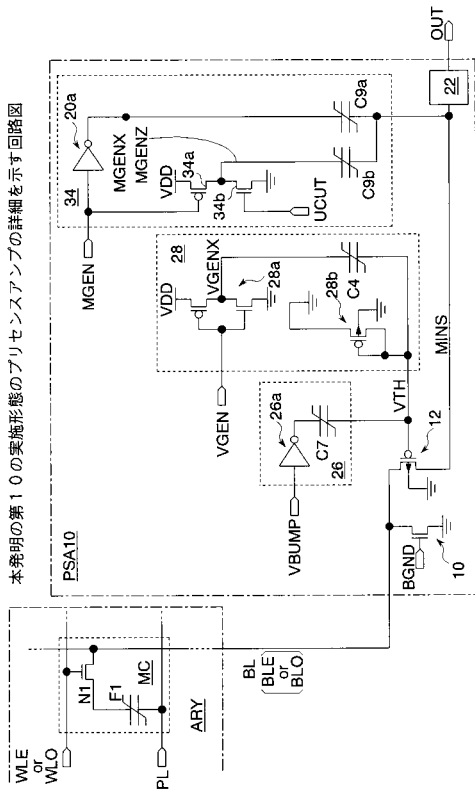


【 図 2 0 】

本発明の第9の実施形態の読み出し動作を示す波形図

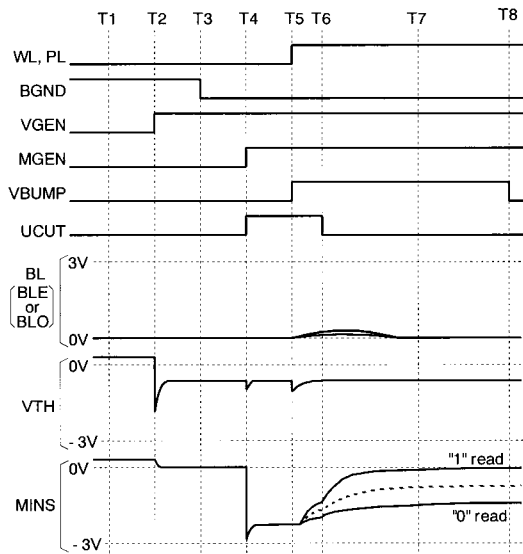


【 図 2 1 】



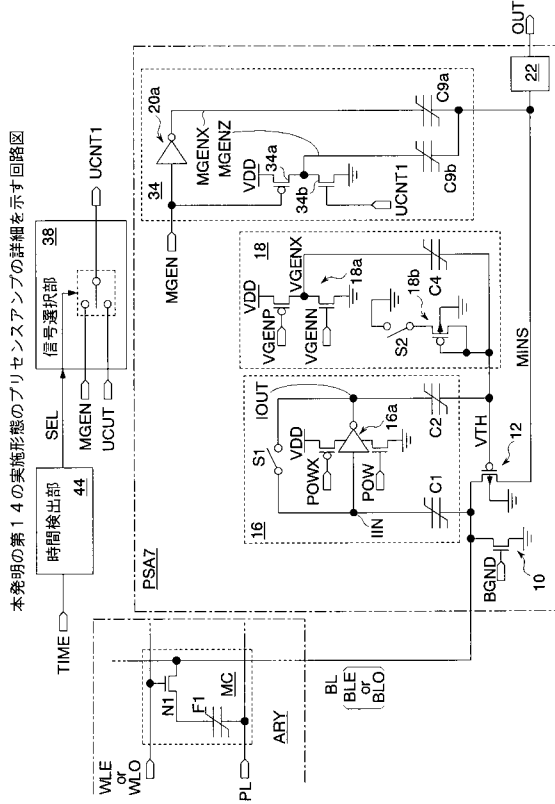
【 図 2 2 】

本発明の第10の実施形態の読み出し動作を示す波形図

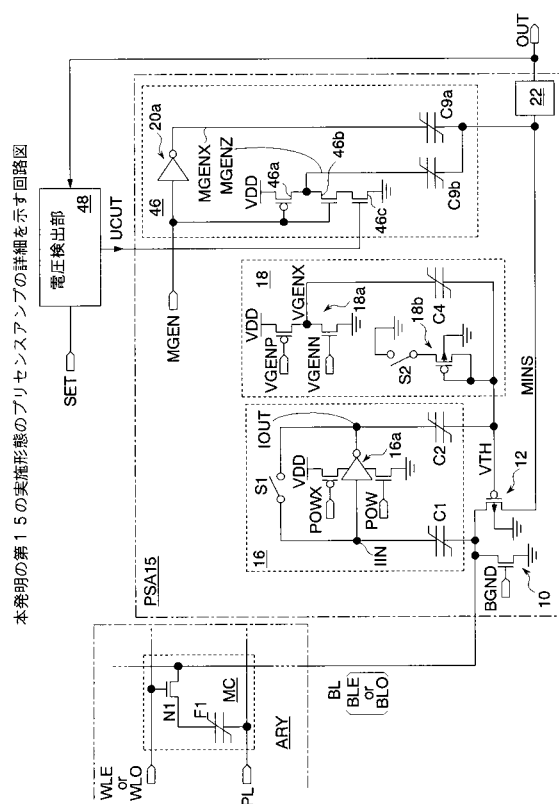




【 図 2 7 】

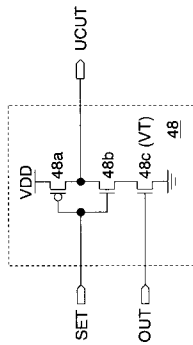


【 図 2 8 】



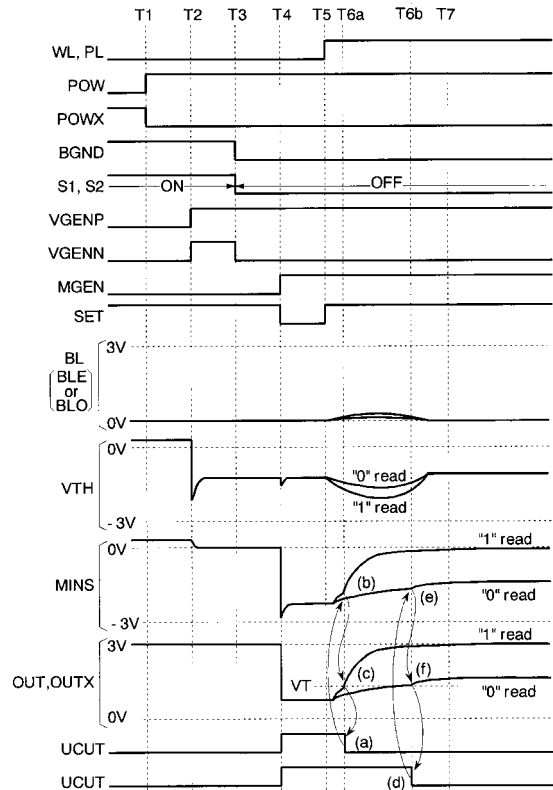
【 図 2 9 】

図 2 6 に示した電圧検出部の詳細を示す回路図

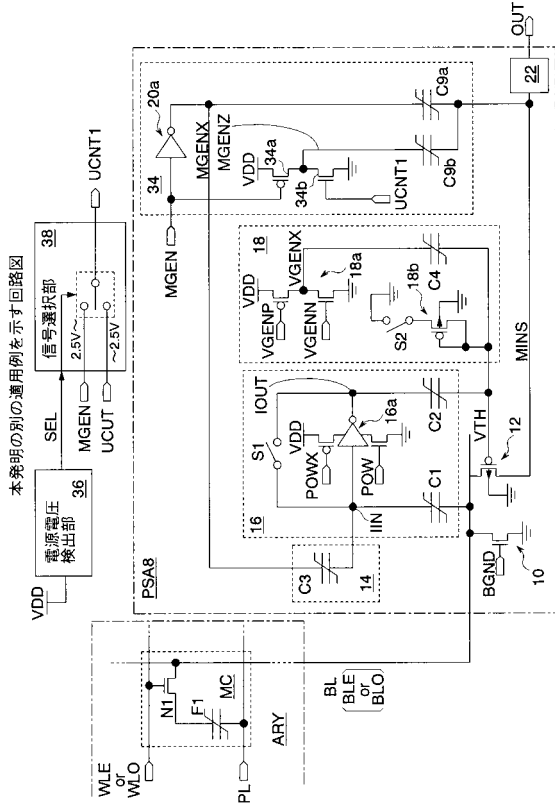


【 図 3 0 】

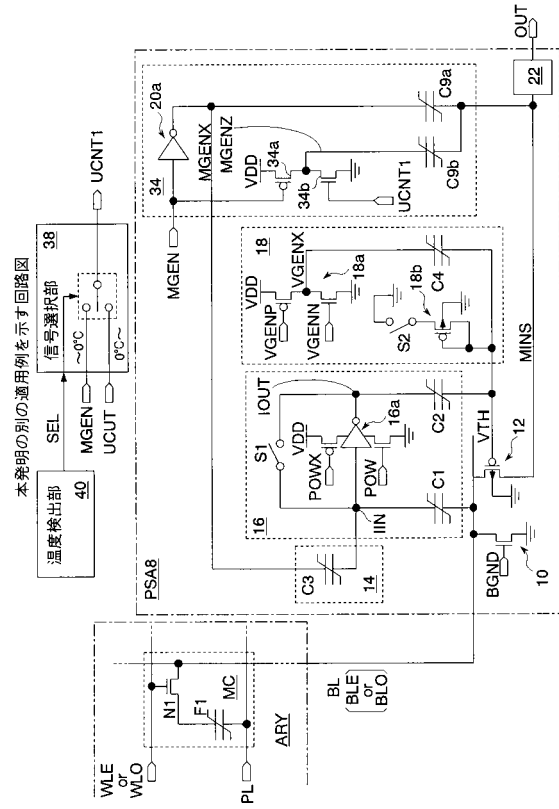
本発明の第15の実施形態の読み出し動作を示す波形図



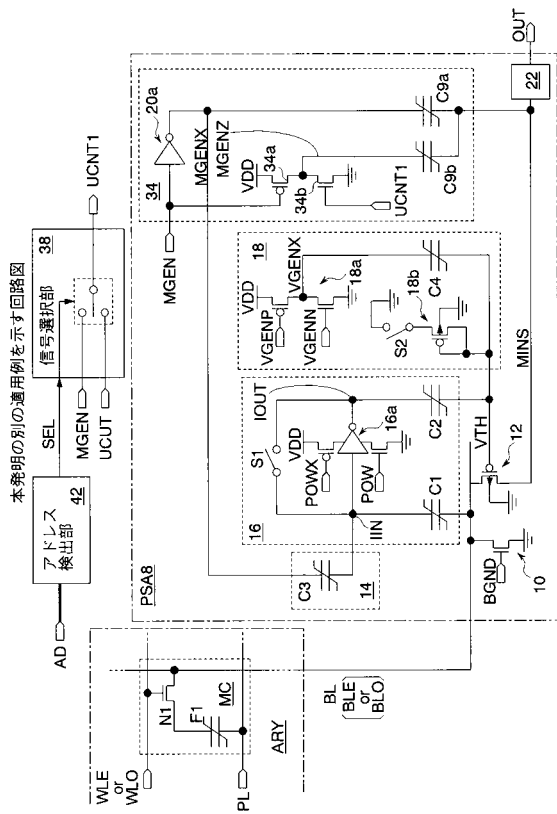
【 図 3 1 】



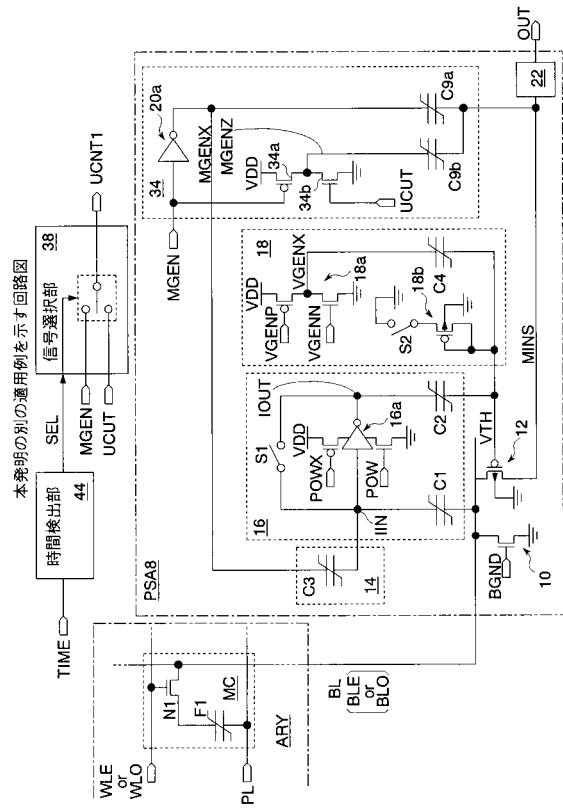
【 図 3 2 】



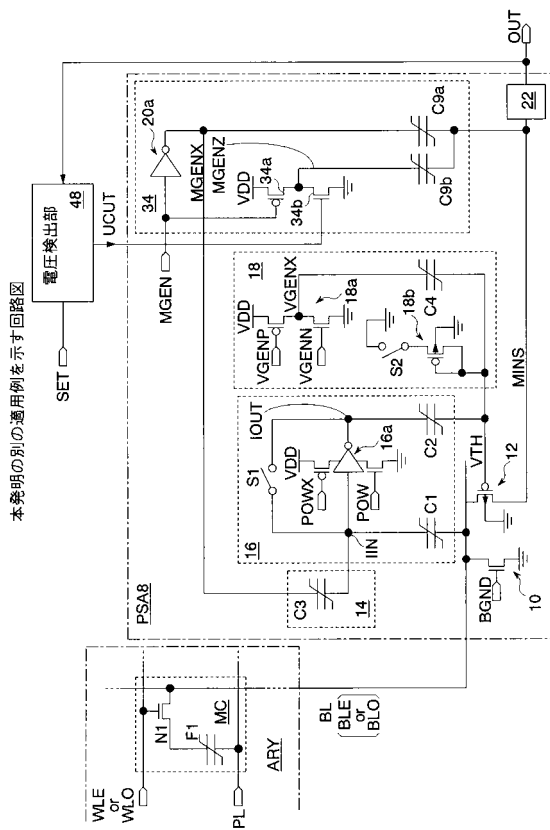
【 図 3 3 】



【 図 3 4 】



【 図 3 5 】



## 【 手続補正書 】

【 提出日 】 平成 17 年 3 月 10 日 (2005.3.10)

## 【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 請求項 9

【 補正方法 】 変更

【 補正の内容 】

【 請求項 9 】

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、  
 前記メモリセルに接続されたビット線と、  
 前記ビット線に接続される電荷転送回路と、  
 前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、  
 前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、  
 前記読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出されるときに、前記電荷転送回路の電荷転送能力を高くする電荷転送能力調整回路とを備えていることを特徴とする半導体メモリ。

【 手続補正 2 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0016

【 補正方法 】 変更

【 補正の内容 】

【 0016 】

本発明の第2の形態では、メモリセルに接続されたビット線は、電荷転送回路を介して電荷蓄積回路に接続される。メモリセルは、データの論理に応じた電荷を蓄積するキャパシタを有する。電荷転送能力調整回路は、読み出し動作において、メモリセルからビット線に電荷が読み出されるときに、荷転送回路の電荷転送能力を一時的に高くする。読み出し回路は、電荷蓄積回路が蓄積した電荷に応じて生成する読み出し電圧に応じてメモリセルに保持されていたデータの論理を生成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

電荷転送能力調整回路により、メモリセルからデータが読み出されるときのみ、ビット線から電荷蓄積回路に電荷が転送され、それ以外では、電荷蓄積回路とビット線との間で電荷が転送されることが防止される。このため、電荷蓄積回路は、メモリセルに記憶されているデータの論理値に応じて、読み出し回路が動作するために十分な読み出し電圧を生成できる。この結果、読み出しマージンの低下を防止でき、半導体メモリの誤動作を防止できる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

アドレスバッファADBは、アドレス信号ADをアドレス端子を介して受信し、受信した信号をロウデコーダRDECおよびコラムデコーダCDECに出力する。ロウデコーダRDECは、アドレス信号の上位ビット(ロウアドレス)をデコードしてロウデコード信号を生成し、生成した信号をワードドライバWDおよびプレートドライバPDに出力する。コラムデコーダCDECは、アドレス信号の下位ビット(コラムアドレス)をデコードしてコラムデコード信号を生成し、生成した信号をデータ出力バッファBUFに出力する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

プリセンスアンプPSA3は、第1の実施形態のプリセンスアンプPSA1のリーク抑制回路14および閾値電圧生成回路18の代わりに、電荷転送能力調整回路26(プルダウン回路)および閾値電圧生成回路28(初期化回路)を有している。また、プリセンスアンプPSA3には、インバータアンプ16は形成されていない。プリセンスアンプPSA3のその他の構成は、プリセンスアンプPSA1と同じである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

電荷転送能力調整回路26は、制御信号VBUMPの入力ノードと、ノードVTHとの間に直列に配置されたCMOSインバータ26aおよびキャパシタC7を有している。キ

ャパシタC7は、例えば、強誘電体キャパシタで構成されている。キャパシタC7の容量値は、キャパシタC4の容量値より小さく設計されている。ノードVTHの電圧は、制御信号VBUMPの低レベルから高レベルへの変化に应答して、キャパシタC7の容量結合により、一時的に下降する。制御信号VBUMPは、タイミング生成回路TGEN(図1)が生成する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0140

【補正方法】変更

【補正の内容】

【0140】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1)

データの論理に応じた電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、

前記ビット線に読み出された電荷を前記電荷蓄積回路に転送するために、読み出された電荷による前記ビット線の電圧の変化に応じて前記電荷転送回路の電荷転送能力を制御する制御回路と、

読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を一時的に低くするリーク抑制回路とを備えていることを特徴とする半導体メモリ。

(付記2)

付記1記載の半導体メモリにおいて、

前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、

前記リーク抑制回路は、前記入力端子に接続されており、読み出し動作において、この入力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

(付記3)

付記1記載の半導体メモリにおいて、

前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、

前記リーク抑制回路は、前記出力端子に接続されており、読み出し動作において、この出力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

(付記4)

付記1記載の半導体メモリにおいて、

読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路を備え、

前記リーク抑制回路は、前記初期化回路による初期設定に同期して電荷転送能力を一時的に低くすることを特徴とする半導体メモリ。

(付記5)

付記4記載の半導体メモリにおいて、

前記電荷転送回路は、ゲートが前記制御回路の出力に接続され、ソースおよびドレイン

の一方および他方が前記ビット線および前記電荷蓄積回路に接続されたトランジスタを備え、

前記初期化回路は、読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記トランジスタのゲート・ソース間電圧を前記トランジスタの閾値電圧に設定し、

前記リーク抑制回路は、前記初期化回路による設定後、前記メモリセルから前記ビット線に電荷が読み出される前まで、前記ゲート・ソース間電圧の絶対値を前記閾値電圧の絶対値より一時的に低くするために、前記トランジスタのゲート電圧を変化させることを特徴とする半導体メモリ。

(付記 6)

付記 1 記載の半導体メモリにおいて、

読み出し動作において、前記メモリセルから前記ビット線への前記電荷の読み出しが開始された後に、前記電荷転送回路の電荷転送能力を高くする転送制御回路を備えていることを特徴とする半導体メモリ。

(付記 7)

付記 1 記載の半導体メモリにおいて、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第 1 および第 2 キャパシタと、

読み出し動作が開始された後、前記第 2 キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記 8)

付記 7 記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第 2 キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

(付記 9)

付記 7 記載の半導体メモリにおいて、

電源電圧を検出する電源電圧検出部と、

前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記 10)

付記 7 記載の半導体メモリにおいて、

半導体メモリの温度を検出する温度検出部と、

前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記 11)

付記 7 記載の半導体メモリにおいて、

前記メモリセルを有するメモリセルアレイと、

前記メモリセルを選択するためのアドレスを受けるアドレス端子と、

前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と

、前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記 12)

付記 7 記載の半導体メモリにおいて、

半導体メモリの使用期間を示す時間信号を受ける時間端子と、

前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

## (付記 13)

付記 7 記載の半導体メモリにおいて、

前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

## (付記 14)

付記 1 記載の半導体メモリにおいて、

前記読み出し電圧が所定値に達したことを検出し、この検出に応答して前記制御回路の動作を停止する検出回路を備えていることを特徴とする半導体メモリ。

## (付記 15)

付記 14 記載の半導体メモリにおいて、

前記メモリセルに形成され、相補の論理値に応じた電荷をそれぞれ蓄積するキャパシタ対を備え、

前記電荷転送回路、前記電荷蓄積回路、前記制御回路および前記リーク抑制回路は、前記前記キャパシタ対のキャパシタ毎に形成され、

前記検出回路は、前記キャパシタ対に対応する一对の電荷蓄積回路が生成する読み出し電圧のいずれかが所定値に達したことを検出することを特徴とする半導体メモリ。

## (付記 16)

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、

前記読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出されるときに、前記電荷転送回路の電荷転送能力を高くする電荷転送能力調整回路とを備えていることを特徴とする半導体メモリ。

## (付記 17)

付記 16 記載の半導体メモリにおいて、

前記メモリセルの前記キャパシタを前記ビット線に接続するためのアクセスゲートと、読み出し動作において、前記アクセスゲートがオンする前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路とを備え、

前記電荷転送能力調整回路は、前記アクセスゲートのオンに同期して、電荷転送能力を一時的に高くすることを特徴とする半導体メモリ。

## (付記 18)

付記 17 記載の半導体メモリにおいて、

前記電荷転送回路は、ゲートが前記リーク抑制回路の出力に接続され、ソースおよびドレインの一方および他方が前記ビット線および前記電荷蓄積回路に接続されたトランジスタを備え

前記初期化回路は、読み出し動作において、前記アクセスゲートがオンする前に、前記トランジスタのゲート・ソース間電圧の絶対値を前記トランジスタの閾値電圧の絶対値より低く設定し、

前記電荷転送能力調整回路は、前記アクセスゲートのオンに同期して前記ゲート・ソース間電圧の絶対値を前記閾値電圧の絶対値より一時的に大きくするために、前記トランジスタのゲート電圧を変化させることを特徴とする半導体メモリ。

## (付記 19)

付記 16 記載の半導体メモリにおいて、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第1および第2キャパシタと、

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記20)

付記19記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

(付記21)

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路とを備え、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第1および第2キャパシタと、

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記22)

付記21記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

(付記23)

付記21記載の半導体メモリにおいて、

電源電圧を検出する電源電圧検出部と、

前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記24)

付記21記載の半導体メモリにおいて、

半導体メモリの温度を検出する温度検出部と、

前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記25)

付記21記載の半導体メモリにおいて、

前記メモリセルを有するメモリセルアレイと、

前記メモリセルを選択するためのアドレスを受けるアドレス端子と、

前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と

、  
前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記26)

付記21記載の半導体メモリにおいて、

半導体メモリの使用期間を示す時間信号を受ける時間端子と、

前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記 27)

付記 21 記載の半導体メモリにおいて、

前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0148

【補正方法】変更

【補正の内容】

【0148】

付記 17 記載の半導体メモリでは、メモリセルは、キャパシタをビット線に接続するためのアクセスゲートを有している。初期化回路は、読み出し動作において、アクセスゲートがオンする前に、電荷転送回路の電荷転送能力を初期状態に設定する。電荷転送能力調整回路は、アクセスゲートのオンに同期して、電荷転送能力を一時的に高くする。このため、初期設定後、データの読み出しに同期して電荷転送能力を高くでき、電荷蓄積回路は、読み出し回路が動作するために十分な読み出し電圧を生成できる。データが読み出される前には、電荷蓄積回路とビット線との間で電荷が転送されることを防止できる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0149

【補正方法】変更

【補正の内容】

【0149】

付記 18 記載の半導体メモリでは、電荷転送回路は、ゲートが電荷転送能力調整回路の出力に接続され、ソースおよびドレインの一方および他方がビット線および電荷蓄積回路に接続されたトランジスタを有している。初期化回路は、読み出し動作において、アクセスゲートがオンする前に、トランジスタのゲート・ソース間電圧の絶対値をトランジスタの閾値電圧の絶対値より低く設定する。電荷転送能力調整回路は、アクセスゲートのオンに同期してゲート・ソース間電圧の絶対値を閾値電圧の絶対値より一時的に大きくするために、トランジスタのゲート電圧を変化させる。このように、電荷転送回路をトランジスタで構成し、リーク抑制回路によりトランジスタのゲート・ソース間電圧を調整することで、電荷転送回路の電荷転送能力を容易に調整できる。

【手続補正 10】

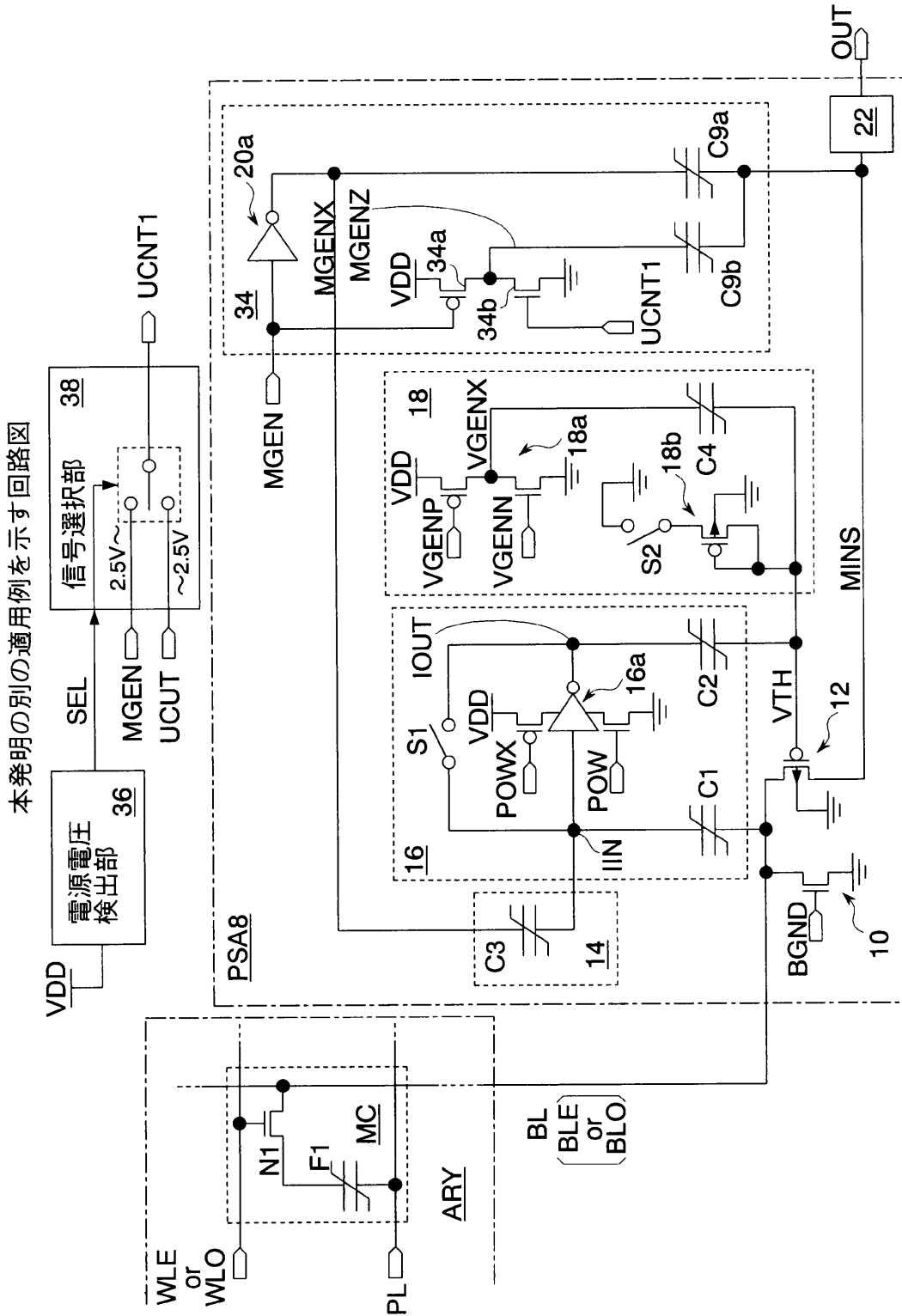
【補正対象書類名】図面

【補正対象項目名】図 31

【補正方法】変更

【補正の内容】

【 図 3 1 】



【 手続補正 1 1 】

【 補正対象書類名 】 図面

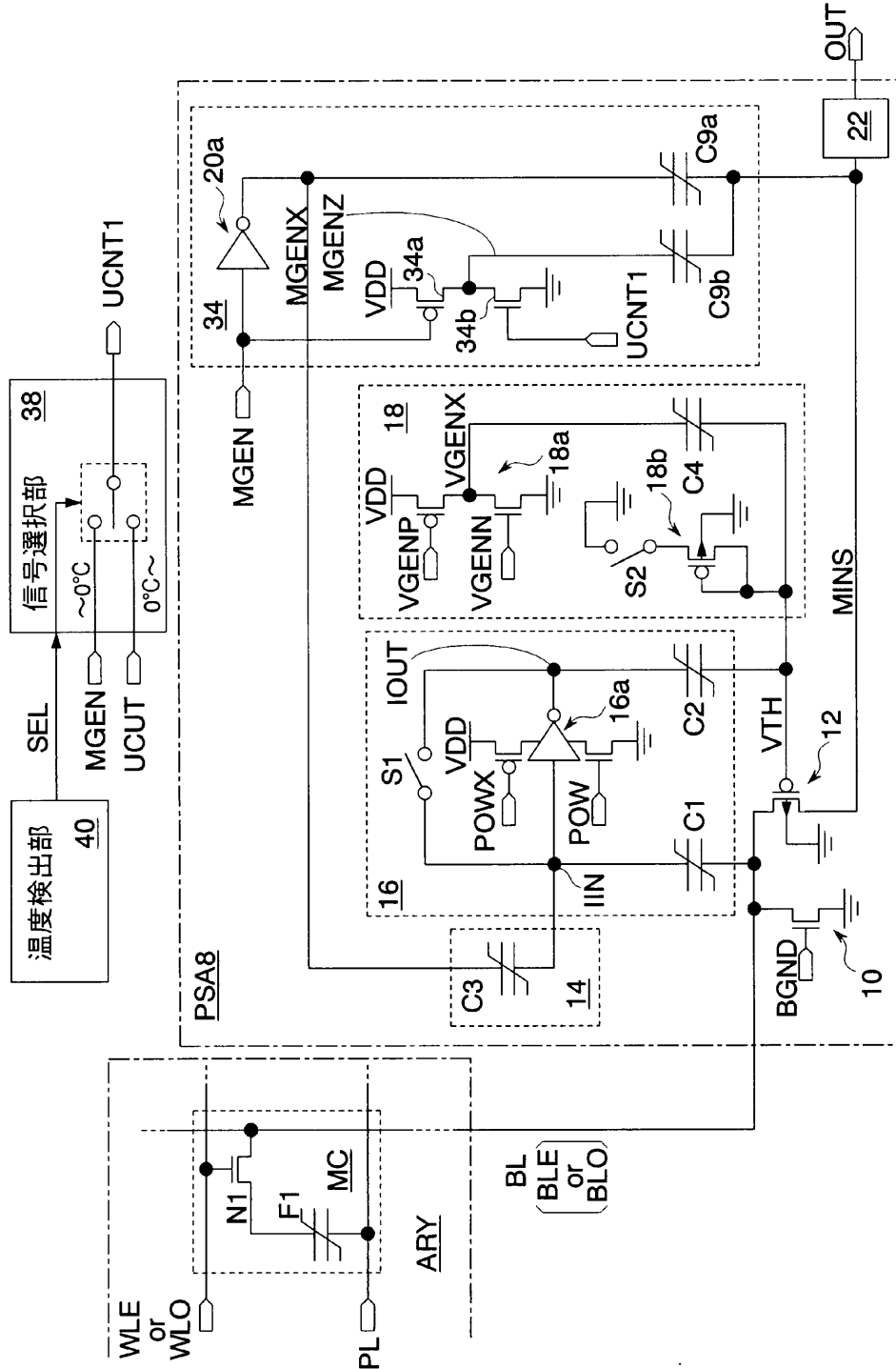
【 補正対象項目名 】 図 3 2

【 補正方法 】 変更

【 補正の内容 】

【 図 3 2 】

本発明の別の適用例を示す回路図



【 手続補正 1 2 】

【 補正対象書類名 】 図面

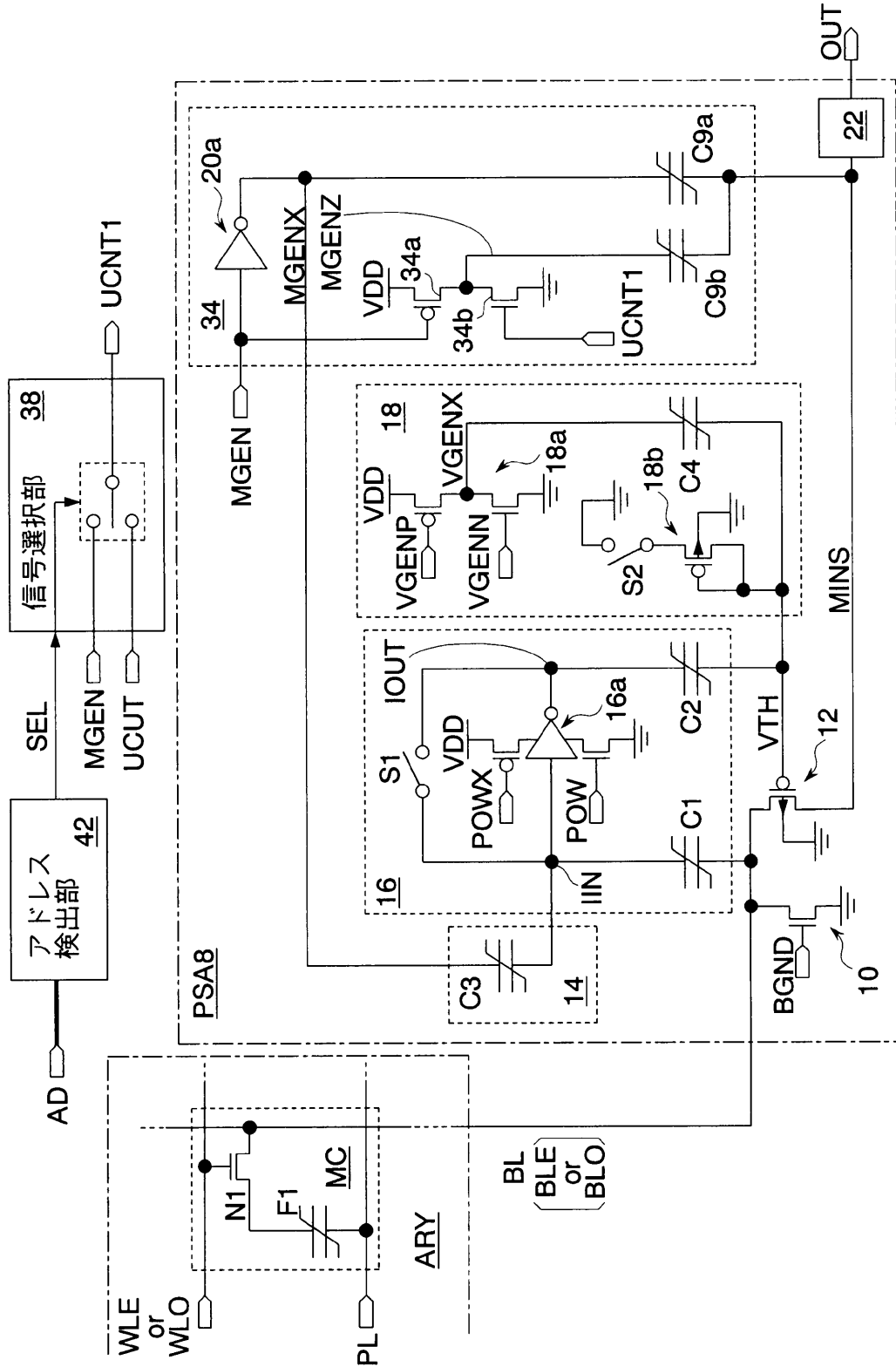
【 補正対象項目名 】 図 3 3

【 補正方法 】 変更

【 補正の内容 】

【 図 3 3 】

本発明の別の適用例を示す回路図



【 手続 補正 1 3 】

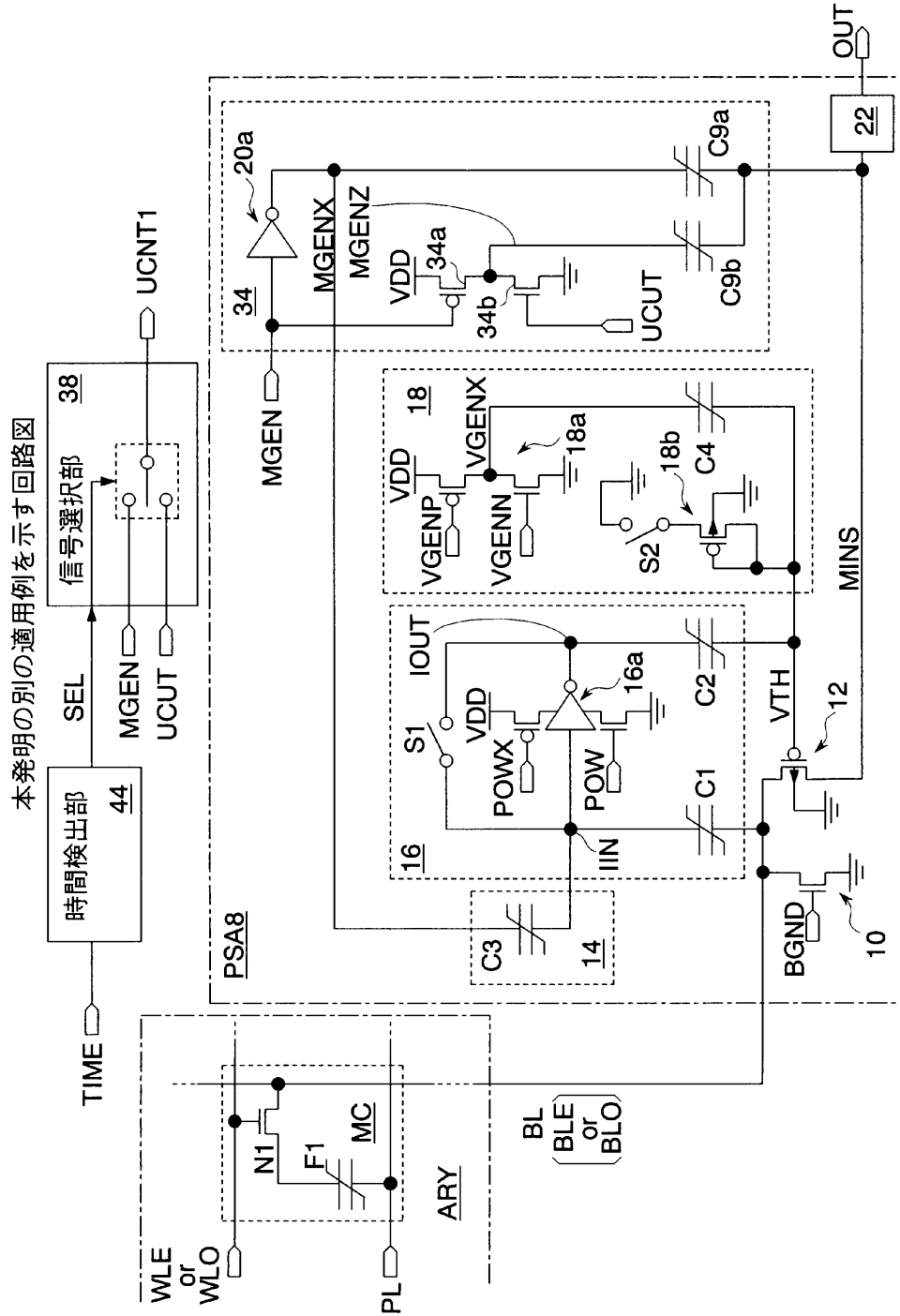
【 補正 対象 書類 名 】 図 面

【 補正 対象 項目 名 】 図 3 4

【 補正 方法 】 変 更

【 補正 の 内 容 】

【 図 3 4 】



【 手続 補正 1 4 】

【 補正 対象 書類 名 】 図 面

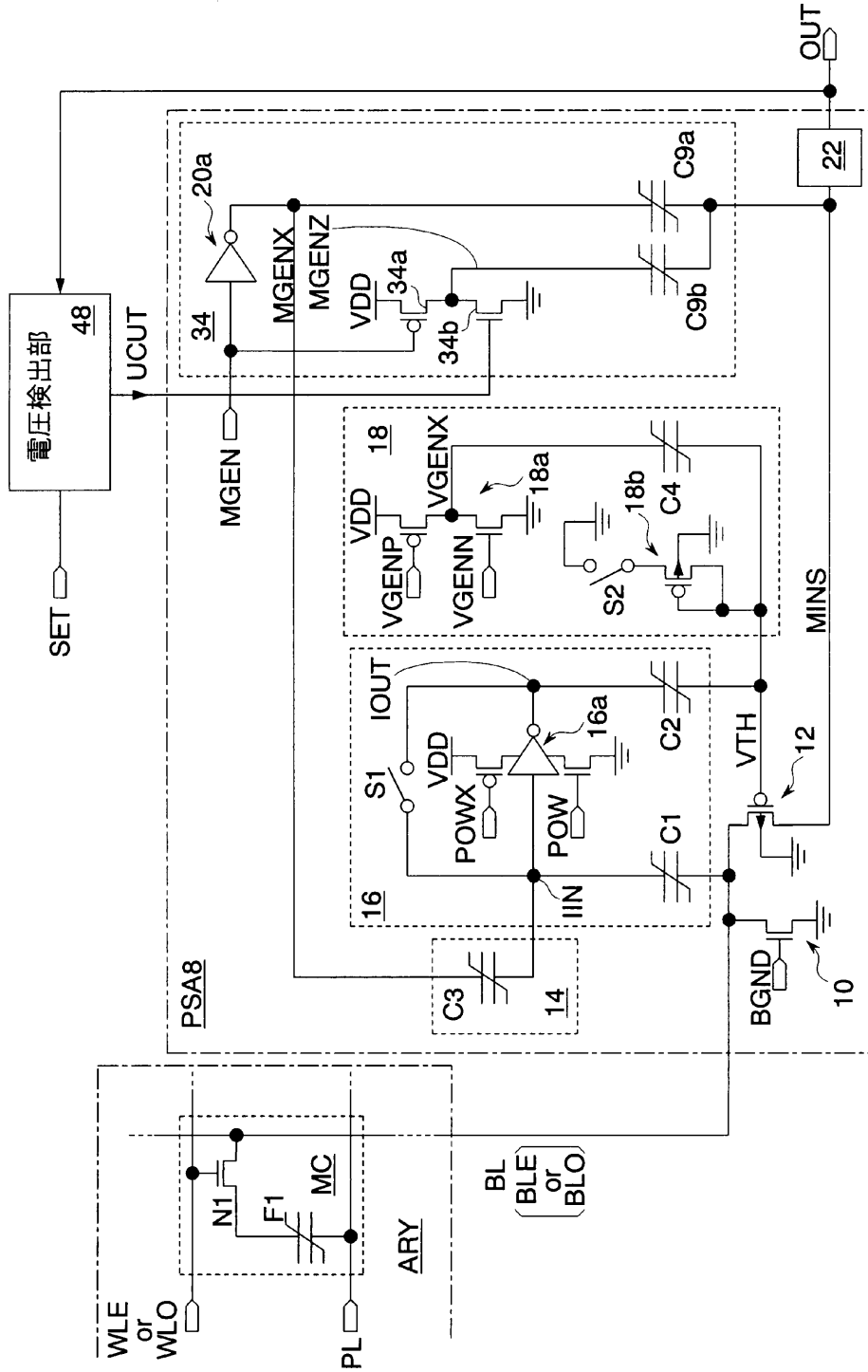
【 補正 対象 項目 名 】 図 3 5

【 補正 方法 】 変 更

【 補正 の 内 容 】

【 図 3 5 】

本発明の別の適用例を示す回路図



フロントページの続き

(72)発明者 川嶋 将一郎

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内