

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年8月16日(2024.8.16)

【国際公開番号】WO2023/189037

【出願番号】特願2024-511457(P2024-511457)

【国際特許分類】

H 0 1 L 2 1 / 3 3 8 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 9 / 0 6 ( 2 0 0 6 . 0 1 )

【 F I 】

H 0 1 L 2 9 / 8 0 L

H 0 1 L 2 9 / 8 0 E

H 0 1 L 2 9 / 8 0 H

H 0 1 L 2 9 / 0 6 3 0 1 M

10

【手続補正書】

【提出日】令和6年6月21日(2024.6.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の単位HEMT(High Electron Mobility Transistor)が並列接続された電力増幅半導体装置であって、

基板と、

前記基板の表面上に設けられ、前記複数の単位HEMTを含む半導体層と、

前記半導体層上に設けられ、前記単位HEMTのソース電極、ドレイン電極、およびゲート電極を含む接続層と、

30

前記接続層上に設けられ、前記ソース電極、前記ドレイン電極、および前記ゲート電極に配線層の第一部分を介して接続されたソースパッド、ドレインパッド、およびゲートパッドを含む端子層と、

前記基板の裏面上に設けられ、前記ソース電極と同電位のソース電位に設定された裏面電極と、

前記基板を貫通し、前記ソース電位に設定された前記配線層の第二部分であるシールド配線層を内壁上に有する基板ビアと、を備え、

前記ドレイン電極、および前記ゲート電極は、前記単位HEMTに対応してそれぞれ複数あり、

前記複数の前記ドレイン電極が前記配線層の第三部分で集合接続配線されたドレイン集約部と、

40

前記複数の前記ゲート電極が前記配線層の第四部分で集合接続配線されたゲート集約部と、を有し、

前記基板の平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記基板ビアで周囲を囲まれている

電力増幅半導体装置。

【請求項2】

前記半導体層を貫通し、前記シールド配線層を内壁上に有する半導体層ビアを備え、

前記平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記半導体層ビアで周囲を囲まれている

50

請求項 1 に記載の電力増幅半導体装置。

【請求項 3】

前記基板の表面に対する垂直方向の前記接続層の位置において、

前記平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記シールド配線層で周囲を囲まれている

請求項 1 または 2 に記載の電力増幅半導体装置。

【請求項 4】

前記平面視で、前記ドレインパッド、および前記ゲートパッドの何れか一方または両方は、前記シールド配線層で周囲を囲まれている

請求項 1 または 2 に記載の電力増幅半導体装置。

10

【請求項 5】

前記平面視で、前記基板ビアの開口部輪郭は第 1 不連続部を有する

請求項 1 または 2 に記載の電力増幅半導体装置。

【請求項 6】

前記平面視で、前記周囲は、多重列に配置された前記基板ビアにより囲まれており、

前記多重列に配置された前記基板ビアの外側位置から内部中央位置を見たときに、各列の前記第 1 不連続部同士が互いに重ならないように前記多重列に含まれる前記基板ビアが配置されている

請求項 5 に記載の電力増幅半導体装置。

【請求項 7】

前記平面視で、前記半導体層ビアの開口部輪郭は第 2 不連続部を有する

請求項 2 に記載の電力増幅半導体装置。

20

【請求項 8】

前記平面視で、前記周囲は、多重列に配置された前記半導体層ビアにより囲まれており、

前記多重列に配置された前記半導体層ビアの外側位置から内部中央位置を見たときに、各列の前記第 2 不連続部同士が互いに重ならないように前記多重列に含まれる前記半導体層ビアが配置されている

請求項 7 に記載の電力増幅半導体装置。

【請求項 9】

前記平面視で、前記基板ビアの開口部輪郭は、複数の屈曲部または複数の分岐部を有する

請求項 6 に記載の電力増幅半導体装置。

30

【請求項 10】

前記平面視で、前記半導体層ビアの開口部輪郭は、複数の屈曲部または複数の分岐部を有する

請求項 8 に記載の電力増幅半導体装置。

【請求項 11】

前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方の前記周囲を囲う前記シールド配線層は、前記平面視で、前記端子層から前記基板までの間に、前記シールド配線層が連続配置される領域と連続配置されない領域とを有する

請求項 1、2、7、8、10 のいずれか 1 項に記載の電力増幅半導体装置。

40

【請求項 12】

前記シールド配線層に接続されたシールドパッドを有し、

前記平面視で、前記シールドパッドのパッド領域は、前記基板ビアの開口領域と重ならない

請求項 1、2、7、8、10 のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 13】

前記シールド配線層は、前記接続層に設けられた第 1 シールド配線層と、前記端子層に設けられた第 2 シールド配線層とを含み、

50

前記平面視で、前記第 1 シールド配線層と前記第 2 シールド配線層とは、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方の前記周囲を囲う部分において、互いに配線幅が異なる

請求項 1、2、7、8、10のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 14】

前記平面視で、前記ドレイン集約部および前記ゲート集約部は、前記基板ビアで周囲を囲まれている

請求項 1、2、7、8、10のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 15】

前記平面視で、前記ドレイン集約部および前記ゲート集約部は、前記半導体層ビアで周囲を囲まれている 10

請求項 2 に記載の電力増幅半導体装置。

【請求項 16】

前記平面視で、前記ドレイン集約部および前記ゲート集約部は、前記シールド配線層で周囲を囲まれている

請求項 1、2、7、8、10、15のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 17】

前記平面視で、前記ドレインパッドおよび前記ゲートパッドは、前記シールド配線層で周囲を囲まれている

請求項 1、2、7、8、10、15のいずれか 1 項に記載の電力増幅半導体装置。 20

30

40

50