

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 11 月 21 日 (21.11.2013)



(10) 国际公布号
WO 2013/170657 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2013/072762
- (22) 国际申请日: 2013 年 3 月 15 日 (15.03.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201220224642.6 2012 年 5 月 17 日 (17.05.2012) CN
- (71) 申请人: 北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。
- (72) 发明人: 王世君 (WANG, Shijun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 薛海林 (XUE, Hailin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 车春城 (CHE, Chuncheng); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: PIXEL STRUCTURE, DOUBLE-GATE PIXEL STRUCTURE, AND DISPLAY DEVICE

(54) 发明名称: 像素结构、双栅像素结构及显示装置

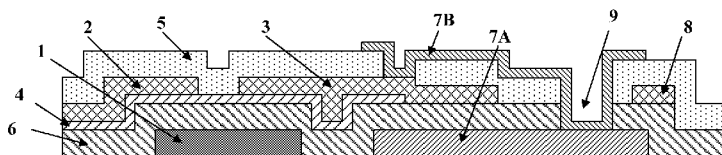


图 3 / Fig. 3

(57) Abstract: Disclosed are a pixel structure, a double-gate pixel structure, and a display device. The pixel structure comprises a thin film transistor, a passivation layer above the thin film transistor, an upper layer pixel electrode above the passivation layer, a lower layer pixel electrode below a gate insulation film of the thin film transistor, and a common voltage wire between the passivation layer and the gate insulation film. The common voltage wire at least partially overlaps the lower layer pixel electrode and the upper layer pixel electrode, with the gate insulation layer and the passivation layer located therebetween respectively, so as to form storage capacitor.

(57) 摘要: 本公开公开了一种像素结构、双栅像素结构及显示装置。该像素结构包括薄膜晶体管、位于薄膜晶体管上方的钝化层、位于钝化层上方的上层像素电极、位于薄膜晶体管的栅极绝缘膜下方的下层像素电极、以及位于钝化层和栅极绝缘膜之间的公共电压线。公共电压线分别隔着栅极绝缘层和钝化层与下层像素电极和上层像素电极至少部分交叠以形成存储电容。



WO 2013/170657 A1

像素结构、双栅像素结构及显示装置

技术领域

5 本公开涉及一种像素结构、双栅（Dual Gate）像素结构及显示装置。

背景技术

液晶显示器中有一个很重要的性能指标就是亮度，而决定亮度最重要的因素就是开口率，开口率是指一个像素的有效透光区域占整个像素全部面积的比例。

目前手机产品的分辨率越来越高，像素尺寸（Pixel pitch）越来越小，扭曲向列（Twisted Nematic, TN）型产品的开口率成为了一个瓶颈。TN型产品为防止闪烁（flicker）的产生，必须保证存储电容 C_{st} 的大小，因此开口率受到了很大的限制。对于双栅液晶面板来说，开口率则更低。

15 图1为传统的TN型液晶面板的像素结构示意图，其中像素电极7与公共电压线8（Vcom）之间有绝缘层5（PVX）和栅极绝缘层6（GI）两层绝缘层。为保证存储电容 C_{st} 必须有较大的正对面积，需要将公共电压线8（Vcom）的面积做的比较大。然而，公共电压线8（Vcom）的面积增大后，会使开口率降低。

20

发明内容

有鉴于此，本公开的目的之一在于提供一种像素结构、双栅像素结构及显示装置，用于解决传统的双栅像素结构的开口率低的技术问题。

根据本公开的一个实施例提供一种像素结构，包括：薄膜晶体管，该薄膜晶体管包括依次堆叠的栅极、栅极绝缘层、有源层、以及源漏极层，所述源漏极层包括源极和漏极，所述栅极绝缘层延伸到所述像素结构的在所述薄膜晶体管之外的区域；钝化层，覆盖在所述薄膜晶体管上方，并且延伸到所述像素结构的在所述薄膜晶体管之外的区域；下层像素电极，位于所述栅极绝缘层下方；上层像素电极，位于所述钝化层上方，所述下层像素电极和所述上层像素电极通过过孔相连，且所述下层像素电极和所述上层像素电极至

30

少之一与所述源漏极层的漏极相连；以及公共电压线，位于所述栅极绝缘层和所述钝化层之间，且分别隔着所述栅极绝缘层和所述钝化层与所述下层像素电极和所述上层像素电极至少部分交叠以形成存储电容。

5 在一个示例中，所述上层像素电极通过穿过所述钝化层和所述栅极绝缘膜的过孔与所述下层像素电极相连。

在一个示例中，所述薄膜晶体管为底栅极结构，所述栅极、所述栅极绝缘层、所述有源层和所述源漏极层从下至上依次堆叠；以及所述下层像素电极与所述栅极位于同一层。

10 在一个示例中，所述上层像素电极通过穿过所述钝化层的过孔与所述漏极相连。

在一个示例中，所述公共电压线与所述源漏极层位于同一层，且由相同的金属材料形成。

15 在一个示例中，所述薄膜晶体管为顶栅极结构，所述源漏极层、所述有源层、所述栅极绝缘层和所述栅极从下至上依次堆叠；以及所述下层像素电极与所述源漏极层位于同一层。

在一个示例中，所述源漏极层中的漏极位于靠近所述下层像素电极的一侧，且所述下层像素电极与所述漏极直接相连。

在一个示例中，所述公共电压线和所述栅极位于同一层。

20 在一个示例中，所述上层像素电极与所述公共电压线之间只有所述钝化层；且所述下层像素电极与所述公共电压线之间只有所述栅极绝缘层。

本公开的另一个实施例提供一种双栅像素结构，包括两个子像素结构，其中每个子像素结构可以为以上所述的任何像素结构，且所述两个子像素结构中的薄膜晶体管的源极电极彼此电连接。

25 本公开的再一个实施例提供一种显示装置，包括以上所述任一像素结构或双栅像素结构。

本公开采用上下两层像素电极层来与公共电压线形成存储电容，增大像素电极层与公共电压线之间的交叠面积。下层像素电极和公共电压线之间只有栅极绝缘层，上层像素电极和公共电压线之间只有钝化层，两层像素电极和公共电压线之间的距离减小，由于像素电极和公共电压线之间的中间层厚度减小且交叠面积增加，因而可以增大存储电容。在存储电容的容量一定的

30

情况下，采用本公开的技术方案，可以减小公共电压线的宽度，从而有效地增加开口率。

附图说明

5 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为传统扭曲向列型双栅像素结构示意图；

图 2 为采用本公开实施例提供的像素结构的液晶面板的俯视图；

10 图 3 为本公开实施例提供的大致沿图 2 的 AB 方向切割后的像素结构示意图；

图 4 为本公开实施例提供的大致沿图 2 的 CD 方向切割后的像素结构示意图。

15 具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

20 图 2 为采用本公开实施例提供的双栅像素结构的液晶面板的俯视图，从图 2 可以看出，每个子像素单元的上下两层像素电极通过过孔 9 连接，两个子像素单元 11A 和 11B 的像素电极分别与公共电压线 8 交叠。一行子像素阵列需要由两行栅线来驱动，例如在栅线 1A 和栅线 1B 之间的一行像素需要由栅线 1A 和栅线 1B 同时驱动，一条数据线 10 与两列子像素单元连接（例如，与子像素单元的薄膜晶体管的源极相连）。另外，图 2 仅仅是示意性地示出根据本公开实施例的像素结构。图中所示各部分的尺寸比例并不一定是按实际的尺寸比例绘制。

25 图 3 为本公开实施例提供的大致沿图 2 的 AB 方向切割后的像素结构示意图。

该像素结构包括：栅极 1，位于最底层；下层像素电极 7A，与栅极 1 位于同一层；栅极绝缘层 6，覆盖于栅极 1 和下层像素电极 7A 之上；源极 2 和漏极 3（源漏极层）；绝缘层 5，覆盖于源极 2 和漏极 3 之上；上层像素电极 7B，与漏极 3 和下层像素电极 7A 电性相连；半导体层 4，位于栅极绝缘层 6 之上，位于源极 2、漏极 3 之下，并且与源极 2 和漏极 3 相连；绝缘层 5，覆盖在源极 2 和漏极 3 的上方；公共电压线 8，位于上层像素电极 7B 与下层像素电极 7A 之间，公共电压线 8 与上层像素电极 7B 和下层像素电极之间分别填充绝缘材料，以保证上下两层像素电极与公共电压线 8 共同形成存储电容 Cst。

10 上述栅极 1、栅极绝缘层 6、半导体层 4 以及源漏极层 2 和 3 构成薄膜晶体管（TFT）。像素结构的薄膜晶体管可以位于该像素结构所在区域的一个角落处，但本发明对于该薄膜晶体管在该像素结构中的具体位置不作具体限制。另外，该薄膜晶体管的栅极绝缘层 6 可以延伸到薄膜晶体管之外，例如，可以延伸到像素结构的整个区域。

15 另外，上述绝缘层 5 可以用作钝化层，其可以延伸到薄膜晶体管之外，例如，可以在形成薄膜晶体管之后铺设在像素结构的整个区域上。对于该绝缘层的材料，可以为任何合适的绝缘材料，本公开对此不作特别限制。

例如，上层像素电极 7B 可以位于绝缘层 5 上方，下层像素电极 7A 可以位于栅极绝缘层 6 下方。例如，对于平面位置，上层像素电极 7B 和下层像素电极 7A 大部分可以位于薄膜晶体管之外，当然，也可以有一小部分与漏极重叠，以实现与漏极的电连接。

例如，公共电压线 8 可以位于绝缘层 5 和栅极绝缘层 6 之间。例如，对于平面位置，公共电压线可以位于像素阵列中每列像素之间，因此，公共电压线可以至少部分地与像素电极 7A 和 7B 的边缘部分重叠。公共电压线 8 25 分别隔着栅极绝缘层 6 和绝缘层 5 与下层像素电极 7A 和上层像素电极 7B 至少部分交叠以形成存储电容 Cst。

在本公开优选实施例中，在垂直方向（各层的堆叠方向）上，上层像素电极 7B 与下层像素电极 7A 可以完全相对，也就是上层像素电极 7B 和下层像素电极 7A 在垂直方向上对齐。上层像素电极 7B 与下层像素电极 7A 通过 30 过孔 9 电性相连。过孔 9 可以穿过绝缘层 5 和栅极绝缘层 6。当然，在一个

示例中，上层像素电极 7B 与下层像素电极 7A 也可以部分交叠。公共电压线 8 可与上层像素电极 7B 和下层像素电极 7A 均至少部分交叠，以保证上下两层像素电极与公共电压线 8 共同形成存储电容 C_{st} 。在图 3 所示的实施例中，栅极绝缘层 6 插设在公共电压线 8 与下层像素电极 7A 之间，绝缘层 5 插设在上层像素电极 7B 和公共电压线 8 之间。

在如图 2 所示的沿栅极线 1A 延伸的方向上，公共电压线 8 与源漏极层 2 和 3 分别位于过孔 9 的两侧。公共电压线 8 在垂直方向上与上层像素电极 7B 和下层像素电极 7A 的部分交叠，上层像素电极 7B 和下层像素电极 7A 与公共电压线 8 形成存储电容 C_{st} 。当然，也可以是上层像素电极 7B 和/或下层像素电极 7A 覆盖全部的公共电压线 8 的面积，以共同形成存储电容 C_{st} 。与现有技术相比，由于是由上下两层像素电极与公共电压线 8 共同形成存储电容 C_{st} ，增加了交叠面积，因此可以增大存储电容 C_{st} 。

在一个实施例中，公共电压线 8 与源极 2 和漏极 3 可以由同一层金属层或相同的金属材料形成。例如，公共电压线可以利用用于形成源极 2 和漏极 3 的源漏金属层与源极 2 和漏极 3 在同一构图工艺中形成。然而，本公开并不限制于此，公共电压线也可以单独形成，或者可以与源极 2 和漏极 3 使用不同的材料。

在一个实施例中，如图 3 所示，上层像素电极 7B 与公共电压线 8 之间只有绝缘层 5；下层像素电极 7A 与公共电压线 8 之间只有栅极绝缘层 6。与现有技术相比，由于上下层像素电极与公共电压线 8 之间只有一层绝缘层，因此减小了距离，从而可以增大存储电容 C_{st} 。

从以上描述可以知道，如果公共电压线 8 的宽度相同，则与现有技术相比，根据本公开的像素结构能够具有较大的存储电容。基于上述设计，在所需存储电容 C_{st} 的容量一定的情况下，本公开的技术方案可以通过减小公共电压线 8 (V_{com}) 的宽度的方式，有效地增加开口率。

例如，上下层像素电极的材质为铟锡氧化物。本领域一般技术人员可以理解，除使用铟锡氧化物作为像素电极外，还可使用其他可导电的透过率高的材料作为像素电极（透过率至少在 97% 以上），本公开不再一一举例说明。

另外，上述薄膜晶体管中的栅极 1、栅极绝缘层 6、半导体层 4 以及源漏极层之间的位置关系和连接关系可以采用本领域中所熟知的任何方式，这里

不再具体描述。例如，图 3 中仅仅以底栅极型薄膜晶体管为例进行了描述。

如图 3 所示，在底栅极薄膜晶体管中，栅极 1、栅极绝缘层 6、半导体层 4 以及源漏极层从下至上依次堆叠。上层像素电极 7B 通过穿过绝缘层 5 的过孔与漏极相连。然而，本发明也可以采用顶栅极结构的薄膜晶体管。在顶栅极结构的薄膜晶体管中，源漏极层 2 和 3、半导体层 4、栅极绝缘层 6 和栅极 1 从下至上依次堆叠。

例如，在顶栅极结构的薄膜晶体管的情况下，下层像素电极 7A 可以与源漏极层 2 和 3 位于同一层。例如，源漏极层中的漏极 3 可以位于靠近下层像素电极 7A 的一侧，且与下层像素电极直接连接，而不再需要以上所述的连接上层像素电极 7B 和漏极的穿过绝缘层的过孔。例如，在顶栅极结构的薄膜晶体管的情况下，公共电压线 8 可以与栅极 1 位于同一层。另外，具有顶栅极结构薄膜晶体管的像素结构的其他构造可以与上述具有底栅极结构的像素结构相同，这里不再赘述。

图 4 为本公开实施例提供的大致沿图 2 的 CD 方向切割后的像素结构示意图，从该结构示意图中可以看出，位于两行子像素电极之间有两条栅线，即由图 4 的像素结构构成面板中，每行子像素通过两条栅线驱动。在根据本公开实施例的双栅像素结构中，每个像素结构可以包括两个子像素结构，每个子像素结构可以为以上描述各个像素结构。在这两个子像素结构中的薄膜晶体管的源极电极彼此电连接。例如，两个子像素结构中的薄膜晶体管的源极电极可以均连接到基板上的同一条数据线，从而实现彼此电连接。当然，也可以采用其他任何合适的方式实现电连接。

本公开实施例还相应给出了本公开实施例所提供的像素结构的掩模生产流程，共分为以下五个掩模处理步骤：

第一步：进行栅线 1 的掩模处理过程；

25 第二步：进行下层像素电极层 7A 的掩模处理过程；

第三步：沉积栅极绝缘层 6 后，采用同一金属层通过一次掩模处理过程生成源极 2、漏极 3 及公共电压线 8；

第四步：进行绝缘层 5 的掩模处理过程；

第五步：进行上层像素电极层 7B 的掩模处理过程。

30 其中，下层像素电极层 7A 和上层像素电极层 7B 可以共用同一掩模，与

传统液晶面板的四次掩模工艺相比在成本上并没有增加。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种像素结构，包括：

薄膜晶体管，该薄膜晶体管包括依次堆叠的栅极、栅极绝缘层、有源层、
5 以及源漏极层，所述源漏极层包括源极和漏极，所述栅极绝缘层延伸到所述
像素结构的在所述薄膜晶体管之外的区域；

钝化层，覆盖在所述薄膜晶体管上方，并且延伸到所述像素结构的在所述
薄膜晶体管之外的区域；

下层像素电极，位于所述栅极绝缘层下方；

10 上层像素电极，位于所述钝化层上方，所述下层像素电极和所述上层像素
电极通过过孔相连，且所述下层像素电极和所述上层像素电极至少之一与
所述源漏极层的漏极相连；以及

公共电压线，位于所述栅极绝缘层和所述钝化层之间，且分别隔着所述
栅极绝缘层和所述钝化层与所述下层像素电极和所述上层像素电极至少部分
15 交叠以形成存储电容。

2、根据权利要求1所述的像素结构，其中，

所述上层像素电极通过穿过所述钝化层和所述栅极绝缘膜的过孔与所述
下层像素电极相连。

3、根据权利要求1所述的像素结构，其中，

20 所述薄膜晶体管为底栅极结构，所述栅极、所述栅极绝缘层、所述有源
层和所述源漏极层从下至上依次堆叠；以及

所述下层像素电极与所述栅极位于同一层。

4、根据权利要求3所述的像素结构，其中，

所述上层像素电极通过穿过所述钝化层的过孔与所述漏极相连。

25 5、根据权利要求3所述的像素结构，其中，

所述公共电压线与所述源漏极层位于同一层，且由相同的金属材料形成。

6、根据权利要求1所述的像素结构，其中，

所述薄膜晶体管为顶栅极结构，所述源漏极层、所述有源层、所述栅极
绝缘层和所述栅极从下至上依次堆叠；以及

30 所述下层像素电极与所述源漏极层位于同一层。

7、根据权利要求6所述的像素结构，其中，

所述源漏极层中的漏极位于靠近所述下层像素电极的一侧，且所述下层像素电极与所述漏极直接相连。

8、根据权利要求6所述的像素结构，其中，

5 所述公共电压线和所述栅极位于同一层。

9、根据权利要求1所述的像素结构，其中，

所述上层像素电极与所述公共电压线之间只有所述钝化层；且

所述下层像素电极与所述公共电压线之间只有所述栅极绝缘层。

10、一种双栅像素结构，包括两个子像素结构，

10 其中每个子像素结构包括：

薄膜晶体管，该薄膜晶体管包括依次堆叠的栅极、栅极绝缘层、有源层、以及源漏极层，所述源漏极层包括源极和漏极，所述栅极绝缘层延伸到所述子像素结构的在所述薄膜晶体管之外的区域；

15 钝化层，覆盖在所述薄膜晶体管上方，并且延伸到所述子像素结构的在所述薄膜晶体管之外的区域；

下层像素电极，位于所述栅极绝缘层下方；

上层像素电极，位于所述钝化层上方，所述下层像素电极和所述上层像素电极通过过孔相连，且所述下层像素电极和所述上层像素电极至少之一与所述源漏极层的漏极相连；以及

20 公共电压线，位于所述栅极绝缘层和所述钝化层之间，且分别隔着所述栅极绝缘层和所述钝化层与所述下层像素电极和所述上层像素电极至少部分交叠以形成存储电容，

其中所述两个子像素结构中的薄膜晶体管的源极电极彼此电连接。

11、根据权利要求10所述的双栅像素结构，其中，

25 所述上层像素电极通过穿过所述钝化层和所述栅极绝缘膜的过孔与所述下层像素电极相连。

12、根据权利要求10所述的双栅像素结构，其中，

所述薄膜晶体管为底栅极结构，所述栅极、所述栅极绝缘层、所述有源层和所述源漏极层从下至上依次堆叠；以及

30 所述下层像素电极与所述栅极位于同一层。

- 13、根据权利要求 12 所述的双栅像素结构，其中，
所述上层像素电极通过穿过所述钝化层的过孔与所述漏极相连。
- 14、根据权利要求 12 所述的双栅像素结构，其中，
所述公共电压线与所述源漏极层位于同一层，且由相同的金属材料形成。
- 5 15、根据权利要求 10 所述的双栅像素结构，其中，
所述薄膜晶体管为顶栅极结构，所述源漏极层、所述有源层、所述栅极绝缘层和所述栅极从下至上依次堆叠；以及
所述下层像素电极与所述源漏极层位于同一层。
- 10 16、根据权利要求 15 所述的双栅像素结构，其中，
所述源漏极层中的漏极位于靠近所述下层像素电极的一侧，且所述下层像素电极与所述漏极直接相连。
- 17、根据权利要求 15 所述的双栅像素结构，其中，
所述公共电压线和所述栅极位于同一层。
- 18、根据权利要求 10 所述的双栅像素结构，其中，
15 所述上层像素电极与所述公共电压线之间只有所述钝化层；且
所述下层像素电极与所述公共电压线之间只有所述栅极绝缘层。
- 19、一种显示装置，包括如权利要求 1 所述的像素结构。



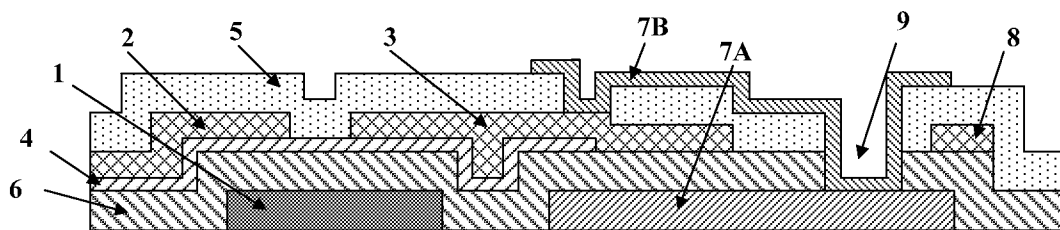


图 3

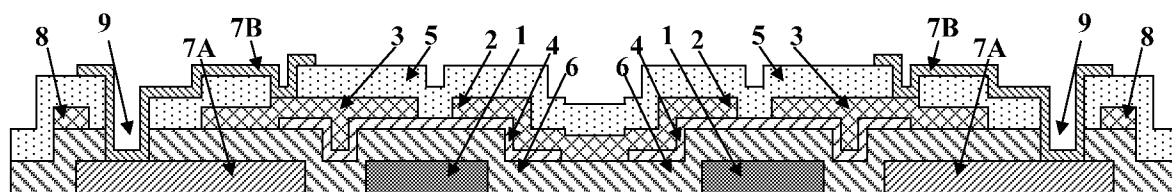


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/072762

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: thin film transistor, insulation layer, active layer, public voltage, coincide, extend, pixel, electrode, grid, source, drain, TFT, insulated, insulation, isolation, semiconductor, public, voltage, capacitance, capacitor, overlap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 202661759 U (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 January 2013 (09.01.2013), description, paragraphs 0005-0049 and 0053, and figures 3-4	1-19
A	CN 201867560 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 15 June 2011 (15.06.2011), the whole document	1-19
A	JP 2005-64487 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 10 March 2005 (10.03.2005), the whole document	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 May 2013 (21.05.2013)	Date of mailing of the international search report 20 June 2013 (20.06.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer CI, Xue Telephone No.: (86-10) 62413418

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/072762

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 202661759 U	09.01.2013	None	
CN 201867560 U	15.06.2011	US 2012112987 A1	10.05.2012
JP 2005-64487 A	10.03.2005	US 2005023531 A1	03.02.2005
		CN 1581439 A	16.02.2005

国际检索报告

国际申请号

PCT/CN2013/072762

A. 主题的分类

G02F 1/1362 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G02F, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI: 像素, 电极, 栅极, 源极, 漏极, 薄膜晶体管, 绝缘层, 有源层, 半导体, 公共电压, 电容, 交叠, 重叠, 重合, 延伸, pixel, electrode, grid, source, drain, TFT, insulated, insulation, isolation, semiconductor, public, voltage, capacitance, capacitor, overlap

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN202661759U(北京京东方光电科技有限公司)09.1 月 2013(09.01.2013) 说明书第 0005-0049 段, 第 0053 段, 图 3-4	1-19
A	CN201867560U(京东方科技集团股份有限公司 等) 15.6 月 2011 (15.06.2011) 全文	1-19
A	JP2005-64487A(株式会社半导体能源研究所) 10.3 月 2005 (10.03.2005) 全文	1-19



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

21.5 月 2013 (21.05.2013)

国际检索报告邮寄日期

20.6 月 2013 (20.06.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

慈雪

电话号码: (86-10) 62413418

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/072762

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN202661759U	09.01.2013	无	
CN201867560U	15.06.2011	US2012112987 A1	10.05.2012
JP2005-64487A	10.03.2005	US2005023531 A1	03.02.2005
		CN1581439 A	16.02.2005