

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-146899

(P2012-146899A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/06 3 1 1 C	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 A	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 F	
HO 1 L 21/8234 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 13 頁)

(21) 出願番号 特願2011-5635 (P2011-5635)
 (22) 出願日 平成23年1月14日 (2011.1.14)

(71) 出願人 506227884
 三洋半導体株式会社
 群馬県邑楽郡大泉町坂田一丁目1番1号
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (74) 代理人 100156041
 弁理士 鎌田 康秀
 (72) 発明者 赤井 一雅
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内
 Fターム(参考) 5F038 BH02 BH03 BH06 BH07 BH13
 EZ20
 5F048 AC05 AC06 BA12 BB05 BC07
 BF02 CC04 CC05 CC09 CC10
 CC13 CC15 CC18 CC20

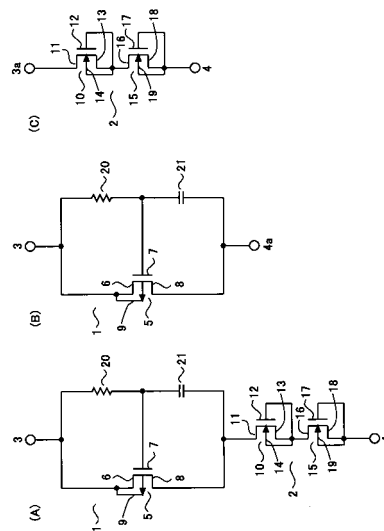
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ESD保護特性のすぐれたESD保護回路を含む半導体装置を構築することが課題となる。

【解決手段】 静電気によるサージ電圧が印加されたときだけオン状態になるように、抵抗素子20と容量素子21で形成されるRCタイマーとPLDMOSTランジスタ5とからなるRCタイマー付き放電部1を形成する。また、NMOSオフトランジスタ10、15のそれぞれのソース電極13とドレイン電極16同士を接続したノイズ発生防止部2を形成する。前記RCタイマー付き放電部1のPLDMOSTランジスタ5のソース電極6を電源ライン3に接続する。また、該PLDMOSTランジスタ5のドレイン電極8と前記NMOSオフトランジスタ10のドレイン電極11とを接続する。NMOSオフトランジスタ15のソース電極18を接地ライン4に接続する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

静電気放電保護回路を含む半導体装置であって、
抵抗素子と容量素子が直列接続された RC タイマーと、
前記 RC タイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、
を備える PMOS トランジスタと、
前記 PMOS トランジスタの前記ドレイン電極と接続されたドレイン電極と、ソース電極と、該ソース電極と接続されたゲート電極と、を備える NMOS オフトランジスタと、
を具備することを特徴とする半導体装置。

10

【請求項 2】

前記 NMOS オフトランジスタが複数からなり、第 1 の前記 NMOS オフトランジスタの前記ソース電極と第 2 の NMOS オフトランジスタのドレイン電極とが接続された状態で、それぞれが直列に接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記 PMOS トランジスタの前記ソース電極が電源ラインと接続され、前記 NMOS オフトランジスタの開放端子となる前記ソース電極が接地ラインと接続されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

静電気放電保護回路を含む半導体装置であって、
抵抗素子と容量素子が直列接続された RC タイマーと、
前記 RC タイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、
を備える PMOS トランジスタと、
前記 PMOS トランジスタの前記ドレイン電極と接続されたソース電極と、該ソース電極と接続されたゲート電極と、ドレイン電極と、を備える PMOS オフトランジスタと、
を具備することを特徴とする半導体装置。

20

【請求項 5】

前記 PMOS オフトランジスタが複数からなり、第 1 の前記 PMOS オフトランジスタの前記ドレイン電極と第 2 の PMOS オフトランジスタのソース電極とが接続された状態で、それぞれが直列に接続されることを特徴とする請求項 4 に記載の半導体装置。

30

【請求項 6】

前記 PMOS トランジスタの前記ソース電極が電源ラインと接続され、前記 PMOS オフトランジスタの開放端子となる前記ドレイン電極が接地ラインと接続されていることを特徴とする請求項 4 または請求項 5 に記載の半導体装置。

【請求項 7】

前記 PMOS トランジスタが PLDMOS トランジスタであることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の半導体装置。

40

【請求項 8】

静電気放電保護回路を含む半導体装置であって、
抵抗素子と容量素子が直列接続された RC タイマーと、
前記 RC タイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、
を備える NMOS トランジスタと、
前記 NMOS トランジスタの前記ドレイン電極と接続されたソース電極と、該ソース電極と接続されたゲート電極と、ドレイン電極を備える NMOS オフトランジスタと、
を具備することを特徴とする半導体装置。

50

【請求項 9】

前記 N M O S オフトランジスタが複数からなり、第 1 の前記 N M O S オフトランジスタの前記ドレイン電極と第 2 の N M O S オフトランジスタのソース電極とが接続された状態で、それぞれが直列に接続されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記 N M O S トランジスタの前記ソース電極が接地ラインと接続され、前記 N M O S オフトランジスタの開放端子となる前記ドレイン電極が電源ラインと接続されていることを特徴とする請求項 8 または請求項 9 に記載の半導体装置。

【請求項 11】

静電気放電保護回路を含む半導体装置であって、

抵抗素子と容量素子が直列接続された R C タイマーと、

前記 R C タイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、を備える N M O S トランジスタと、

前記 N M O S トランジスタの前記ドレイン電極と接続されたドレイン電極と、ソース電極と、該ソース電極と接続されたゲート電極と、を備える P M O S オフトランジスタと、を具備することを特徴とする半導体装置。

【請求項 12】

前記 P M O S オフトランジスタが複数からなり、第 1 の前記 P M O S オフトランジスタの前記ソース電極と第 2 の P M O S オフトランジスタのドレイン電極とが接続された状態で、それぞれが直列に接続されることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記 N M O S トランジスタの前記ソース電極が接地ラインと接続され、前記 P M O S オフトランジスタの開放端子となる前記ソース電極が電源ラインと接続されていることを特徴とする請求項 11 または請求項 12 に記載の半導体装置。

【請求項 14】

前記 N M O S トランジスタが N L D M O S トランジスタであることを特徴とする請求項 8 乃至請求項 13 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に E S D 保護特性にすぐれた E S D 保護回路に係るものである。

【背景技術】

【0002】

従来から、E S D 対策として E S D 保護回路が組み込まれた種々の半導体装置が提案されている。典型的には図 4 (A) に示すように、入出力端子 5 0 と電源ライン 5 1 間に P N 接合ダイオード 5 3 を接続し、入出力端子 5 0 と接地ライン 5 2 間に P N 接合ダイオード 5 4 を接続し、電源ライン 5 1 と接地ライン 5 2 の間に P N 接合ダイオード 5 5 を接続することにより、内部回路 5 6 の保護が行われていた。

【0003】

例えば、大きなサージ電圧が電源ライン 5 1 に印加された場合でも高耐圧 P N 接合ダイオード 5 5 を採用することにより、P N 接合ダイオード 5 5 のアバランシェ降伏により E S D 電流を接地ライン 5 2 に逃がすことができる。アバランシェ降伏が起こるまでは不要な電流も流れず電源ノイズ耐性も強い。

【0004】

図 4 (B) にサージ電圧と E S D 電流の関係を T L P 電流 I と T L P 電圧 V で示す。 T

10

20

30

40

50

LPについては後述する。高耐圧ダイオードの場合、アバランシェ降伏後のESD電流に対する抵抗が大きく、図4(B)のaで示すラインのように緩やかな傾斜で電流が増大する。そのため該抵抗の両端に現れる電圧は大きくなり、内部回路を完全に保護することが難しい。

【0005】

即ち、電源ライン51に大きなサージ電圧が印加された場合、PN接合ダイオード55がアバランシェ降伏し、ESD電流が接地ライン52に向かって流出する。該アバランシェ降伏したダイオード55はESD電流に対して大きな抵抗となり、電源ライン51と接地ライン52間に高電圧を発生させる。

【0006】

電源ライン51と接地ライン52間に生じた高電圧は、直接内部回路に印加されることになる。その結果、該内部回路を構成するデバイスのアバランシェ降伏等を引き起こすことになり、ESDに対する安全設計が困難になる。また、係る高電圧が電源ライン51と接地ライン52間に印加されるため、寄生トランジスタ等によるリーク電流が流れるという不具合が起こる。

【0007】

これに対処する為には、ダイオードの面積を大きくすれば抵抗を下げるができる。その結果、図4(B)のbで示すラインのように電流が流れやすくなり、速やかにESD電流を接地ライン52に逃がすことができる。

【0008】

しかしながら、高速化、小型化の要求等から構成素子の微細化が進展するにつれ半導体装置の静電破壊耐性が弱くなり、より適切なESD保護素子の採用が不可欠になってきた。高耐圧素子としてのMOS型トランジスタと低耐圧素子としてのNPNバイポーラトランジスタを内蔵するBiCMOS型集積回路において、低耐圧NPNトランジスタをESD保護素子とする内容とその問題点及び解決方法が以下の特許文献1に開示されている。

【0009】

また、電源ラインと接地ライン間にPN接合ダイオードの代わりベース・エミッタ間を抵抗で接続したNPNバイポーラトランジスタをESD保護素子として使用する内容が特許文献2に開示されている。MOS型トランジスタをESD保護素子とした場合、そのスナップバック特性のトリガー電圧を低下させ、ESD保護特性を改善する内容が特許文献3に開示されている。なお、ESDとは静電気放電を意味し、Electro-Static Dischargeの略称である。

【0010】

また、スナップバック特性とは、ESDパルス等に対するデバイスの応答であり、寄生素子の応答も含まれる。例えば、電源ライン-接地ライン間の保護素子として高耐圧PN接合ダイオードを使用する場合、ESD保護を開始する電圧をトリガー電圧という。必要なESD電流を流した場合、該PN接合ダイオードの両端子間に発生する電圧が内部回路が破壊する電圧より低ければ、内部回路はESDから保護されることになる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2006-128293号公報

【特許文献2】特開平05-90481号公報

【特許文献3】特開平06-177328号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

前述のように、微細化の進展と共に内部回路をESDから保護する種々のESD保護回路が検討されてきた。上記特許文献1、2、3では、ESD保護回路を構成する保護素子の種類やその構造に対して改良を加え、ESD保護特性の改善が行われている。しかし、

10

20

30

40

50

保護素子そのものに検討を加えると共に、それらによりESD保護回路を構成し、その構成の工夫によりESD保護特性の改善を図ることも大きな課題である。

【課題を解決するための手段】

【0013】

本発明の半導体装置は、静電気放電保護回路を含む半導体装置であって、抵抗素子と容量素子が直列接続されたRCタイマーと、前記RCタイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、を備えるPMOSトランジスタと、前記PMOSトランジスタの前記ドレイン電極と接続されたドレイン電極と、ソース電極と、該ソース電極と接続されたゲート電極と、を備えるNMOSオフトランジスタと、を具備することを特徴とする。

10

【0014】

また、本発明の半導体装置は、静電気放電保護回路を含む半導体装置であって、抵抗素子と容量素子が直列接続されたRCタイマーと、前記RCタイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、を備えるPMOSトランジスタと、前記PMOSトランジスタの前記ドレイン電極と接続されたソース電極と、該ソース電極と接続されたゲート電極と、ドレイン電極と、を備えるPMOSオフトランジスタと、を具備することを特徴とする。

20

【0015】

また、本発明の半導体装置は、静電気放電保護回路を含む半導体装置であって、抵抗素子と容量素子が直列接続されたRCタイマーと、前記RCタイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、を備えるNMOSトランジスタと、前記NMOSトランジスタの前記ドレイン電極と接続されたソース電極と、該ソース電極と接続されたゲート電極と、ドレイン電極を備えるNMOSオフトランジスタと、を具備することを特徴とする。

30

【0016】

また、本発明の半導体装置は、静電気放電保護回路を含む半導体装置であって、抵抗素子と容量素子が直列接続されたRCタイマーと、前記RCタイマーの前記抵抗素子と前記容量素子の接続部と接続するゲート電極と、前記抵抗素子の前記容量素子と接続された端子と異なる端子と接続されたソース電極と、前記容量素子の前記抵抗素子と接続された端子と異なる端子と接続されたドレイン電極と、を備えるNMOSトランジスタと、前記NMOSトランジスタの前記ドレイン電極と接続されたドレイン電極と、ソース電極と、該ソース電極と接続されたゲート電極と、を備えるPMOSオフトランジスタと、を具備することを特徴とする。

40

【発明の効果】

【0017】

本発明の半導体装置によれば、ESD電流に対して抵抗の低い放電回路を確保しつつ、電源ノイズに対する耐性の強いESD保護回路を備える半導体装置が実現できる。

【図面の簡単な説明】

【0018】

【図1】本発明の第1実施形態におけるESD保護回路を示す図である。

【図2】本発明の第1及び第2の実施形態におけるESD保護回路のTLP電流IとTLP電圧Vの関係を示すグラフである。

【図3】本発明の第2実施形態におけるESD保護回路を示す図である。

【図4】従来のESD保護回路を示す図及びそのTLP電流IとTLP電圧Vの関係を示

50

すグラフである。

【発明を実施するための形態】

【0019】

[第1の実施形態]

本実施形態のESD保護回路及びその動作について図1及び図2に基づいて以下に説明する。図1(A)は本実施形態のESD保護回路である。また、図1(A)の内、PMOSトランジスタに含まれるPLDMOSTトランジスタ5を含むRCタイマー付放電部1を図1(B)、NMOSオフトランジスタ10、15からなるノイズ発生防止部2を図1(C)に分離して表示した。

【0020】

RCタイマー付放電部1とノイズ発生防止部2が組み合わされてESD保護回路を構成しているのが、本実施形態の特徴である。なお、LDMOSとは、Lateral Double Diffused Metal Oxide Semiconductorの略称で横型二重拡散ゲートMOSを意味し、MOSオフトランジスタとはソース電極とゲート電極が接続されたMOSTランジスタをさす。また、電源ライン3と接地ライン4間にはESD保護回路と並列に、ESDから保護される不図示の内部回路が接続される。

【0021】

ESD保護回路はRCタイマー付放電部1とノイズ発生防止部2とが直列に接続される。また、RCタイマー付放電部1の、ノイズ発生防止部2と接続された端子と反対側の端子が電源ライン3に接続され、ノイズ発生防止部2の、RCタイマー付放電部1と接続された端子と反対側の端子が接地ライン4と接続される。係る構成により電源ライン3から接地ラインへのESD電流の放電流路を構築している。

【0022】

ESD保護回路は、電源ライン3に大きなサージ電圧または電流が印加されたとき、RCタイマー付放電部1がオン状態になり、アバランシェ降伏を起こしスナップバックしたノイズ発生防止部2を経由してESD電流が接地ライン4に流れる構成となる。以下に、図1(A)に示すESD保護回路の動作を、RCタイマー付放電部1の動作とノイズ発生防止部2の動作に分けて説明する。

【0023】

図1(B)に示すように、RCタイマー付放電部1は高耐圧のPLDMOSTトランジスタ5と抵抗素子20と容量素子21から構成される。抵抗素子20と容量素子21とは直列に接続され、抵抗Rと容量CからなるRCタイマーを構成する。抵抗素子20と容量素子21の接続部はPLDMOSTトランジスタ5のゲート電極7と接続される。

【0024】

また、PLDMOSTトランジスタ5のソース電極6と、該ソース電極6に接続されたバックゲート層9、及び抵抗素子20の容量素子21との接続端子と反対側の端子とは電源ライン3に接続される。PLDMOSTトランジスタ5のドレイン電極8と容量素子21の抵抗素子20との接続端子と反対側の端子とは接地電位に相当する接地ライン4aに接続される。

【0025】

図2(A)に、図1(B)のRCタイマー付放電部1に大きなTLP電流Iを流し込んだときのTLP電流Iと電源ライン3側の端子に発生するTLP電圧Vとの関係を示す。TLPとは、Transmission Line Pulseを略したもので、TLP評価法により該パルスを使用して、その電圧対電流特性を評価することができる。

【0026】

同図は、RCタイマー付放電部1に印加するパルス幅100ns程度の狭いパルスからなるTLP電流Iの大きさを段階的に増大させながら、それぞれの大きさのTLP電流Iに対応するTLP電圧Vをプロットしたもので、縦軸にTLP電流Iを、横軸にTLP電圧Vを表示している。

【0027】

10

20

30

40

50

電源端子 3 にサージ電圧 V_p 、サージ電流 I_p の TLP 電流 I が印加されたとき抵抗 R と容量 C からなる RC タイマーに流れる電流 i は、容量素子 21 に蓄積された電荷を q とすれば $i = dq/dt$ となる。また、容量素子 21 に印加される電圧 $q/C = V_p - R(dq/dt)$ となり、この微分方程式を解くことにより $q = CV_p(1 - e^{-t/RC})$ が得られ、 $i = dq/dt = (V_p/R)e^{-t/RC}$ となる。

【0028】

従って、容量に印加される電圧 $= q/C = V_p(1 - e^{-t/RC})$ となるので、電流 i の流れ初めの t が 0 秒近傍では、容量素子 21 に印加される電圧 $= q/C = 0V$ となる。時間が経過して $t = 2RC$ では $q/C = 0.86V_p$ 、更に時間が経過して $t = 3RC$ となると $q/C = 0.95V_p$ と容量に印加される電圧は上昇する。

10

【0029】

電源端子 3 に TLP 電流 I が流れ込み始めると RC タイマー付放電部 1 の PLDMOS トランジスタ 5 のソース電極 6 の TLP 電圧 V が上昇するが、ゲート電極 7 の電圧は、前述の如く接地ライン 4a と同電位のままの容量素子 21 の端子と接続されているため、接地ライン 4a の電位のままである。

【0030】

従って、PLDMOS トランジスタ 5 のゲート電極 7 とバックゲート層 9 となる N 型半導体層間で、ゲート絶縁膜を介して N 型半導体層よりゲート電極 7 側の電位が低くなる。即ち、N 型半導体層の電圧を基準とした場合、ゲート電極 7 に負電圧が印加されたのと等価となる。

20

【0031】

その結果、ゲート電極 7 の直下のゲート絶縁膜と該 N 型半導体層の界面近傍の N 型半導体層に P 型チャネル層が形成され、PLDMOS トランジスタ 5 がオンすることになる。この動作により、サージ電圧による ESD 電流を、内部回路を通過させることなく、直接接地ライン 4a に流すことができる。

【0032】

従って、図 1 (B) の RC タイマー付放電部 1 それ自体を、ESD 保護素子として使用することができる。この場合、図 2 (A) の TLP 電圧 V と TLP 電流 I は次の関係になる。即ち、PLDMOS トランジスタ 5 のゲート幅を W 、ソース領域とドレイン領域で挟まれた領域からなるゲート長を L 、ゲート絶縁膜容量を C_I 、キャリアの移動度を μ 、PLDMOS トランジスタ 5 の閾値電圧を V_T 、TLP 電圧 V を V とした場合、略 $I = (W\mu C_I/2L)(V - V_T)^2$ となる。

30

【0033】

この結果、 V が V_T より大きな TLP 電圧 V が発生すると TLP 電流 I が流れることになり、半導体装置の最大動作電圧より低い電圧でも RC タイマー付放電部 1 の PLDMOS トランジスタ 5 を通して ESD 電流が流れる。係る動作は、電源ノイズの性質によっては瞬間的に PLDMOS トランジスタ 5 をオンすることが推定され、半導体装置の雑音の原因となり、また、半導体装置が高効率の電源用集積回路等の場合、電源効率の低下をもたらすことになる。

【0034】

次に、図 1 (C) のノイズ発生防止部 2 に TLP 電流 I が流れ込んだ場合の動作について図 2 (B) に基づいて以下に説明する。ノイズ発生防止部 2 は電源電位に相当する電位を持つ電源ライン 3a と接続するドレイン電極 11 と、ソース電極 13 と、該ソース電極 13 とそれぞれ接続するゲート電極 12 及びバックゲート層 14 とからなる NMOS オフトランジスタ 10 と、該 NMOS オフトランジスタ 10 と直列に接続された NMOS オフトランジスタ 15 から構成される。

40

【0035】

NMOS オフトランジスタ 15 はそのドレイン電極 16 が NMOS オフトランジスタ 10 のソース電極 13 と接続され、ゲート電極 17、バックゲート層 19 及びソース電極 18 が接地ライン 4 に接続される。NMOS オフトランジスタ 10、15 は同一特性を有し

50

、本実施形態ではドレイン・ソース間耐圧 $B V_{D S}$ がいずれも 7 V 程度の低耐圧デバイスである。

【0036】

なお、本実施形態では同一特性の N M O S オフトランジスタ 1 0、1 5 を使用したが必ずしも同一特性に限定されるものではない。また、これらに代わり、低耐圧の N M O S オフトランジスタと P M O S オフトランジスタの組み合わせ、N P N バイポーラトランジスタ、または、ツェナーダイオードを採用してもよい。

【0037】

図 2 (B) の c で示すラインは、図 1 (C) のノイズ発生防止部 2 の T L P 電流 I と電源ライン 3 a 側の端子に発生する T L P 電圧 V との関係を示す。T L P 電圧 V が N M O S オフトランジスタ 1 0、1 5 それぞれの不図示のドレイン・ソース間耐圧 $B V_{D S}$ を合算した値以上になるとアバランシェ降伏状態となり、接地ライン 4 に向かって T L P 電流 I が流れ始める。

10

【0038】

T L P 電圧 V は、更に上昇して図 2 (B) に示すように、スナップバック特性のトリガー電圧 $V_{T 1}$ に達する。本実施形態でのノイズ発生防止部 2 のトリガー電圧 $V_{T 1}$ は、N M O S オフトランジスタ 1 0、1 5 のそれぞれの有するトリガー電圧が 1 2 V 程度になるので、それらの和である 2 4 V 程度であった。

【0039】

更に T L P 電流 I を増加するにつれ T L P 電圧 V は負の方向に向かう負性抵抗を示す、いわゆるスナップバック現象が起きる。これは、アバランシェ降伏現象で生じた過剰の正孔がバックゲート層 1 4、1 9 の電位を高めることにより、ソース電極 1 3、1 8 と接続する N + 型ソース層をエミッタ、P 型バックゲート層 1 4、1 9 をベース、ドレイン電極 1 1、1 6 と接続する N + 型ドレイン層をコレクタとするそれぞれの寄生 N P N バイポーラトランジスタがオンするためである。

20

【0040】

T L P 電流の上昇と共に減少する T L P 電圧 V は、保持電圧 V_h まで下がり、さらに T L P 電流 I を増加させると図 2 (B) の c で示すように、前記寄生 N P N バイポーラトランジスタの特性で決まる抵抗に依存する勾配で増加する。保持電圧 V_h は、略、該寄生 N P N バイポーラトランジスタのエミッタ - コレクタ間耐圧程度になる。

30

【0041】

N M O S オフトランジスタ 1 0、1 5 は低耐圧デバイスなので抵抗値が小さく、図 2 (B) の c で示すラインはかなり急勾配になり、内部回路に影響を与えることなく E S D 電流を速やかに接地ライン 4 に逃がすことができる。

【0042】

即ち、図 1 (C) の直列接続された低耐圧 M O S オフトランジスタ 1 0、1 5 からなるノイズ発生防止部 2 それ自体が、高耐圧 P L D M O S トランジスタ 5 に比し、小さな面積で良好な E S D 保護回路を構築できるといえる。

【0043】

しかし、尖頭電源電圧 5 0 V 印加時にノイズ発生防止部 2 がアバランシェ降伏しないようにするためには、N M O S オフトランジスタ 1 0 等の 1 個当たりのドレイン - ソース間耐圧が 7 V のとき、少なくとも 8 個の低耐圧 M O S オフトランジスタを直列に接続しなければならない。この場合、N M O S オフトランジスタ 8 個分のトリガー電圧 $V_{T 1}$ は 1 個分が 1 2 V なので、 $V_{T 1} = 1 2 V \times 8 = 9 6 V$ という高い値になる。

40

【0044】

その結果、ノイズ発生防止部 2 は、尖頭電源電圧 5 0 V 印加時にアバランシェ降伏することはないが、5 0 V より大きく 9 6 V 程度までのサージ電圧に対してスナップバック特性を発揮できない。従って、E S D 電流の接地ライン 4 への放電流路が形成されず内部回路の破壊につながる。

【0045】

50

次に、上述したRCタイマー付放電部1とノイズ発生防止部2からなる本実施形態のESD保護回路について図1(A)、図2(B)に基づいて以下に説明する。図1(A)に示すように、本実施形態では、前述した特徴を有するRCタイマー付放電部1とノイズ発生防止部2とが直列に電源ライン3と接地ライン4間に接続される。従って、RCタイマー付放電部1とノイズ発生防止部2のいずれもが導通状態になることにより初めて、ESD電流を電源ライン3から接地ライン4に流すことができる。

【0046】

電源ライン3に所定のサージ電圧が印加されると前述の如くRCタイマー付放電部1のPLDMOSTランジスタ5はオン状態になる。しかし、ノイズ発生防止部2がRCタイマー付放電部1に直列接続されているためサージ電圧の大きさがNMOSオフトランジスタ10とNMOSオフトランジスタ15のそれぞれの耐圧7Vの和である14Vを超え、更にそれぞれのトリガー電圧の和である24Vを超えないと電源ライン3から接地ライン4にいたるESD電流の放電回路は形成されない。

10

【0047】

一方で本実施形態における内部回路の最大動作電圧は14Vである。従って、サージ電圧が24V以上でないと電源ライン3から接地ライン4に抜けるESD電流が流れない本実施形態では、図1(B)に示す、RCタイマー付放電部1のみからなるESD保護回路で問題となった、動作状態での電源ノイズ耐性の問題や電源用集積回路等での電源効率の低下の問題が発生することはない。これが本実施形態の最大の特徴となる。

20

【0048】

大きなサージ電圧が電源ライン3に印加された場合、図1(A)のESD保護回路のRCタイマー付放電部1を構成するPLDMOSTランジスタ5にはP型チャネル層が形成され、図2(A)の横軸のサージ電圧(TLP電圧)に相当する縦軸のサージ電流(TLP電流)が流れる。該チャネル層の抵抗 r は図2(A)のグラフの勾配の逆数になり、前述した $I = (W\mu C_I / 2L)(V - V_T)^2$ から $r = (L / W\mu C_I) / (V - V_T)$ となる。サージ電圧 V が大きいほど小さくなる。

30

【0049】

また、この時、図1(A)のノイズ発生防止部2では、前述した図1(C)に示すノイズ発生防止部2単独のESD保護回路と同様にサージ電圧24V以上でスナップバックを開始して維持電圧 V_h を経由してESD電流が増大しつつ流れる。但し、電流の勾配はPLDMOSTランジスタ5のチャネル層の抵抗が加算されるので、図2(B)のaで示すように、ノイズ発生防止部2単独の場合のcで示すラインよりゆるくなる。

40

【0050】

次に、負のサージ電圧が電源ライン3に印加された場合について以下に簡単に説明する。負のサージ電圧は、PLDMOSTランジスタ5のソース電極6と接続されたN型半導体層からなるバックゲート層9にも直接印加されることになり、該N型半導体層とドレイン電極8に接続されるP+型ドレイン層とで形成するPN接合を順方向にバイアスする。

【0051】

また、ノイズ発生防止部2のNMOSオフトランジスタ10においては、負のサージ電圧は、ドレイン電極11に印加される為、該ドレイン電極11と接続するN+型ドレイン層とソース電極13に接続するバックゲート層14となるP型半導体層との間で形成するPN接合を順方向にバイアスする。NMOSオフトランジスタ15においても同様に形成されるPN接合が順方向にバイアスされる。

40

【0052】

従って、負のサージ電圧が本実施形態のESD保護回路に印加された場合でも、CRタイマー付放電部1を構成するPLDMOSTランジスタ5に形成される順方向バイアスされたPN接合及びノイズ発生防止部2に形成されたNMOSオフトランジスタ10、15のそれぞれに形成される順方向バイアスされたPN接合を放電回路として、速やかにESD電流が電源ライン3に放出され、内部回路を保護することができる。

【0053】

50

本実施形態のESD保護回路の特徴をまとめると以下の様になる。高耐圧PLDMOSトランジスタ5と抵抗素子20と容量素子21で構成するRCタイマーとからなるRCタイマー付放電部1と、2個の直列接続されNMOSオフトランジスタ10、15からなるノイズ発生防止部2とが直列接続された構成をとっていることである。

【0054】

本実施形態ではPLDMOSトランジスタ5は42Vの耐圧で、2個のNMOSオフトランジスタ10、15の合計耐圧は14Vになるので尖頭電源電圧50Vの試験をクリアすることができる。また、ESD保護回路のESD電流を流し始める動作開始電圧(トリガー電圧 V_{T1})が本実施形態ではNMOSオフトランジスタ2個分で24VとなるのでPLDMOSトランジスタ5に印加される閾値電圧を加えたとしても、従来の高耐圧ダイオード55で必要な50V以上という電圧から大幅に下げることができる。また、保持電圧 V_h を内部回路の最大動作電圧(本実施形態では14V)以上にすることができるため、電源ノイズに対する耐性を十分に確保することができる。電源用集積回路等の電源効率を下げることもない。

10

【0055】

電源ライン3に負のサージ電圧が印加された場合でも、前述の如く、PLDMOSトランジスタ5及びNMOSオフトランジスタ10、15のそれぞれに形成される順方向バイアスされたPN接合を放電回路とし、速やかにESD電流を電源ライン3に逃がしてやることのできる。NMOSオフトランジスタ10等は本実施形態では2個だったが、最大動作電圧に応じて増減することができる。

20

【0056】

また、NMOSオフトランジスタ10等の代わりにPMOSオフトランジスタを使用することもできる。この場合、PLDMOSトランジスタ5のドレイン電極8とPMOSオフトランジスタのソース電極、ゲート電極、バックゲート層を接続する。PMOSオフトランジスタのドレイン電極は接地ライン4に接続する。

PMOSオフトランジスタを複数使用する場合は、第1のPMOSオフトランジスタのドレイン電極と第2のPMOSオフトランジスタのソース電極、ゲート電極、バックゲート層を接続する。第2のPMOSオフトランジスタのドレイン電極は接地ラインに接続する。

30

【0057】

但し、PMOSオフトランジスタの場合、スナップバック特性の違いにより保持電圧 V_h が高くなるので、ノイズ発生防止部2はNMOSオフトランジスタで構成する方が好ましい。なお、前述したように、ノイズ発生防止部2をNPNバイポーラトランジスタやツェナーダイオード等の組み合わせで実現することも可能である。また、従来の高耐圧ダイオード55を使用する場合に比してESD電流に対する抵抗が小さくなるので、寄生トランジスタのオン動作等による不具合も生じにくくなる。

【0058】

本実施形態のESD保護回路の製造方法について、ESD保護回路は内部回路を製造するとき同時に製造できるので文章のみで簡単に説明する。P-型半導体基板を使用して、BiCMOSプロセスによりN+型埋め込み層、N-型エピタキシャル層、P+型分離層を形成する。NMOSオフトランジスタ10は、N-型エピタキシャル層に通常の方法でP-型ウエル層を形成し、P-型ウエル層にN+型ソース層、N+型ドレイン層及びP+型コンタクト層を形成する。なお、BiCMOSにはDMOS(Double Diffused MOS)構造も含まれる。

40

【0059】

更にゲート絶縁膜、ポリシリコンゲート電極が形成され、半導体基板上の層間絶縁膜に形成されたコンタクトホールを介してアルミニウム等によるドレイン電極11、ソース電極13、ゲート電極12が形成される。ゲート電極12とソース電極13はアルミニウム等で接続されNMOSオフトランジスタ10が形成される。複数のNMOSオフトランジスタ10、15の場合、それぞれのソース電極13とドレイン電極16がアルミニウム

50

ーム等の配線で接続される。

【 0 0 6 0 】

また、容量素子 2 1 は、所定の方法で N - 型エピタキシャル層に N + 型層を形成し、その表面に形成した絶縁膜を介してポリシリコン層を形成する事により、N + 型層を一方の電極、ポリシリコン層を他方の電極として形成される。抵抗素子 2 0 は P - 型半導体基板上に形成された絶縁膜上にポリシリコン層で形成され、アルミニウム等の配線で容量素子と接続される。

【 0 0 6 1 】

PLDMOSTランジスタ 5 は、N - 型エピタキシャル層に N - 型ウエル層を形成し、該 N - ウエル層に P + 型ソース層及び N + 型コンタクト層を形成する。また前記 N - 型ウエル層と隣接して P - 型ウエル層を N - 型エピタキシャル層に形成し、該 P - 型ウエル層に P + 型ドレイン層を形成する。この後、アルミニウム等による配線でゲート電極 7 と抵抗素子 2 0、容量素子 2 1 を接続する。また、ドレイン電極 8 は NMOS オフトランジスタ 1 0 のドレイン電極 1 1 とアルミニウム等による配線で接続される。

【 0 0 6 2 】

同時に、PLDMOSTランジスタ 5 のソース電極 6 と抵抗素子 2 0 の容量素子 2 1 と接続された端子と反対側の端子が電源ライン 3 に接続され、NMOS オフトランジスタ 1 5 のソース電極 1 8 が接地ライン 4 に接続される。最後にシリコン窒化膜等によるパッシベーション膜で被覆することにより本実施形態の ESD 保護回路を含む半導体装置が完成する。

【 0 0 6 3 】

[第 2 の実施形態]

本実施形態について図 3 に基づいて以下に説明する。第 1 の実施形態との第 1 の相違点は RC タイマー付放電部 1 a を構成するランジスタを PLDMOSTランジスタ 5 から NLDMOSTランジスタ 3 1 に代えた事、及び RC タイマーを構成する抵抗素子 3 7 の開放端を NLDMOSTランジスタ 3 1 のソース電極 3 4 に、容量素子 3 6 の開放端を NLDMOSTランジスタ 3 1 のドレイン電極 3 2 に接続した点である。

【 0 0 6 4 】

第 2 の相違点は、RC タイマー付放電部 1 a の NLDMOSTランジスタ 3 1 のソース電極 3 4 が接地ライン 3 9 に接続され、ドレイン電極 3 2 がノイズ発生防止部 2 a の NMOS オフトランジスタ 4 5 のソース電極 4 8 に接続され、ノイズ発生防止部 2 a の NMOS オフトランジスタ 4 0 のドレイン電極 4 1 が電源ライン 3 8 に接続された点である。

【 0 0 6 5 】

第 2 の相違点についていえば、係る構成にする事により内部回路が定常の動作状態のとき、NLDMOSTランジスタ 3 1 のゲート電極 3 3 の電位を確実に接地電位にして、NLDMOSTランジスタ 3 1 のオフ状態を維持することができることである。第 1 の実施形態と同じ様に、ノイズ発生防止部 2 a を接地ライン 3 9 側に接続した場合、RC タイマー付放電部 1 a の NLDMOSTランジスタ 3 1 のゲート電極 3 3 の電位が一義的に定まらなくなるからである。

【 0 0 6 6 】

正の大きなサージ電圧が電源ライン 3 8 に印加されたとき、本実施形態のノイズ発生防止部 2 a は第 1 の実施形態と同様の動作をして、図 2 (B) に示す TLP 電流に相当する ESD 電流の流路を形成する。それに対して RC タイマー付放電部 1 a に同様のサージ電圧が印加された直後は、第 1 の実施形態で説明した場合と同様、容量素子 3 6 にはサージ電圧が印加されず、全てのサージ電圧が抵抗素子 3 7 に印加される。

【 0 0 6 7 】

従って、RC タイマー付放電部 1 a の NLDMOSTランジスタ 3 1 のゲート電極 3 3 の電位は、抵抗素子 3 7 の電位が上がった分上昇する。その結果、NLDMOSTランジスタ 3 1 のバックゲート層 3 5 に当たる P 型半導体層のゲート絶縁膜との界面部分に N 型反転層が形成され NLDMOSTランジスタ 3 1 はオン状態になり、図 2 (A) に示す T

10

20

30

40

50

L P 電流に相当する E S D 電流の流路を形成する。

【 0 0 6 8 】

即ち、電源ライン 3 8 に印加される正のサージ電圧に対して、第 1 の実施形態の場合と同じように、接地ライン 3 9 に対する E S D 電流の流路を形成し、内部回路を大きなサージ電流による E S D から保護する。負のサージ電圧が印加された場合も、第 1 の実施形態同様に形成された、順方向バイアスされた P N 接合により E S D 電流を速やかに電源ライン 3 8 に流出させることができる。

【 0 0 6 9 】

なお、本実施形態では P M O S トランジスタとして P L D M O S トランジスタ 5、N M O S トランジスタとして N L D M O S トランジスタ 3 1 を例として説明したが、P L D M O S トランジスタ 5 を高耐圧 P M O S パワートランジスタ、N L D M O S トランジスタ 3 1 を高耐圧 N M O S パワートランジスタに置き換えても同様の効果を得ることができる。

10

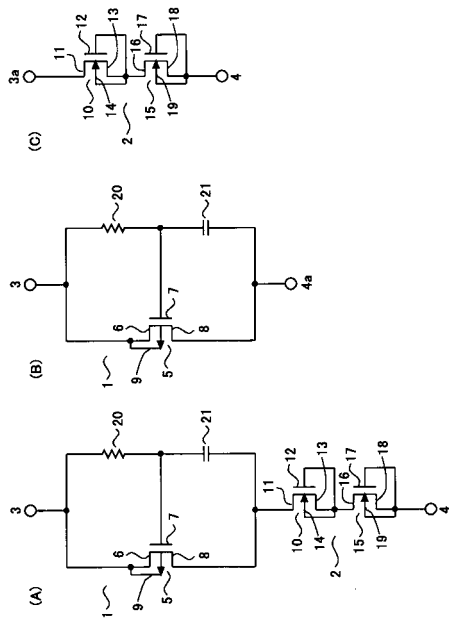
【符号の説明】

【 0 0 7 0 】

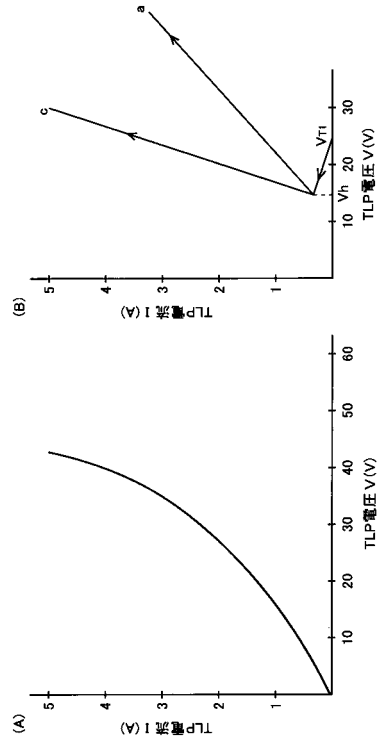
1, 1 a R C タイマー付放電部 2, 2 a ノイズ発生防止部 3, 3 8 電源ライン
 4, 3 9 接地ライン 5 P L D M O S トランジスタ
 6 ソース電極 7 ゲート電極 8 ドレイン電極 9 バックゲート層
 1 0, 1 5 N M O S オフトランジスタ 1 1, 1 6 ドレイン電極
 1 2, 1 7 ゲート電極 1 3, 1 8 ソース電極 1 4, 1 9 バックゲート層
 2 0, 3 7 抵抗素子 2 1, 3 6 容量素子 3 1 N L D M O S トランジスタ
 3 2 ドレイン電極 3 3 ゲート電極 3 4 ソース電極
 3 5 バックゲート層 4 0, 4 5 N M O S オフトランジスタ
 4 1, 4 6 ドレイン電極 4 2, 4 7 ゲート電極 4 3, 4 8 ソース電極
 4 4, 4 9 バックゲート層 5 0 入出力端子 5 1 電源ライン
 5 2 接地ライン 5 3, 5 4, 5 5 高耐圧 P N 接合ダイオード

20

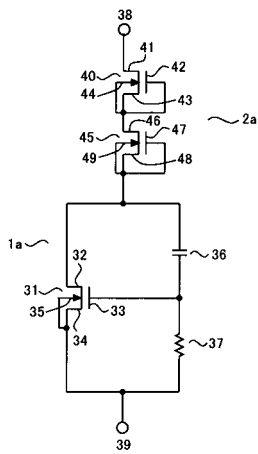
【図1】



【図2】



【図3】



【図4】

