

發明專利說明書 200423542

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92113797

※ 申請日期： 920523

※IPC 分類： H03K19/00

壹、發明名稱：(中文/英文)

在使用足開關或頭開關之電路中交叉電流的調整

REGULATION OF CROWBAR CURRENT IN CIRCUITS
EMPLOYING FOOTSWITCHES/HEADSWITCHES

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商奎康公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

菲力普 R. 華德渥斯

PHILIP R. WADSWORTH

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道 5775 號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714, U.S.A.

國籍：(中文/英文)

美國

U.S.A.

參、發明人：(共 3 人)

姓 名：(中文/英文)

- 1.梅迪 哈米迪 珊尼
MEHDI HAMIDI SANI
- 2.約翰 迪賈柯
JOHN DEJACO
- 3.葛瑞格瑞 A. 由維哈拉
GREGORY A. UVIEGHARA

住居所地址：(中文/英文)

- 1.美國加州聖地牙哥市歐艾爾卡米諾街 13636 號
13636 OLD EL CAMINO REAL, SAN DIEGO, CALIFORNIA
92130, U.S.A.
- 2.美國加州萊拉維斯塔市聖塔刻萊爾街 689 號
689 SANTA CLARA COURT, CHULA VISTA, CALIFORNIA
91914, U.S.A.
- 3.美國加州聖地牙哥市戴普街 11940 號
11940 DAPPLE WAY, SAN DIEGO, CALIFORNIA 92128, U.S.A.

國 籍：(中文/英文)

- 1.美國 U.S.A.
- 2.美國 U.S.A.
- 3.美國 U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家(地區)申請專利：

1.美國；2002年05月24日；10/155,956

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.美國；2002年05月24日；10/155,956

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

[技術領域]

本發明係關於CMOS電路，具體而言，本發明係關於在具有足開關與/或頭開關之CMOS電路中交叉電流之調整。

[先前技術]

為獲得合適之電池壽命以及實現攜帶型電子裝置之小型化，人們通常採用省電技術。由於在數位電路，具體而言，在數位CMOS電路中之消電量大體上與電源電壓之平方成正比，故實現低功率性能之最有效之途徑為調整電源電壓。而為了保持傳輸延時不變，亦必須同時按比例減小電子裝置之臨限電壓。

不幸的是，由於次臨限值漏電流之改變，臨限電壓之減小可能會導致待機電流之迅速增大。換言之，漏電流(通常為流過"關閉"狀態中之電晶體之電流)將隨臨限電壓之減小而呈指數增加。此種情況在Mutoh、S.等人合撰之論文"具有多臨限電壓CMOS電路之1伏電源高速數位電路技術"，IEEE《固態電路期刊》，第30卷第8冊第847-854頁(1995年8月)，中有更詳細之描述。

因此，對於行動電話等要求以低功耗或待機模式來延長時間之設備，漏電流之增大將引起待機模式下之電池消電量之增加。

圖1為先前技術"多臨限值CMOS"("MTCMOS")之示例性電路之示意圖，該MTCMOS電路被組態以減小漏電流，尤其是減小了電源電壓電路中之漏電流，故降低了邏輯閘之臨

限電壓。邏輯閘電路可包括任何類型、任何組態之邏輯閘，譬如，邏輯閘可包括單個CMOS反相器，亦可包括任何數量之邏輯閘組合，以及低臨限電壓之"及(AND)"、"反及(NAND)"、"反或(OR)"、"反或(NOR)"、"互斥或(XOR)"或其他邏輯閘之組合。示例之MTCMOS電路100包括一個或多個低臨限電壓("LVT")邏輯閘110，其電連接至一虛擬電源VDDV 102及一虛擬"接地"GNDV 104，而不是電連接至一實際電源VDD 106及實際接地GND 108。在一具體實施例中，VDD 106及GND 108為一電池之兩端，譬如在行動電話中，該等兩端之壓差可介於0.5至2.0伏之間。

VDD 106係電連接至一高臨限電壓之頭開關電晶體("頭開關")112，此電晶體係由一高位準確立之睡眠信號SL 116所控制。當SL 116信號為撤銷確立狀態(譬如SL 116為低位準)時，頭開關112之輸出電壓以及相應之VDDV 102上之電壓大體上相等於VDD 106上之電壓。類似地，GND 108係電連接至一高臨限電壓之足開關電晶體("足開關")114，該電晶體受係由低位準有效之睡眠信號/SL120所控制，當/SL120信號為撤銷確立狀態(譬如/SL120為高位準)時，足開關114之輸出電壓以及相應之GNDV 104上之電壓大體上相等於GND 108上之電壓。在某種設計中，/SL 120與SL 116係由同一信號產生，可同時處於確立狀態。因此，頭開關112與足開關114幾乎可同時打開和關閉。

在睡眠或待機模式下，睡眠信號SL 116與/SL 120均為撤銷確立狀態，故導致頭開關112與足開關114均。由於頭開

關與足開關均具有一高臨限電壓，故能減小從VDD 106拉出之漏電流。反之，如若不使用頭開關與足開關，則在睡眠模式下LVT邏輯閘110係電連接至VDD 106及GND 108，由於此時LVT邏輯閘110相對地處於泄漏狀態，故其將從VDD 106拉出漏電流。

同樣地，在作用中模式下，睡眠信號SL 116與/SL 120均處於確立狀態，從而使頭開關112與足開關114打開以將VDD 102與GNDV 104施加至邏輯閘110。因此在作用中模式下，邏輯閘大體上由同一電壓加電，就如其被直接加至VDD 106及GND 108上一樣。因此，MTCMOS電路技術可在LVT邏輯閘110之臨限電壓降低之同時，減小睡眠模式下之漏電流。

不幸的是，即使可利用以上討論之MTCMOS技術來使漏電流減至最小，但仍會由於交叉電流之存在而被損失能量。一般而言，交叉電流係於P溝道及N溝道電晶體處於半"開"狀態時之過渡(即邏輯狀態轉換)過程中產生。譬如，當一CMOS反相器在邏輯狀態間轉換時，PMOS及NMOS電晶體均存在一短暫之轉換時間、以及一流過電晶體之從VDD至"接地"之小電流，此電流即為業界所常見之交叉電流。

交叉電流會相對於邏輯狀態轉換之頻率而隨時間加大。隨著交叉電流之增大，亦將出現許多其他有害效應，譬如電壓尖峰、電遷移、焦耳熱以及電源浪湧等。因此，交叉電流將降低專用積體電路(ASIC)、處理器、可編程邏輯裝置或記憶體等高速積體電路之性能，並導致特定裝置之消

電量增加。

儘管MTCMOS技術可顯著地減小CMOS電路中之漏電流，但交叉電流依然存在。因此，參見圖1，當電路100處於睡眠狀態時，任何已電連接至輸出終端118之邏輯閘均會拉出一交叉電流，尤其是LVT邏輯閘110之輸出可能會漂移，從而導致已電連接至輸出終端118之電路從邏輯閘中拉出交叉電流。

因此，需要有一種能減小MTCMOS電路中之交叉電流之系統及方法。

[發明內容]

透過在MTCMOS邏輯閘之輸出終端電連接一上拉或下拉電晶體可解決上述問題。

譬如，在電路處於睡眠模式時(譬如高臨限電壓頭開關與/或足開關處於撤銷確立狀態時)，使用上拉電晶體可將邏輯閘之輸出電壓上拉至一已知之非浮動位準上。如此即能防止與之相連之電路從邏輯閘之輸出終端拉出交叉電流。尤其是，其能防止不具有足開關與頭開關之相連電路從邏輯閘中拉出交叉電流。

同樣地，在電路處於睡眠狀態時，假如一下拉電晶體係連接至MTCMOS邏輯閘之輸出終端，則其輸出終端電位將被下拉至"接地"或其他參考位準上。

由於在邏輯閘之輸出終端增加了上拉或下拉電晶體，故其輸出電壓被拉至一已知之非浮動位準上，且可防止與邏輯閘輸出終端相連之裝置從中拉出交叉電流。

在邏輯閘之輸出終端使用上拉或下拉電晶體亦有助於偵錯及測試電路。譬如，當一特定邏輯閘處於睡眠狀態時，上拉或下拉電晶體可保證邏輯閘之輸出處於一已知之非浮動位準上。因此，在一採用頭開關與/或足開關之多邏輯閘電路中，於邏輯閘之輸出終端使用上拉或下拉電晶體，可確保睡眠模式下之邏輯閘之每一節點均為確定。

須明瞭，依照本發明而設計之MTCMOS電路可應用於行動電話、尋呼機、個人數位助理(PDA)、筆記本電腦或其他電子設備中，故本發明具有十分廣闊之應用前景。

以下之發明說明、申請專利範圍及圖式將對本發明之上述或其他目標及特徵進行更為詳細之闡述。而在這些圖式中，同樣之參考代號代表相同、或功能相近之元件。

[實施方式]

下面對本發明之各種具體實施例進行詳細之說明。但是，亦可按以申請專利範圍所定義及涵蓋之多種不同方式來具體化本發明。本發明比明確描述之具體實施例要更為全面，並不僅僅侷限於具體實施例，而是涵蓋了申請專利範圍中所定義之全部內容。

在圖2所示的示意圖中，一邏輯閘210係經由一頭開關212與足開關214供電，並且其輸出終端218係連接至一上拉電晶體240。頭開關212包括一高臨限電壓PMOS電晶體，該電晶體之閘極係電連接至一高位準確立之睡眠信號SL 216。眾所周知，在電子技術中，當閘極電壓處於低位準或低於臨限電壓時，則會開啟PMOS電晶體，即有電流從源極流至

汲極。因此當SL 216處於低位準時，會開啟頭開關212，此時VDDV 202係電連接至VDD 206。同樣地，當SL 216處於高位準時，會關閉頭開關212，此時VDDV 202與VDD 206電隔離。

電路200中之足開關214包括一高臨限電壓之NMOS電晶體，該電晶體之閘極係電連接至一低位準有效之睡眠信號/SL 220。當閘極電壓高於臨限電壓時，則會開啟NMOS電晶體，此時有電流從源極流到汲極。因此，當/SL 220為高位準時，則會開啟足開關214，此時GNDV 204係電連接至GND 208。同樣地，當/SL 220為低位準時，會關閉足開關214，此時GNDV 204與GND 208電絕緣。因此，睡眠信號/SL 220提供一控制邏輯閘210所連接之足開關214開啟及斷開之途徑。

此外，足開關214還提供一隔離LVT邏輯閘210與參考電壓(此例中為GND 208)之途徑。由於/SL 220與SL 216反相，故圖2中之頭開關212與足開關214大體上同時處於關閉狀態與開啟狀態。更詳細地，當SL 216從高位準變至低位準時，會開啟頭開關212，此時VDDV 202係電連接至VDD 206；而當/SL 220從低位準變到高位準，會開啟足開關214，此時GNDV 204係電連接至GND 208。如此，當SL 216處於確立狀態(亦即/SL 220處於低位準，SL 216處於高位準)時，VDD 206及GND 208電隔離於LVT邏輯閘210，此時邏輯閘將處於睡眠模式。

如上所述，根據/SL 220處於撤銷確立狀態時之邏輯閘輸

出終端218之狀態，輸出終端218在睡眠模式期間會浮動。但在電路200中透過使用上拉電晶體240即解決了此問題。在電路200之具體實施例中，上拉電晶體240包括一PMOS電晶體，該PMOS電晶體的閘極係連接至/SL 220信號。由於上拉電晶體240為一藉由低位準有效之睡眠信號/SL 220所驅動之PMOS型電晶體，所以當頭開關212與足開關214處於非作用中狀態時，該上拉電晶體240處於作用中狀態時(LVT邏輯閘210處於睡眠模式)。具體而言，當SL 216處於確立狀態(譬如/SL 220處於低位準)時，會開啟上拉電晶體240，結果該上拉電晶體240源極與汲極(分別連接至VDD 206及輸出終端218)間有電流流過。因此，輸出終端218上之電壓位準被上拉至VDD 206之電位，從而避免了位準之浮動。因此，睡眠信號/SL 220提供一啟動上拉電晶體之途徑，而將輸出終端218之電壓位準調整至一已知電壓位準。更進一步地，上拉電晶體提供了一種將輸出終端218之電壓位準調整至一已知電壓位準之途徑。增加上拉電晶體240可穩定輸出終端218之電壓位準，故尚可將另外之閘極或裝置連至輸出終端218上，而不會從輸出終端218上抽取交叉電流。

在另外之實施例中，可透過使用下拉電晶體來取代上拉電晶體240(參見圖5及圖6)，來避免輸出終端218浮動。在此情形下，當LVT邏輯閘210處於睡眠模式時，輸出終端218之電位被下拉至"接地"或者其他之參考電壓。因此，下拉電晶體提供了另外一種將輸出終端218之電壓位準調整至一已知電壓位準之方法。

在圖3所示的示意圖中，一LVT邏輯閘210之示意圖，該LVT邏輯閘210係經由一足開關214接地，且其輸出終端係連接至一上拉電晶體240。如圖3所示，電路300使用一NMOS電晶體作為足開關214而非頭開關，故LVT邏輯閘210直接從VDD 206處獲取電壓，且經由足開關214從GND 208處獲取參考電壓。但是，類似於同時具有足開關和頭開關之電路100及200，當SL 216處於確立狀態(/SL 220處於低位準)時，邏輯閘缺乏完全導通路徑，故由LVT邏輯閘210從VDD 206流出之漏電流得以完全消除。此外，由於NMOS電晶體一般要比PMOS電晶體速度更快、體積更小，故只使用一個足開關214之電路擁有更短之信號傳播時間及更小之實際電路尺寸。

電路300尚包括一PMOS上拉電晶體240，該PMOS上拉電晶體240的閘極係連接至/SL 220信號。正參考圖2之說明所述，當SL 216處於確立狀態時，會將上拉電晶體240之輸出終端218之電位上拉至VDD 206電位。如此，當電路處於睡眠模式時，可避免輸出終端218處於浮動狀態。

總之，圖3之實施方式比標準之MTCMOS電路(譬如電路100)在幾個方面更有優勢。首先，電路300不含頭開關，因而其電路尺寸更小；其次，僅使用一個NMOS足開關214而不用使用PMOS頭開關212，即可按SL 216處於確立狀態及撤銷確立狀態，更迅速將該電路300在睡眠模式與作用中模式之間切換。最後，上拉電晶體240可確保在/SL 220處於確立狀態及電路300處於睡眠模式時，輸出終端218不會浮

動，從而避免輸出終端218所連接之組件從邏輯閘中拉出交叉電流。

在圖4所示的示意圖中，一CMOS反相器係經由一足開關214接地且其輸出終端係連接至一上拉電晶體240。如圖所示，LVT邏輯閘210包括一CMOS反相器。在此實施例中，CMOS反相器包括一LVT PMOS電晶體410及一LVT NMOS電晶體420，該等兩個電晶體同時接收一輸入信號230。因此，當開啟LVT PMOS電晶體410時，會關閉LVT NMOS電晶體420，反之亦然。LVT PMOS電晶體410與LVT NMOS電晶體420之輸出終端被電連接而成為輸出終端430。LVT PMOS電晶體410另外還電連接至電壓源VDD 206，因此當藉由一低位準輸入信號230來開啟LVT PMOS電晶體410時，輸出終端430之電位大體上相等於VDD 206之電位。同樣地，LVT NMOS電晶體420係經由足開關214電連接至參考信號GND 208，因此，當電路400處於作用中模式(SL為撤銷確立狀態)以及藉由一高位準輸入信號230來開啟LVT NMOS電晶體420時，輸出終端430之電位大體上相等於GND 208之電位。同樣地，當輸入信號230處於低位準時，LVT PMOS電晶體410會在VDD 206與輸出終端430之間產生一導電路徑。同樣地，當輸入信號230處於高位準時，LVT NMOS電晶體420會在GND 208與輸出終端430之間產生一導電路徑。

如上所述，LVT邏輯閘210係電連接至足開關214，以使邏輯閘能在作用中模式與睡眠模式之間切換。簡言之，當

SL 216處於確立狀態且/SL 220為撤銷確立狀態時，會關閉足開關，此時邏輯閘處於睡眠模式。反之，當SL 216為撤銷確立狀態而/SL 220處於確立狀態時，會開啟足開關，此時LVT邏輯閘210處於作用中模式。再一次強調，僅使用一個足開關(而非頭開關)即可提高邏輯閘之開關速度，同時縮小電路尺寸。

輸出終端430(與輸入端230反相)另外還電連接至上拉電晶體240，以避免在邏輯閘處於睡眠模式時輸出終端430浮動。上拉電晶體240之作用與上面圖3中所描述的一致。簡言之，當SL 216處於確立狀態(/SL 220為撤銷確立狀態)時，邏輯閘進入睡眠模式且會開啟上拉電晶體240，從而將輸出終端430之電位上拉至VDD 206之電位。由於避免了在睡眠模式下輸出終端430電位之浮動，所以附加之邏輯閘(譬如反相器450)可電連接至輸出終端430，而不會有產生流過反相器450之不希望之交叉電流之風險。

圖5為電路500之示意圖，該電路中之LVT邏輯閘210係經由頭開關212由VDD 206供電，且直接電連接至參考信號GND 208。如圖5所示，電路500使用頭開關212而非足開關。故LVT邏輯閘210係經由頭開關212從VDD 206處擷取電壓。與電路100及200同時具有頭開關與足開關相似，當SL 216處於確立狀態(SL 216處於高位準)時，邏輯閘缺乏完全導通路徑(因為頭開關212關閉以及VDD 206與邏輯閘210隔離)，故透過LVT邏輯閘210從VDD 206流出之漏電流得以完全消除。

電路 500 亦包括一 NMOS 下拉電晶體 510，該 NMOS 下拉電晶體 510 的閘極端子係連接至 SL 216。當下拉電晶體 510 處於開啟狀態時，輸出終端 218 之電位被下拉至參考電壓 GND 208。尤其是，當邏輯閘進入睡眠模式 (SL 216 為高位準) 時，NMOS 下拉電晶體處於開啟狀態，從而在輸出終端 218 與 GND 208 間形成一導電路徑，故輸出終端 218 被下拉至一已知之非浮動位準。

總之，圖 5 中之實施例比標準之 MTCMOS 電路 (譬如電路 100) 有幾個方面之優勢：首先，電路 500 不含足開關，故只需較小之電路尺寸；其次，下拉電晶體 510 確保當 SL 216 處於確立狀態以及電路 500 處於睡眠模式時，輸出終端 218 之電位不浮動，從而避免連接於輸出終端 218 之組件從邏輯閘中拉出交叉電流。

圖 6 為電路 600 之示意圖，圖中顯示一 CMOS 反相器係經由一頭開關 212 電連接至 VDD，且其輸出終端係連接至一下拉電晶體 510。如圖 6 所示，LVT 邏輯閘 210 包括一 CMOS 反相器，該反相器包括均接收輸入信號 230 之 LVT PMOS 電晶體 410 與 LVT NMOS 電晶體 420。如上所述，當輸入信號 230 為低位準時，LVT PMOS 電晶體 410 在 VDD 206 與輸出終端 430 之間形成一導電路徑；而當輸入信號 230 為高位準時，LVT NMOS 電晶體 420 在 GND 208 與輸出終端 430 之間形成一導電路徑。

如上所述，LVT 邏輯閘 210 係電連接至頭開關 212，以使邏輯閘能在作用中模式與睡眠模式之間切換。簡言之，當

SL 216處於確立狀態(SL 216為高位準)時，會關閉頭開關212且VDD 206與邏輯閘210電隔離，此時LVT邏輯閘210處於睡眠模式。相反，當SL 216信號為撤銷確立狀態(即SL 216為低位準時)時，會開啟頭開關212且VDD 206電連接至邏輯閘210，此時邏輯閘210處於作用中模式。與同時使用頭開關及尾開關之系統相比，僅使用頭開關212之電路只需要更小之電路尺寸。

輸出終端610(與輸入端230反相)另外還電連接至下拉電晶體510，以避免在LVT邏輯閘210處於睡眠模式時輸出終端610浮動。下拉電晶體510之作用與前面所提及之圖5中之情形一樣。簡言之，當SL 216處於確立狀態(即SL 216處於高位準)時，LVT邏輯閘210進入睡眠狀態且會開啟下拉電晶體510，此時輸出終端610係電連接至GND 208且將輸出終端610之電位下拉至GND 208。由於輸出終端610避免了在邏輯閘處於睡眠模式時浮動，所以附加之邏輯閘電路(譬如反相器450)可電連接至輸出終端610，從而避免產生流過反相器450之不希望之交叉電流之風險。

資訊及信號可以各種不同之技術與方法來予以表現，熟諳此藝者對此完全能理解。譬如，前面所提及之資料、指令、命令、資訊、信號、位元、符號以及晶片等，均可以電壓、電流、電磁波、磁場或磁粒子、光場或光子、或其任意之組合來表示。

熟諳此藝者另外還須明瞭，配合本文所公佈之具體實施例一同被描述之各種示例性邏輯組塊、模組、電路、演算

法步驟等，均可以電子硬體、電腦軟體或其結合之形式予以實現。為清晰地闡述硬、軟體之此種可交替性，對各種示例性部件、邏輯組塊、模組、電路及演算法步驟等，已依照其功能性概要地描述於上。而對功能性是以硬體還是以軟體形式來實現，則取決於特定之應用以及對整個系統之設計要求等。熟諳此藝者可以各種不同之方式來實現用於每一特定應用之功能性，但不能認為其脫離了本發明範圍。

配合本文所揭示之具體實施例一同被描述之各種示例性邏輯組塊、模組及電路等，可與下列裝置或電路一起實現或被完成，即：通用處理器、數位信號處理器(DSP)、專用積體電路(ASIC)、現場可編程陣列(FPGA)、或其他可編程邏輯裝置、離散閘或電晶體邏輯、離散硬體組件、或其被設計用於完成本文所描述之功能之任意組合。通用處理器可為一微處理器，但作為另一種選擇，處理器亦可為任何傳統之處理器、控制器、微控制器或狀態機等。處理器亦可以各種計算裝置之組合形式來實現，譬如DSP與微處理器之組合、多個微處理器、結合DSP核心之一個或多個微處理器、或任何其他之此等組態等。

配合本文公開之具體實施例一同被描述之方法或演算法步驟，可以硬體、由處理器執行之軟體模組、或二者之組合來具體實施例。軟體模組可駐留於RAM記憶體、快閃記憶體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、可抽換式磁碟、CD-ROM或任何其他形式之

已知儲存媒體中。一示例性儲存媒體電連接至處理器，因此處理器可從儲存媒體上讀取資訊或將資訊寫入。作為另一種選擇，可將儲存媒體與處理器做成一完整之晶片。處理器與儲存媒體亦可存在於一塊ASIC晶片上，而此種ASIC晶片可應用於行動台、基地台或基地台控制器中。另外一種方法為，處理器與儲存媒體亦可作為行動台、基地台控制器中之分立元件使用。

以上我們對所公開之具體實施例進行了詳細闡述，以使任何熟諳此藝者均能製造本發明所述之電路或使用本發明所述之方法，熟諳此藝者對此等具體實施例之各種修改均係顯然且並不困難，而且本文所定義之基本原理，可於不背離本發明之精神或範圍之前提下被應用至其他具體實施例中。因此，不希望將本發明僅侷限於本文所提供之具體實施例中，而應使其配合本文所公開之原理及新特性之最大範圍相符合。

[圖式簡單說明]

圖1為一示例性先前技術之MTCMOS電路示意圖。

圖2為一邏輯閘電路示意圖，該邏輯閘係經由一頭開關與足開關供電且其輸出終端係連接至一上拉電晶體。

圖3為一邏輯閘電路示意圖，該邏輯閘係經由一足開關接地且其輸出終端係連接至輸出終端一上拉電晶體。

圖4為一CMOS反相器示意圖，該反相器係經由一足開關接地且其輸出終端係連接至輸出終端一上拉電晶體。

圖5為一邏輯閘電路示意圖，該邏輯閘係經由一頭開關供

電且其輸出終端係連接至輸出終端一下拉電晶體。

圖 6 為一 CMOS 反相器示意圖，該反相器係經由一頭開關供電且其輸出終端係連接至輸出終端一下拉電晶體。

[圖式代表符號說明]

100	電路
102	虛擬電源 VDDV
104	虛擬接地 GNDV
106	實際電源 VDD
108	實際接地 GND
110	邏輯閘
112	頭開關
114	足開關
116	睡眠信號
118	輸出終端
120	睡眠信號
130	輸入信號
200	電路
202	虛擬電源 VDDV
204	虛擬接地 GNDV
206	實際電源 VDD
208	實際接地 GND
210	邏輯閘
212	頭開關
214	足開關

216	睡眠信號
218	輸出終端
220	睡眠信號
230	輸入信號
240	上拉電晶體
300	電路
400	電路
410	LVT PMOS電晶體
420	LVT NMOS電晶體
430	輸出終端
450	反相器
500	電路
510	NMOS下拉電晶體
600	電路
610	輸出終端

伍、中文發明摘要：

將上拉電晶體和/或下拉電晶體電連接至MTCMOS邏輯閘之輸出終端。當電路進入睡眠模式時(譬如高電壓臨限值頭開關與/或足開關被撤銷確立時)，使用上拉電晶體將邏輯閘輸出終端之電壓上拉至一已知之非浮動電壓位準，以避免被所連接之不含足開關及頭開關之電路拉出交叉電流。同樣地，當下拉電晶體電連接至MTCMOS邏輯閘之輸出終端且電路處於睡眠模式時，邏輯閘輸出終端之電位被下拉至"接地"或其他之參考電壓位準。由於在邏輯閘之輸出終端增加了上拉或下拉電晶體，故邏輯閘之輸出被拉至一已知之非浮動電壓位準，從而防止已電連接至邏輯閘之輸出終端之組件從邏輯閘中拉出交叉電流。

陸、英文發明摘要：

[0049] Pullup and/or pulldown transistors are electrically connected to the output of MTCMOS logic gates. The use of a pullup transistor pulls up the output to a known, non-floating voltage level when the circuit enters a sleep mode (e.g. the high voltage threshold headswitch and/or footswitch are de-asserted) eliminating crowbar current from being drawn by connected circuits having neither footswitches nor headswitches. Likewise, when a pulldown transistor is electrically connected to the output of the MTCMOS logic gates, the output is pulled down to ground, or other reference level, when the circuit is in a sleep mode. As a result of the addition of a pullup or pulldown transistor on the output of the logic gates, the output is pulled to a known, non-floating voltage level, and the drawing of crowbar current from components that are electrically connected to the output of the logic gates is prevented.

拾、申請專利範圍：

1. 一種積體電路，包括：
 - 一邏輯閘，其包含一參考終端與一輸出終端；
 - 一足開關，其具有一電連接至該參考終端之第一終端，以及一電連接至一參考信號之第二終端之；
 - 一電晶體，其電連接至該輸出終端，以在該足開關關閉時將該輸出終端電位調整至一已知電壓位準。
2. 如申請專利範圍第1項之積體電路，其中該電晶體係一連接至該輸出終端之上拉電晶體，用於將該輸出終端的電壓位準遞增至一已知電壓位準。
3. 如申請專利範圍第1項之積體電路，其中該電晶體係一連接至該輸出終端之下拉電晶體，用於將該輸出終端的電壓位準遞減輸出終端輸出終端至一已知電壓位準。
4. 如申請專利範圍第2項之積體電路，其中該足開關包括一NMOS電晶體，以及該上拉電晶體包括一PMOS電晶體。
5. 如申請專利範圍第4項之積體電路，其中該NMOS電晶體之臨限電壓高於該邏輯閘之臨限電壓。
6. 如申請專利範圍第4項之積體電路，進一步包括：
 - 一睡眠信號，其電連接至該足開關及該上拉電晶體以控制該足開關及該上拉電晶體之開關狀態，其中當該睡眠信號處於確立狀態時會關閉該足開關且開啟該上拉電晶體。
7. 如申請專利範圍第1項之積體電路，進一步包括一頭開

關，該頭開關包括一電連接至該邏輯閘之電壓終端之第一終端，以及一電連接至一電壓源之第二終端。

8. 如申請專利範圍第1項之積體電路，其中邏輯閘包括一CMOS反相器。

9. 一種積體電路，包括：

一邏輯閘，其包含一電壓終端及一輸出終端；

一頭開關，其具有一電連接至該電壓終端之第一終端，以及一電連接至該電壓源之第二終端。

一電晶體，其電連接至該輸出終端，以在該頭開關關閉時將該輸出終端電位調整至一已知電壓位準。

10. 如申請專利範圍第9項之積體電路，其中該電晶體係一連接至該輸出終端之上拉電晶體，用於將該輸出終端的電壓位準遞增至一已知電壓位準。

11. 如申請專利範圍第9項之積體電路，其中該電晶體係一連接至該輸出終端之下拉電晶體，用於將該輸出終端的電壓位準遞減輸出終端輸出終端至一已知電壓位準。

12. 如申請專利範圍第11項之積體電路，其中該頭開關包括一PMOS電晶體，以及該下拉電晶體包括一NMOS電晶體。

13. 如申請專利範圍第12項之積體電路，其中該NMOS電晶體之臨限電壓高於該邏輯閘之臨限電壓。

14. 如申請專利範圍第12項之積體電路，進一步包括：

一睡眠信號，其電連接至該頭開關及該下拉電晶體以控制該頭開關及該下拉電晶體之開關狀態，其中當該睡

眠信號處於確立狀態時會關閉該頭開關且開啟該下拉電晶體。

15. 如申請專利範圍第9項之積體電路，進一步包括一足開關，該足開關包括一電連接至該參考終端之第一終端及一電連接至該一參考信號之第二終端。
16. 一種多臨限值CMOS(MTCMOS)電路，其包括一睡眠模式及一作用中模式，並且包括一電連接至一上拉電晶體之輸出終端，其中在該MTCMOS電路處於睡眠模式時，該上拉電晶體使該輸出終端之電壓位準保持於一已知電壓位準。
17. 如申請專利範圍第16項之MTCMOS電路，其中該足開關包括一NMOS電晶體，以及該上拉電晶體包括一PMOS電晶體。
18. 一種包括一積體電路之電子裝置，其中該積體電路包括：
 - 一邏輯閘，其包含一輸出終端；
 - 一上拉電晶體，其電連接至該輸出終端；
 - 用於使該邏輯閘與該參考電壓電隔離之構件；
 - 用於將輸出終端電壓位準調整至一已知電壓位準上之構件，其中電隔離及電壓位準調整實質上係同時發生。
19. 如申請專利範圍第18項之電子裝置，其中該邏輯閘電路包括一CMOS邏輯閘。
20. 如申請專利範圍第18項之電子裝置，其中該電子裝置為一無線電話或一尋呼機。

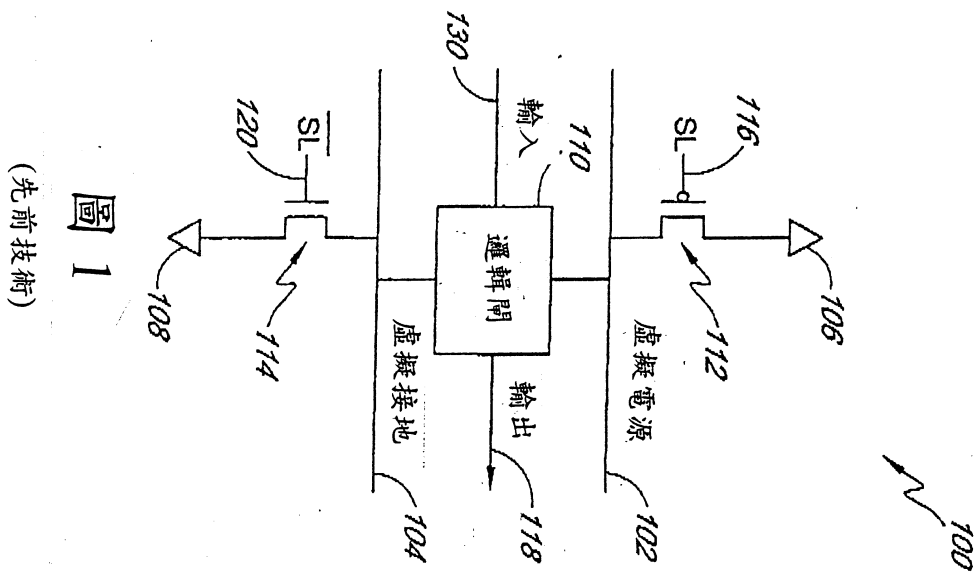
21. 一種用於在邏輯閘處於睡眠模式時避免邏輯閘之輸出浮動之方法，包括：
- 提供一電連接至該邏輯閘之參考終端之足開關，其中當該足開關處於關閉狀態時睡眠模式開始；且
 - 提供一電連接至該邏輯閘之輸出終端之上拉電晶體；
 - 當該邏輯閘處於睡眠模式時啟動該上拉電晶體。
22. 如申請專利範圍第21項之方法，其中該邏輯閘包括一CMOS反相器。
23. 如申請專利範圍第21項之方法，其中該足開關包括一NMOS電晶體，以及該上拉電晶體包括一PMOS電晶體。
24. 一種避免邏輯閘之輸出終端上的電壓位準浮動之方法，包括：
- 提供一電連接至該輸出終端之上拉電晶體；
 - 撤銷啟動一電連接至該邏輯閘之足開關，其中撤銷啟動時使該邏輯閘與一參考電壓相隔離；以及
 - 啟動該上拉電晶體，以使該輸出終端之電壓位準被調整至一已知電壓位準，其中啟動與撤銷啟動實質上係同時發生。
25. 如申請專利範圍第24項之方法，進一步包括：
- 撤銷啟動一電連接至該邏輯閘之頭開關，其中撤銷啟動時使該邏輯閘與一電壓源電隔離。
26. 一種避免一電連接至一多臨限值CMOS(MTCMOS)電路之輸出終端的組件拉出交叉電流之方法，該方法啟動一

電連接至該輸出終端之電晶體，以使該輸出終端之電壓位準被調整至一已知電壓位準。

27. 如申請專利範圍第26項之方法，其中該電晶體係連接至一用於提供已知電壓位準之電壓源，從而當啟動該電晶體時使該輸出終端之電壓位準相等於該已知之電壓位準。

28. 如申請專利範圍第26項之方法，其中該電晶體係連接至一參考電壓，以使當啟動該電晶體時，該輸出終端之電壓位準實質上相等於該參考電壓。

拾壹、圖式：



(先前技術)

圖 1

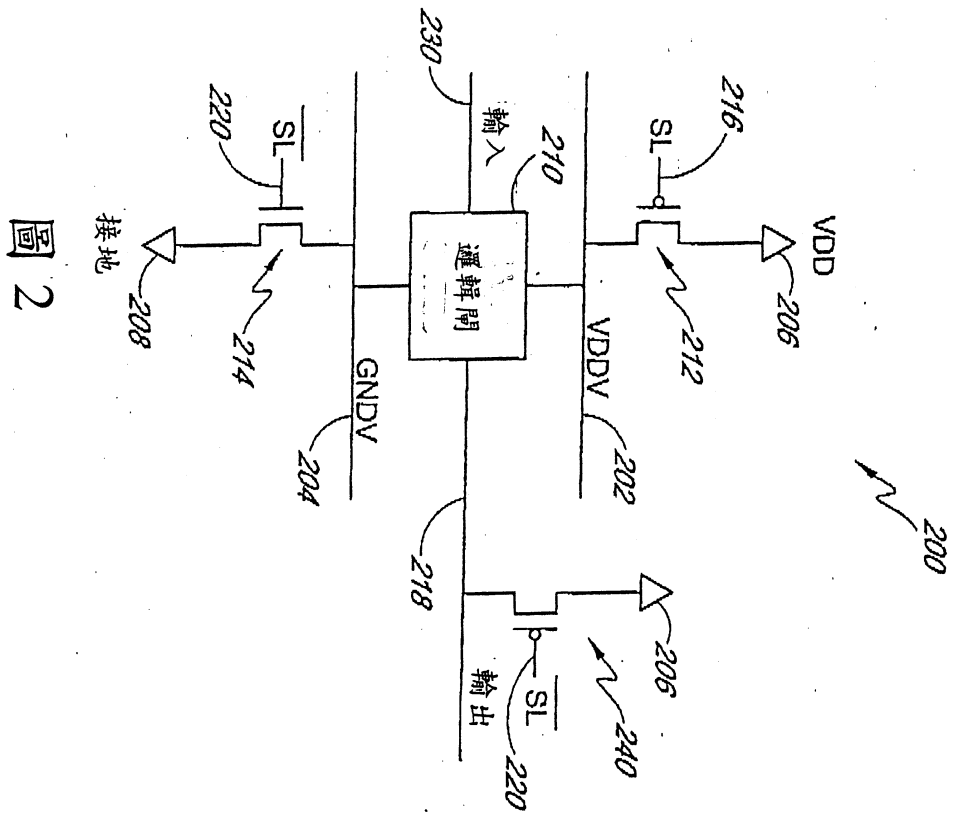


圖 2

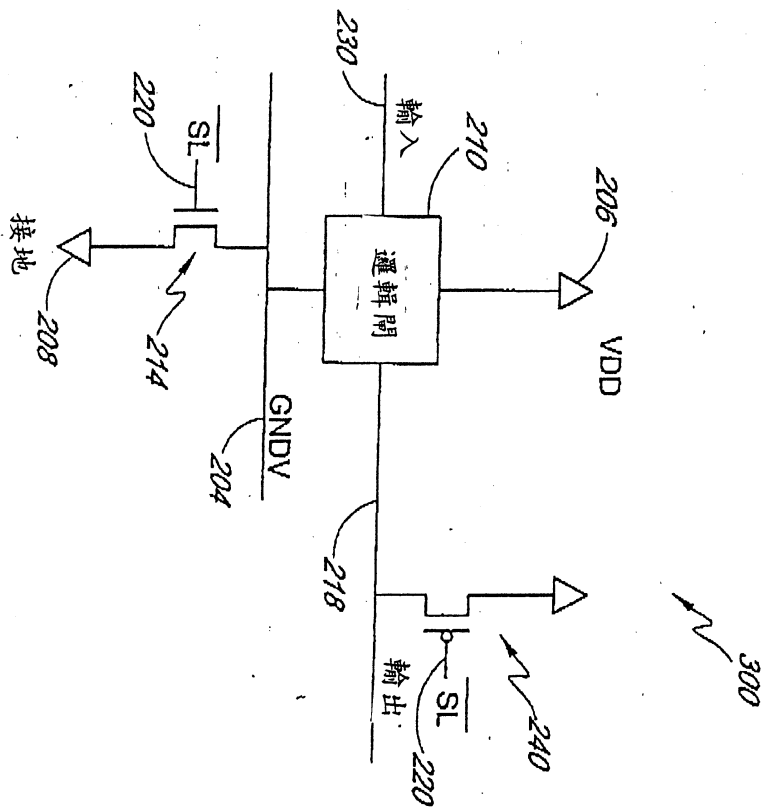


圖 3

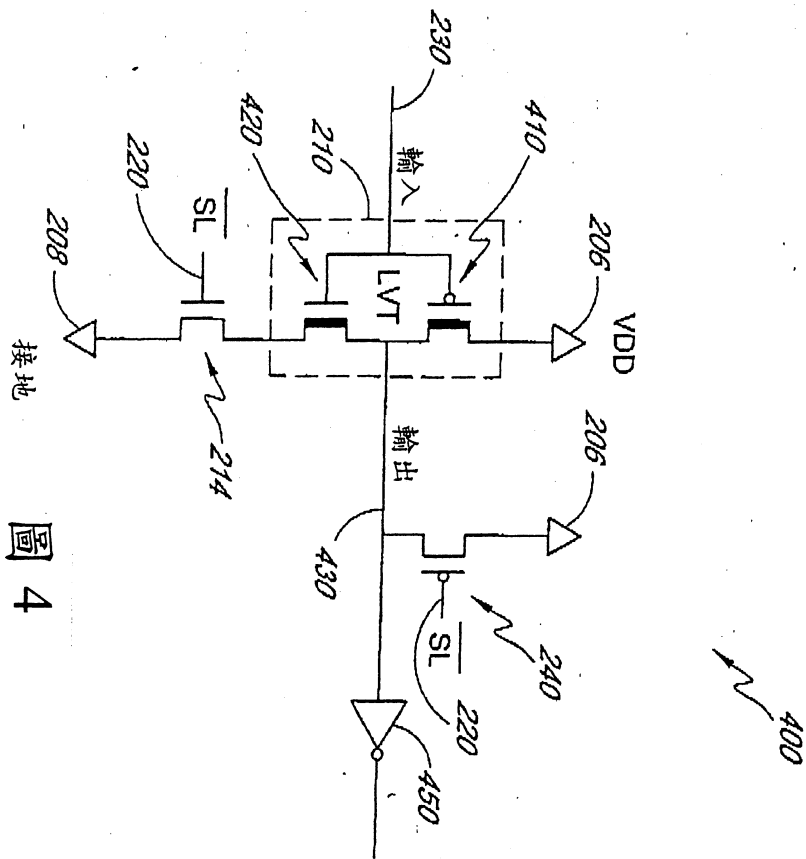


圖 4

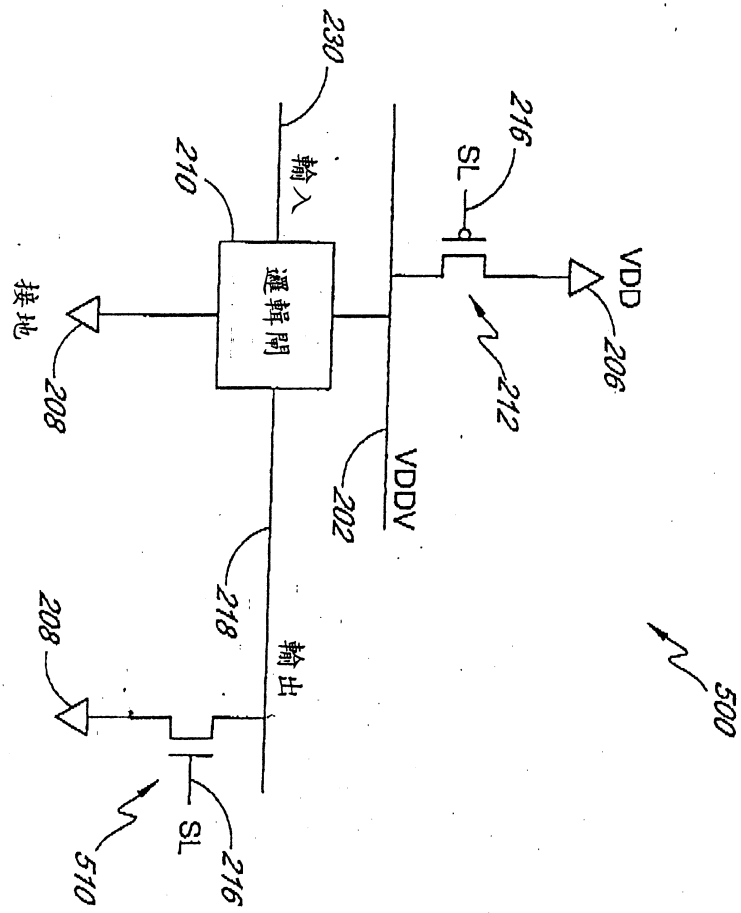


圖 5

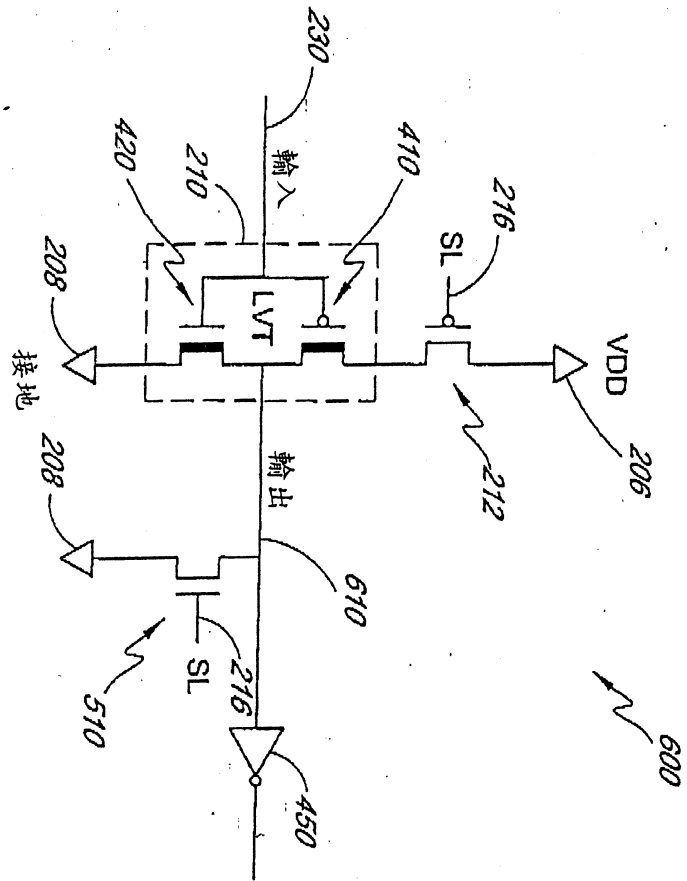


圖 6

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

200	電路
202	虛擬電源 VDDV
204	虛擬接地 GNDV
206	實際電源 VDD
208	實際接地 GND
210	邏輯閘
212	頭開關
214	足開關
216	睡眠信號 SL
218	輸出終端
220	睡眠信號
230	輸入信號
240	上拉電晶體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：