

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5313487号
(P5313487)

(45) 発行日 平成25年10月9日 (2013. 10. 9)

(24) 登録日 平成25年7月12日 (2013. 7. 12)

(51) Int. Cl.

F I

G 1 1 C 16/04 (2006. 01)

G 1 1 C 17/00 6 2 3 Z

G 1 1 C 17/12 (2006. 01)

G 1 1 C 17/00 3 0 4 B

G 1 1 C 16/06 (2006. 01)

G 1 1 C 17/00 6 2 1 Z

G 1 1 C 11/412 (2006. 01)

G 1 1 C 17/00 6 3 4 G

G 1 1 C 17/00 6 3 4 D

請求項の数 8 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2007-301370 (P2007-301370)
 (22) 出願日 平成19年11月21日 (2007. 11. 21)
 (65) 公開番号 特開2009-129487 (P2009-129487A)
 (43) 公開日 平成21年6月11日 (2009. 6. 11)
 審査請求日 平成22年11月19日 (2010. 11. 19)

(73) 特許権者 503291439
 株式会社 G E N U S I O N
 兵庫県尼崎市道意町7丁目1番3号 尼崎
 リサーチ・インキュベーションセンター
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (74) 代理人 100123940
 弁理士 村上 辰一
 (72) 発明者 小倉 卓
 兵庫県尼崎市道意町7丁目1番3号 尼崎
 リサーチインキュベーションセンター 株
 式会社 G E N U S I O N 内

審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶素子および不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

標準 C M O S プロセスで製造された、ゲート電極の側部にサイドスペーサを有し、電子注入によりしきい値電圧を制御可能な M O S トランジスタである T R U E 側記憶トランジスタおよび B A R 側記憶トランジスタと、

前記 2 つの記憶トランジスタのソースが共通に接続されたソース線と、

前記 T R U E 側記憶トランジスタのドレインと T R U E 側ビット線との間に接続された M O S トランジスタである T R U E 側選択トランジスタと、

前記 B A R 側記憶トランジスタのドレインと B A R 側ビット線との間に接続された M O S トランジスタである B A R 側選択トランジスタと、

前記 2 つの選択トランジスタのゲートに接続されたワード線とを含む不揮発性半導体記憶素子であって、

前記 T R U E 側記憶トランジスタのゲート、前記 B A R 側記憶トランジスタのゲート及び前記ソース線に所定の電圧を印加し、

電子を注入する記憶トランジスタのドレインの電圧を前記所定の電圧よりも低い電圧とすることにより前記電子を注入する記憶トランジスタのソース側のサイドスペーサにチャネルホットエレクトロンを注入することにより書き込みを行ない、

前記 T R U E 側記憶トランジスタのドレイン電圧、前記 B A R 側記憶トランジスタのドレインの電圧、前記 T R U E 側記憶トランジスタのゲート電圧および前記 B A R 側記憶トランジスタゲート電圧に対して正の電圧を前記ソース線に印加して前記 T R U E 側記憶トラ

10

20

ンジスタおよび前記 B A R 側記憶トランジスタの各々のソース側のサイドスペースにアバランシェホットホールを注入することにより前記 T R U E 側記憶トランジスタおよび前記 B A R 側記憶トランジスタに記憶書き込まれた情報を消去することを特徴する不揮発性半導体記憶素子。

【請求項 2】

前記 T R U E 側記憶トランジスタのドレインおよび前記 B A R 側記憶トランジスタのドレインにそれぞれ電氣的に接続されるセンスアンプ回路と、前記センスアンプ回路に接続されるフリップフロップとをさらに含むことを特徴する請求項 1 に記載の不揮発性半導体記憶素子。

【請求項 3】

前記 T R U E 側記憶トランジスタの前記ゲート電圧および B A R 側記憶トランジスタの前記ゲート電圧をそれぞれ V c c に設定し、前記ワード線に印加される電圧を V c c に設定し、前記 T R U E 側ビット線および前記 B A R 側ビット線にそれぞれ現れた電圧の電位差を前記センスアンプ回路で読みだすことを特徴する請求項 2 に記載の不揮発性半導体記憶素子。

【請求項 4】

前記センスアンプ回路で読みだされた前記電位差をフリップフロップに転送することを特徴する請求項 3 に記載の不揮発性半導体記憶素子。

【請求項 5】

前記電位差をフリップフロップに転送された後は前記 T R U E 側記憶トランジスタの前記ゲート電圧および B A R 側記憶トランジスタの前記ゲート電圧をそれぞれ 0 V にすることを特徴する請求項 4 に記載の不揮発性半導体記憶素子。

【請求項 6】

前記 T R U E 側記憶トランジスタの前記ゲート電圧および前記 B A R 側記憶トランジスタの前記ゲート電圧がそれぞれ独立して制御される請求項 1 乃至請求項 5 のいずれかに記載の不揮発性半導体記憶素子。

【請求項 7】

前記 T R U E 側記憶トランジスタの前記ゲート電圧および前記 B A R 側記憶トランジスタの前記ゲート電圧が共通に制御される請求項 1 乃至請求項 5 のいずれかに記載の不揮発性半導体記憶素子。

【請求項 8】

請求項 1 乃至請求項 7 のいずれかに記載の不揮発性半導体記憶素子が複数行、複数列のマトリクス状に配列されたメモリアレイを有する不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に消去および書き込み可能な不揮発性半導体記憶素子およびそれを備えた不揮発性半導体記憶装置に関するものである。

【背景技術】

【0002】

内蔵 S R A M の容量の増大に伴うリダグダンシ（冗長化）の必要性、L C D ドライバ等のボード実装後に個別のチューニングを実施する必要性、個人識別情報（I D コード、暗号解読用キー、および、I C カードの番号等）の多様な用途拡大等に伴って、低コストなヒューズの必要性が高まってきている。

【0003】

従来、標準 C M O S プロセスで形成可能なヒューズメモリとして、レーザや電流で溶断されるポリシリコンや配線メタル層を有するもの、電圧で破壊される絶縁ゲート膜を有するもの、等があった。しかし、このような溶断する部分や絶縁破壊する部分を有するヒューズメモリは、一度しかプログラムできないため上述のような書き換えが必要な用途には

10

20

30

40

50

適さない。

【0004】

一方、フローティングゲート型の不揮発性素子であれば、CMOSプロセスで電氣的に消去・書込みが可能なヒューズを作成することができるが、フローティングゲートを形成するために従来のフラッシュメモリと同じような標準CMOSプロセスに付加的なプロセスを導入する必要があるため、コスト的観点から見合わない。また、標準CMOSプロセスでは、高集積化に伴い絶縁膜が薄くなるため、この標準CMOSプロセスを用いてフローティングゲートを形成するとデータ保持特性が悪くなるという問題があった。

【0005】

そこで、例えば特許文献1・特許文献2・特許文献3には、標準CMOSプロセスで製造可能な不揮発性記憶装置や特別なフローティングゲートを持たない不揮発性記憶装置が示されている。

【0006】

【特許文献1】米国特許第6,518,614号公報

【特許文献2】特開2004-56095号公報

【特許文献3】特開2005-353106号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

図1に従来例として特許文献3に開示されている標準CMOSプロセスで製造された不揮発性記憶装置のメモリセル構成を示す。このメモリセルは、不揮発性データ記憶部であるN型MOSトランジスタMCN1、MCN2と、不揮発性データ記憶部の出力ノードnodeT、nodeBを差動入力とするスタティックラッチ形態のフリップフロップ部(MN3、MN4、MP1、MP2)から構成される。フリップフロップ部では通常のSRAM動作の読み出しや書き込み動作が行える一方で、不揮発性データ記憶部の情報をリロードしてフリップフロップ部にデータを格納することが可能な構成である。

【0008】

図2に上記従来例におけるデータ設定方法を示す。このデータ設定方法は、MCN1、MCN2のしきい値電圧差でデータを確定する方法である。データ書き込み前の初期状態においては、N型MOSトランジスタMCN1、MCN2は共にしきい値電圧 V_{th0} であり、この状態においてはフリップフロップの出力データは不定となる。そのため、データを確定するために、まず、データ"0"の書き込みをMCN1側のしきい値電圧を V_{th1} ($V_{th1} > V_{th0}$)まで上げることで実現する。本構成においては、消去する (V_{th} を下げる) ことができないので、その後の、データ"1"の書き込みは、データ"0"の状態から、MCN2側のしきい値電圧を V_{th2} ($V_{th2} > V_{th1}$)まで上げることで実現する。

【0009】

図3に上記従来例における不揮発性データ記憶部のN型MOSトランジスタのしきい値電圧変更方法を示す。例として、データ"0"、すなわちMCN1側のしきい値電圧を上げる場合を示している。基本的にはN型MOSトランジスタのホットキャリアによる特性劣化を積極的に利用しており、しきい値電圧を上げたい方のMCN1のソース電位を0V、ゲート電位(MLW)を2.5V、ドレイン電位(nodeT)を5Vにしてドレイン端付近におけるホットキャリア注入現象でしきい値電圧を上げるようにしている。この時、ドレイン電位の5Vは、ビット線BLT電位を5Vにして、フリップフロップ部のワード線WLを十分に高い電圧(7V)にしてBLT電位の5Vが完全にnodeTに供給されるようにすることによって供給する。しきい値電圧を上げたくない方のMCN2のドレイン電位はBLB電位を0Vに設定することで、ホットキャリア注入が発生しないように制御している。データ"1"を書く場合は、MCN2側のしきい値電圧を上げることになるので、BLT=0V、BLB=5Vと設定するだけで、他の条件はデータ"0"書き込み時と同じである。

10

20

30

40

50

【 0 0 1 0 】

図 4 に上記従来例における不揮発性データ記憶部からフリップフロップ部へのデータ転送方法を示す。同図は、データ " 0 "、つまり、MCN1 のしきい値電圧 V_{th1} が MCN2 のしきい値電圧 V_{th0} よりも高い場合のデータ転送方法を示している。フリップフロップ部において、ワード線 $WL = 0V$ 、リストア制御信号 $RESETORE = 0V$ にした条件下で、時刻 t_0 にイコライズ制御信号 ZEQ を V_{cc} から $0V$ に下げることで、 $nodeT$ と $nodeB$ を同電位にイコライズする。時刻 t_1 でイコライズ動作を終了し、時刻 t_2 から徐々に MCN1、MCN2 のゲート電位である MLW を上げていくことで、しきい値電圧の低い MCN2 側が先にオンして、 $nodeB$ の電位を引き下げていく。しばらくすれば MCN1 側もオンするが、最終的にはしきい値電圧の低い MCN2 側の $nodeB$ が $0V$ 、MCN1 側の $nodeT$ が V_{cc} でラッチは確定する。時刻 t_3 で MLW の昇圧を完了し、時刻 t_4 で $RESETORE$ を $0V$ から V_{cc} に上げることでフリップフロップ部のラッチを活性化して、データを安定に保持し、最後に時刻 t_5 で MLW を $0V$ に下げて終了となる。

10

【 0 0 1 1 】

以上、従来例におけるメモリセルの動作説明をしてきたが、従来構成においては以下の問題がある。

〔 1 〕しきい値電圧差のマージンが小さい。しきい値電圧差マージンは、データ " 0 " の場合は $V_{th1} - V_{th0}$ 、データ " 1 " の場合は $V_{th2} - V_{th1}$ がそれに相当する。ホットキャリア注入現象におけるしきい値電圧変化量には、上限値 V_{th_max} が存在し、データ " 0 " 及びデータ " 1 " の読み出しマージンを均等に配分すれば、書き換え 1 回を前提とした場合の各々のマージンは $(V_{th_max} - V_{th0}) / 2$ となる。N 回の書き換えをすることを前提とした場合は、 V_{th} 制御を V_{th_max} を最大値として $2N$ 分割する必要があるが、データ " 0 "、データ " 1 " の各々のマージンは $(V_{th_max} - V_{th0}) / 2N$ となり、さらにマージンが小さくなる。

20

【 0 0 1 2 】

〔 2 〕不揮発性データ記憶部にデータを書く時の動作電圧として、各メモリセル毎に制御する必要があるワード線 WL 、及びビット線 BLT 、 BLB に高電圧 ($7V$ 及び $5V$) を印加する必要がある。これはワード線及びビット線を駆動するドライバ、並びにビット線を選択するためのカラム選択トランジスタに高耐圧トランジスタを使用する必要があることを意味する。通常読み出し動作のように、 $V_{cc} = 1.8V$ で動作させる時は、高電圧対応で最適化された高耐圧トランジスタは高速でないため、アクセス遅延を引き起こす問題がある。電流駆動能力を上げるためにトランジスタサイズを大きくすることは、チップ面積を大きくすることにつながるという問題点がある。

30

【 0 0 1 3 】

不揮発性メモリにおいて読み出しマージンを大きくとるのは、データ保持特性を改善することが目的である。よって、データ保持状態で記憶トランジスタに電圧ストレスが印加されないようにすることも重要である。

【 0 0 1 4 】

この発明は、読み出しマージンを大きくとることができ、且つ、スタンバイ状態において記憶トランジスタに電圧ストレスが印加されない書き換え可能な不揮発性半導体記憶素子および不揮発性半導体記憶記憶装置を提供することを目的とする。

40

【課題を解決するための手段】

【 0 0 1 5 】

請求項 1 の発明は、ゲート近傍への電子注入によりしきい値電圧を制御可能な MOS トランジスタである TRUE 側記憶トランジスタおよび BAR 側記憶トランジスタと、前記 2 つの記憶トランジスタのソースに接続されたソース線と、前記 TRUE 側記憶トランジスタのドレインと TRUE 側ビット線との間に接続された MOS トランジスタである TRUE 側選択トランジスタと、前記 BAR 側記憶トランジスタのドレインと BAR 側ビット線との間に接続された MOS トランジスタである BAR 側選択トランジスタと、前記 2 つの

50

選択トランジスタのゲートに接続されたワード線と、を含み、TRUE側記憶トランジスタのドレイン電圧、BAR側記憶トランジスタのドレインの電圧、TRUE側記憶トランジスタのゲート電圧および前記BAR側記憶トランジスタゲート電圧に対して正の電圧を前記ソース線に印加してTRUE側記憶トランジスタおよびBAR側記憶トランジスタに正電荷を注入することによりTRUE側記憶トランジスタおよびBAR側記憶トランジスタに記憶書き込まれた情報を消去することを備えたことを特徴とする。

【0016】

請求項2の発明は、請求項1に記載の発明に、さらに、TRUE側記憶トランジスタのドレインおよびBAR側記憶トランジスタのドレインにそれぞれ電氣的に接続されるセンスアンプ回路と、センスアンプ回路に接続されるフリップフロップとを含むことを特徴とする。

10

【0017】

請求項3の発明は、請求項2に記載の発明において、TRUE側記憶トランジスタのゲート電圧およびBAR側記憶トランジスタのゲート電圧をそれぞれVccに設定し、ワード線に印加される電圧をVccに設定し、TRUE側ビット線およびBAR側ビット線にそれぞれ現れた電圧の電位差を前記センスアンプ回路で読みだすことを特徴とする。

【0018】

請求項4の発明は、請求項3に記載の発明において、センスアンプ回路で読みだされた電位差をフリップフロップに転送することを特徴とする。

20

【0019】

請求項5の発明は、請求項4に記載の発明において、電位差をフリップフロップに転送された後は前記TRUE側記憶トランジスタのゲート電圧およびBAR側記憶トランジスタのゲート電圧をそれぞれ0Vにすることを特徴とする。

【0020】

請求項6の発明は、請求項1～5の発明において、前記TRUE側記憶トランジスタのゲート電圧および前記BAR側記憶トランジスタのゲート電圧がそれぞれ独立して制御されることを特徴とする。

【0021】

請求項7の発明は、請求項1～5の発明において、前記TRUE側記憶トランジスタのゲート電圧および前記BAR側記憶トランジスタのゲート電圧が共通に制御されることを特徴とする。

30

【0022】

請求項8の発明の不揮発性半導体記憶装置は、請求項1乃至請求項7のいずれかに記載の不揮発性半導体記憶素子が複数行、複数列のマトリクス状に配列されたメモリアレイを有することを特徴とする。

【0023】

上記発明の代表的な構成を要約すると以下のとおりである。

標準CMOSプロセスで記憶トランジスタを構成し、不揮発性メモリは、選択トランジスタと記憶トランジスタとの直列回路を一对有した構成とする。記憶トランジスタの情報は、記憶トランジスタとは別に設けたフリップフロップ部に格納することを特徴とする。

40

【0024】

記憶トランジスタは、ソース・ドレイン間のチャネルの上部にゲート絶縁膜を介してゲート電極を有し、ゲート電極の側部に絶縁膜サイドスペーサを有し、ドレイン側接合部が不純物濃度の低い低濃度領域を有するLDD構造であり、ソース側接合部がLDD構造部分の低濃度領域が形成されていない構造（非LDD構造）とする。

【0025】

そして、不揮発性メモリを駆動する駆動回路は、記憶トランジスタのドレインに対してゲート電極およびソースに正電圧を印加し、絶縁膜サイドスペーサにチャネルホットエレクトロンを注入して情報の書き込みを行い、ゲート電極およびドレインに対してソースに正電圧を印加して、絶縁膜サイドスペーサにアバランシェホットホールを注入して情報の

50

消去を行う回路とする。

【発明の効果】

【0026】

本願において開示される発明のうち代表的な効果は次のとおりである。

〔1〕通常のCMOSプロセスで形成されるトランジスタの片側だけをオフセット構造にすることにより得られる不揮発性素子の特性は安定性・再現性が悪く、動作不良になる可能性が高いが、本発明によれば、1対の記憶トランジスタの電流差を判定するので、動作安定性が飛躍的に向上する。

【0027】

〔2〕記憶トランジスタのゲート電圧をドライバ回路から供給できるので、記憶トランジスタのゲート、ソース間電位 V_{gs} の大きい領域、つまり電流量の多い領域でのデータ判定が可能となり、センスマージンが改善する。

【0028】

〔3〕記憶トランジスタとフリップフロップを電氣的に分離可能な構成としており、本メモリセルをフューズ用途の出力データとして使用する場合においても、記憶トランジスタに電界ストレスを与えることがないので、信頼性マージンが改善する。

【発明を実施するための最良の形態】

【0029】

まず、この発明の実施形態に用いられる記憶トランジスタについて説明する。図5は、以下の実施形態に用いられる記憶トランジスタの断面構造を示す図である。この図は書き込み時の電位配置を示している。

【0030】

図5において、抵抗率 10^{-3} cm のP型シリコン基板101の表面領域に、深さ $0.8 \mu\text{m}$ 、平均ボロン濃度 $2 \times 10^{17} \text{ cm}^{-3}$ のP型ウエル104が形成されている。このP型ウエル104に、深さ 250 nm の複数のトレンチ（素子分離）102によって分離された2つの記憶トランジスタMCN1, MCN2が形成されている。この図には、一方の記憶トランジスタ（MCN1）のみを示している。

【0031】

記憶トランジスタは、Nチャンネル型トランジスタであり、P型ウエル104の表面領域に、両側のトレンチ102に隣接して形成されたドレイン109, ソース115、および、ドレイン109の周辺領域に形成されたドレインエクステンション107を有する。ドレイン109, ソース115は、それぞれ平均砒素濃度 $1 \times 10^{20} \text{ cm}^{-3}$ に形成され、ドレインエクステンション107平均砒素濃度 $5 \times 10^{18} \text{ cm}^{-3}$ に形成されている。

【0032】

また、P型ウエル104の表面のドレイン109, ソース115間の領域であるチャンネル領域の基板には、膜厚 5 nm のゲート酸化膜105、および、膜厚 200 nm でリン濃度 $2 \times 10^{20} \text{ cm}^{-3}$ のポリシリコン膜からなるゲート電極106が形成されている。また、このゲート酸化膜105, ゲート電極106の両側には、膜厚 50 nm の絶縁膜からなるサイドスペーサ108、108Sが形成されている。なお、ソース115周辺にはエクステンション領域が形成されていないため、ソース側のサイドスペーサ108Sは、基板のチャンネル領域に対して露出している。

【0033】

また、P型ウエル104の領域内で、トレンチ102により、上記記憶トランジスタから分離された領域には、このP型ウエル104を接地するための電極である平均ボロン濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のP型拡散層111が形成されている。

【0034】

この記憶トランジスタは、ソース側のサイドスペーサ108Sにキャリアを注入することによってしきい値電圧を上昇させることができる。また、図10で説明するように、サイドスペーサ108Sに注入したキャリアを引き抜いて、しきい値電圧を初期状態に戻すこともできる。これにより、この記憶トランジスタは、不揮発にデータを記憶する。

10

20

30

40

50

【 0 0 3 5 】

この記憶トランジスタは、構造的に標準CMOSプロセスで製造可能なものであり、標準的な初期しきい電圧は0.8Vであるが、特殊な構造のトランジスタであるためしきい値のバラツキが大きい。このため、この記憶トランジスタを単独で記憶素子として用いて信頼性を確保することは困難である。このため、この実施形態のメモリセルユニットでは、この記憶トランジスタをペア(MCN1、MCN2)で用い、そのしきい値を比較することにより信頼性を向上している。

【 0 0 3 6 】

実施形態 1

図6～図14を参照して本発明の第1の実施形態に係るメモリセルユニット(不揮発性半導体記憶素子)およびこのメモリセルユニットを備えたメモリデバイス(不揮発性半導体記憶装置)について説明する。なお、以下の説明において、信号線と、その信号線に現れる信号・電圧は同じ記号で呼ぶこととする。

【 0 0 3 7 】

図6はメモリデバイスの1セルを構成するメモリセルユニットの回路図である。このメモリセルユニットは、1本のワード線WLおよび2本のビット線BLT(Bit Line - True)、BLB(Bit Line - Bar)を介して書き込みおよび読み出しが行われる。

【 0 0 3 8 】

N型MOSトランジスタである記憶トランジスタMCN1、MCN2は、ソース側のサイドスペーサ部が電荷蓄積領域として形成されたトランジスタである。記憶トランジスタMCN1、MCN2は、サイドスペーサ部にチャネルホットエレクトロンによりマイナス電荷が注入されてしきい値が上昇することにより、書き込み(プログラム)が行われる。記憶トランジスタMCN1、MCN2は、しきい値電圧をソース線SLを共有している。記憶トランジスタMCN1のゲートにはゲート制御線MGTが接続されており、記憶トランジスタMCN2のゲートには他のゲート制御線MGBが接続されている。MCN1のドレイン部(node T)は、N型MOSトランジスタであるトランスファゲートMN1を介してビットラインBLTと接続される。また、MCN2のドレイン部(node B)は、N型MOSトランジスタであるトランスファゲートMN2を介してビットラインBLBと接続される。これらのトランスファゲートMN1、MN2のゲートにはワード線WLが接続されている。

【 0 0 3 9 】

図7は図6で示した複数のメモリセルユニットを行(ロウ:X)、列(カラム:Y)のアレイ状に接続したメモリデバイスの構成を示す図である。このメモリデバイスにおいて、ワード線WLは各行ごとに設けられており、ワード線ドライバにより各々独立に制御される。また、ビット線BLT、BLBは各列ごとに設けられており、カラム選択回路により各々独立に制御される。これら以外の信号線(SL、MGT、MGB)は全メモリセルユニット(ブロック)に共通に設けられ、共通に制御される。

【 0 0 4 0 】

この実施形態のメモリデバイスはメモリセルユニットそのものにフリップフロップを有しない構成であるため、フリップフロップがメモリアレイの外、すなわちセンスアンプ回路の外側に設けられており、センスアンプが読み出したメモリセルの情報が、フリップフロップに転送され、外部から読み取り可能となる。

【 0 0 4 1 】

図8はメモリセルユニットへの書き込み電圧印加条件を示す図である。この図はデータ“0”を書き込む場合、すなわち、記憶トランジスタMCN1のしきい値電圧を上げる場合の条件を示している。“0”の書き込み時には、ソース電圧SL、ゲート電圧MGT、MGBを6Vに設定した条件下で、ワード線WLをVcc、True側ビット線BLTを0V、Bar側ビット線BLBをVccにする。これにより、True側のトランスファゲートMN1がオンすることでnode Tは例えば1Vとなり、記憶トランジスタMCN

10

20

30

40

50

1には例えば300 μ Aの電流が流れる。この電流により記憶トランジスタMCN1のソースSL側でチャネルホットエレクトロンが発生し、SL側のサイドスペーサ部に電子が注入されることで、記憶トランジスタMCN1のしきい値電圧が上昇する(プログラムされる)。

【0042】

書き込み対象外である記憶トランジスタMCN2はトランスファゲートMN2がオフしていることで、nodeBがソース線SL側からの充電で約5V(6V - V_{thn} : V_{thn} = MCN2のしきい値電圧)に上昇するが、電流パスが無いのでチャネルホットエレクトロン注入は発生せず、しきい値電圧はそのままである。

【0043】

また、データ“1”を書き込む場合の電圧印加条件、すなわち、記憶トランジスタMCN2のしきい値電圧を上げるための電圧印加条件は、True側ビット線BLTの電圧とBar側ビット線BLBの電圧を交換し、BLT = Vcc、BLB = 0Vに設定する。他の条件はデータ“0”書き込み時と同じである。

【0044】

なお、本実施例では、記憶トランジスタMCN1のゲートMGT、ドレインSLとともに6Vを印加しているが、この電圧は6Vに限定されず、また、ゲートMGT、ドレインSL異なる電圧でも良い。

【0045】

図9はメモリセルユニットへの消去電圧印加条件を示す図である。消去動作は全メモリセル(ブロック)一括で行われる。ソース線SLを9V、記憶トランジスタMCN1、MCN2のゲート電圧MGT、MGBを0Vに設定した条件下で、ワード線WLをVcc、ビット線BLT、BLBを0Vにする。この電圧配置でトランスファゲートMN1、MN2がオンすることでnodeT、nodeBは0Vとなり、記憶トランジスタMCN1、MCN2内では、ソース(ソース線SL)側からアバランシェホットホールHHがソース側サイドスペーサへ注入される。この正電荷により、図8の書き込み動作でトラップされている負電荷(エレクトロン)を中和することにより、記憶トランジスタMCN1、MCN2のしきい値電圧を書き込み前の状態まで低下させる。

【0046】

図10はメモリセルユニットへの読み出し電圧印加条件を示す図である。この図で示す電圧印加条件は、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタMCN1、MCN2のしきい値電圧がともに V_{th0} でないことを前提としている。まず、記憶トランジスタMCN1、MCN2のソース電圧SLを0Vとし、ゲート電圧MGT、MGBをVccとする。この条件では、記憶トランジスタMCN1、MCN2のうち、プログラムされていない(しきい値電圧の低い)記憶トランジスタがオンし、プログラムされている(しきい値電圧の高い)記憶トランジスタはオフのままである。この状態でワード線WLをVccにしてトランスファゲートMN1、MN2をオンさせると、記憶トランジスタがオンしている側のみ電流が流れるため、この電流差がビット線BLT、BLBの電圧変化として現れる。この電位差を差動型センスアンプで読み出して、メモリアレイ外に設けられたフリップフロップに転送することにより、データの読み出しが完了する。データをフリップフロップに転送した後は、記憶トランジスタMCN1、MCN2のゲート電圧MGT、MGBを0Vにすることで、記憶トランジスタへの電界ストレスを緩和することができる。

【0047】

図11は、上記書き込み動作によって記憶トランジスタMCN1、MCN2に設定されるしきい値電圧を説明する図、すなわち、不揮発性メモリセルに対するデータ設定の方式を説明する図である。ここで、記憶トランジスタMCN1のしきい値電圧が低い状態(オン)で且つ記憶トランジスタMCN2のしきい値電圧が高い状態(オフ)のときデータは“1”であり、記憶トランジスタMCN1のしきい値電圧が高い状態(オフ)で且つ記憶トランジスタMCN2のしきい値電圧が低い状態(オン)のときデータは“0”である。

10

20

30

40

50

【0048】

同図(A)は、データ設定前、すなわち記憶トランジスタMCN1、MCN2のしきい値電圧が両方とも初期状態 V_{th0} の場合を示す。この状態でも図26または図28に示す手順により、この不揮発性メモリセルの状態がデータ"1"に確定される。

【0049】

同図(B)は、不揮発性メモリセルにデータ"0"を設定したときのしきい値電圧を示している。データ"0"の書き込みは、同図(A)の初期状態から記憶トランジスタMCN1のしきい値電圧を V_{th2} ($V_{th2} > V_{th0}$)まで上げることで実現する。

【0050】

同図(C)は、不揮発性メモリセルにデータ"1"を設定したときのしきい値電圧を示している。データ"1"の書き込みは、同図(A)の初期状態から記憶トランジスタMCN2のしきい値電圧を V_{th2} ($V_{th2} > V_{th0}$)まで上げることで実現する。

10

【0051】

図9で説明した消去動作を行うと、同図(B)、(C)のようにしきい値電圧が制御されていても、同図(A)に示す状態に復帰する。

【0052】

このように、このメモリセルは、記憶トランジスタMCN1、MCN2のしきい値電圧を上げて、再度初期状態 V_{th0} まで下げることが可能であるため、また、記憶トランジスタMCN1、MCN2が共に初期状態 V_{th0} の場合でも、強制的にデータを"1"に確定することができるため、複数回のデータの書き換えが要求される用途に用いても、True側(記憶トランジスタMCN1)とBar側(記憶トランジスタMCN2)のしきい値電圧の差である読み出しマージンを十分に大きく取ることができる。

20

【0053】

前述の制御方法においては、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタMCN1、MCN2のしきい値電圧がともに V_{th0} でないことを前提としている。しかし、実際の用途ではデータ不定でないことが不明のメモリセルユニットに対して読み出しを行わなければならない場合があり得る。

【0054】

図12は、データ不定のメモリセルユニットが混在している場合においても、この不定データをデータ"1"と認識させつつ、既にデータ書き込み済みの不揮発性データ記憶部については、その書き込まれたデータどおりにデータを確定する電圧印加条件を示す図である。まず、記憶トランジスタMCN1、MCN2のソース電圧 S_L を0Vとし、記憶トランジスタMCN1のゲート電圧MGTを V_{cc} 、記憶トランジスタMCN2のゲート電圧MGBを $V_{cc} - V$ (例えば $V = 0.2V$)とする。記憶トランジスタMCN1のゲート電位を記憶トランジスタMCN2のゲート電位よりも V だけ高く設定することで、記憶トランジスタMCN1が記憶トランジスタMCN2よりもオンしやすくなり、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるようなデータ不定の場合に、データを"1"と強制的に認識させることができる。一方、既にデータが書き込まれている場合には、記憶トランジスタMCN1、MCN2のしきい値電圧の差に基づきデータを確定する。その動作は、図10で説明したものと同様である。

30

40

【0055】

ここで、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるような場合は、記憶トランジスタMCN1、MCN2に対して書き換えが行われていないことを示しており、書き換えに伴う記憶トランジスタの劣化もないと考えられる。このため、 V の大きさは、トランジスタの初期的なしきい値電圧のばらつきだけを考慮して決定すればよく、例えば0.2V程度で十分と考えられる。ここでは、データが不定の場合に、読み出されるデータを強制的に"1"に確定する場合について説明したが、MGT-MGBの電位差を反転させることで、データを"0"に確定させることも可能である。

【0056】

50

図13は、図12に示した電圧印加手順を行う場合のデータ確定のマーヅンを説明する図である。MCN1、MCN2のしきい値電圧が共に V_{th0} であるような初期状態においては、前述したように、MGB電圧をMGT電圧よりも V だけ低くすることで、MCN2側の見かけのしきい値電圧を V だけ高くし、強制的にデータ"1"と認識させている。既にデータ"0"が書き込まれているメモリセルにおいては、 V 分だけマーヅンが減少することになるが、仮に $V_{th2} - V_{th0} = 1V$ 、 $V = 0.2V$ とした場合のマーヅンは $0.8V$ となる。既にデータ"1"が書き込まれているメモリセルにおいては、逆に V 分だけマーヅンが増加することになり、仮に $V_{th2} - V_{th0} = 1V$ 、 $V = 0.2V$ とした場合のマーヅンは $1.2V$ となる。

【0057】

10

図14は記憶トランジスタMCN1のしきい値電圧を検出する方法を説明する図である。この図は、しきい値電圧検出時の電圧印加条件を示している。この方法を用いて記憶トランジスタのしきい値電圧を検出することにより、初期状態でのしきい値電圧ばらつき、書き込み・消去動作におけるしきい値電圧変化量、書き換え後のしきい値電圧の高温保持特性などの評価を行うことが可能となる。

【0058】

記憶トランジスタMCN1のソース電圧SLに0V、ドレイン(nodeT)に1Vを供給する。ドレインにはトランスファゲートMN1を介してビット線BLTから1Vが供給される。この条件下で、記憶トランジスタのゲートにMAP電圧(可変)を印加する。MAP電圧を可変とすることで、記憶トランジスタMCN1のしきい値電圧(ある一定電流を流すのに必要なゲート電圧)判定が可能となる。

20

【0059】

記憶トランジスタMCN1側のしきい値電圧を測定している時は、記憶トランジスタMCN2のゲート電圧MGBを0Vに設定してオフさせておく。記憶トランジスタMCN2のソース、ドレイン間電圧は0Vであるため、トランジスタがオンしていても電流は流れないが、何らかのリーク電流でソース電圧SLが引き上げられないように記憶トランジスタMCN2をオフしておくものである。記憶トランジスタMCN2のゲート電圧MGBは、記憶トランジスタMCN1のゲート電圧MGTと同じMAP電圧にしているても動作上問題は無い。

【0060】

30

図14は、記憶トランジスタMCN1のしきい値電圧を測定する場合の電圧印加条件を示しているが、記憶トランジスタMCN2のしきい値電圧を測定する場合は、ビット線BLT、BLBの制御およびゲート電圧MGT、MGBの制御をそれぞれ逆にすればよい。

【0061】

実施形態2

図15はメモリセルユニットの他の実施形態(実施形態2)を示す図である。図6に示した実施形態1と異なる点は、記憶トランジスタMCN1、MCN2のゲート電圧MGを共通にした点である。この構成では、図12に示したように記憶トランジスタMCN1、MCN2のゲート電圧MGT、MGBを別々に制御することができないため、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるようなデータ不定の場合にデータを"1"または"0"に確定することはできないが、このようなデータ不定のメモリセルが混在しない場合には、構造が簡略化されるため有用である。

40

【0062】

図15に示したメモリセルを図7に示すようにアレイ状に接続してメモリデバイスが構成される。このメモリセルの書き込み、消去、読み出しの動作は、実施形態1の図8、図9、図10に示した動作と同様である。また、しきい値電圧検出時は、図14のように記憶トランジスタMCN1、MCN2のゲート電圧を別々に制御できないため、測定対象でない側の記憶トランジスタのゲート電圧もMAP電圧に制御されるが、測定対象でない側の記憶トランジスタのソース、ドレイン間の電位差は0Vであり、リーク電流は流れないので、動作上問題は無い。

50

【 0 0 6 3 】

この実施形態の構成は、上述したように記憶トランジスタMCN1、MCN2のゲート電圧制御が共通化されるため、記憶トランジスタのゲート制御用ドライバ数を実施形態1に比して約1/2に削減できるというメリットを有する。

【 0 0 6 4 】

実施形態3

図16はメモリセルユニットの他の実施形態（実施形態3）を示す図である。図6に示した実施形態1と異なる点は、フューズ出力用途で使用する場合は想定して、フリップフロップ及び各フリップフロップ出力を反転出力するインバータをメモリアレイの各メモリセルの中に各々配置している点である。記憶トランジスタMCN1、MCN2、トランスファゲートMN1、MN2の接続形態は、図6に示した実施形態1と同様である。

10

【 0 0 6 5 】

フリップフロップ部は、Nウエル電位、ソース電位をVccとするPMOSトランジスタMP1、MP2、および、Pウエル電位をGND、ソース電位をNCsとするNMOSトランジスタMN5、MN6で形成される。PMOSトランジスタMP1、NMOSトランジスタMN5がTRUE側インバータを構成し、PMOSトランジスタMP2、NMOSトランジスタMN6がBAR側インバータを構成する。

【 0 0 6 6 】

フリップフロップのTRUE側入出力部LATTは、NMOSトランジスタMN3を介してnodeTに接続される。フリップフロップのBAR側入出力部LATBは、NMOSトランジスタMN4を介してnodeBに接続される。NMOSトランジスタMN3、MN4のゲート電位は、制御信号RESPで制御される。

20

【 0 0 6 7 】

また、フリップフロップのTRUE側入出力部LATTは、PMOSトランジスタMP3を介してVccに接続される。フリップフロップのBAR側入出力部LATBは、PMOSトランジスタMP4を介してVccに接続される。PMOSトランジスタMP3、MP4のゲート電位は、制御信号PRENで制御される。

【 0 0 6 8 】

フリップフロップのTRUE側出力LATTはPMOSトランジスタMP5、NMOSトランジスタMN7で形成されるインバータの入力となり、反転出力OUTとなって出力される。一方、フリップフロップのBAR側出力LATBはPMOSトランジスタMP6、NMOSトランジスタMN8で形成されるインバータの入力となり、反転出力IOUTとなって出力される。ヒューズ用途で使用する場合はOUT及びIOUTのどちらか一方を使用することとなるが、フリップフロップへのデータ転送時にLATT、LATBの寄生容量のバランスをとり、動作安定性を確保するために両方に配置している。

30

【 0 0 6 9 】

図17は図16に示した複数のメモリセルユニットを行（ロウ：X）、列（カラム：Y）のアレイ状に接続したメモリデバイスの構成を示す図である。このメモリデバイスにおいては、ワード線WLは各行ごとに設けられており、ワード線ドライバにより各々独立に制御される。また、ビット線BLT、BLBは各列ごとに設けられており、カラム選択回路により各々独立に制御される。これら以外の信号線（SL、MGT、MGB、PREN、NCs、RESP）は全メモリセルユニット（ブロック）に共通に設けられ、共通に制御される。

40

【 0 0 7 0 】

図18はメモリセルユニットへの書き込み電圧印加条件を示す図である。この図はデータ“0”を書き込む場合、すなわち、記憶トランジスタMCN1のしきい値電圧を上げる場合の条件を示している。不揮発性データ記憶部に対する動作は実施形態1と同様である。フリップフロップ部は、NMOSトランジスタMN3、MN4のゲート電位RESPを0Vにしてオフしていることで、不揮発性データ記憶部からは電氣的に切り離されている。

50

【 0 0 7 1 】

“ 0 ”の書き込み時には、ソース電圧 S_L 、ゲート電圧 MGT 、 MGB を $6V$ に設定した条件下で、ワード線 WL を V_{cc} 、 $True$ 側ビット線 BLT を $0V$ 、 Bar 側 BLB を V_{cc} にする。これにより、 $True$ 側のトランスファゲート $MN1$ がオンすることで $nodeT$ は例えば $1V$ となり、記憶トランジスタ $MCN1$ には例えば $300\mu A$ の電流が流れる。この電流により記憶トランジスタ $MCN1$ のソース S_L 側でチャネルホットエレクトロンが発生し、 S_L 側のサイドスペーサ部に電子が注入されることで、記憶トランジスタ $MCN1$ のしきい値電圧が上昇する（プログラムされる）。

【 0 0 7 2 】

書き込み対象外である記憶トランジスタ $MCN2$ はトランスファゲート $MN2$ がオフしていることで、 $nodeB$ がソース線 S_L 側からの充電で約 $5V$ ($6V - V_{thn}$: $V_{thn} = MCN2$ のしきい値電圧) に上昇するが、電流パスが無いのでチャネルホットエレクトロン注入は発生せず、しきい値電圧はそのままである。

10

【 0 0 7 3 】

また、データ “ 1 ” を書き込む場合の電圧印加条件、すなわち、記憶トランジスタ $MCN2$ のしきい値電圧を上げるための電圧印加条件は、 $True$ 側ビット線 BLT の電圧と Bar 側ビット線 BLB の電圧を交換し、 $BLT = V_{cc}$ 、 $BLB = 0V$ に設定する。他の条件はデータ “ 0 ” 書き込み時と同じである。

【 0 0 7 4 】

なお、本実施例では、記憶トランジスタ $MCN1$ のゲート MGT 、ドレイン S_L にも $6V$ を印加しているが、この電圧は $6V$ に限定されず、また、ゲート MGT 、ドレイン S_L 異なる電圧でも良い。

20

【 0 0 7 5 】

図 19 はメモリセルユニットへの消去電圧印加条件を示す図である。不揮発性データ記憶部に対する動作は、実施形態 1 の図 9 に示したものとほぼ同様である。フリップフロップ部は、 $NMOS$ トランジスタ $MN3$ 、 $MN4$ のゲート電圧 $RESP$ を $0V$ にしてオフしていることで、記憶トランジスタ部からは電氣的に切り離されている。

【 0 0 7 6 】

消去動作は全メモリセル（ブロック）一括で行われる。ソース線 S_L を $9V$ 、記憶トランジスタ $MCN1$ 、 $MCN2$ のゲート電圧 MGT 、 MGB を $0V$ に設定した条件下で、ワード線 WL を V_{cc} 、ビット線 BLT 、 BLB を $0V$ にする。この電圧配置でトランスファゲート $MN1$ 、 $MN2$ がオンすることで $nodeT$ 、 $nodeB$ は $0V$ となり、記憶トランジスタ $MCN1$ 、 $MCN2$ ないでは、ソース（ソース線 S_L ）側からアバランシェホットホール HH がソース側サイドスペーサへ注入される。この正電荷により、図 18 の書き込み動作でトラップされている負電荷（エレクトロン）を中和することにより、記憶トランジスタ $MCN1$ 、 $MCN2$ のしきい値電圧を書き込み前の状態まで低下させる。

30

【 0 0 7 7 】

図 20 はメモリセルユニットにおいて、不揮発性データ記憶部のデータをフリップフロップ部に転送する場合の動作電圧条件を示す。この図で示す電圧印加条件は、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタ $MCN1$ 、 $MCN2$ のしきい値電圧がともに V_{th0} でないことを前提としている。フリップフロップ部へのデータ転送は、記憶トランジスタ $MCN1$ 、 $MCN2$ のソース電圧 S_L を $0V$ とした条件下で、以下の手順で行う。時刻 t_0 に記憶トランジスタ $MCN1$ 、 $MCN2$ のゲート電圧 MGT 、 MGB を $0V$ から V_{cc} に昇圧し、フリップフロップ部の $NMOS$ 側ソース電圧 NCS を $0V$ から $V_{cc} - V_{th}$ に昇圧してセンス動作の準備をする。時刻 t_1 に、 $PREN$ 信号を $0V$ に設定することで、プリチャージ用 $PMOS$ トランジスタ $MP3$ 、 $MP4$ がオンし、 $LATT$ 、 $LATB$ は V_{cc} にプリチャージされる。続いて時刻 t_2 に $RESP$ 信号を V_{cc} に設定することで、 $NMOS$ トランジスタ $MN3$ 、 $MN4$ がオンし、記憶トランジスタ $MCN1$ 、 $MCN2$ のドレイン側電位である $nodeT$ 、 $nodeB$ は $V_{cc} - V_{th}$ に充電される。時刻 t_3 に $PREN$ 信号を

40

50

V_{cc} に戻すことで、プリチャージ動作は完了し、記憶トランジスタMCN1、MCN2の電流差に応じた電位差がLAT、LATBに現れる。あるセンス時間だけ待った後の時刻 t_4 にNCSE電位を0Vに戻すことでフリップフロップ部の状態を確定し、時刻 t_5 にRESP信号及び記憶トランジスタMCN1、MCN2のゲート電圧MGT、MGBを0Vに戻すことで動作完了となる。動作完了後は記憶トランジスタMCN1、MCN2のゲート電圧MGT、MGBは0Vであり、記憶トランジスタへの電界ストレスを緩和することが可能である。

【0078】

前述の制御方法においては、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタMCN1、MCN2のしきい値電圧がともに V_{th0} でないことを前提としている。しかし、実際の用途ではデータ不定でないことが不明のメモリセルユニットに対して読み出しを行わなければならない場合があり得る。

【0079】

図21は、データ不定のメモリセルユニットが混在している場合においても、この不定データをデータ“1”と認識させつつ、既にデータ書き込み済みの不揮発性データ記憶部については、その書き込まれたデータどおりにデータを確定する電圧印加条件を示す図である。図20に示した電圧印加条件と異なる点は、記憶トランジスタMCN1のゲート電圧MGTを V_{cc} 、記憶トランジスタMCN2のゲート電圧MGBを $V_{cc} - V$ （例えば $V = 0.2V$ ）として、MCN1のゲート電圧をMCN2のゲート電圧よりも V だけ高く設定している点である。これにより、記憶トランジスタMCN1が記憶トランジスタMCN2よりもオンしやすくなり、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるようなデータ不定の場合にも、フリップフロップ部に設定されるデータを強制的に“1”に設定することができる。一方、既にデータが書き込まれている場合には、記憶トランジスタMCN1、MCN2のしきい値電圧の差に基づきデータを確定する。その動作は図20に示したものと同様である。

【0080】

ここで、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるような場合は、記憶トランジスタMCN1、MCN2に対して書き換えが行われていないことを示しており、書き換えに伴うトランジスタ劣化もないと考えられる。このため、 V の大きさは、トランジスタの初期的なしきい値電圧のばらつきだけを考慮して決定すればよく、例えば0.2V程度で十分と考えられる。

【0081】

ここでは、データが不定の場合に、フリップフロップ部に設定されるデータを強制的に“1”とする場合について説明したが、MGT-MGBの電位差を反転させることで、設定データを“0”とすることも可能である。

【0082】

図22は記憶トランジスタMCN1のしきい値電圧を検出する方法を説明する図である。不揮発性データ記憶部に対する電圧印加条件は、実施形態1の図14に示した電圧印加条件と同様である。フリップフロップ部は、NMOSTランジスタMN3、MN4をゲート電圧RESPを0Vにしてオフしていることにより、不揮発性データ記憶部からは電氣的に切り離されている。

【0083】

この方法を用いて記憶トランジスタのしきい値電圧を検出することにより、初期状態でのしきい値電圧ばらつき、書き込み・消去動作におけるしきい値電圧変化量、書き換え後のしきい値電圧の高温保持特性などの評価を行うことが可能となる。

【0084】

記憶トランジスタMCN1のソース電圧SLに0V、ドレイン（nodeT）に1Vを供給する。ドレインにはトランスファゲートMN1を介してビット線BLTから1Vが供給される。この条件下で、記憶トランジスタのゲートにMAP電圧（可変）を印加する。

M A P 電圧を可変とすることで、記憶トランジスタ M C N 1 のしきい値電圧（ある一定電流を流すのに必要なゲート電圧）判定が可能となる。

【 0 0 8 5 】

記憶トランジスタ M C N 1 側のしきい値電圧を測定している時は、記憶トランジスタ M C N 2 のゲート電圧 M G B を 0 V に設定してオフさせておく。記憶トランジスタ M C N 2 のソース、ドレイン間電圧は 0 V であるため、トランジスタがオンしていても電流は流れないが、何らかのリーク電流でソース電圧 S L が引き上げられないように記憶トランジスタ M C N 2 をオフしておくものである。記憶トランジスタ M C N 2 のゲート電圧 M G B は、記憶トランジスタ M C N 1 のゲート電圧 M G T と同じ M A P 電圧にしている動作上問題は無い。

10

【 0 0 8 6 】

図 2 2 は、記憶トランジスタ M C N 1 のしきい値電圧を測定する場合の電圧印加条件を示しているが、記憶トランジスタ M C N 2 のしきい値電圧を測定する場合は、ビット線 B L T、B L B の制御およびゲート電圧 M G T、M G B の制御をそれぞれ逆にすればよい。

【 0 0 8 7 】

実施形態 4

図 2 3 はメモリセルユニットの他の実施形態（実施形態 4）を示す図である。図 1 6 に示した実施形態 3 と異なる点は、記憶トランジスタ M C N 1、M C N 2 のゲート電圧 M G を共通にした点である。この構成では、図 2 1 に示したように記憶トランジスタ M C N 1、M C N 2 のゲート電圧 M G T、M G B を別々に制御することができないため、記憶トランジスタ M C N 1、M C N 2 のしきい値電圧が共に V_{th0} であるようなデータ不定の場合にデータを“1”または“0”に確定することはできないが、このようなデータ不定のメモリセルが混在しない場合には、構造が簡略化されるため有用である。

20

【 0 0 8 8 】

図 2 3 に示したメモリセルを図 1 7 に示すようにアレイ状に接続してメモリデバイスが構成される。このメモリセルの書き込み、消去、読み出しの動作は、実施形態 3 の図 1 8、図 1 9、図 2 0 に示した動作と同様である。また、しきい値電圧検出時は、図 2 2 のように記憶トランジスタ M C N 1、M C N 2 のゲート電圧を別々に制御できないため、測定対象でない側の記憶トランジスタのゲート電圧も M A P 電圧に制御されるが、測定対象でない側の記憶トランジスタのソース、ドレイン間の電位差は 0 V であり、リーク電流は流れないので、動作上問題は無い。

30

【 0 0 8 9 】

この実施形態の構成は、上述したように記憶トランジスタ M C N 1、M C N 2 のゲート電圧制御が共通化されるため、記憶トランジスタのゲート制御用ドライバ数を実施形態 1 に比して約 1 / 2 に削減できるというメリットを有する。

【 0 0 9 0 】

実施形態 5

図 2 4 はメモリデバイスのメモリセルユニットの他の実施形態（実施形態 5）を示す図である。図 1 6 に示した実施形態 3 と同様、フューズ出力用途で使用する場合は想定して、フリップフロップ及び各フリップフロップ出力を反転出力するインバータを各メモリセルユニット内に設けた構成になっている。記憶トランジスタ M C N 1、M C N 2、トランスファゲート M N 1、M N 2 の接続形態は、図 6 に示した実施形態 1 と同じである。

40

【 0 0 9 1 】

フリップフロップ部は、N ウエル電位を V_{cc} 、ソース電位を P C S とする P M O S トランジスタ M P 1、M P 2、並びに、P ウエル電位を G N D、ソース電位を N C S とする N M O S トランジスタ M N 5、M N 6 で形成される。P M O S トランジスタ M P 1、N M O S トランジスタ M N 5 が T R U E 側インバータを構成し、P M O S トランジスタ M P 2、N M O S トランジスタ M N 6 が B A R 側インバータを構成する。

【 0 0 9 2 】

フリップフロップの T R U E 側入出力部 L A T T は、P M O S トランジスタ M P 7 およ

50

びNMOSトランジスタMN9を介してSENSETに接続される。フリップフロップのBAR側入出力部LATBは、PMOSトランジスタMP8およびNMOSトランジスタMN10を介してSENSEBに接続される。PMOSトランジスタMP7、MP8のゲート電位はLATPによって制御される、NMOSトランジスタMN9、MN10のゲート電位はLATNで制御される。SENSET、SENSEBは各々カレントミラー接続されたPMOSトランジスタMP3、MP4のドレイン電位であり、SENSETはNMOSトランジスタMN3を介してnodeTに接続され、SENSEBはNMOSトランジスタMN4を介してnodeBに接続される。NMOSトランジスタMN3MN4のゲート電位はRESPで制御される。

【0093】

10

フリップフロップのTRUE側出力LATTはPMOSトランジスタMP5、NMOSトランジスタMN7で形成されるインバータの入力となり、反転出力OUTとなって出力される。一方、フリップフロップのBAR側出力LATBはPMOSトランジスタMP6、NMOSトランジスタMN8で形成されるインバータの入力となり、反転出力IOUTとなって出力される。ヒューズ用途で使用する場合はOUT及びIOUTのどちらか一方を使用することとなるが、フリップフロップへのデータ転送時にLATT、LATBの寄生容量のバランスをとり、動作安定性を確保するために両方に配置している。

【0094】

この実施形態のメモリセルユニットの動作においてが実施形態3のメモリセルユニットの動作と異なる点は、不揮発性データ記憶部からフリップフロップ部へのデータ転送方法のみであり、書込動作、消去動作はRESPを0Vにしてフリップフロップ部を電氣的に切り離して行うので全く同じ動作となる。フリップフロップ部へのデータ転送時には、記憶素子MCN1、MCN2の電流差に応じた電圧差がSENSET、SENSEBに安定して出力され、その電圧がフリップフロップ部に転送される。

20

【0095】

なお、図24に示した複数のメモリセルを図17に示すようにアレイ状に接続してメモリデバイスが構成される。

【0096】

図25は不揮発性データ記憶部のデータをフリップフロップ部に転送する場合の動作電圧条件を示す図である。この図で示す電圧印加条件は、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタMCN1、MCN2のしきい値電圧がともに V_{th0} でないことを前提としている。フリップフロップ部へのデータ転送は、記憶トランジスタMCN1、MCN2のソース電圧SLを0Vとした条件下で、以下の手順で行う。時刻 t_0 に記憶素子トランジスタMCN1、MCN2のゲート電圧MGT、MGBを0Vから V_{cc} に昇圧し、フリップフロップ部のPMOS側ソース電圧PCSを V_{cc} から $1/2 V_{cc}$ に降圧し、NMOS側ソース電圧NCsを0Vから $1/2 V_{cc}$ に昇圧してセンス動作の準備をする。時刻 t_1 にRESP信号を V_{cc} にしてNMOSトランジスタMN3、MN4をオンすることにより、記憶トランジスタMCN1、MCN2のドレイン側電位であるSENSET、SENSEBはカレントミラー接続されたPMOSトランジスタMP3、MP4を介して流れる記憶トランジスタMCN1、MCN2の電流の差に応じた電位となる。SENSEBは記憶トランジスタMCN2側の電流値だけで決まり、SENSETは記憶トランジスタMCN1、MCN2の電流差で決まる。例えば、記憶トランジスタMCN1側の電流が記憶トランジスタMCN2側の電流より大きい場合は $SENSET < SENSEB$ となり、逆の場合は、 $SENSET > SENSEB$ となる。SENSET、SENSEBの電位差が確保された時刻 t_2 にLATPを V_{cc} から0V、LATNを0Vから V_{cc} にすることで、SENSET、SENSEBの電位をフリップフロップ部の入力であるLATT、LATBに転送する。時刻 t_3 にLATP、LATNを各々 V_{cc} 、0Vに戻し、時刻 t_4 にNCsを0V、時刻 t_5 にPCSを V_{cc} にすることで、フリップフロップ部のデータが確定する。

30

40

【0097】

50

なお、SENSET、SENSEBの電位差をフリップフロップに転送した後は記憶素子MCN1、MCN2側に電流を流す必要は無いので、時刻t4にRESP及び記憶トランジスタのゲート電位MGT、MGBは0Vに戻しており、記憶トランジスタへの電界ストレスを緩和することが可能となる。

【0098】

実施形態3では、フリップフロップ部の入力であるLATT、LATNは記憶素子MCN1、MCN2の電流により、どちらも引き下げられていく過程での過渡状態をフリップフロップ部でセンスするのに対し、本実施形態では、カレントミラー部で十分な電位差をSENSET、SENSEBに発生させ、その安定した電位をLATT、LATBに転送することで、センスマージンを改善できるメリットを有する。

10

【0099】

前述の制御方法においては、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタMCN1、MCN2のしきい値電圧がともにVth0でないことを前提としている。しかし、実際の用途ではデータ不定でないことが不明のメモリセルユニットに対して読み出しを行わなければならない場合があり得る。

【0100】

図26は、データ不定のメモリセルユニットが混在している場合においても、この不定データをデータ“1”と認識させつつ、既にデータ書き込み済みの不揮発性データ記憶部については、その書き込まれたデータどおりにデータを確定する電圧印加条件を示す図である。この電圧印加条件が、図25に示した電圧印加条件と異なる点は、記憶トランジスタMCN1のゲート電圧MGTをVcc、MCN2のゲート電圧MGBをVcc - V（例えばV = 0.2V）として、MCN1のゲート電圧をMCN2のゲート電圧よりもVだけ高く設定している点である。これにより、MCN1がMCN2よりもオンしやすくなり、記憶トランジスタMCN1、MCN2のしきい値電圧が共にVth0であるようなデータ不定の場合にも、フリップフロップ部に設定されるデータを強制的に“1”とすることができる。一方、既にデータが書き込まれている場合には、記憶トランジスタMCN1、MCN2のしきい値電圧の差に基づきデータを確定する。

20

【0101】

ここで、記憶トランジスタMCN1、MCN2のしきい値電圧が共にVth0であるような場合は、記憶トランジスタMCN1、MCN2に対して書き換えが行われていないことを示しており、書き換えに伴うトランジスタ劣化もないと考えられる。このため、Vの大きさは、トランジスタの初期的なしきい値電圧のばらつきだけを考慮して決定すればよく、例えば0.2V程度で十分と考えられる。

30

【0102】

ここでは、データが不定の場合に、フリップフロップ部に設定されるデータを強制的に“1”とする場合について説明したが、MGT - MGBの電位差を反転させることで、設定データを“0”とすることも可能である。

【0103】

実施形態6

40

図27はメモリデバイスのメモリセルユニットの他の実施形態（実施形態6）を示す図である。図24に示した実施形態5と異なる点は、記憶トランジスタMCN1、MCN2のゲート電圧MGを共通にした点である。この構成では、図26に示したように記憶トランジスタMCN1、MCN2のゲート電圧MGT、MGBを別々に制御することができないため、記憶トランジスタMCN1、MCN2のしきい値電圧が共にVth0であるようなデータ不定の場合にデータを“1”または“0”に確定することはできないが、このようなデータ不定のメモリセルが混在しない場合には、構造が簡略化されるため有用である。なお、図27に示した複数のメモリセルを図17に示すようにアレイ状に接続してメモリデバイスが構成される。

【0104】

50

実施形態 7

図 28 はメモリデバイスのメモリセルユニットの他の実施形態（実施形態 7）を示す図である。図 16 に示した実施形態 3 と同様、フューズ出力用途で使用する場合は想定して、フリップフロップ及び各フリップフロップ出力を反転出力するインバータを各メモリセルユニット内に設けた構成になっている。記憶トランジスタ M C N 1, M C N 2、トランスファゲート M N 1, M N 2 の接続形態は、図 6 に示した実施形態 1 と同じである。

【 0 1 0 5 】

フリップフロップ部は、N ウエル電位を V_{cc} 、ソース電位を $P C S$ とする P M O S トランジスタ M P 1、M P 2、並びに、P ウエル電位を $G N D$ 、ソース電位を $N C S$ とする N M O S トランジスタ M N 5、M N 6 で形成される。P M O S トランジスタ M P 1、N M O S トランジスタ M N 5 が T R U E 側インバータを構成し、P M O S トランジスタ M P 2、N M O S トランジスタ M N 6 が B A R 側インバータを構成する。

【 0 1 0 6 】

フリップフロップの T R U E 側入出力部 L A T T および B A R 側入出力部 L A T B は、各々カレントミラー接続された P M O S トランジスタ M P 3、M P 4 のドレイン電位となる。T R U E 側入出力部 L A T T は N M O S トランジスタ M N 3 を介して $n o d e T$ に接続され、B A R 側入出力部 L A T B は N M O S トランジスタ M N 4 を介して $n o d e B$ に接続される。N M O S トランジスタ M N 3、M N 4 のゲート電位は $R E S P$ によって制御される。P M O S トランジスタ M P 3、M P 4 のソース側には、ゲート電位を $S E N S E N$ で制御される P M O S トランジスタ M P 7、M P 8 が、電源との間に各々直列に接続される。

【 0 1 0 7 】

フリップフロップの T R U E 側出力 L A T T は P M O S トランジスタ M P 5、N M O S トランジスタ M N 7 で形成されるインバータの入力となり、反転出力 O U T となって出力される。一方、フリップフロップの B A R 側出力 L A T B は P M O S トランジスタ M P 6、N M O S トランジスタ M N 8 で形成されるインバータの入力となり、反転出力 I O U T となって出力される。ヒューズ用途で使用する場合は O U T 及び I O U T のどちらか一方を使用することとなるが、フリップフロップへのデータ転送時に L A T T、L A T B の寄生容量のバランスをとり、動作安定性を確保するために両方に配置している。

【 0 1 0 8 】

この実施形態のメモリセルユニットの動作において実施形態 3 のメモリセルユニットの動作と異なる点は、フリップフロップ部へのデータ転送時の動作のみであり、書込動作、消去動作は $R E S P$ を $0 V$ にしてフリップフロップ部を電氣的に切り離して行うので全く同じ動作となる。また、この実施形態のメモリセルユニットのデータ転送時の動作において実施形態 5 のそれと異なる点は、カレントミラー回路を介して流れる記憶トランジスタ M C N 1、M C N 2 の電流の差に応じた電圧差がフリップフロップ部入出力 L A T T、L A T B に直接印加される点、および、この電圧差が安定して出力されフリップフロップ部の状態が確定したのち、P M O S カレントミラー部の電流パスが P M O S トランジスタ M P 7、M P 8 によってカットオフされる点である。

【 0 1 0 9 】

なお、図 28 に示した複数のメモリセルを図 17 に示すようにアレイ状に接続してメモリデバイスが構成される。

【 0 1 1 0 】

図 29 は不揮発性データ記憶部のデータをフリップフロップ部に転送する場合の動作電圧条件を示す図である。この図で示す電圧印加条件は、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタ M C N 1、M C N 2 のしきい値電圧がともに V_{th0} でないことを前提としている。フリップフロップ部へのデータ転送は、記憶トランジスタ M C N 1、M C N 2 のソース電圧 $S L$ を $0 V$ とした条件下で、以下の手順で行う。時刻 t_0 に記憶素子トランジスタ M C N 1、M C N 2 のゲート電圧 $M G T$ 、 $M G B$ を $0 V$ から V_{cc} に昇圧し、フリップフロップ部の P M

OS側ソース電位PCSを V_{cc} から $1/2 V_{cc}$ に降圧し、NMOS側ソース電位NC Sを0Vから $1/2 V_{cc}$ に昇圧し、PMOSカレントミラー部のSENSEN信号を V_{cc} から0Vにしてセンス動作の準備をする。時刻 t_1 にRESP信号を V_{cc} にしてNMOSTランジスタMN3、MN4をオンすることで、記憶トランジスタMCN1、MCN2のドレイン側電位であるLATT、LATBはカレントミラー接続されたPMOSTランジスタMP3、MP4を介して流れる各々の記憶トランジスタMCN1、MCN2の電流の差に応じた電位となる。LATBは記憶トランジスタMCN2側の電流値だけで決まり、LATTは記憶トランジスタMCN1、MCN2の電流差で決まる。例えば、記憶トランジスタMCN1側の電流がMCN2側の電流より多い場合は $LATT < LATB$ となり、逆の場合は、 $LATT > LATB$ となる。LATT、LATBの電位差が確保された時刻 t_2 にNC Sを0V、時刻 t_3 にPCSを V_{cc} にすることで、フリップフロップ部のデータが確定する。フリップフロップ部のデータ確定後は、フリップフロップ部入出力とPMOSカレントミラー部及び記憶素子部との貫通電流をなくすために、時刻 t_4 にRESPを0V、SENSEN信号を V_{cc} 、記憶素子MCN1、MCN2のゲート電位MGT、MGBを0Vに戻す。これにより、記憶トランジスタへの電界ストレスを緩和することが可能となる。

【0111】

実施形態5（図25参照）と同様、PMOSカレントミラー部で十分な電位差を発生させることで、センスマージンを改善できるメリットを有する。また、実施形態5と比較してトランジスタ素子数を2個、制御信号本数を1本削減できるメリットも有する。

【0112】

前述の制御方法においては、読み出し対象のメモリセルユニットがデータ不定でないこと、すなわち、不揮発性データ記憶部の記憶トランジスタMCN1、MCN2のしきい値電圧がともに V_{th0} でないことを前提としている。しかし、実際の用途ではデータ不定でないことが不明のメモリセルユニットに対して読み出しを行わなければならない場合があり得る。

【0113】

図30は、データ不定のメモリセルユニットが混在している場合においても、この不定データをデータ“1”と認識させつつ、既にデータ書き込み済みの不揮発性データ記憶部については、その書き込まれたデータどおりにデータを確定する電圧印加条件を示す図である。この電圧印加条件が、図29に示した電圧印加条件と異なる点は、記憶トランジスタMCN1のゲート電圧MGTを V_{cc} 、MCN2のゲート電位MGBを $V_{cc} - V$ （例えば $V = 0.2V$ ）として、MCN1のゲート電圧をMCN2のゲート電圧よりも V だけ高く設定している点である。これにより、MCN1がMCN2よりもオンしやすくなり、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるようなデータ不定の場合にも、フリップフロップ部に設定されるデータを強制的に“1”とすることができる。一方、既にデータが書き込まれている場合には、記憶トランジスタMCN1、MCN2のしきい値電圧の差に基づきデータを確定する。

【0114】

ここで、記憶トランジスタMCN1、MCN2のしきい値電圧が共に V_{th0} であるような場合は、記憶トランジスタMCN1、MCN2に対して書き換えが行われていないことを示しており、書き換えに伴うトランジスタ劣化もないと考えられる。このため、 V の大きさは、トランジスタの初期的なしきい値電圧のばらつきだけを考慮して決定すればよく、例えば $0.2V$ 程度で十分と考えられる。

【0115】

ここでは、データが不定の場合に、フリップフロップ部に設定されるデータを強制的に“1”とする場合について説明したが、MGT - MGBの電位差を反転させることで、設定データを“0”とすることも可能である。

【0116】

実施形態8

図 3 1 はメモリデバイスのメモリセルユニットの他の実施形態（実施形態 8）を示す図である。図 2 8 に示した実施形態 7 と異なる点は、記憶トランジスタ M C N 1、M C N 2 のゲート電圧 M G を共通にした点である。この構成では、図 3 0 に示したように記憶トランジスタ M C N 1、M C N 2 のゲート電圧 M G T、M G B を別々に制御することができないため、記憶トランジスタ M C N 1、M C N 2 のしきい値電圧が共に V_{th0} であるようなデータ不定の場合にデータを “ 1 ” または “ 0 ” に確定することはできないが、このようなデータ不定のメモリセルが混在しない場合には、記憶トランジスタのゲート制御用のドライバ数を削減でき、構造が簡略化されるため有用である。なお、図 3 1 に示した複数のメモリセルを図 1 7 に示すようにアレイ状に接続してメモリデバイスが構成される。

【図面の簡単な説明】

10

【 0 1 1 7 】

【図 1】従来のメモリセル構成を示す図

【図 2】従来のメモリセルにおけるデータ設定方法および読み出しマージンを説明する図

【図 3】従来のメモリセルにおける不揮発性データ記憶部への書き込み電圧印加手順を示す図

【図 4】上記従来のメモリセルにおける不揮発性データ記憶部からフリップフロップ部へのデータ転送方法を説明する図

【図 5】本発明の実施形態に用いられる記憶トランジスタの断面構造の例を示す図

【図 6】本発明の実施形態 1 であるメモリセルユニットの構成を示す図

【図 7】前記実施形態 1 のメモリセルユニットをアレイ状に配列したメモリデバイスの構成を示す図

20

【図 8】前記実施形態 1 のメモリセルユニットのデータ書き込み時の電圧印加条件を示す図

【図 9】前記実施形態 1 のメモリセルユニットのデータ消去時の電圧印加条件を示す図

【図 1 0】前記実施形態 1 のメモリセルユニットのデータ読み出し時の電圧印加条件を示す図

【図 1 1】前記メモリセルユニットにおけるデータ電位および読み出しマージンを説明する図

【図 1 2】前記実施形態 1 のメモリセルユニットのデータ読み出し時の電圧印加条件を示す図

30

【図 1 3】前記メモリセルユニットにおけるデータ電位および読み出しマージンを説明する図

【図 1 4】前記実施形態 1 のメモリセルユニットの記憶トランジスタのしきい値電圧検出方法を説明する図

【図 1 5】本発明の実施形態 2 であるメモリセルユニットの構成を示す図

【図 1 6】本発明の実施形態 3 であるメモリセルユニットの構成を示す図

【図 1 7】前記実施形態 3 のメモリセルユニットをアレイ状に配列したメモリデバイスの構成を示す図

【図 1 8】前記実施形態 3 のメモリセルユニットのデータ書き込み時の電圧印加条件を示す図

40

【図 1 9】前記実施形態 3 のメモリセルユニットのデータ消去時の電圧印加条件を示す図

【図 2 0】前記実施形態 3 のメモリセルユニットにおいて、不揮発性データ記憶部のデータをフリップフロップ部に転送するときの電圧印加条件を示す図

【図 2 1】前記実施形態 3 のメモリセルユニットにおいて、不揮発性データ記憶部のデータをフリップフロップ部に転送するときの電圧印加条件を示す図

【図 2 2】前記実施形態 3 のメモリセルユニットの記憶トランジスタのしきい値電圧検出方法を説明する図

【図 2 3】本発明の実施形態 4 であるメモリセルユニットの構成を示す図

【図 2 4】本発明の実施形態 5 であるメモリセルユニットの構成を示す図

【図 2 5】前記実施形態 5 のメモリセルユニットにおいて、不揮発性データ記憶部のデー

50

タをフリップフロップ部に転送するときの電圧印加条件を示す図

【図 2 6】前記実施形態 5 のメモリセルユニットにおいて、不揮発性データ記憶部のデータをフリップフロップ部に転送するときの電圧印加条件を示す図

【図 2 7】本発明の実施形態 6 であるメモリセルユニットの構成を示す図

【図 2 8】本発明の実施形態 7 であるメモリセルユニットの構成を示す図

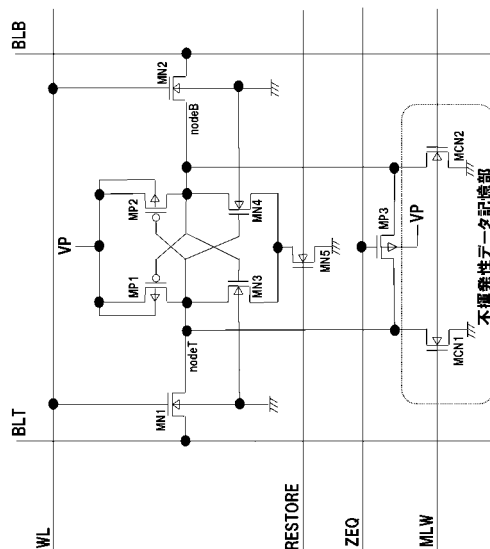
【図 2 9】前記実施形態 7 のメモリセルユニットにおいて、不揮発性データ記憶部のデータをフリップフロップ部に転送するときの電圧印加条件を示す図

【図 3 0】前記実施形態 7 のメモリセルユニットにおいて、不揮発性データ記憶部のデータをフリップフロップ部に転送するときの電圧印加条件を示す図

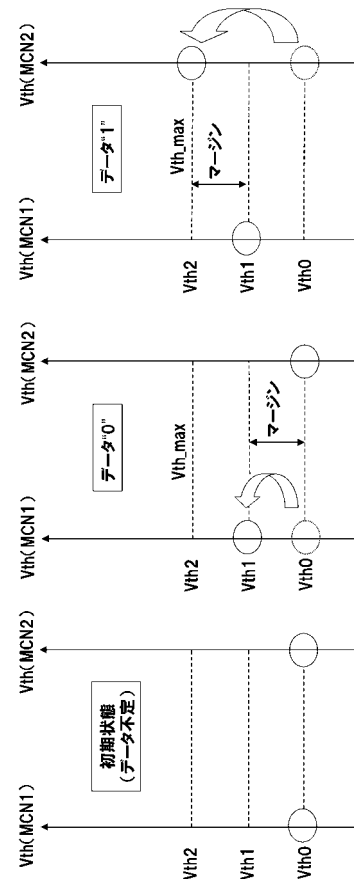
【図 3 1】本発明の実施形態 6 であるメモリセルユニットの構成を示す図

10

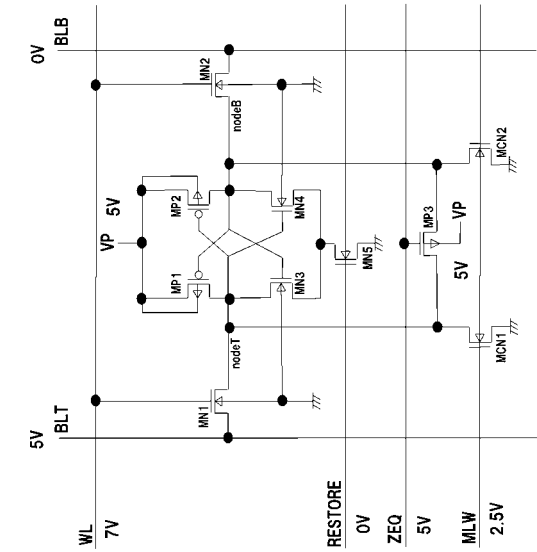
【図 1】



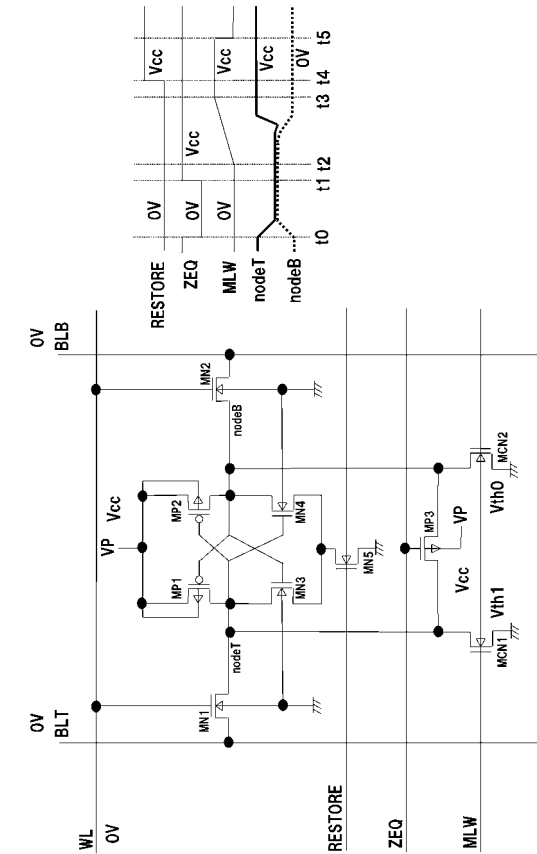
【図 2】



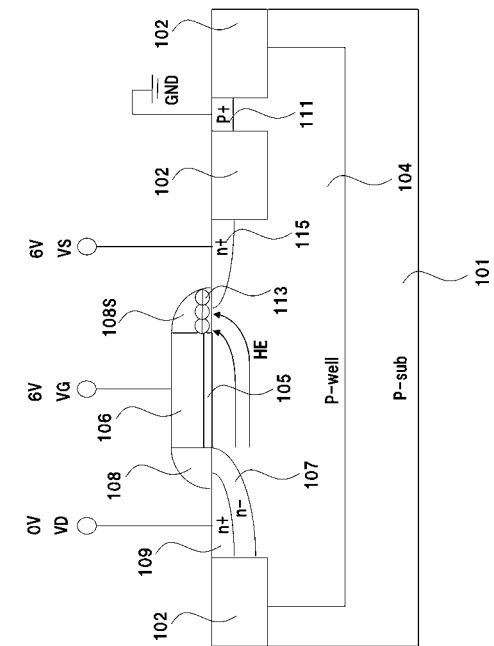
【図 3】



【図 4】

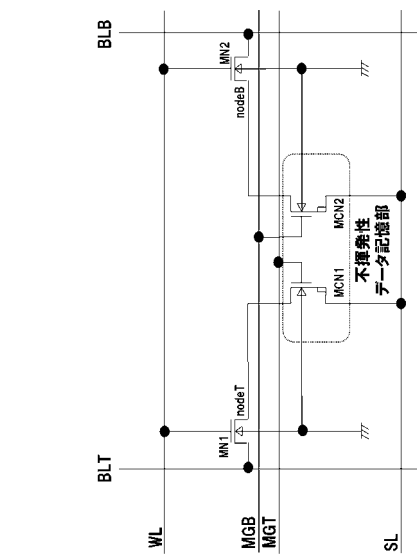


【図 5】



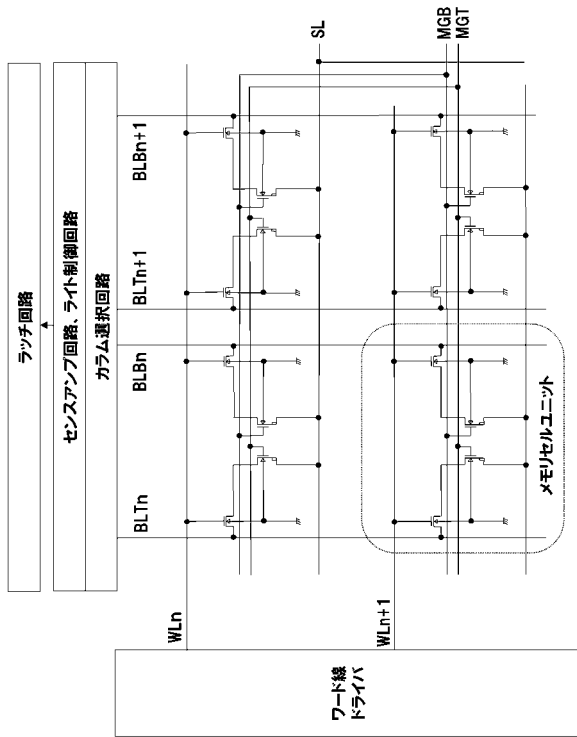
記憶トランジスタの断面図(書き込み電圧印加時)

【図 6】

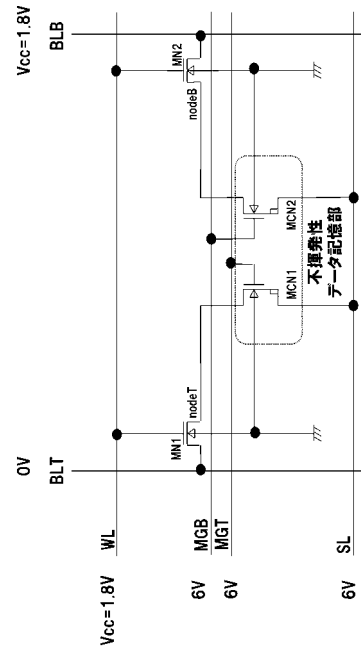


実施形態1のメモリエルユニット構成

【図 7】

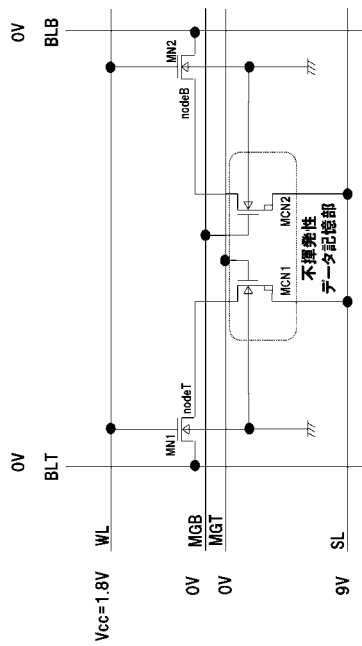


【図 8】



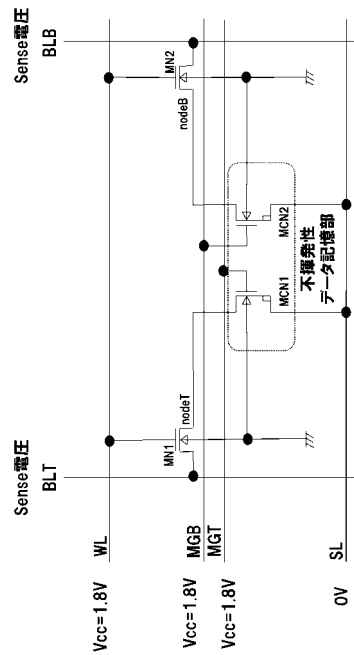
実施形態1の書き電圧印加条件(データ"0"書き込み)

【図 9】



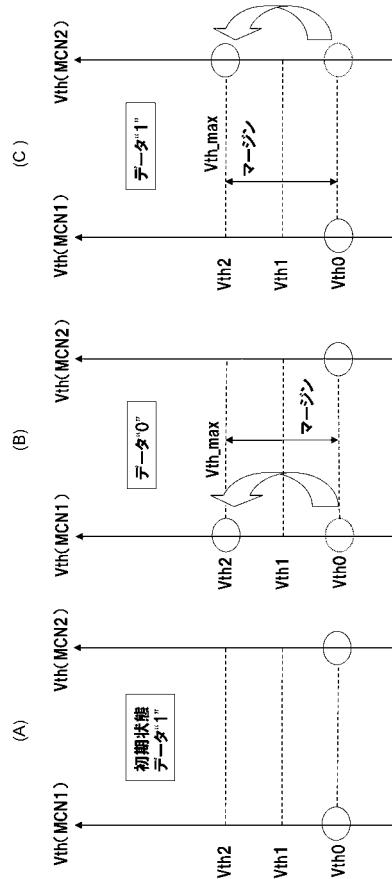
実施形態1の消去電圧印加条件

【図 10】



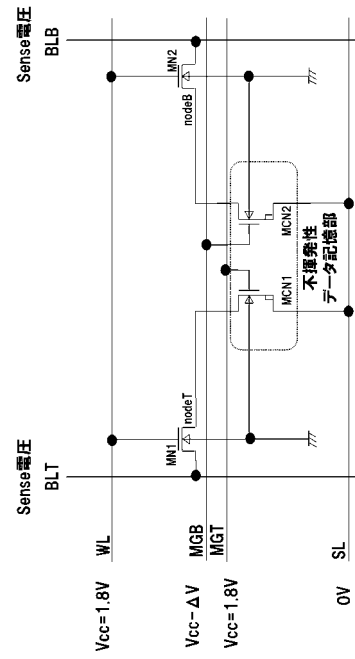
実施形態1の読出電圧印加条件(不定データ無)

【図 1 1】



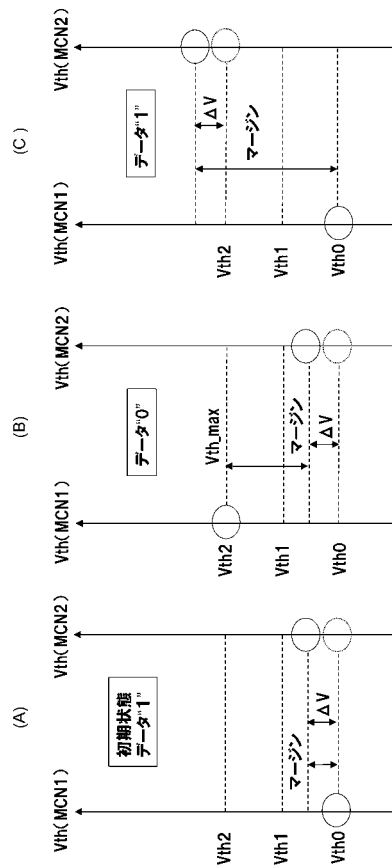
読み出し電圧マージン

【図 1 2】



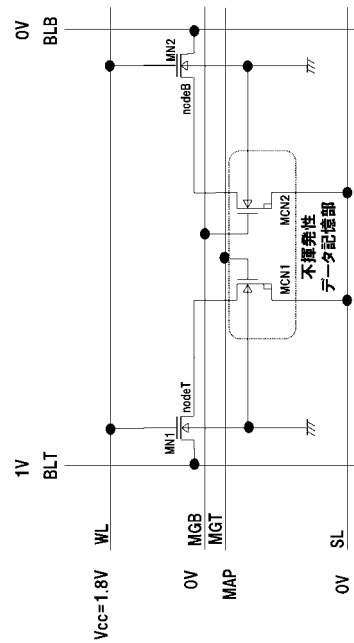
実施形態1の読出電圧印加条件(不足データ有)

【図 1 3】



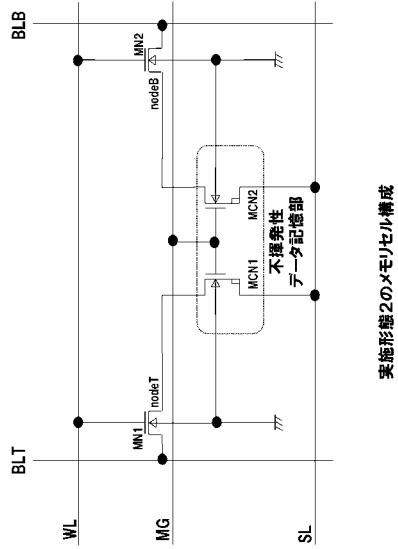
読み出し電圧マージン

【図 1 4】



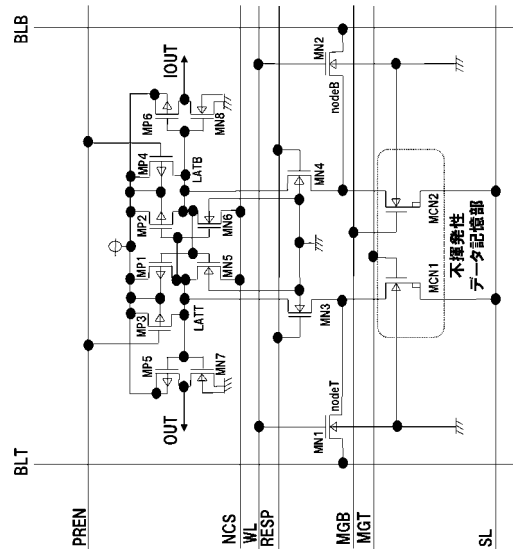
実施形態1の記憶トランジスタのしきい値電圧検出方法(MCN1)

【図 15】



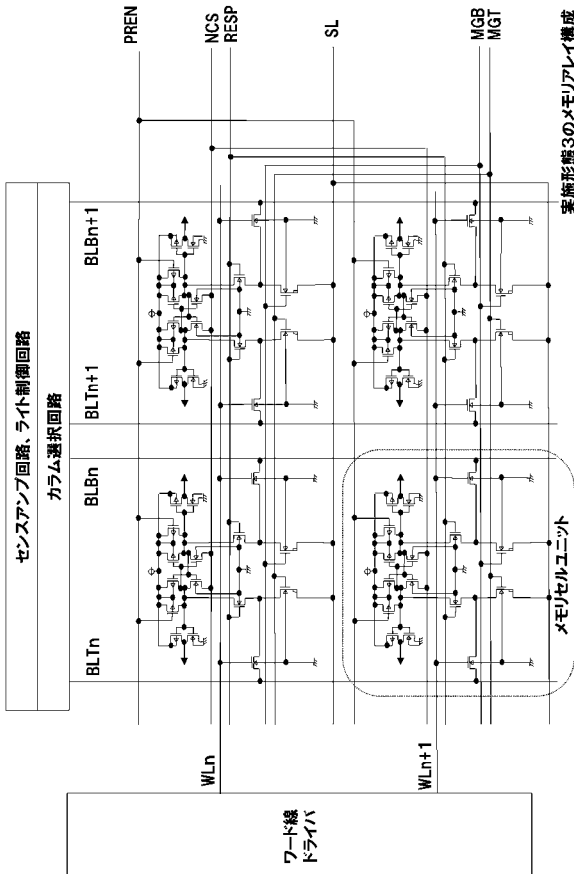
実施形態2のメモリセル構成

【図 16】



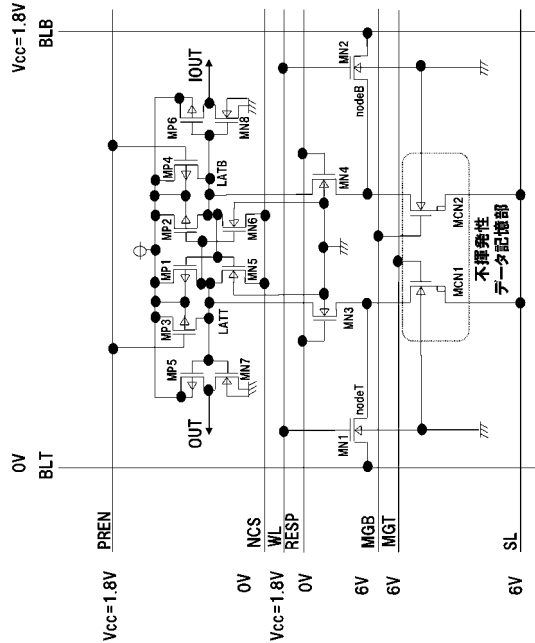
実施形態3のメモリセル構成

【図 17】



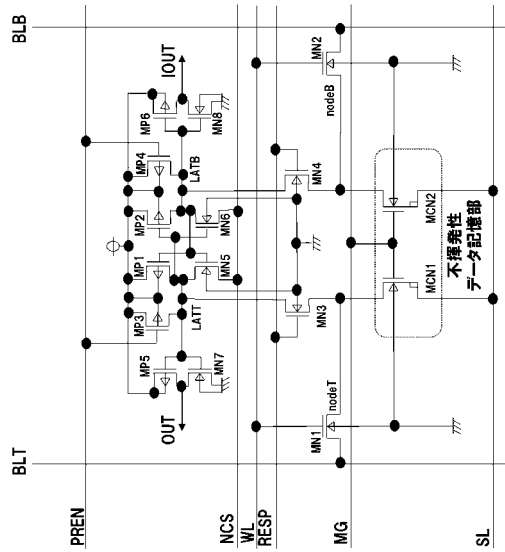
実施形態3のメモリアレイ構成

【図 18】



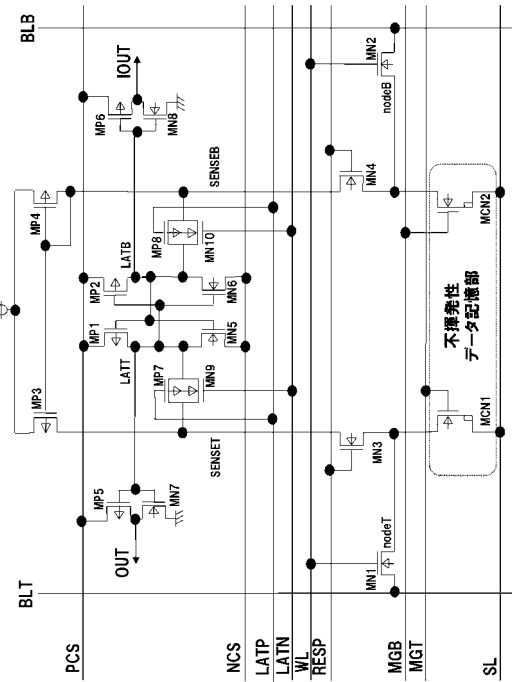
実施形態3の書き込み電圧印加条件(データ'0'書き込み)

【図 23】



【図 24】

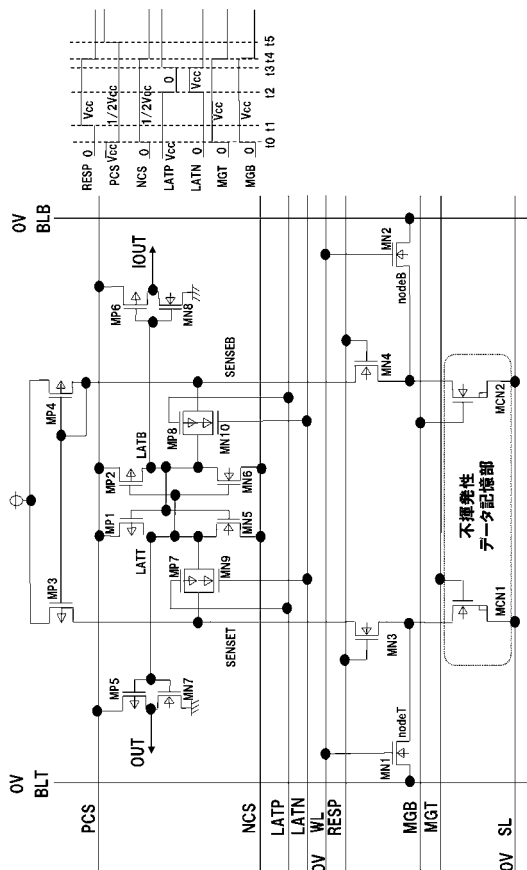
実施形態4のメモリ構成



(*) 図を分かりやすくするためにツェル接続削除
PMOS: Vcc電位のNツェル
NMOS: GND電位のPツェル

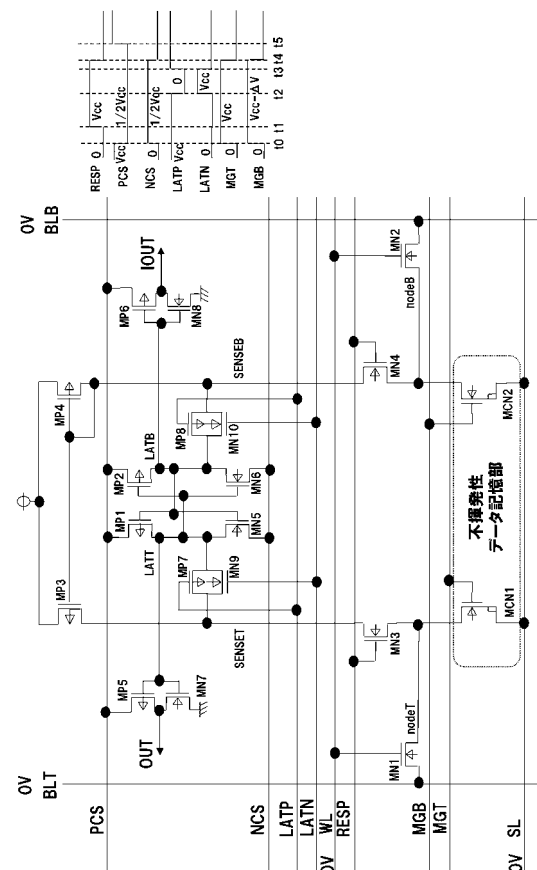
実施形態5のメモリ構成

【図 25】



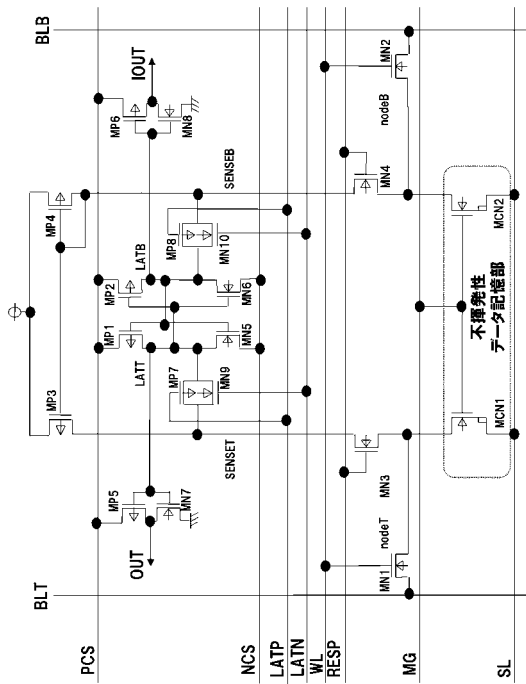
【図 26】

実施形態5のフリップフロップ部データ確定方法(不足データ無し)



実施形態5のフリップフロップ部データ確定方法(不足データ有り)

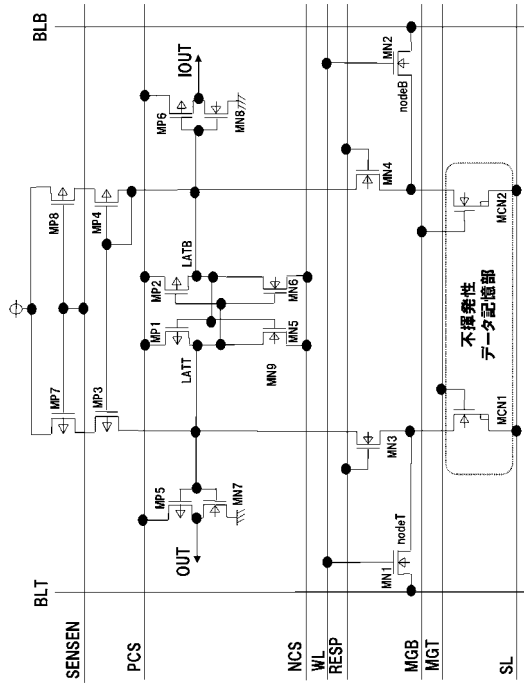
【図 27】



(*) 図を分かりやすくするためにウエル接続線
PMOS: Vcc 電位のウエル
NMOS: GND 電位のウエル

実施形態6のメモリセル構成

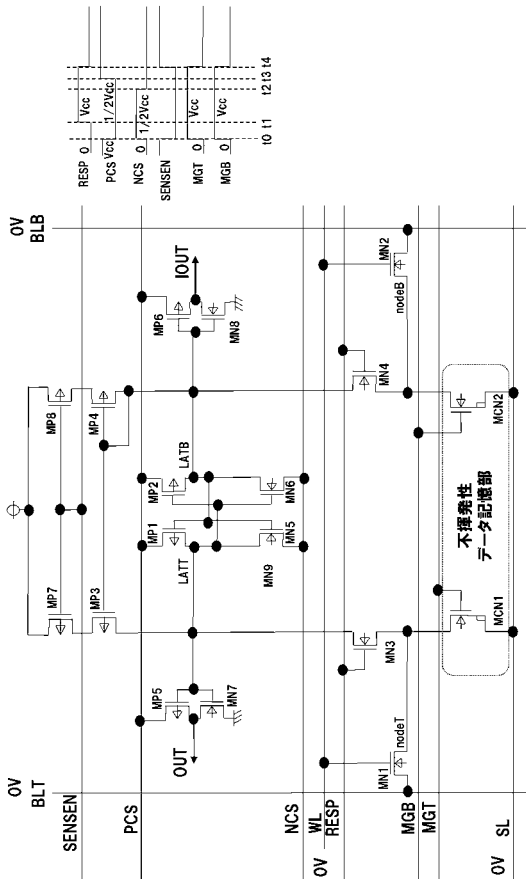
【図 28】



(*) 図を分かりやすくするためにウエル接続線
PMOS: Vcc 電位のウエル
NMOS: GND 電位のウエル

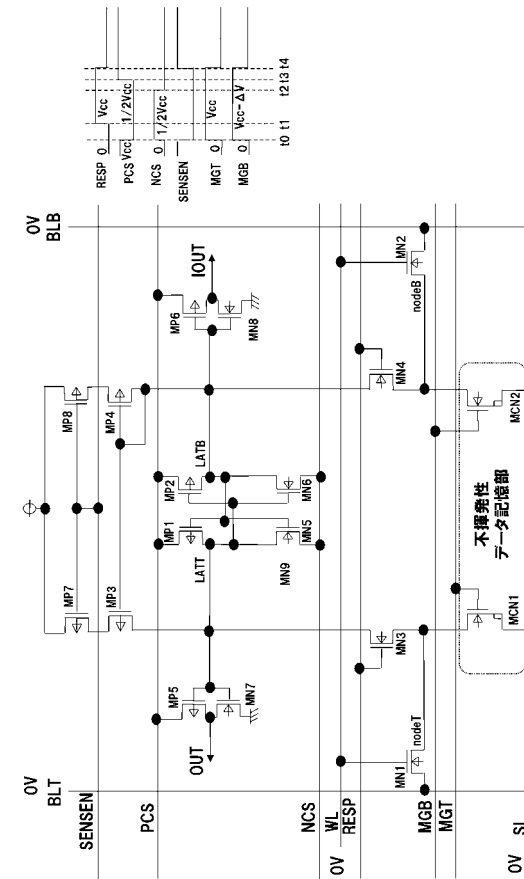
実施形態7のメモリセル構成

【図 29】



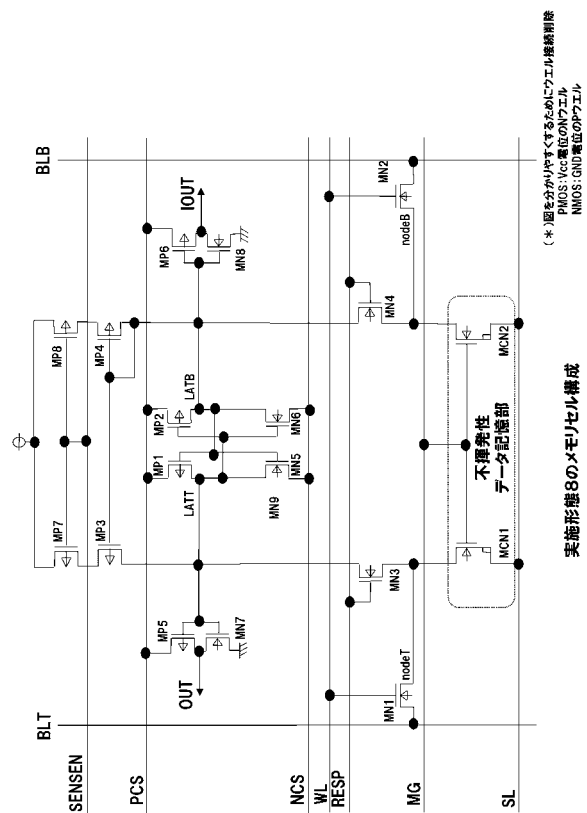
実施形態7のプリップロップ部データ確定方法(不定データ無し)

【図 30】



実施形態7のプリップロップ部データ確定方法(不定データ有り)

【 図 3 1 】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 11/40 3 0 1

(56)参考文献 特開平 0 5 - 1 0 1 6 8 3 (J P , A)
特開平 0 2 - 0 9 6 9 9 9 (J P , A)
特開 2 0 0 4 - 2 2 1 5 5 4 (J P , A)
特開 2 0 0 5 - 2 9 4 4 9 8 (J P , A)
特開昭 6 0 - 2 5 7 5 6 1 (J P , A)
特開 2 0 0 7 - 0 0 4 9 1 1 (J P , A)
特開平 0 4 - 0 8 2 0 9 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 6 / 0 4
G 1 1 C 1 1 / 4 1 2
G 1 1 C 1 6 / 0 6
G 1 1 C 1 7 / 1 2