

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3980178号
(P3980178)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int.C1.

F 1

HO1L 21/8247 (2006.01)

HO1L 29/78 371

HO1L 29/792 (2006.01)

HO1L 27/10 434

HO1L 29/788 (2006.01)

HO1L 27/115 (2006.01)

請求項の数 14 (全 38 頁)

(21) 出願番号 特願平10-161365

(22) 出願日 平成10年5月25日(1998.5.25)

(65) 公開番号 特開2000-22004(P2000-22004A)

(43) 公開日 平成12年1月21日(2000.1.21)

審査請求日 平成17年1月12日(2005.1.12)

(31) 優先権主張番号 特願平9-249818

(32) 優先日 平成9年8月29日(1997.8.29)

(33) 優先権主張国 日本国(JP)

(31) 優先権主張番号 特願平10-132750

(32) 優先日 平成10年4月27日(1998.4.27)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 粟野 正明

最終頁に続く

(54) 【発明の名称】不揮発性メモリおよび半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に設けられた第1の半導体活性層及び第2の半導体活性層と、前記第1の半導体活性層上に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられたフローティングゲイト電極と、前記フローティングゲイト電極上に設けられた酸化膜と、前記酸化膜上に設けられたコントロールゲイト電極と、前記第2の半導体活性層上に設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられたゲイト電極と、前記酸化膜及び前記ゲイト電極上に設けられた層間絶縁膜と、

前記第2の半導体活性層と接続された配線と、を備え、前記配線と前記コントロールゲイト電極とは前記層間絶縁膜上に設けられた同一の配線層を用いて形成され、

前記層間絶縁膜に設けられたコンタクトホールにおいて、前記配線は前記第2の半導体活性層と接続され、且つ前記コントロールゲイト電極は前記酸化膜を介して前記フローティングゲイト電極と重なることを特徴とする不揮発性メモリ。

【請求項2】

請求項1において、前記層間絶縁膜は、酸化珪素膜と窒化珪素膜の積層であることを特徴とする不揮発性メモリ。

【請求項 3】

請求項 1 又は請求項 2 において、

前記酸化膜は、前記フローティングゲイト電極を陽極酸化して得られた陽極酸化膜であることを特徴とする不揮発性メモリ。

【請求項 4】

請求項 1 又は請求項 2 において、

前記酸化膜は、前記フローティングゲイト電極を熱酸化して得られた酸化膜であることを特徴とする不揮発性メモリ。

【請求項 5】

請求項 1 又は請求項 2 において、

10

前記フローティングゲイト電極と前記ゲイト電極は、Ta 又はTa合金を有し、

前記酸化膜は、前記Ta 又はTa合金を酸化して得られた酸化膜であることを特徴とする不揮発性メモリ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記第1の絶縁膜の厚さは10 ~ 50 nm であり、前記第2の絶縁膜の厚さは50 ~ 200 nm であることを特徴とする不揮発性メモリ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、

前記絶縁表面を有する基板として、表面に熱酸化膜を形成したシリコン基板を用いたことを特徴とする不揮発性メモリ。

20

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とするビデオカメラ。

【請求項 10】

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とするスチルカメラ。

30

【請求項 11】

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とするプロジェクタ。

【請求項 12】

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とするヘッドマウントディスプレイ。

【請求項 13】

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とするパーソナルコンピュータ。

【請求項 14】

40

請求項 1 乃至請求項 7 のいずれか一において、

前記不揮発性メモリを用いたことを特徴とする携帯情報端末。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

【0002】

本発明は、半導体装置および半導体表示装置に関する。特に、不揮発性メモリが画素や駆動回路などの周辺回路とともに、SOI (Silicon On Insulator) 技術を用いて絶縁基板上に一体形成された半導体装置および半導体表示装置に関する。

【0003】

50

【従来の技術】**【0004】**

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置(液晶パネル)の需要が高まってきたことによる。

【0005】

アクティブマトリクス型液晶パネルは、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれTFTが配置され、各画素電極に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0006】

従来のアナログ階調のアクティブマトリックス型液晶表示装置を図14に示す。従来のアクティブマトリックス型液晶表示装置は、図19に示すようにソース線側ドライバ2001と、ゲート線側ドライバ2002と、マトリクス状に配置された複数の画素TFT2003と、画像信号線2004とを有している。

【0007】

ソース線側ドライバおよびゲート線側ドライバは、シフトレジスタやバッファ回路などを含み、近年アクティブマトリクス回路と同一基板上に一体形成される。

【0008】

アクティブマトリクス回路には、ガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【0009】

また、基板として石英を利用し、多結晶硅素膜でもって薄膜トランジスタを作製する構成も知られている。この場合、周辺駆動回路もアクティブマトリクス回路も石英基板上に形成される薄膜トランジスタでもって構成される。

【0010】

また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性硅素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板にアクティブマトリクス回路と周辺駆動回路とを集積化することができる。

【0011】

図19に示すような構成においては、ソース線側ドライバのシフトレジスタ回路(水平走査用のシフトレジスタ)からの信号により、画像信号線2004に供給される画像信号が選択される。そして対応するソース信号線に所定の画像信号が供給される。

【0012】

ソース信号線に供給された画像信号は、画素の薄膜トランジスタにより選択され、所定の画素電極に書き込まれる。

【0013】

画素の薄膜トランジスタは、ゲート線側ドライバのシフトレジスタ(垂直走査用のシフトレジスタ)からゲート信号線を介して供給される選択信号により動作する。

【0014】

この動作をソース線側ドライバのシフトレジスタからの信号と、ゲート線側ドライバのシフトレジスタからの信号とにより、適当なタイミング設定で順次繰り返し行うことによって、マトリクス状に配置された各画素に順次情報が書き込まれる。

【0015】

【発明が解決しようとする課題】

【0016】

近年、アクティブマトリクス型液晶表示装置がノート型のパーソナルコンピュータに多用されてきている。パーソナルコンピュータにおいては、複数のソフトウェアを同時に起動したり、デジタルカメラからの映像を取り込んで加工したりと、多階調の液晶表示装置が要求されている。

【0017】

10

20

30

40

50

また、ハイビジョン信号などのテレビ信号を写すことができる、大画面に対応した液晶プロジェクタの需要が高まっている。この場合も、階調表示をいかに細かくできるか、かつ信号の高速処理ができるかなどが提供される画像の良否にかかっている。

【0018】

階調表示の方法としては、ソース線にビデオ信号やテレビジョン信号などのアナログ信号を供給する場合（アナログ階調）と、パーソナルコンピュータなどからのデータ信号などのデジタル信号を供給する場合（デジタル階調）とがある。

【0019】

アナログ階調では、上述したようにソースドライバからの信号により、画像信号線に供給されるアナログ画像信号が順次選択され、対応するソース線に所定の画像信号が供給される。

10

【0020】

デジタル階調では、画像信号線に供給されるデジタル信号が順次選択され、D/A変換された後、対応するソース線に所定の画像信号が供給される。

【0021】

液晶表示装置の場合、いずれの階調表示を用いる場合でも、液晶に印加する電圧（V）と透過光強度との間には、図20の点線で示されるような関係がある。ただし、液晶表示装置は、TN（ツイストネマチック）モードで電圧が印加されていない時に明状態となるノーマリホワイトモードを用いているものとする。

20

【0022】

図20からもわかるように液晶に印加される電圧と透過光強度との間には、非線型の関係があり、印加する電圧に応じた階調表示を行うことが難しい。

【0023】

上記のことを補うために、ガンマ補正という手段が取られている。ガンマ補正とは、画像信号をゲインさせ、印加電圧に応じて、透過光強度が線形的に変化するように補正するものであり、良好な階調表示を得ることができる。ガンマ補正を施した場合の、印加電圧と透過光強度との関係は図20の実線で示される。

【0024】

しかし、従来画像信号にガンマ補正を施すには、信号処理回路やメモリ回路などを備えたI/Cチップが別途必要である。また、大画面の表示を行うために、その他の補正回路および信号処理回路、およにそれに伴うメモリ回路が必要になってくる。上記の信号処理回路やメモリなどは、従来は、液晶パネルの外部にI/Cチップを設けることによって増設しなければならなかった。よって、商品の小型化が事実上不可能であった。

30

【0025】

【発明に至る背景】

【0026】

図22および図23（B）を参照する。図22は、PチャネルTFTの基板温度とゲートリーケ電流との関係を示したグラフである。また、図23（B）は、PチャネルTFTの基板温度とゲートリーケ電流のピークとの関係を示したグラフである。なお、VDはドレイン電圧、IDはドレイン電流、VGはゲート電圧である。このとき、ゲートリーケ電流値には、ピーク値（IG（peak）と示す）が存在する。

40

【0027】

基板温度が上昇すると、ゲートリーケ電流のピークが小さくなっていくことがわかる。これは、基板の温度が上昇すると、ゲート電極に蓄積されていた電荷（電子）の放電が促進されることを示すものと思われる。

【0028】

ゲートリーケ電流はゲート電極に電子が注入されることによって観測される電流であることがわかっており、この絶対量（IGピーク）が減るということは注入された電子が温度上昇で活性化して放電されていることを意味している。この現象はいわゆるコンデンサと同じであり、電荷の充放電が可能であることを示唆するものと考えられる。

50

【0029】

そこで、本願発明者は、この現象をフローティングゲイトを有する不揮発性メモリに適用させることを見出した。

【0030】

そこで本発明は、上記の事情を鑑みて、大画面で良好な階調表示が行える、小型化が可能な半導体表示装置、特に液晶表示装置を提供することを課題とする。

【0031】**【課題を解決するための手段】****【0032】**

本発明のある実施態様によると、

10

絶縁基板上に形成される半導体活性層と、

前記半導体活性層上に形成される絶縁膜と、

前記絶縁膜上に形成されるフローティングゲイト電極と、

前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、

前記陽極酸化膜の上面および側面に接して形成されるコントロールゲイト電極と、

を少なくとも備えた不揮発性メモリが提供される。このことによって上記目的が達成される。

【0033】

前記半導体活性層のチャネル形成領域では、不対結合手の数がソース・ドレイン領域よりも少なくてよい。

20

【0034】

本発明のある実施態様によると、

絶縁基板上に形成される半導体活性層と、

前記半導体活性層上に形成される絶縁膜と、

前記絶縁膜上に形成されるフローティングゲイト電極と、

前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、

前記陽極酸化膜の上面のみに接して形成されるコントロールゲイト電極と、

を少なくとも備えた不揮発性メモリが提供される。このことによって上記目的が達成される。

【0035】

30

前記半導体活性層のチャネル形成領域では、不対結合手の数がソース・ドレイン領域よりも少なくてよい。

【0036】

本発明のある実施態様によると、

絶縁基板上に形成される半導体活性層と、

前記半導体活性層上に形成される絶縁膜と、

前記絶縁膜上に形成されるフローティングゲイト電極と、

前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、

前記陽極酸化膜の上面および側面に接して形成されるコントロールゲイト電極と、

を少なくとも備えた不揮発性メモリであって、

40

前記半導体活性層のチャネル領域とソース・ドレイン領域は、直接接している不揮発性メモリが提供される。このことによって上記目的が達成される。

【0037】

前記半導体活性層のチャネル形成領域では、不対結合手の数がソース・ドレイン領域よりも少なくてよい。

【0038】

本発明のある実施態様によると、

絶縁基板上に形成される半導体活性層と、

前記半導体活性層上に形成される絶縁膜と、

前記絶縁膜上に形成されるフローティングゲイト電極と、

50

前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、
前記陽極酸化膜の上面のみに接して形成されるコントロールゲイト電極と、
を少なくとも備えた不揮発性メモリであって、
前記半導体活性層のチャネル領域とソース・ドレイン領域は、直接接している不揮発性メモリが提供される。このことによって上記目的が達成される。

【0039】

前記半導体活性層のチャネル形成領域では、不対結合手の数がソース・ドレイン領域よりも少なくてよい。

【0040】

本発明のある実施態様によると、

10

絶縁基板上に複数の画素TFTがマトリクス状に配置された画素回路と、

前記複数の画素TFTを駆動するTFTで構成された駆動回路と、

不揮発性メモリと、

を少なくとも備えた半導体装置であって、

前記不揮発性メモリは、絶縁基板上に形成される半導体活性層と、前記半導体活性層上に形成される絶縁膜と、前記絶縁膜上に形成されるフローティングゲイト電極と、前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、前記陽極酸化膜の上面および側面に接して形成されるコントロールゲイト電極と、を少なくとも備えており、

前記画素回路と前記駆動回路と前記不揮発性メモリとは、前記絶縁基板上に一体形成される半導体装置が提供される。このことによって上記目的が達成される。

20

【0041】

本発明のある実施態様によると、

基板上に複数の画素TFTがマトリクス状に配置された画素回路と、

前記複数の画素TFTを駆動するTFTで構成された駆動回路と、

不揮発性メモリと、

を少なくとも備えた半導体装置であって、

前記不揮発性メモリは、絶縁基板上に形成される半導体活性層と、前記半導体活性層上に形成される絶縁膜と、前記絶縁膜上に形成されるフローティングゲイト電極と、前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、前記陽極酸化膜の上面のみに接して形成されるコントロールゲイト電極と、を少なくとも備えており、

30

前記画素回路と前記駆動回路と前記不揮発性メモリとは、前記絶縁基板上に一体形成される半導体装置が提供される。このことによって上記目的が達成される。

【0042】

前記半導体装置は、液晶表示装置であることを特徴としていてよい。

【0043】

【実施例】

【0044】

(実施例1)

【0045】

本実施例では、信号処理の際使用するデータを記憶させておく不揮発性メモリをSOI (Silicon On Insulator) 技術を用いて絶縁基板上に、他の回路と共に一体形成した半導体表示装置について説明する。半導体表示装置の中でも、液晶表示装置について説明する。ここでいうシリコンは単結晶、あるいは実質的に単結晶である。、

40

【0046】

図1を参照する。図1には、本実施例の不揮発性メモリの回路図が示される。本実施例の不揮発性メモリは、複数のメモリセルとXおよびYアドレスデコーダ101、102、および周辺回路103、104によって構成されている。図1に示されるように、各ビット情報が記録されるメモリセル(記憶セル)は、2個のTFTによって構成され、1つはフローティングゲイトを有するPチャネルFAMOS (Floating gate Avalanche injection MOS)型TFT (Tr1)であり、もう一つは

50

NチャネルスイッチングTFT (Tr2) である。2個のTFT (Tr1およびTr2) は、ドライン電極が互いに直列に接続されており、この直列接続回路によって1ビットのメモリセルを構成する。本実施例の不揮発性メモリには、このメモリセルが縦64個×横64個マトリクス状に配列されている。各メモリセルは1ビットの情報を記憶することができるので、本実施例の不揮発性メモリは、4096ビット (=約4kビット) の記憶容量を有する。周辺回路103、104は、他の信号処理回路である。

【0047】

各列に配置されているメモリセルは、A0、B0～A63、B63によって構成される信号線に、その両端が接続されている。また、各行に配列されているメモリセルは、信号線C0、D0～C63、D63に各メモリセルのゲート電極が接続されている。なお図1に示されるように、本実施例では、不揮発性メモリを構成するメモリセルに(0、0)、(1、0)、(63、63)といった符号が付けられている。

10

【0048】

各信号線A0、B0～A63、B63、およびC0、D0～C63、D63は、それぞれYアドレスデコーダ102、およびXアドレスデコーダ101に接続されている。このXアドレスデコーダ101およびYアドレスデコーダ102によって、メモリセルのアドレスが指定され、データの書き込みあるいは読み出しが行われる。

【0049】

次に、不揮発性メモリの動作について、メモリセル(1、1)を例にとって説明する。

【0050】

20

まず、メモリセル(1、1)にデータを書き込む場合、信号線C1には50Vの高電圧が印加される。また、信号線D1は5Vの電圧が印加される。そこで信号線B1をGNDにおとし、A1に5Vの電圧を印加すると、Tr1のフローティングゲートに電荷が蓄積される。Tr1のフローティングゲートに蓄積された電荷は保持される。

【0051】

次に、メモリセル(1、1)からデータを読み出す場合、信号線C1には0Vが印加され、D1には-5Vが印加される。そしてB1をGNDにおとすと、記憶されていた信号がA1から読み出される。

【0052】

以上の動作を下の表にまとめる。

30

【0053】

【表1】

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
書き込み時	0/-5	GND	50	5
読み出し時	-	GND	0	5

【0054】

なお、メモリセルに記憶されている記憶内容は、X線、紫外線、あるいは電子線などを不揮発性メモリに照射するか、あるいは熱をかけることによって消去できる。

40

【0055】

次に、本実施例の不揮発性メモリを備えた半導体装置の作製方法について説明する。半導体装置の中でも、特に液晶表示装置の作製方法について説明する。なお、以下に示す液晶表示装置では、本実施例の不揮発性メモリが、ガンマ補正のデータを記憶する記憶手段として用いられている。

【0056】

本実施例では絶縁表面を有する基板上に複数のTFTを形成し、画素領域のマトリクス回路とドライバ回路を含む周辺回路とをモノリシックに構成する例を図2～図5に示す。なお、本実施例では、ガンマ補正データを記憶する不揮発性メモリは、フローティングゲイ

50

トを有するPチャネルFAMOS回路とそのスイッチング素子を含んでおり、この不揮発性メモリと画素TFTの作製工程について説明する。なお、ドライバ等の周辺回路に代表的に用いられるCMOS回路も同様に作製され得る。なお、本実施例では、Pチャネル型とNチャネル型とがそれぞれ1つのゲート電極を備えた回路について、その作製工程を説明するが、ダブルゲート型のような複数のゲート電極を備えた回路も同様に作製することができる。

【0057】

図2を参照する。まず、絶縁表面を有する基板として石英基板201を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

10

【0058】

202は非晶質珪素膜であり、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～100nm（好ましくは20～80nm）となる様に調節する。こうすることによって、FAMOS型TFTにおいて、インパクトトイオナイゼイションが起こりやすくなり、フローティングゲートにキャリアの注入がされやすくなる。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。なお、FAMOS型TFTのは非晶質珪素膜の最終的な膜厚が10～400nm、他のTFTの最終的な膜厚が20～80nmとしてもよい。この場合、選択酸化法などによって、それぞれの所望の膜厚を得ることができる。

20

【0059】

本実施例の場合、非晶質珪素膜202中において代表的な不純物であるC（炭素）、N（窒素）、O（酸素）、S（硫黄）の濃度はいずれも 5×10^{18} atoms/cm³未満（好ましくは 1×10^{18} atoms/cm³以下）となる様に管理している。各不純物がこれ以上の濃度で存在すると、結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となりうる。

【0060】

なお、非晶質珪素膜202中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜202の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

30

【0061】

次に、非晶質珪素膜202の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同広報の実施例2に記載した技術内容（特開平8-78329号公報に詳しい）を利用するのが好ましい。

【0062】

特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜403を形成する。マスク絶縁膜203は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置を調整することによって結晶領域の位置を決定することができる。

40

【0063】

そして、非晶質珪素膜202の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液をスピンドルコート法により塗布し、Ni含有層204を形成する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）等を用いることができる（図2（A））。

【0064】

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領

50

域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0065】

次に、触媒元素の添加工程が終了したら、450で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700（代表的には550～650）の温度で4～24時間の加熱処理を加えて非晶質珪素膜202の結晶化を行う。本実施例では窒素雰囲気で570で14時間の加熱処理を行う。

【0066】

この時、非晶質珪素膜202の結晶化はニッケルを添加した領域205および206で発生した核から優先的に進行し、基板201の基板面に対してほぼ平行に成長した結晶領域207および208が形成される。この結晶領域207および208を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある（図2（B））。

【0067】

なお、上述の特開平7-130652号公報の実施例1に記載された技術を用いた場合も微視的には横成長領域と呼びうる領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【0068】

結晶化のための加熱処理が終了したら、マスク絶縁膜203を除去してパターニングを行い、横成長領域207および208でなる島状半導体層（活性層）209、210、および211を形成する（図2（C））。

【0069】

ここで209はPチャネルFAMOS型TFTの活性層、210はNチャネルスイッチングTFTの活性層、211は画素マトリクス回路を構成するN型TFT（画素TFT）の活性層である。

【0070】

活性層209、210、および211を形成したら、その上に珪素を含む絶縁膜でなるゲイト絶縁膜212を成膜する。このゲイト絶縁膜の厚さは、10～200nmとする。なお、FAMOS型TFTのゲイト絶縁膜の厚さは、10～50nmとし、他のゲイト絶縁膜の厚さは、50～200nmとしてもよい。なお、このゲイト絶縁膜には、SiO₂、SiON、SiNなどが用いられてもよい。

【0071】

そして、次に図2（D）に示す様に触媒元素（ニッケル）を除去または低減するための加熱処理（触媒元素のゲッタリングプロセス）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0072】

なお、ハロゲン元素によるゲッタリング効果を十分に得るために、上記加熱処理を700を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。

【0073】

そのため本実施例ではこの加熱処理を700を超える温度で行い、好ましくは800～1000（代表的には950）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0074】

なお、本実施例では酸素雰囲気中に対して塩化水素（HC1）を0.5～10体積%（本実施例では3体積%）の濃度で含有させた雰囲気中において、950で、30分の加熱処理を行う例を示す。HC1濃度を上記濃度以上とすると、活性層209、210、および211の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0075】

また、ハロゲン元素を含む化合物として H C 1 ガスを用いる例を示したが、それ以外のガスとして、代表的には H F 、 N F ₃ 、 H B r 、 C l ₂ 、 C l F ₃ 、 B C l ₃ 、 F ₂ 、 B r ₂ 等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【 0 0 7 6 】

この工程においては活性層 2 0 9 、 2 1 0 、および 2 1 1 中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層 2 0 9 、 2 1 0 、および 2 1 1 中のニッケルの濃度は 5×10^{17} atoms / cm³ 以下にまで低減される。

【 0 0 7 7 】

なお、 5×10^{17} atoms / cm³ という値は S I M S (質量二次イオン分析) の検出下限である。本発明者らが試作した T F T を解析した結果、 1×10^{18} atoms / cm³ 以下 (好ましくは 5×10^{17} atoms / cm³ 以下) では T F T 特性に対するニッケルの影響は確認されなかった。ただし、本明細書中における不純物濃度は、 S I M S 分析の測定結果の最小値でもって定義される。

【 0 0 7 8 】

また、上記加熱処理により活性層 2 0 9 、 2 1 0 、および 2 1 1 とゲイト絶縁膜 2 1 2 の界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜 2 1 2 の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体 / 絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良 (エッジシニング) を防ぐ効果もある。

【 0 0 7 9 】

さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で 9 5 0 で 1 時間程度の加熱処理を行なうことで、ゲイト絶縁膜 2 1 2 の膜質の向上を図ることも有効である。

【 0 0 8 0 】

なお、 S I M S 分析により活性層 2 0 9 、 2 1 0 、および 2 1 1 中にはゲッタリング処理に使用したハロゲン元素が、 1×10^{15} atoms / cm³ ~ 1×10^{20} atoms / cm³ の濃度で残存することも確認されている。また、その際、活性層 2 0 9 、 2 1 0 、および 2 1 1 と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することが S I M S 分析によって確かめられている。

【 0 0 8 1 】

また、他の元素についても S I M S 分析を行った結果、代表的な不純物である C (炭素) 、 N (窒素) 、 O (酸素) 、 S (硫黄) はいずれも 5×10^{18} atoms / cm³ 未満 (典型的には 1×10^{18} atoms / cm³ 以下) であることが確認された。

【 0 0 8 2 】

次に、図 3 を参照する。図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型 2 1 3 、 2 1 4 、および 2 1 5 を形成する。本実施例では 2 w t % のスカンジウムを含有したアルミニウム膜を用いる (図 3 (A)) 。なお、後に 2 1 3 の一部は、 P チャネル F A M O S 型 T F T のフローティングゲイトとなる。

【 0 0 8 3 】

次に、特開平 7 - 1 3 5 3 1 8 号公報記載の技術により多孔性の陽極酸化膜 2 1 6 、 2 1 7 、および 2 1 8 、無孔性の陽極酸化膜 2 1 9 、 2 2 0 、および 2 2 1 、ゲイト電極 2 2 2 、 2 2 3 、および 2 2 4 を形成する (図 3 (B)) 。

【 0 0 8 4 】

こうして図 3 (B) の状態が得られたら、次にゲイト電極 2 2 2 、 2 2 3 、および 2 2 4 、多孔性の陽極酸化膜 2 1 6 、 2 1 7 、および 2 1 8 をマスクとしてゲイト絶縁膜 2 1 2 をエッティングする。そして、多孔性の陽極酸化膜 2 1 6 、 2 1 7 、および 2 1 8 を除去して図 3 (C) の状態を得る。なお、図 3 (C) において 2 2 5 、 2 2 6 、および 2 2 7 で示されるのは加工後のゲイト絶縁膜である。

【 0 0 8 5 】

10

20

30

40

50

次に、ゲイト電極 422 分断し、フローティングゲイトを作製する（図3（D））。

【0086】

次に図4を参照する。図4に示す工程では、一導電性を付与する不純物元素の添加を行う。不純物元素としてはN型ならばP（リン）またはAs（砒素）、P型ならばB（ボロン）を用いれば良い。

【0087】

本実施例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加（本実施例ではP（リン）を用いる）を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が 1×10^{17} atoms/cm³以上（好ましくは 1×10^{18} atoms/cm³以上）となるように調節する。

10

【0088】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500以下（好ましくは300以下）となるように調節する。

【0089】

以上の工程を経て、N型TFTのソース領域228、ドレイン領域229、低濃度不純物領域230、チャネル形成領域231が形成される。また、画素TFTを構成するN型TFTのソース領域232、ドレイン領域233、低濃度不純物領域234、チャネル形成領域235が確定する（図4（A））。本実施例では、半導体活性層のチャネル形成領域では、不対結合手の数がソース・ドレイン領域よりも少ない。これは、チャネル形成領域が、単結晶、あるいは実質的に単結晶となっていると考えられる。

20

【0090】

なお、図4（A）に示す状態ではP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0091】

次に、図4（B）に示すように、N型TFTを覆ってレジストマスク236を設け、P型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行う。ボロンの他に、Ga、Inなどを用いてもよい。

30

【0092】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB（ボロン）イオンを添加する。この p^- 領域は、Pイオン濃度が 1×10^{17} atoms/cm³以上（好ましくは 1×10^{18} atoms/cm³以上）となるように調節する。

【0093】

こうしてP型TFTのソース領域237、ドレイン領域238、低濃度不純物領域239、チャネル形成領域240が形成される（図4（B））。この低濃度不純物領域は、Pイオン濃度が 1×10^{17} atoms/cm³以上（好ましくは 1×10^{18} atoms/cm³以上）となるように調節する。こうすることによって、インパクトイオナイゼイションが起こりやすくなる場合がある。

40

【0094】

以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0095】

次に、PチャネルFAMOS型TFTのコントロールゲイト電極241を作製する。このコントロールゲイト電極241は、無孔性の陽極酸化膜219の上面および側面に接するように形成される。よって、コントロールゲイト電極241とフローティングゲイト電極222'は、絶縁性が保持されている。

【0096】

50

次に、層間絶縁膜 242 として酸化珪素膜と窒化珪素膜との積層膜を形成した(図4(D))。図4(D)のFAMOS型TFTを上面から見た図を図4(E)に示す。

【0097】

次に図5を参照する。層間絶縁膜242にコンタクトホールを形成した後、ソース電極243、244、および245、ドレイン電極246、247を形成して図5(A)に示す状態を得る。

【0098】

次に、有機性樹脂膜でなる第2の層間絶縁膜249を0.5~3μmの厚さに形成する(図5(B))。この有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミドなどが用いられ得る。この第2の層間絶縁膜249に有機性樹脂膜を用いることの利点は、1 成膜方法が簡単であること、2 膜厚を容易に厚くできること、3 比誘電率が低いので寄生容量を低減できること、4 平坦性に優れていること、などが挙げられる。

【0099】

次に、ブラックマスク250を形成する(図5(B))。

【0100】

次に、酸化珪素膜、窒化珪素膜、有機性樹脂膜のいずれかあるいはこれらの積層膜からなる第3の層間絶縁膜251を0.1~0.3μmの厚さに形成する。そして、層間絶縁膜251にコンタクトホールを形成し、成膜した導電膜をパターニングすることにより画素電極252を形成する。本実施例は、透過型の液晶表示装置を例に示すため画素電極252を構成する導電膜としてITO等の透明導電膜を用いる。

【0101】

図5(B)の構成では、層間絶縁膜251を介して、画素電極252とブラックマスク250とが重畳する領域で補助容量が形成される。

【0102】

なお、図5(B)に示すような構成では、広い面積を占めやすい補助容量をTFTの上に形成することで開口率の低下を防ぐことが可能である。また、誘電率の高い窒化珪素膜を適切な厚さで用いると、少ない面積で非常に大きな容量を確保することが可能である。

【0103】

次に、基板全体を350の水素雰囲気で1~2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合)を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0104】

次に、図5(C)を参照しながら、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶パネルを作製する工程を説明する。

【0105】

図5(B)の状態のアクティブマトリクス基板に配向膜253を形成する。本実施例では、配向膜253には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板254、透明導電膜255、配向膜256とで構成される。

【0106】

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0107】

なお、対向基板には必要に応じてブラックマスクやカラーフィルタなどが形成されるが、ここでは省略する。

【0108】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(図示せず)などを介して貼り合わせる。その後、両基板の間に液晶材料257を注入し、封止剤(図示せず)によって完全に封止する。よって、図

10

20

20

30

40

50

5 (C) に示すような透過型の液晶パネルが完成する。

【 0 1 0 9 】

なお、本実施例では、液晶パネルが、TNモードによって表示を行うようにした。そのため、1対の偏光板（図示せず）がクロスニコル（1対の偏光板が、それぞれの偏光軸を直交させるような状態）で、液晶パネルを挟持するように配置された。

【 0 1 1 0 】

よって、本実施例では、液晶パネルの画素 TFT に電圧が印加されていないとき明状態となる、ノーマリホワイトモードで表示を行うことが理解される。

【 0 1 1 1 】

図6にFAMOS型 TFT を含むメモリセル、画素 TFT 、ロジック回路が、同一基板上 10 に一体形成されている様子を示す。

【 0 1 1 2 】

また、本実施例の液晶パネルの外観を図7に簡略化して示す。図7において、701は石英基板、702は画素マトリクス回路、703はソース信号線側ドライバ回路、704はゲイト信号線側ドライバ回路、705は信号処理回路などのロジック回路および不揮発性メモリ回路である。706は対向基板、707は、FPC (Flexible Print Circuit) 端子である。一般的に、液晶モジュールと呼ばれるのはFPCを取り付けた液晶パネルである。

【 0 1 1 3 】

ロジック回路705は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するため、それ以外の信号処理回路を指す。 20

【 0 1 1 4 】

なお、本実施例の不揮発性メモリには、画像信号にガンマ補正する為のデータが記憶されている。これは、液晶表示装置固有のデータであり、製造後ガンマ補正のデータを作成する際に不揮発性メモリに書き込まれる。

【 0 1 1 5 】

また、不揮発性メモリに用いられているFAMOS型 TFT のフローティングゲート、および/またはコントロールゲートにSiを用いた場合にも、不揮発性メモリは周辺回路やロジック回路と同一構造を有し、本発明が適用できる。 30

【 0 1 1 6 】

本実施例の不揮発性メモリは、フローティングゲート電極を作製する際に生じた無孔性の陽極酸化膜を介して、コントロールゲート電極が形成されている。

【 0 1 1 7 】

図8に示すようにコントロールゲート電極 - フローティング電極間の容量をC1、印加される電圧をV1、フローティング電極 - 活性層間の容量をC2、ゲート電圧をVc、ドレイン電圧をVdとし、ソースをGNDにおとすと、フローティングゲート電極には、容量分割電圧Vfが発生し、Vfは下記の数式で表される。

【 0 1 1 8 】

【 数 1 】

$$V_f = \frac{C_2 V_c + C_3 V_d}{C_1 + C_2 + C_3}$$

【 0 1 1 9 】

本実施例ではフローティングゲイト - コントロールゲイト間の容量 C_3 が大きので、 V_f が大きくなり、フローティングゲイト電極にキャリアが注入されやすい。

【0120】

(実施例2)

【0121】

本実施例では、FAMOS型TFTのコントロールゲイト電極の作製工程が実施例1とは異なる。その他の工程は同じであるので、実施例1を参照し、本実施例では説明を省略する。なお、本実施例の液晶表示装置では、本実施例の不揮発性メモリが、ガンマ補正のデータを記憶する記憶手段として用いられている。なお、ドライバ等の周辺回路に代表的に用いられるCMOS回路も同様に作製され得る。なお、本実施例では、Pチャンネル型とNチャンネル型とがそれぞれ1つのゲイト電極を備えた回路について、その作製工程を説明するが、ダブルゲイト型のような複数のゲイト電極を備えた回路も同様に作製することができる。

【0122】

図9を参照する。実施例1の図4(B)の工程を終えた状態が図9(A)に示される。図9(A)に示される以前の工程については、実施例1を参照することができる。図9(A)において、901は下地基板、903はPチャネルFAMOS型TFTのソース領域、902はドレイン領域、904は低濃度不純物領域、905はチャネル形成領域、906はゲイト絶縁膜、907はフローティングゲイト電極、908は無孔性の陽極酸化膜である。また、909はNチャネル型TFTのソース領域、910はドレイン領域、911は低濃度不純物領域、912はチャネル形成領域、913はゲイト絶縁膜、914はゲイト電極、915は無孔性の陽極酸化膜である。また、916は画素TFTを構成するNチャネル型TFTのソース領域、917はドレイン領域、918は低濃度不純物領域、919はチャネル形成領域、920はゲイト絶縁膜、921はゲイト電極、922は無孔性の陽極酸化膜である。

【0123】

図9(B)に示すように、層間絶縁膜923として酸化珪素膜と窒化珪素膜との積層膜を形成する。

【0124】

次に図9(C)を参照する。層間絶縁膜923にコンタクトホールを形成した後、ソース電極924、925、および926、ドレイン電極927および928、およびPチャネルFAMOS型TFTのコントロールゲイト電極929を形成する。

【0125】

PチャネルFAMOS型TFTのコントロールゲイト電極は、無孔性の陽極酸化膜908に接続されている。

【0126】

以後、実施例1の工程に従って、有機性樹脂膜でなる第2の層間絶縁膜(図示せず)を形成する。以後の工程についても、実施例1の工程に従うものとする。

【0127】

本実施例の方法に従うと、FAMOS型TFTを含む不揮発性メモリを有する液晶表示装置は、工程を増やすことなく作製され得る。

【0128】

(実施例3)

【0129】

図21および図23を参照する。図21には、本実施例1で作製されたTFTの第1回目のボロンドーズ量を変化させた時のゲイトリーケ電流IGの変化が示されている。なお、VDはドレイン電圧、IDはドレイン電流、VGはゲイト電圧である。

【0130】

図21より、図21(A)～(E)では、第1回目のボロンのドーズ量を $0 \sim 6 \times 10^{13}$ atoms/cm²とした場合のグラフである。このとき、ゲイトリーケ電流値には、ピ

10

20

30

40

50

ーク値 (I G (peak) と示す) が存在する。これらのグラフより、第 1 回目のボロンのドーズ量が多くなると、ゲイトリーク電流のピーク値が大きくなっていることがわかる。よって、低濃度不純物領域が無い方が、ゲイトリーク電流が多くなり、フローティングゲイト電極にキャリアが注入されやすいことがわかる。

【 0 1 3 1 】

なお、図 23 (A) は、第 1 回目のボロンのドーズ量と、ゲイトリーク電流のピークとの関係を示すグラフである。

【 0 1 3 2 】

本実施例では、第 1 回目のボロンのドーズ量が多い時に、ゲイトリーク電流が大きくなることより、FAMOS 型 TFT に低濃度不純物領域を設けないようにすることにした。 10

【 0 1 3 3 】

本実施例では、FAMOS 型 TFT の不純物イオンの添加工程が実施例 1 とは異なる。なお、以下に示す液晶表示装置では、本実施例の不揮発性メモリが、ガンマ補正のデータを記憶する記憶手段として用いられている。なお、ドライバ等の周辺回路に代表的に用いられる CMOS 回路も同様に作製され得る。

【 0 1 3 4 】

図 10 を参照する。実施例 1 の図 3 (D) の工程 (フローティングゲイトの作製) を終えた状態が図 10 (A) に示される。図 9 (A) に示される以前の工程については、実施例 1 を参照することができる。

【 0 1 3 5 】

図 10 (A) において、1001 は下地基板、1002、1003、および 1004 は島状半導体層 (活性層) 、1005、1006、および 1007 はゲイト絶縁膜、1008、1009、および 1010 はゲイト電極 (ただし、1008 は FAMOS 型 TFT のフローティングゲイト) 、1011、1012、および 1013 は無孔性の陽極酸化膜である。 20

【 0 1 3 6 】

まず、FAMOS 型 TFT の不純物添加を行う。不純物の添加には、本実施例では B (ボロン) を用いる。その他、Ga、In 等を用いてもよい。加速電圧 80 keV 程度で不純物の添加を行うことによって、ソース領域 1014 、ドレイン領域 1015 、およびチャネル領域 1016 が形成される。またこの時、他の部分にはレジストマスク 1017 が存在するようにしておくことによって、他の領域には不純物の添加が行われないようにする。 30

【 0 1 3 7 】

次に、P チャネル FAMOS 型 TFT 以外に不純物の添加を行う。本実施例では、不純物添加を 2 回の工程に分けて行う。まず、1 回目の不純物添加 (本実施例では P (リン) を用いる) を高加速電圧 80 keV 程度で行い、n⁻ 領域を形成する。この n⁻ 領域は、P イオン濃度が 1×10^{18} atoms / cm³ ~ 1×10^{19} atoms / cm³ となるように調節する。

【 0 1 3 8 】

さらに、2 回目の不純物添加を低加速電圧 10 keV 程度で行い、n⁺ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この n⁺ 領域は、シート抵抗が 500 以下 (好ましくは 300 以下) となるように調節する。 40

【 0 1 3 9 】

以上の工程を経て、N 型 TFT のソース領域 1019 、ドレイン領域 1020 、低濃度不純物領域 1021 、チャネル形成領域 1022 が形成される。また、画素 TFT を構成する N 型 TFT のソース領域 1023 、ドレイン領域 1024 、低濃度不純物領域 1025 、チャネル形成領域 1026 が確定する (図 10 (C)) 。

【 0 1 4 0 】

なお、図 10 (C) に示す状態では P 型 TFT の活性層も N 型 TFT の活性層と同じ構成となっている。 50

【0141】

次に、図10(D)に示すように、N型TFTを覆ってレジストマスク1027を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。なお、図10(D)にはFAMOS型TFT以外のPチャネル型TFTは図示されていない。

【0142】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0143】

こうしてP型TFTのソース領域、ドレイン領域、低濃度不純物領域、およびチャネル形成領域が形成される(図10(D))。

10

【0144】

以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0145】

次に、PチャネルFAMOS型TFTのコントロールゲート電極1028を作製する。このコントロールゲート電極1028は、無孔性の陽極酸化膜1011を囲むように作製される(図11(A))。よって、コントロールゲート電極1028とフローティングゲート電極1008は、絶縁性が保持されている。

20

【0146】

次に、層間絶縁膜1029として酸化珪素膜と窒化珪素膜との積層膜を形成した(図11(B))。

【0147】

次に図11(C)を参照する。層間絶縁膜1029にコンタクトホールを形成した後、ソース電極1030、1031、および1032、ドレイン電極1033、1034を形成して図11(C)に示す状態を得る。

【0148】

以後は、実施例1の図5(B)以降に示された工程を行う。

【0149】

30

完成した本実施例の液晶パネルの断面図を図12に示す。図12には、FAMOS型TFTを含むメモリセル、画素TFT、ロジック回路が、同一基板上に一体形成されている様子が示されている。なお、ロジック回路は実施例1と同様CMOS回路が代表的に示されている。

【0150】

図12にも示されているように、メモリセルPチャネルFAMOS型TFTの半導体活性層領域には、低濃度不純物領域が形成されていない(他のTFTには低濃度不純物領域1201、1202、1203、および1204が形成されている)。よって、フローティングゲート電極にキャリアの注入が起こりやすくなり、優れたメモリの機能が実現される。

40

【0151】

(実施例4)

【0152】

本実施例では、メモリセルを構成するFAMOS型TFTとスイッチングTFTとの両方をPチャネル型TFTで作製した。なお、メモリのデコーダ部や他のロジック回路を構成するTFTは、Nチャネル型およびPチャネル型で構成される。なお、説明を省略する工程に関しては、実施例1を参照することができる。

【0153】

図13を参照する。まず、絶縁表面を有する基板として石英基板1301を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基

50

板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

【0154】

1302は非晶質珪素膜であり、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～100nm（好ましくは20～80nm）となる様に調節する。こうすることによって、FAMOS型TFTにおいて、インパクトイオナイゼイションが起こりやすくなり、フローティングゲイトにキャリアの注入がされやすくなる。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。なお、FAMOS型TFTのは非晶質珪素膜の最終的な膜厚が10～400nm、他のTFTの最終的な膜厚が20～80nmとしてもよい。この場合、選択酸化法などによって、それぞれの所望の膜厚を得ることができる。

10

【0155】

本実施例の場合、非晶質珪素膜1302中において代表的な不純物であるC（炭素）、N（窒素）、O（酸素）、S（硫黄）の濃度はいずれも 5×10^{18} atoms/cm³未満（好ましくは 1×10^{18} atoms/cm³以下）となる様に管理している。各不純物がこれ以上の濃度で存在すると、結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となりうる。

【0156】

なお、非晶質珪素膜1302中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜1302の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

20

【0157】

次に、非晶質珪素膜1302の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同広報の実施例2に記載した技術内容（特開平8-78329号公報に詳しい）を利用するのが好ましい。

【0158】

特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜1303を形成する。マスク絶縁膜1303は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置を調整することによって結晶領域の位置を決定することができる。

30

【0159】

そして、非晶質珪素膜1302の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液をスピンドルコート法により塗布し、Ni含有層1304を形成する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）等を用いることができる（図13（A））。

【0160】

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

40

【0161】

次に、触媒元素の添加工程が終了したら、450で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700（代表的には550～650）の温度で4～24時間の加熱処理を加えて非晶質珪素膜1302の結晶化を行う。本実施例では窒素雰囲気で570で14時間の加熱処理を行う。

【0162】

この時、非晶質珪素膜1302の結晶化はニッケルを添加した領域1305および130

50

6で発生した核から優先的に進行し、基板1301の基板面に対してほぼ平行に成長した結晶領域（横成長領域）1307および1308が形成される。この結晶領域207および208を横成長領域と呼ぶ（図13（B））。

【0163】

結晶化のための加熱処理が終了したら、マスク絶縁膜1303を除去してパターニングを行い、横成長領域1307および1308でなる島状半導体層（活性層）1309および1310を形成する（図13（C））。

【0164】

ここで1309はPチャネルFAMOS型TFTおよびスイッチングTFTの活性層、1310は画素マトリクス回路を構成するN型TFT（画素TFT）の活性層である。

10

【0165】

活性層1309および1310を形成したら、その上に珪素を含む絶縁膜でなるゲート絶縁膜1311を成膜する。なお、FAMOS型TFTのゲート絶縁膜の厚さは、100～500とし、他のゲート絶縁膜の厚さは、500～2000としてもよい。なお、このゲート絶縁膜には、SiO₂、SiON、SiNなどが用いられてもよい。

【0166】

そして、次に図13（D）に示す様に触媒元素（ニッケル）を除去または低減するための加熱処理（触媒元素のゲッタリングプロセス）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

20

【0167】

なお、ハロゲン元素によるゲッタリング効果を十分に得るために、上記加熱処理を700を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。

【0168】

そのため本実施例ではこの加熱処理を700を超える温度で行い、好ましくは800～1000（代表的には950）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0169】

なお、本実施例では酸素雰囲気中に対して塩化水素（HCl）を0.5～10体積%（本実施例では3体積%）の濃度で含有させた雰囲気中において、950で、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層1309および1310の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

30

【0170】

また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0171】

さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950で1時間程度の加熱処理を行なうことで、ゲート絶縁膜1311の膜質の向上を図ることも有効である。

40

【0172】

なお、SIMS分析により活性層1309および1310中にはゲッタリング処理に使用したハロゲン元素が、 1×10^{15} atoms/cm³～ 1×10^{20} atoms/cm³の濃度で残存することも確認されている。また、その際、活性層1309および1310と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することがSIMS分析によって確かめられている。

【0173】

また、他の元素についてもSIMS分析を行った結果、代表的な不純物であるC（炭素）

50

、N(窒素)、O(酸素)、S(硫黄)はいずれも 5×10^{18} atoms/cm³未満(典型的には 1×10^{18} atoms/cm³以下)であることが確認された。

【0174】

次に、図14を参照する。図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型1312、1313、および1314を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる(図14(A))。なお、後に1312の一部は、PチャネルFAMOS型TFTのフローティングゲイトとなる。

【0175】

次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜1315、1316、および1317、無孔性の陽極酸化膜1318、1319、および1320、ゲイト電極1321、1322、および1323(図14(B))。

【0176】

こうして図14(B)の状態が得られたら、次にゲイト電極1321、1322、および1323、多孔性の陽極酸化膜1315、1316、および1317をマスクとしてゲイト絶縁膜1311をエッティングする。そして、多孔性の陽極酸化膜1315、1316、および1317を除去して図14(C)の状態を得る。なお、図14(C)において1321、1322、および1323で示されるのは加工後のゲイト絶縁膜である。

【0177】

次に、ゲイト電極1321を分断し、フローティングゲイト電極1321'を作製する(図14(D))。

【0178】

次に図15を参照する。図15に示す工程では、一導電性を付与する不純物元素の添加を行う。不純物元素としてはN型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)を用いれば良い。

【0179】

本実施例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加(本実施例ではP(リン)を用いる)を高加速電圧80keV程度で行い、n⁻領域を形成する。このn⁻領域は、Pイオン濃度が 1×10^{18} atoms/cm³~ 1×10^{19} atoms/cm³となるように調節する。

【0180】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、n⁺領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、このn⁺領域は、シート抵抗が500以下(好ましくは300以下)となるように調節する。

【0181】

以上の工程を経て、N型TFTのソース領域、ドレイン領域、低濃度不純物領域、チャネル形成領域(いずれも図示せず)が形成され、画素TFTを構成するN型TFTのソース領域1324、ドレイン領域1325、低濃度不純物領域1326、およびチャネル形成領域1327が確定する(図15(A))。

【0182】

なお、図15(A)に示す状態ではP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0183】

次に、図15(B)に示すように、N型TFTを覆ってレジストマスク1328を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。

【0184】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0185】

10

30

40

50

こうしてP型TFTのソース・ドレイン領域1329、1330、および1331、低濃度不純物領域1332および1333、およびチャネル形成領域1332、1333が形成される(図15(B))。

【0186】

以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0187】

次に、層間絶縁膜1336として酸化珪素膜と窒化珪素膜との積層膜を形成した(図15(C))。

10

【0188】

次に、層間絶縁膜1336にコンタクトホールを形成した後、ソース・ドレイン電極1337、1338、1339、および1340、およびPチャネルFAMOS型TFTのコントロールゲイト電極1341を形成する。

【0189】

PチャネルFAMOS型TFTのコントロールゲイト電極は、無孔性の陽極酸化膜1318の上面に接続されている。

【0190】

以後、実施例1の工程に従って、有機性樹脂膜でなる第2の層間絶縁膜(図示せず)を形成する。以後の工程についても、実施例1の工程に従うものとする。

20

【0191】

ここで、図16(A)に、本実施の不揮発性メモリの回路図を示す。図16(B)は、図16(A)におけるA-A'の断面図を示し、図16(C)は、図16(A)の等価回路図を示す。

【0192】

図16(A)において、1301～1304は半導体層であり、TFTTr1～Tr8を構成している。1305～1308は第1の配線層であり、Tr2、Tr4、Tr6、およびTr8のゲイト電極、ゲイト信号線の配線、およびTr1、Tr3、Tr5、Tr7のゲイト信号線の配線として利用している。なお、Tr1、Tr3、Tr5、およびTr7のフローティングゲイト電極1313～1316は、第1の配線層と同時に形成され、パターンニングされたのちにフローティングの状態となる。なお、1309～1312は、Tr2、Tr4、Tr6、およびTr8のゲイト電極である。1317～1324は第2の配線層であり、各Trのソース・ドレイン領域に接続される信号線として、またTr1、Tr3、Tr5、およびTr7のコントロールゲイト電極として用いられる。また、図中において、1325で示したように黒く塗りつぶされている部分は、その下部の配線あるいは半導体層とコンタクトをとっていることを示している。なお、図中において同一柄の配線は全て同一の配線層である。

30

【0193】

なお、本実施例の不揮発性メモリの動作について、図16(C)を参照して説明する。なお、本実施例の不揮発性メモリも、実施例1に示したような、マトリクス状に配置された構造を有する。また、図16(C)では、信号線にはA0、B0、C0、D0、A1、B1、C1、およびD1という符号が付けられている。また、メモリセルには、(0、0)～(1、1)の符号が付けられている。ここでは、メモリセル(1、1)を例にとって、その動作を説明する。

40

【0194】

まず、メモリセル(1、1)にデータを書き込む場合、信号線C1には50Vの高電圧が印加される。また、信号線D1は-5Vの電圧が印加される。そこで信号線B1をGNDにおとし、A1に-5Vの電圧を印加すると、Tr1のフローティングゲイトに電荷が蓄積される。Tr1のフローティングゲイトに蓄積された電荷は保持される。

【0195】

50

次に、メモリセル（1、1）からデータを読み出す場合、信号線C1には0Vが印加され、D1には-5Vが印加される。そしてB1をGNDにおとすと、記憶されていた信号がA1から読み出される。

【0196】

以上の動作を下の表にまとめる。

【0197】

【表2】

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
書き込み時	0/-5	GND	50	-5
読み出し時	-	GND	0	-5

10

【0198】

なお、メモリセルに記憶されている記憶内容は、X線、紫外線、あるいは電子線などを不揮発性メモリに照射することによって消去できる。

【0199】

（実施例5）

【0200】

本実施例では、メモリに蓄積されたキャリアを電気的に消去できる、EEPROMについて述べる。

20

【0201】

図18を参照する。図18（A）には、本実施例のEEPROMの構成が示されている。1901は、P型TFTのチャネル領域、1902、1903は、ソース・ドレイン領域、1904はゲート絶縁膜、1905はフローティングゲート電極、1906は陽極酸化膜、1907はソース電極、1908はコントロール電極、1909はスイッチングTFTの低濃度不純物領域、1920はチャネル領域、1921はゲート絶縁膜、1923はゲート電極、1924は陽極酸化膜、1926は層間膜である。

【0202】

本実施例のEEPROMをマトリクス状に配置したメモリを、図18（B）に示す。1927、1928は、それぞれアドレスデコーダである。

30

【0203】

本実施例のメモリの動作を下記の表に示す。

【0204】

【表3】

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
書き込み時	0/-5	GND	50	-5
読み出し時	-	GND	0	-5
消去時	-	GND	-50	-5

40

【0205】

なお、本実施例のメモリは、上記実施例1～5で説明したような、半導体表示装置に用いられる。

【0206】

（実施例6）

【0207】

50

本実施例では、実施例 1 で説明した作製において、ゲイト電極に Ta (タンタル) または Ta 合金を用いた場合について説明する。

【0208】

Ta または Ta 合金をゲイト電極に用いると、約 450 から約 600 で熱酸化することができ、Ta₂O₃ 等の膜質の良い酸化膜がゲイト電極上に形成される。この酸化膜は、上記実施例 1 で説明した、Al (アルミニウム) をゲイト電極として用いたときに形成される酸化膜よりも膜質は良いことがわかっている。

【0209】

このことは、絶縁膜の耐圧評価の一つである J-E 特性 (電流密度 - 電界強度特性) において、Ta または Ta 合金の酸化膜が Al の酸化膜よりも良い特性を有することによってわかった。

10

【0210】

また、Ta₂O₃ は、比誘電率が 11.6 前後であり、フローティングゲイト - コントロールゲイト間の容量 C3 (実施例 1 の数式参照) が大きいので、Al をゲイト電極に用いた場合に比較してフローティングゲイトに電荷が注入されやすいという利点もある。

【0211】

また、Ta をゲイト電極に用いた場合、上記実施例で行ったように陽極酸化することもできる。

【0212】

なお、上記実施例 1 ~ 5 においてゲイト電極に Ta または Ta 合金を用いることができる。

20

【0213】

(実施例 7)

【0214】

上記実施例 1 ~ 6 で説明した液晶表示装置は、液晶表示装置を組み込んだ半導体表示装置に用いられる。このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話など) などが挙げられる。それらの一例を図 17 に示す。

【0215】

30

図 17 (A) はモバイルコンピュータであり、本体 1701、カメラ部 1702、受像部 1703、操作スイッチ 1704、液晶表示装置 1705 で構成される。

【0216】

図 17 (B) はヘッドマウントディスプレイであり、本体 1801、液晶表示装置 1802、バンド部 1803 で構成される。

【0217】

図 17 (C) は、フロント型プロジェクタであり、本体 1901、光源 1902、液晶表示装置 1903、光学系 1904、スクリーン 1905 で構成される。

【0218】

図 17 (D) は携帯電話であり、本体 2001、音声出力部 2003、音声入力部 2003、液晶表示装置 2004、操作スイッチ 2005、アンテナ 2006 で構成される。

40

【0219】

図 17 (E) はビデオカメラであり、本体 2101、液晶表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。

【0220】

(実施例 8)

【0221】

なお、上記実施例 1 ~ 7 では、表示媒体として液晶を用いる場合について説明してきたが、本発明の半導体表示装置に、液晶と高分子との混合層を用い、いわゆる高分子分散型液晶表示装置とすることもできる。また、本発明を、印加電圧に応答して光学的特性が変調

50

され得るその他のいかなる表示媒体を備えた表示装置に用いてもよい。例えば、エレクトロルミネセンス素子などを表示媒体として備えた表示装置に用いてもよい。この場合も、メモリや周辺回路などを含むアクティブマトリクス基板の作製には、実施例1で説明した工程が利用される。

【0222】

また、実施例6で説明したように、ゲイト電極にタンタルまたはタンタル合金を用いてもよい。

【0223】

ここで、上記実施例1～4の作製方法によって作製され半導体薄膜について説明する。上記実施例1～4の作製方法によると、非晶質珪素膜を結晶化させて、連続粒界結晶シリコン（いわゆるContinuous Grain Silicon: CGS）と呼ばれる結晶シリコン膜を得ることができる。

10

【0224】

上記実施例1～4の作製方法によって得られた半導体薄膜の横成長領域は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴について示す。

【0225】

〔活性層の結晶構造に関する知見〕

【0226】

上述の実施例1～4の作製工程に従って形成した横成長領域は、微視的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

20

【0227】

また、本発明者らは上述の実施例1～4の作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）を用いて800万倍に拡大し、詳細に観察した（図24（A））。ただし、本明細書中において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味での粒界とは区別して考える。

【0228】

30

ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弹性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することができる。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

【0229】

本出願人らが得たTEM写真（図24（A））では異なる二つの結晶粒（棒状結晶粒）が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

40

【0230】

ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

【0231】

この時、本出願人らは上述した実施例1～4の作製方法によって得られた半導体薄膜のTEM写真を詳細に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではどちらにも{111}面に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

50

【0232】

さらに、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であり、全体の90%以上（典型的には95%以上）の格子縞が結晶粒界で連続性を保っている。

【0233】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

10

【0234】

なお、図24（B）に、本出願人らはリファレンスとして従来の多結晶珪素膜（いわゆる高温ポリシリコン膜）についても電子線回折およびHR-TEM観察による解析を行った。その結果、異なる二つの結晶粒において互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかった。即ち、結晶粒界では格子縞が途切れた部分が多く、結晶欠陥が多いことが判明した。このような部分では、未結合手が存在することになり、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0235】

本出願人らは、上述した実施1～4の作製方法で得られる半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手（又は不対結合手）と呼ぶ。

20

【0236】

本願発明で利用する半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下（好ましくは5%以下、さらに好ましくは3%以下）であった。即ち、全体の結合手の90%以上（好ましくは95%以上、さらに好ましくは97%以上）が整合結合手によって構成されているのである。

30

【0237】

また、前述の実施例1～4の作製方法に従って作製した横成長領域を電子線回折で観察した結果を図25（A）に示す。なお、図25（B）は比較のために観察した従来のポリシリコン膜（高温ポリシリコン膜と呼ばれるもの）の電子線回折パターンである。

【0238】

なお、図25（A）および図25（B）は電子線の照射スポットの径を $1.35\mu\text{m}$ として測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0239】

また、図25（C）は単結晶シリコンの{110}面に垂直に電子線を照射した場合の電子線回折パターンである。通常、この様な電子線回折パターンと観測結果とを見比べ、観察試料の配向性が何であるかを推測する。

40

【0240】

図25（A）の場合、図25（C）に示す様な110入射に対応する回折斑点が比較的きれいに現れており、結晶軸が110軸である（結晶面が{110}面である）ことが確認できる。

【0241】

なお、各斑点は同心円状の広がりを僅かにもっているが、これは結晶軸まわりにある程度の回転角度の分布をもつためと予想される。その広がりの程度はパターンから見積もっても5°以内である。

50

【 0 2 4 2 】

また、多数観測するうちには回折斑点が部分的に見えない場合があった（図25（A）でも一部分の回折斑点が見えない）。おそらくは概略{110}配向であるものの、わずかに結晶軸がずれているために回折パターンが見えなくなっているものと思われる。

【 0 2 4 3 】

本出願人らは、結晶面内に殆ど必ず{111}面が含まれるという事実を踏まえ、おそらく{111}軸まわりの回転角のずれがその様な現象の原因であろうと推測している。

【 0 2 4 4 】

一方、図25（B）に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、{110}面以外の面方位の結晶が不規則に混在すると予想される。

10

【 0 2 4 5 】

これらの結果が示す様に、本願発明の結晶性珪素膜の特徴は殆ど全ての結晶粒が概略{110}面に配向しており、かつ、結晶粒界において格子に連続性を有することにある。この特徴は、従来のポリシリコン膜にはないものである。

【 0 2 4 6 】

以上の様に、前述の実施例1～4の作製工程で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造（正確には結晶粒界の構造）を有する半導体薄膜であった。本発明者らは本願発明で利用する半導体薄膜について解析した結果を特願平9-55633号、同9-165216号、同9-212428号でも説明している。

20

【 0 2 4 7 】

なお、本出願人らは特開平7-321339号公報に記載した手法に従ってX線回折を行い、上述の作製方法の結晶性珪素膜について配向比率を算出した。同公報では下記数2に示す様な算出方法で配向比率を定義している。

【 0 2 4 8 】**【数2】**

{220} 配向存在比=1 (一定)

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

10

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

{220} 配向比率=

$$\frac{\{220\} \text{ 配向存在比}}{\{220\} \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}}$$

20

【0249】

ここで上述の半導体薄膜の配向性をX線回折で測定した結果の一例を図28に示す。なお、X線回折パターンには(220)面に相当するピークが現れているが、{110}面と等価であることは言うまでもない。この測定の結果、{110}面が主たる配向であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

30

【0250】

以上に示してきた通り、上述の実施例1~4の作製方法による結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造(結晶構成)を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

【0251】

なお、この半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

40

【0252】

図26(A)は上述の実施例1~4の結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内(黒い部分と白い部分はコントラストの差に起因して現れる)に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0253】

この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図26(A)は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約70°の角をなして折れ曲がっていることから推測できる。

【0254】

50

一方、図26(B)に示す様に、同倍率で見た上述の実施例1～4の作製方法による結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0255】

即ち、図26(B)に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0256】

この様に、図26(A)と図26(B)との写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。上述の実施例1～4の作製方法による結晶シリコン膜が図26(A)に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0257】

こうして得られた上述の実施例1～4の作製方法による結晶シリコン膜(図26(B))は、単に結晶化を行っただけの結晶シリコン膜(図26(A))に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0258】

この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。現状では上記実施例1～4の作製方法による結晶シリコン膜のスピン密度は少なくとも 5×10^{17} spins/cm³以下(好ましくは 3×10^{17} spins/cm³以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0259】

以上の様な結晶構造および特徴を有する上述の実施例1～4の作製方法による結晶シリコン膜を、本出願人は、「連続粒界結晶シリコン(Continuous Grain Silicon: CGS)」と呼んでいる。

【0260】

従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、上述の実施例1～4の作製方法による半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、上記実施例1～4の作製方法による半導体薄膜を用いて作製したTFTの電気特性は非常に優れた値を示す。この事については以下に示す。

【0261】

〔TFTの電気特性に関する知見〕

【0262】

上述の実施例1～4の作製方法による半導体薄膜は実質的に単結晶と見なせる(実質的に結晶粒界が存在しない)ため、それを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本出願人らが試作したTFTからは次に示す様なデータが得られている。

【0263】

(1) TFTのスイッチング性能(オン/オフ動作の切り換えの俊敏性)の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60～100mV/decade(代表的には60～85mV/decade)と小さい。

(2) TFTの動作速度の指標となる電界効果移動度(μ_F)が、Nチャネル型TFTで200～650cm²/Vs(代表的には250～300cm²/Vs)、Pチャネル型TFTで100～300cm²/Vs(代表的には150～200cm²/Vs)と大きい。

(3) TFTの駆動電圧の指標となるしきい値電圧(V_{th})が、Nチャネル型TFTで-0.5～1.5V、Pチャネル型TFTで-1.5～0.5Vと小さい。

10

20

30

40

50

【0264】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0265】

なお、CGSを形成するにあたって前述した結晶化温度以上の温度(700~1100)でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。

【0266】

以上のことから、CGSを作製するにあたって、触媒元素のゲッタリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。

10

【0267】

まず、図26(A)に示す状態では結晶粒内の欠陥(主として積層欠陥)には触媒元素(代表的にはニッケル)が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0268】

しかしながら、触媒元素のゲッタリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0269】

勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生するためのシリコンの再結合がスムーズに行われると推測できる。

20

【0270】

また、本発明者らは結晶化温度以上の温度(700~1100)で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【0271】

〔TFT特性とCGSの関係に関する知見〕

上述の様な優れたTFT特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

30

【0272】

結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

【0273】

上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠陥、{221}双晶粒界、{221}twist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

40

【0274】

特に{111}双晶粒界は3の対応粒界、{221}双晶粒界は9の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。

【0275】

本出願人が上述の実施例1~4の作製方法による半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が3の対応粒界、即ち{1

50

{111} 双晶粒界であることが判明した。

【0276】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が {110} である場合、{111} 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に 3 の対応粒界となることが知られている。

【0277】

従って、図 24 (A) の TEM 写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約 70° の角度で連続しており、この結晶粒界は {111} 双晶粒界であると容易に推察することができる。

【0278】

なお、 $\theta = 38.9^\circ$ の時には 9 の対応粒界となるが、この様な他の結晶粒界も存在した。

【0279】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、上述の実施例 1 ~ 4 の作製方法による半導体薄膜は面方位が概略 {110} で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0280】

ここで、上述の実施例 1 ~ 4 の作製方法による半導体薄膜を 1 万 5 千倍に拡大した TEM 写真（暗視野像）を図 27 (A) に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0281】

図 27 (A) で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0282】

他方、従来の高温ポリシリコン膜を 1 万 5 千倍に拡大した TEM 写真（暗視野像）を図 27 (B) に示す。従来の高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図 27 (A) に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0283】

また、本出願人は図 27 に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFT を作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

【0284】

【発明の効果】

【0285】

本発明によると、不揮発性メモリが、画素 TFT、ドライバ回路、その他の周辺回路と一緒に一体形成されるので、液晶表示装置の小型化、高性能化を図ることができる。また、作製した不揮発性メモリを、ガンマ補正を行うためのデータを記憶させておくこともでき、階調表示の良好な液晶表示装置が実現できる。

【図面の簡単な説明】

【図 1】 本発明の不揮発性メモリの回路図である。

【図 2】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。

【図 3】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。

【図 4】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。

【図 5】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。

【図 6】 本発明の不揮発性メモリを含む液晶表示装置の断面図である。

【図 7】 本発明の不揮発性メモリを含む液晶表示装置の斜視図および側面図である。

10

20

30

40

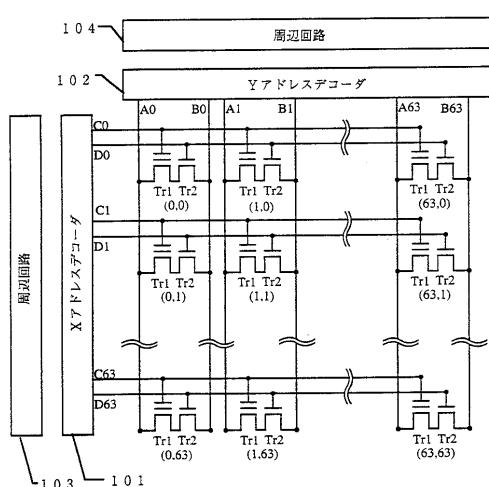
50

- 【図 8】 本発明の不揮発性メモリの容量を示す図である。
- 【図 9】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。
- 【図 10】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。
- 【図 11】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。
- 【図 12】 本発明の不揮発性メモリを含む液晶表示装置の断面図である。
- 【図 13】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。
- 【図 14】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。
- 【図 15】 本発明の不揮発性メモリを含む液晶表示装置の作製工程を示す図である。
- 【図 16】 本発明の不揮発性メモリの回路図である。
- 【図 17】 本発明の液晶表示装置を利用した半導体装置の概略図である。 10
- 【図 18】 本発明の不揮発性メモリの断面図、および回路図である。
- 【図 19】 従来の液晶表示装置を示す図である。
- 【図 20】 液晶表示装置の印可電圧と透過光強度との関係を示した図である。
- 【図 21】 TFTの特性を測定した図である。
- 【図 22】 TFTの特性を測定した図である。
- 【図 23】 TFTの特性を測定した図である。
- 【図 24】 半導体薄膜の結晶粒界を拡大したHR-TEM写真図である。
- 【図 25】 電子回折パターンの写真図および模式図である。
- 【図 26】 結晶シリコン膜の結晶粒を示すTEM写真図である。
- 【図 27】 半導体薄膜の暗視野像の写真図である。 20
- 【図 28】 X線回折の結果を示す図である。

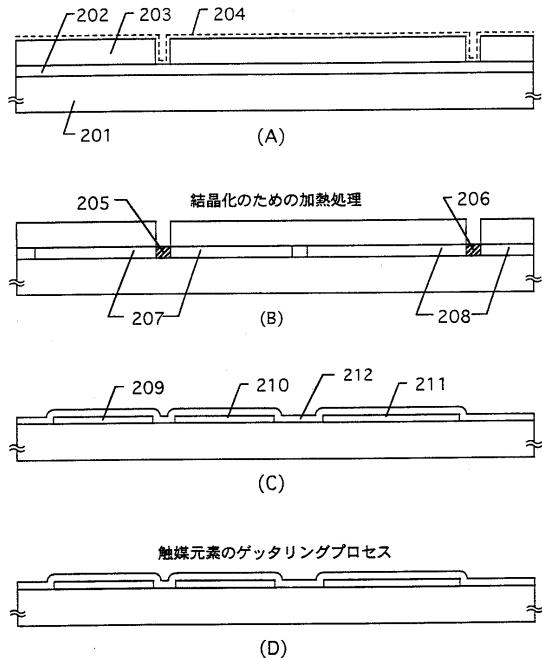
【符号の説明】

- 101 アドレスデコーダ
102 アドレスデコーダ
222' フローティングゲイト
241 コントロールゲイト

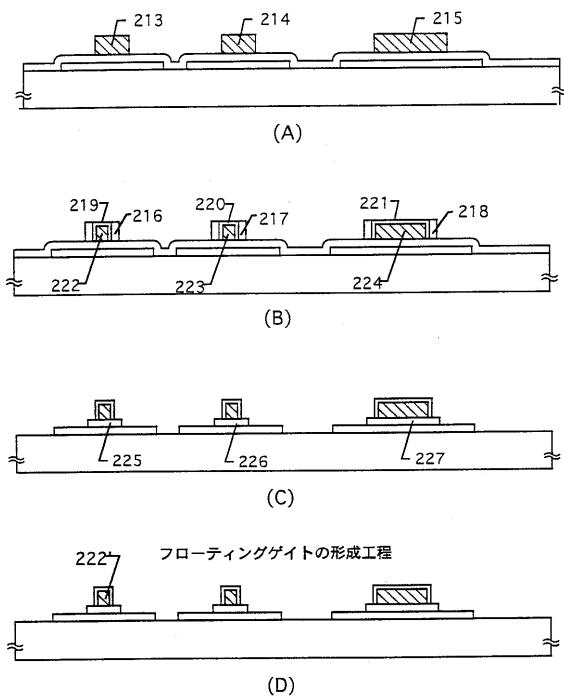
【図1】



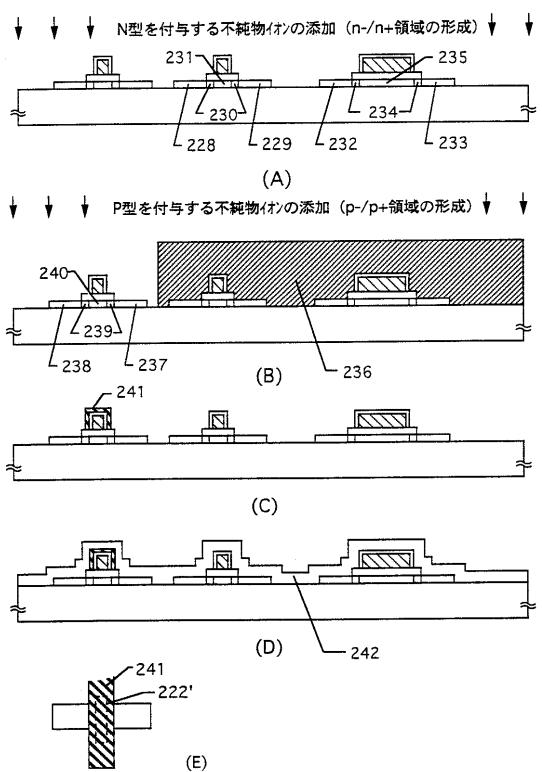
【図2】



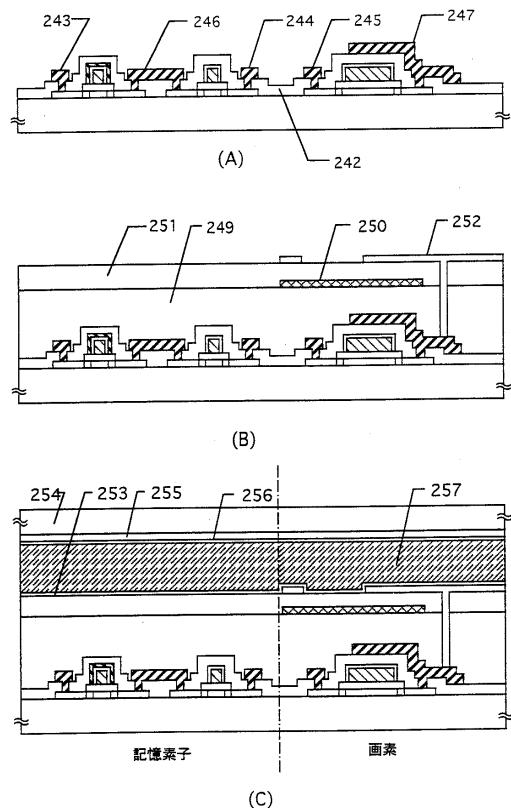
【図3】



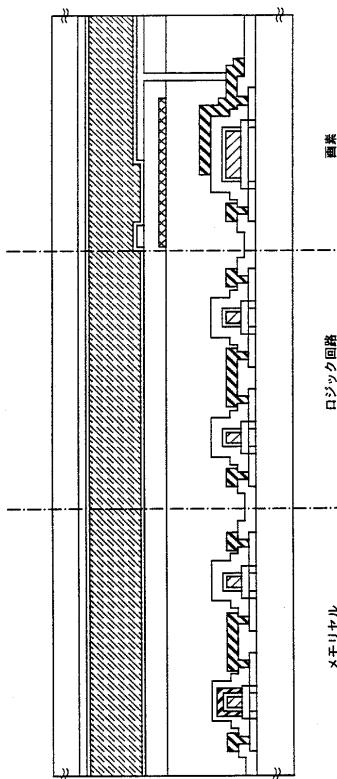
【図4】



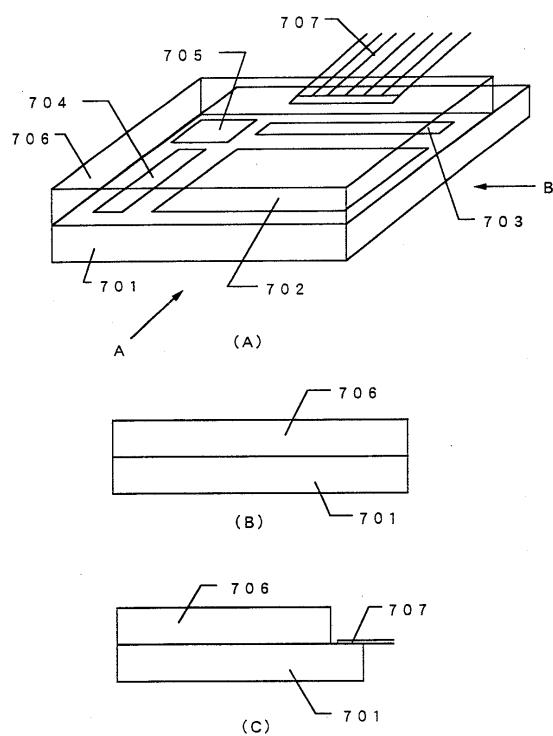
【図5】



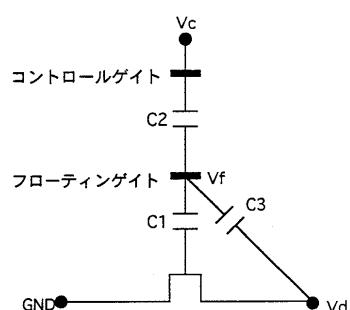
【図6】



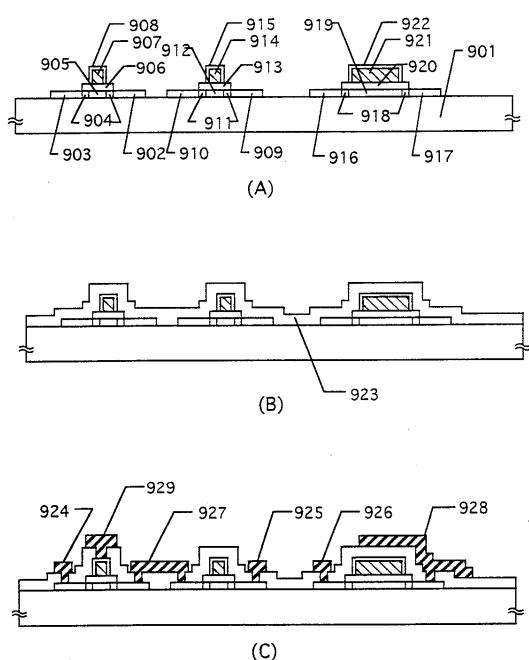
【図7】



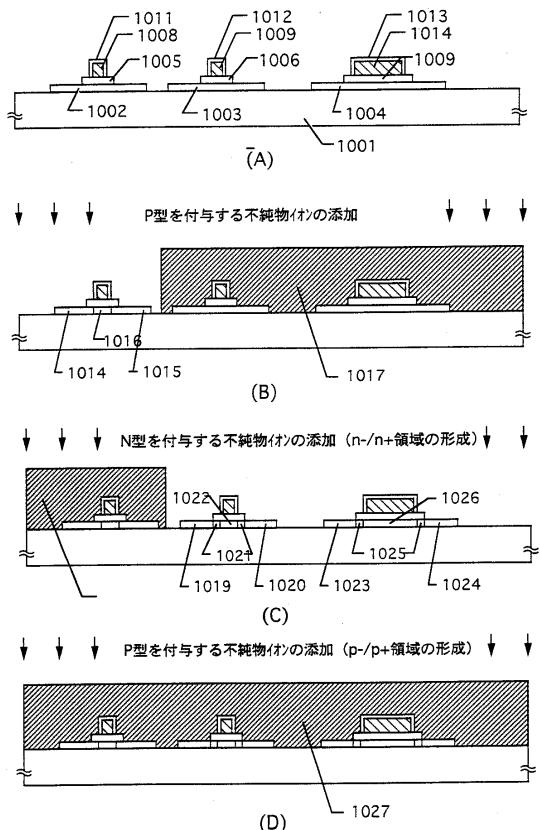
【図8】



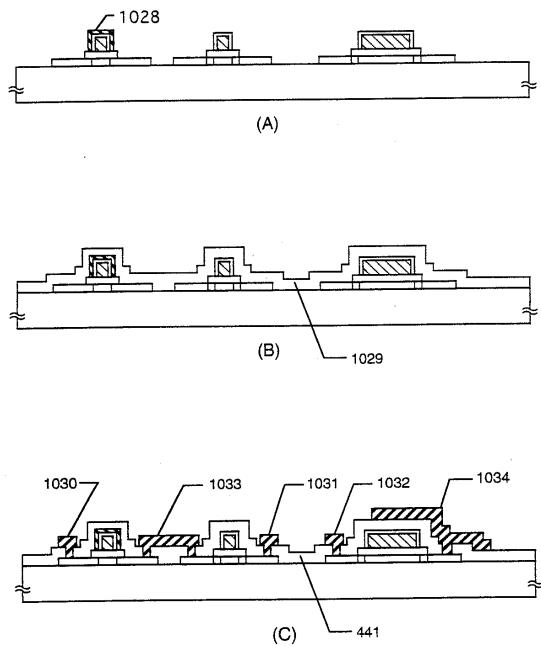
【図9】



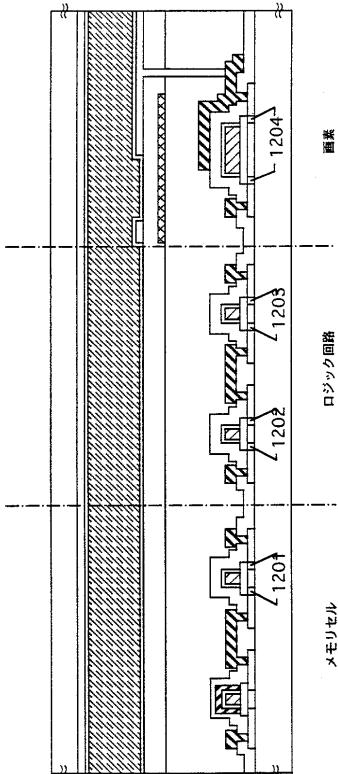
【図10】



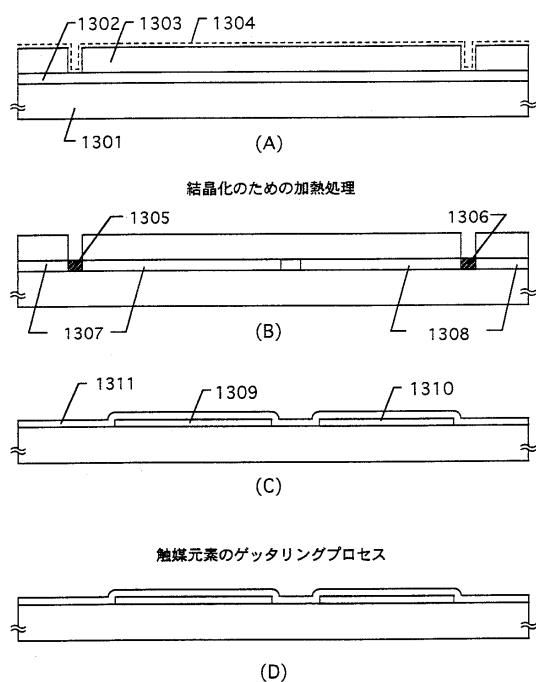
【図11】



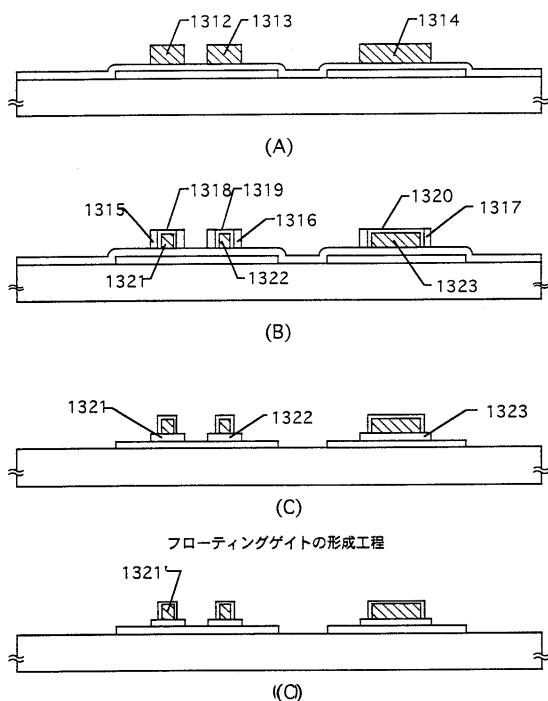
【図12】



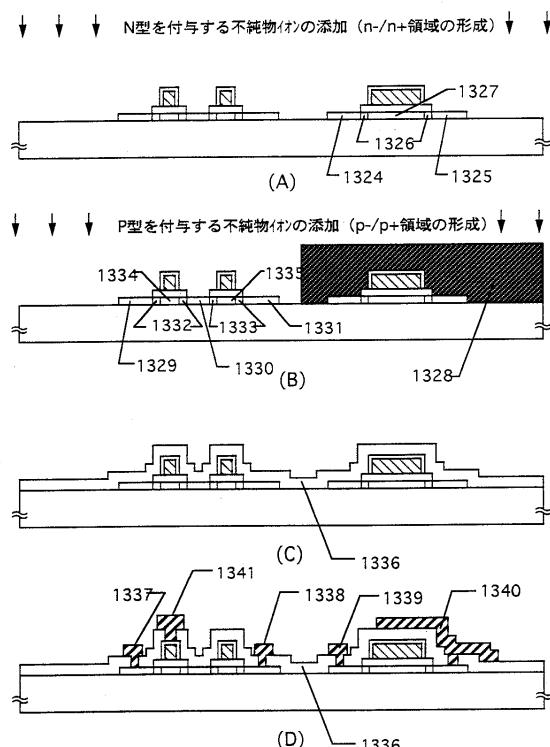
【図13】



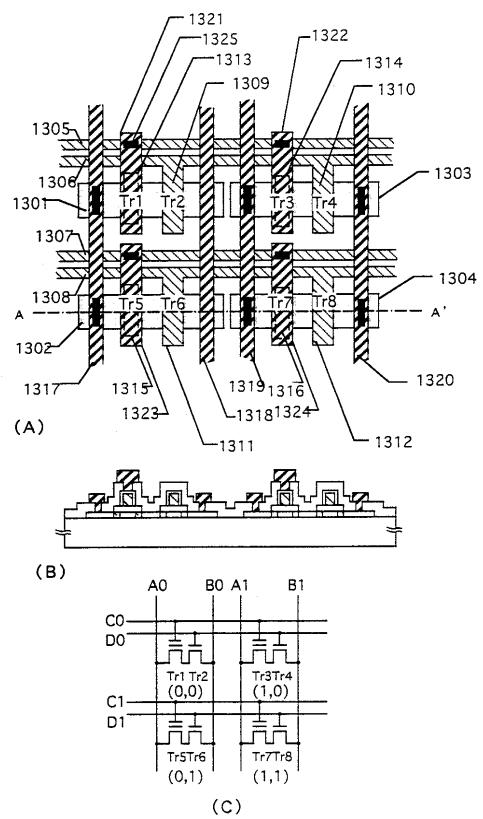
【図14】



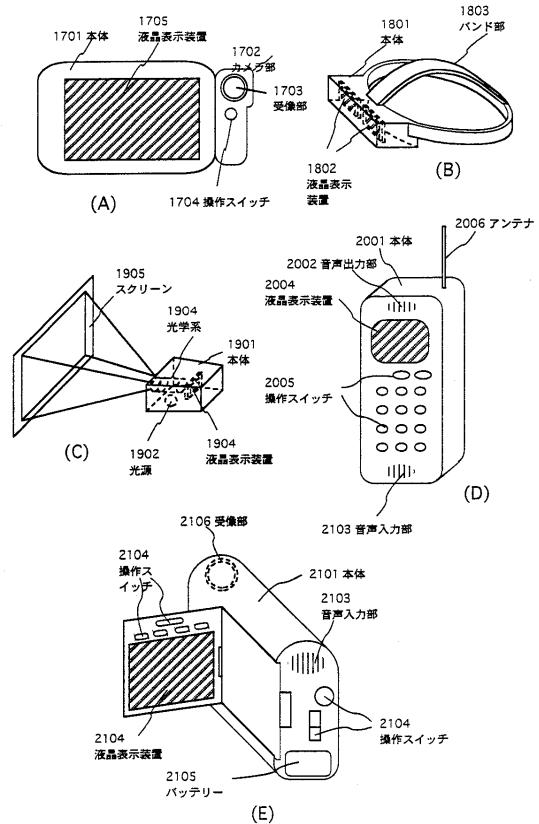
【図15】



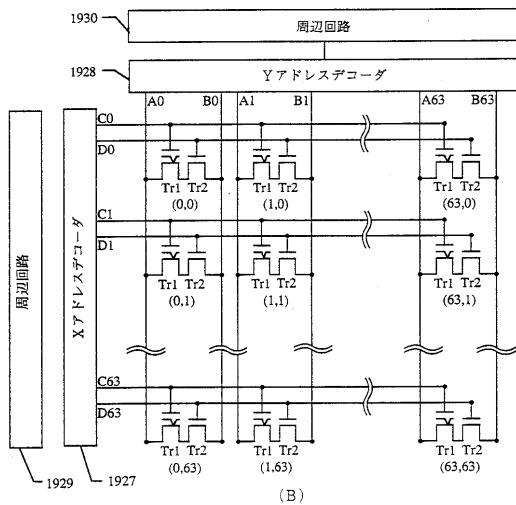
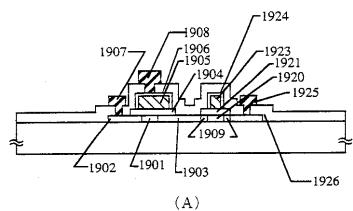
【図16】



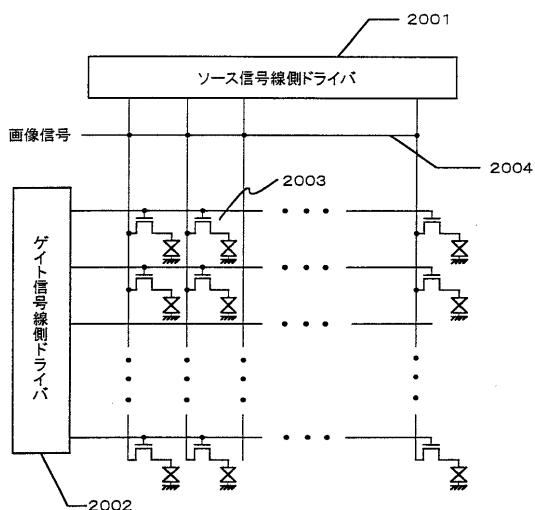
【図17】



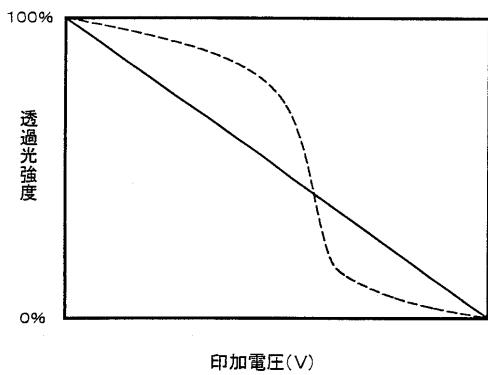
【図18】



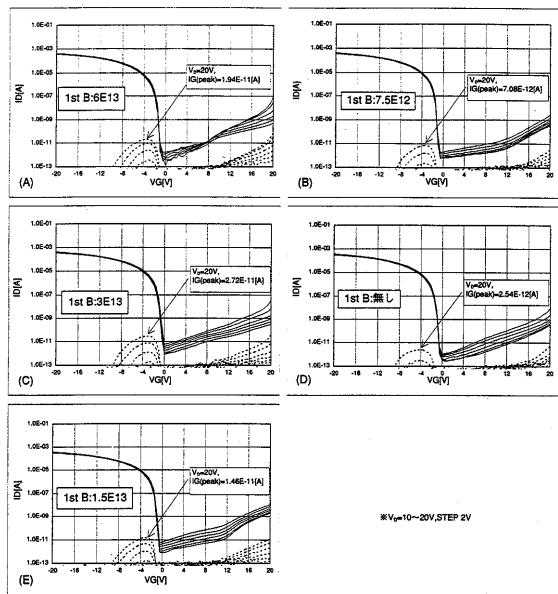
【図19】



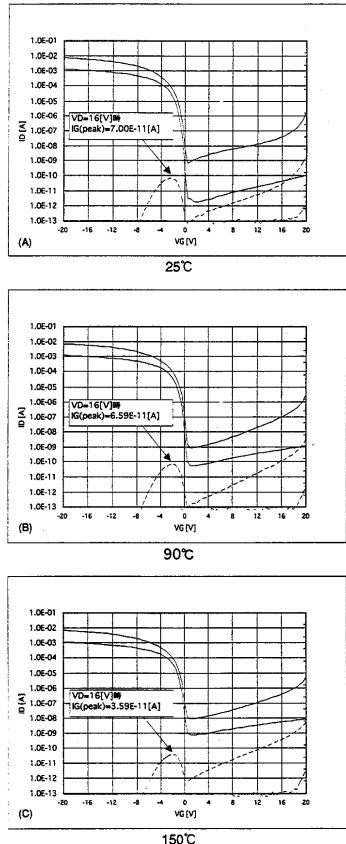
【図20】



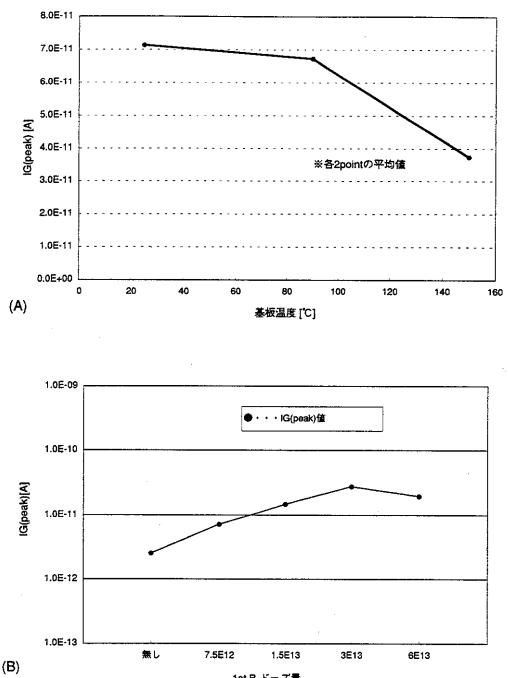
【図21】



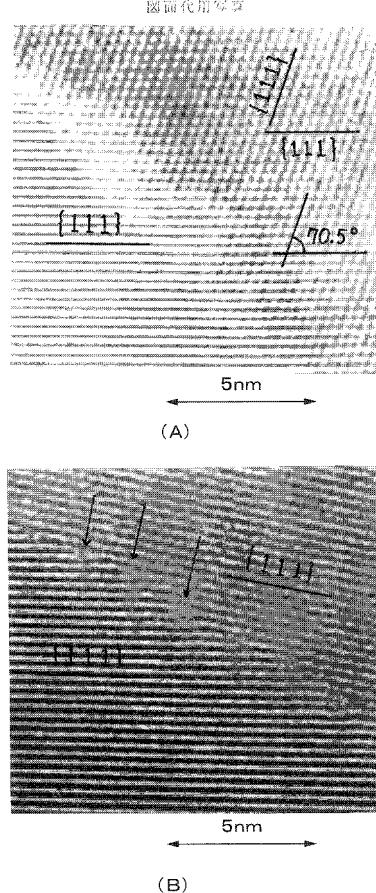
【図22】



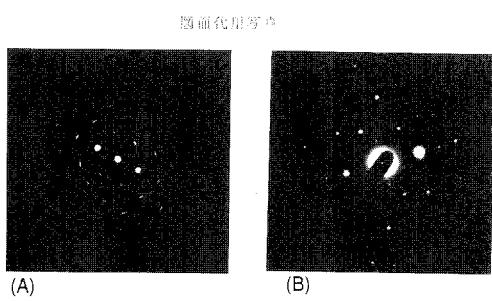
【図23】



【図24】

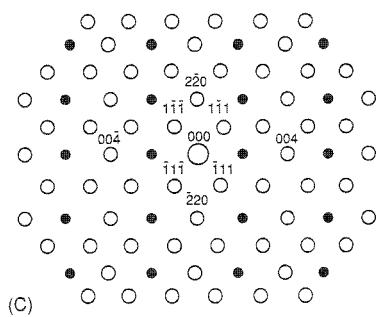


【図25】



(A)

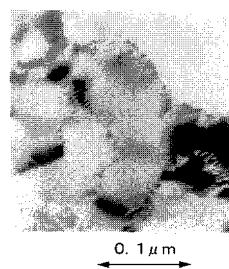
(B)



【図26】

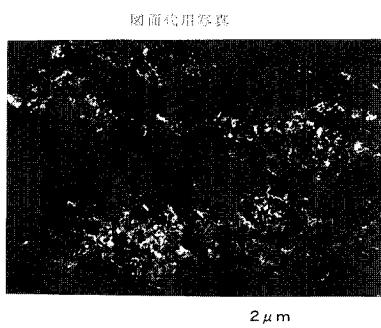


(A)

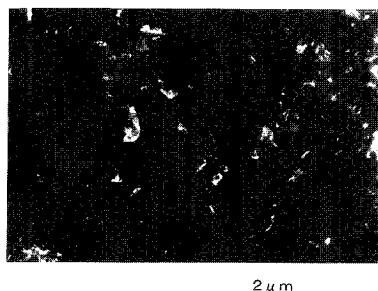


(B)

【図27】

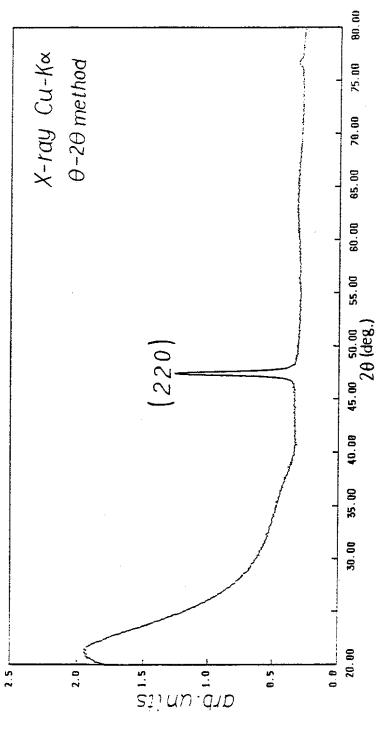


(A)



(B)

【図28】



フロントページの続き

(56)参考文献 特開平02-063163 (JP, A)
特開平02-065276 (JP, A)
特開平05-036989 (JP, A)
特開平07-086532 (JP, A)
特開平08-078329 (JP, A)
特開平06-151344 (JP, A)
特開平07-045728 (JP, A)
特開平05-211318 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792