



(12) 发明专利申请

(10) 申请公布号 CN 101924089 A

(43) 申请公布日 2010. 12. 22

(21) 申请号 201010205285. 4

(22) 申请日 2010. 06. 13

(30) 优先权数据

2009-143133 2009. 06. 16 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 古泽健志 鸭岛隆夫 竹若博基

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 郑菊

(51) Int. Cl.

H01L 23/485 (2006. 01)

H01L 23/528 (2006. 01)

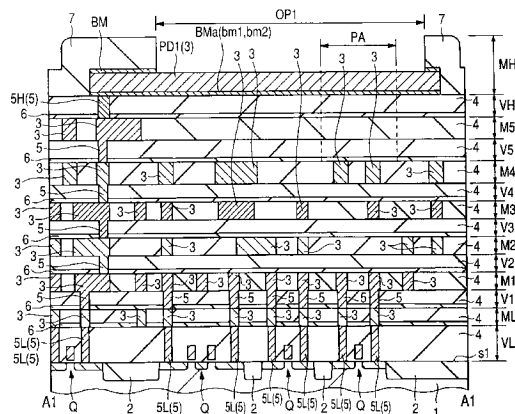
权利要求书 3 页 说明书 11 页 附图 11 页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及一种半导体器件。本发明用以抑制或者防止由向半导体器件的外部端子添加的外力而引起的在外部端子以下的绝缘膜中的裂缝的生成。形成于硅衬底的主表面上的布线层中的顶部布线层 MH 具有焊盘, 该焊盘包括含铝的导体图案。在焊盘的下表面上布置有通过从下方层叠第一阻挡导体膜和第二阻挡导体膜来形成的阻挡导体膜。在比顶部布线层低一层的第五布线层之中, 在与焊盘的探针接触区域在平面中交叠的区域中未布置导体图案。另外, 第一和第二阻挡导体膜分别为以钛和氮化钛为主要成分的导体膜。第一阻挡导体膜也厚于第二阻挡导体膜。



1. 一种半导体器件,包括:

布线层和连接层,交替地和重复地层叠以便覆盖半导体衬底的主表面,

其中每个所述布线层具有导体图案和用于所述导体图案之间绝缘的层间绝缘膜,

其中每个所述连接层具有用于耦合所述不同布线层中的所述导体图案的连接导体件,以及用于所述连接导体件之间绝缘的层间绝缘膜,

其中所述布线层中的顶部布线层包括由所述导体图案形成的外部端子和覆盖所述外部端子的保护绝缘膜,

其中所述外部端子包括以铝为主要成分的导体,

其中所述保护绝缘膜具有用于允许所述外部端子的部分暴露的开口,

其中所述外部端子具有在从所述保护绝缘膜的开口暴露的部分区域中的探针接触区域,

其中所述导体图案在比所述布线层中的顶部布线层低一层的布线层中未布置于与所述探针接触区域在平面中交叠的部分中,

其中阻挡导体膜布置于所述外部端子与下面的层间绝缘膜之间,

其中所述阻挡导体膜包括以钛为主要成分的第一阻挡导体膜和以氮化钛为主要成分的第二阻挡导体膜的层叠膜,

其中分别地,所述第一阻挡导体膜布置成在一侧上与所述层间绝缘膜接触,并且所述第二阻挡导体膜布置成在一侧上与所述外部端子接触,并且

其中所述第一阻挡导体膜在竖直方向上的厚度大于所述第二阻挡导体膜的厚度。

2. 根据权利要求 1 所述的半导体器件,其中所述第一阻挡导体膜在所述竖直方向上的厚度为所述第二阻挡导体膜在所述竖直方向上的厚度的至少两倍大。

3. 根据权利要求 2 所述的半导体器件,

其中所述第一阻挡导体膜在所述竖直方向上的厚度为 20nm 或者更大,

其中所述第二阻挡导体膜在所述竖直方向上的厚度为 5nm 或者更大,并且

其中所述第一阻挡导体膜和所述第二阻挡导体膜在所述竖直方向上的厚度总和为 200nm 或者更小。

4. 根据权利要求 3 所述的半导体器件,其中半导体元件在与所述外部端子在平面中交叠的位置处,形成于所述半导体衬底的主表面之上。

5. 根据权利要求 4 所述的半导体器件,其中在比所述顶部布线层低一层的所述布线层的较高连接层和较低连接层中的每个连接层中,在与所述探针接触区域在平面中交叠的部分中未提供所述连接导体件。

6. 根据权利要求 5 所述的半导体器件,

其中在比所述布线层中的所述顶部布线层低一层的布线层中,在与所述保护绝缘膜的开口在平面中交叠的部分中未布置所述导体图案,并且

其中在比所述顶部布线层低一层的所述布线层的较高连接层和较低连接层中的每个连接层中,在与所述保护绝缘膜的开口在平面中交叠的部分中未布置所述连接导体件。

7. 根据权利要求 6 所述的半导体器件,其中比所述顶部布线层低一层的所述布线层以及所述较高连接层和较低连接层在竖直方向上的厚度总和为 $1\mu\text{m}$ 或者更大、但是为 $3.5\mu\text{m}$ 或者更小。

8. 根据权利要求 7 所述的半导体器件,其中在所述外部端子的从所述保护绝缘膜的开口暴露的部分之上,所述探针接触区域具有宽度为 $10\mu\text{m}$ 或者更大的探针标记。

9. 根据权利要求 8 所述的半导体器件,其中用于将所述顶部布线层的外部端子与比所述顶部布线层低一层的所述布线层的导体图案耦合的顶部连接导体件包含与所述顶部布线层的阻挡导体膜和所述外部端子的材料相同的材料,并且形成为一体地嵌入连接孔。

10. 根据权利要求 9 所述的半导体器件,其中所述第一阻挡导体膜为粒状晶体,并且所述第二阻挡导体膜为柱状晶体。

11. 根据权利要求 10 所述的半导体器件,

其中在除了所述顶部布线层之外的每个所述布线层中包括的所述导体图案包括以铜为主要成分的导体,

其中所述顶部连接导体件中的阻挡导体膜还在与所述布线层的导体图案接触的部分中具有以氮化钛为主要成分的第三阻挡导体膜,

其中所述第三阻挡导体膜分离所述布线层与所述第一阻挡导体膜,从而它们可以不相互接触,

其中所述第一阻挡导体膜在竖直方向上的厚度为所述第三阻挡导体膜在竖直方向上的厚度的至少两倍大,

其中所述第三阻挡导体膜在所述竖直方向上的厚度为 5nm 或者更大,并且

其中所述第一阻挡导体膜、所述第二阻挡导体膜和所述第三阻挡导体膜的所述厚度总和为 200nm 或者更小。

12. 根据权利要求 10 所述的半导体器件,其中在所述布线层中包括的所述导体图案包括以铝为主要成分的导体。

13. 一种半导体器件,包括:

布线层和连接层,交替地和重复地层叠以便覆盖半导体衬底的主表面,

其中每个所述布线层具有导体图案和用于所述导体图案之间绝缘的层间绝缘膜,

其中每个所述连接层具有用于耦合所述不同布线层中的所述导体图案的连接导体件和用于所述连接导体件之间绝缘的层间绝缘膜,

其中所述布线层中的顶部布线层具有由所述导体图案形成的外部端子以及覆盖所述外部端子的保护绝缘膜,

其中所述外部端子包括以铝为主要成分的导体,

其中所述保护绝缘膜具有用于允许所述外部端子的部分暴露的开口,

其中所述外部端子具有在从所述保护绝缘膜的开口暴露的部分区域中的探针接触区域,

其中所述导体图案在比所述布线层中的所述顶部布线层低一层的布线层中未布置于与所述探针接触区域在平面中交叠的部分中,

其中阻挡导体膜布置于所述外部端子与下面的层间绝缘膜之间,

其中作为用于将所述顶部布线层的外部端子与比所述顶部布线层低一层的所述布线层的导体图案耦合的所述连接导体件的顶部连接导体件包含与所述顶部布线层的阻挡导体膜和所述外部端子的材料相同的材料,并且形成为一体地嵌入连接孔,

其中在除了所述顶部布线层之外的每个所述布线层中包括的所述导体图案具有以铜

为主要成分的导体，

其中所述阻挡导体膜包括以钛为主要成分的第一阻挡导体膜以及以氮化钛为主要成分的第二阻挡导体膜和第三阻挡导体膜的层叠膜，并且

其中所述第一阻挡导体膜被布置成夹入于所述第二阻挡导体膜与第三阻挡导体膜之间。

14. 根据权利要求 13 所述的半导体器件，其中在所述阻挡导体膜之中，所述第一阻挡导体膜在竖直方向上的膜厚度大于所述第二阻挡导体膜和所述第三阻挡导体膜的膜厚度。

15. 根据权利要求 14 所述的半导体器件，

其中所述第一阻挡导体膜在所述竖直方向上的厚度为 20nm 或者更大，

其中所述第二阻挡导体膜和第三阻挡导体膜在所述竖直方向上的每个所述厚度为 5nm 或者更大，并且

其中所述第一阻挡导体膜、所述第二阻挡导体膜和所述第三阻挡导体膜的膜厚度总和为 200nm 或者更小。

16. 一种半导体器件，包括：

半导体元件，形成于半导体衬底的主表面之上；以及

布线层和连接层，交替地和重复地层叠以便覆盖所述半导体衬底的主表面，

其中每个所述布线层具有导体图案和用于所述导体图案之间绝缘的层间绝缘膜，

其中每个所述连接层具有用于耦合所述不同布线层中的导体图案的连接导体件以及用于所述连接导体件之间绝缘的层间绝缘膜，

其中所述布线层中的顶部布线层具有由所述导体图案形成的外部端子以及覆盖所述外部端子的保护绝缘膜，

其中所述外部端子包括以铝为主要成分的导体，

其中所述保护绝缘膜具有用于允许所述外部端子的部分暴露的开口，

其中所述外部端子具有在从所述保护绝缘膜的开口暴露的部分区域中的探针接触区域，

其中所述导体图案在比所述布线层中的顶部布线层低一层的布线层中未布置于与所述探针接触区域在平面中交叠的部分中，

其中阻挡导体膜布置于所述外部端子与下面的层间绝缘膜之间，

其中所述阻挡导体膜包括以钽或者氮化钽为主要成分的导体，并且

其中所述半导体元件在与所述外部端子在平面中交叠的位置处形成于所述半导体衬底的主表面之上。

17. 根据权利要求 16 所述的半导体器件，

其中所述阻挡导体膜包括以氮化钽为主要成分的导体，并且

其中所述阻挡导体膜在竖直方向上的厚度为 20nm 或者更大、但是为 200nm 或者更小。

18. 根据权利要求 17 所述的半导体器件，其中在所述外部端子的从所述保护绝缘膜的开口暴露的部分之上，所述探针接触区域具有宽度为 10 μm 或者更大的探针标记。

19. 根据权利要求 18 所述的半导体器件，其中所述阻挡导体膜为无定形。

半导体器件

[0001] 相关申请的交叉引用

[0002] 包括说明书、说明书附图和说明书摘要、于 2009 年 6 月 16 日提交的第 2009-143133 号日本专利申请的公开内容通过引用整体结合于此。

技术领域

[0003] 本发明涉及一种半导体器件并且具体地涉及一种抑制或者防止由向半导体器件的外部端子添加的外力而在外部端子以下的绝缘膜中引起的裂缝生成的技术。

背景技术

[0004] 在半导体器件的制造工艺中有如下探针检查步骤：通过将探针施加于键合焊盘（下文简称为“焊盘”）来检查半导体器件的电性质，该键合焊盘是形成于半导体晶片上的半导体芯片的外部端子。由于这样的检查步骤，向焊盘添加的外力（冲击）在焊盘以下的绝缘膜中引起裂缝从而降低了半导体器件的可靠性。

[0005] 例如，日本专利待审公开号 2007-123546（专利文献 1）公开了一种半导体器件，该半导体器件在铝（Al）焊盘与铜（Cu）布线之间包括 100nm 或者更多的钛（Ti）作为阻挡金属，由此防止铜渗入铝焊盘中。

[0006] 另外，例如日本专利待审公开号 2003-179059（专利文献 2）公开了一种半导体器件，该半导体器件在布线焊盘部分中具有通过交替地和重复地层叠两对或者更多对的层来形成的阻挡膜，其中一对包括氮化钽（Ta₂N₅）层和钽（Ta）层，而另一对包括氮化钛（TiN）层和钛层。结果可以改进布线焊盘部分中的阻挡膜的阻挡性质和强度及其可靠性。

[0007] 另外，例如日本专利待审公开号 2003-31575（专利文献 3）针对铜焊盘上的铝焊盘的结构公开了一种将连接铜通路嵌入连接通路开孔以使台阶部分基本上变平的技术。结果可以使用于形成铝焊盘的铝膜变薄。因此可以更容易进行其生产并且可以防止铜焊盘的氧化。

[0008] [专利文献 1] 日本专利待审公开号 2007-123546

[0009] [专利文献 2] 日本专利待审公开号 2003-179059

[0010] [专利文献 3] 日本专利待审公开号 2003-031575

发明内容

[0011] 近年来，为了减少半导体芯片的面积，元件和布线已经倾向于布置于焊盘以下。结果在探针检查时已经出现如何防止裂缝出现于焊盘以下的绝缘层中这一重要问题。因此，当在焊盘以下布置元件等时越来越需要使用与紧接焊盘以下的布线层相同的材料来形成应力吸收层或者使用弹性模数比 SiO₂ 更高并且不容易塑性变形的钨（W）或者用具有高熔点的金属来进行加固。

[0012] 然而根据本发明的发明人的考察，当应力吸收层紧接地形成于具有与布线层相同的金属（铝或者铜）的焊盘以下时，探针在焊盘上的冲击使应力吸收层塑性变形。因此，

裂缝出现于布线层中的绝缘层中并且扩展至下层。另外,本发明的发明人发现即使当使用钨或者高熔点金属作为加固层时仍然有以下问题。首先在其中(铝或者铜的)布线层紧接地位于钨或者高熔点金属以下的结构中,由于布线层的塑性变形,所以裂缝出现于钨或者高熔点金属中并且扩展至较低层。紧接在下方的布线层的宽度越宽,塑性变形就变得越大。在其中尺寸与焊盘基本上相同(30至100 μm)的情况下,裂缝变得特别明显。其次,如果有包含钨的部分和不含钨的部分,则裂缝出现于其分界面中并且扩展至下层。第三,当厚地形成具有高应力的钨时,钨由于应力本身而剥落。

[0013] 另一方面,在芯片以内的包括焊盘以下部分的整个区域中,普遍的是在各布线层的布线图案的密度低的部分中布置由布线材料形成的虚图案以将图案占用比调节至某一水平或者更高。其原因在于如果存在低占用区域,则在CMP(化学和机械抛光)工艺期间出现高占用区域与低占用区域之间的差异,由此在高于该区域的层中引起光刻聚焦移位。

[0014] 当未在焊盘以下紧接地布置元件或者布线时,由于上述目的而可设想虚图案可以紧接地布置于焊盘以下。然而根据考察,本发明人发现当紧接在焊盘以下也有虚图案时,在探针在焊盘上有冲击时,虚图案(布线材料)塑性地变形而在绝缘层中引起裂缝,并且裂缝扩展至下层。

[0015] 如上所述,当在布线层中的绝缘膜中有裂缝时,水经过裂缝进入,从而降低器件和布线的可靠性。另外,由于在封装之后的热应力而向接线键合和块应用力,这可能引起焊盘部分剥落并且它的线路断开的问题,该裂缝部分为起点。

[0016] 这样的裂缝和剥落问题在使用具有低机械强度的低介电常数的膜(低k膜)作为用于布线层的绝缘膜时变得明显。

[0017] 另一方面,作为一种用于抑制或者防止上述裂缝的方法,在探针检查过程期间降低探针的针压力。然而当降低针的压力时,在探针与焊盘之间的接触电阻变得更大。由于不能正确地测量半导体器件的电性质,所以降低了半导体的可靠性。

[0018] 鉴于上述,本发明的目的在于提供一种用于抑制或者防止由向半导体器件的外部端子添加的外力而引起的在外部端子下面的绝缘膜中生成裂缝的技术。

[0019] 本发明的上述和其它目的及新颖特征将根据下文描述和附图变得清楚。

[0020] 在本申请中公开的本发明中的有代表性的发明将简洁地概括如下。

[0021] 该半导体器件包括布线层和连接层,这些布线层和连接层交替地和重复地层叠以便覆盖半导体衬底的主表面,各布线层具有导体图案和用于导体图案之间绝缘的层间绝缘膜,各连接层具有用于耦合不同布线层中的导体图案的连接导体件和用于连接导体件之间绝缘的层间绝缘膜。布线层中的顶部布线层具有由导体图案形成的外部端子和覆盖外部端子的保护绝缘膜,外部端子包括以铝为主要成分的导体,保护绝缘膜具有用于允许外部端子的部分暴露的开口,外部端子具有在从保护绝缘膜的开口暴露的部分区域中的探针接触区域。导体图案在比布线层中的顶部布线层低一层的布线层中未布置于与探针接触区域在平面中交叠的部分中。阻挡导体膜布置于外部端子与下面的层间绝缘膜之间,阻挡导体膜包括以钛为主要成分的第一阻挡导体膜和以氮化钛为主要成分的第二阻挡导体膜的层叠膜,分别地,第一阻挡导体膜布置成在一侧上与层间绝缘膜接触,并且第二阻挡导体膜布置成在一侧上与外部端子接触。第一阻挡导体膜在竖直方向上的厚度大于第二阻挡导体膜的厚度。

[0022] 在本申请中公开的本发明中的有代表性的发明所获得的有利效果将简洁地概括如下。

[0023] 也就是说,变得有可能抑制或者防止由向半导体器件的外部端子添加的外力而引起的在外部端子下面的绝缘膜中生成裂缝。

附图说明

[0024] 图 1 是示出了根据本发明实施例 1 的半导体器件的主要部分的平面图;

[0025] 图 2 是示出了半导体器件的主要部分的横截面图,该图图示了沿着图 1 的平面图中的线 A1-A1 取得的并且在箭头方向上查看的横截面;

[0026] 图 3 是部分地示出了图 2 中的主要部分的放大横截面图;

[0027] 图 4 是部分地示出了图 3 中的主要部分的放大横截面图;

[0028] 图 5 是示出了根据本发明实施例 1 的另一半导体器件的主要部分的平面图;

[0029] 图 6 是示出了根据本发明实施例 1 的又一半导体器件的主要部分的平面图;

[0030] 图 7 是示出了根据本发明实施例 2 的半导体器件的主要部分的平面图;

[0031] 图 8 是示出了根据本发明实施例 2 的半导体器件的主要部分的横截面图;

[0032] 图 9 是部分地示出了图 8 中的主要部分的放大截面图;

[0033] 图 10 是示出了根据本发明实施例 3 的半导体器件的主要部分的横截面图;

[0034] 图 11 是部分地示出了图 10 中的主要部分的放大横截面图;

[0035] 图 12 是示出了根据本发明实施例 4 的半导体器件的主要部分的横截面图;

[0036] 图 13 是示出了根据本发明实施例 5 的半导体器件的主要部分的横截面图;

[0037] 图 14 是示出了根据本发明实施例 6 的半导体器件的主要部分的平面图;并且

[0038] 图 15 是示出了半导体器件的主要部分的横截面图,该图图示了沿着图 14 的平面图中的线 A1-A1 取得的并且在箭头方向上查看的横截面。

具体实施方式

[0039] 在下述实施例中,为求便利,如果必要则可以将主题内容划分成多个章节或者多个实施例进行描述。这些多个章节或者实施例除非另有明示则并非相互独立而是一个实施例为另一实施例的部分或者全部的修改、例子、具体或者补充描述这样的关系。在下述实施例中,当提及要素数目(包括数字、值、数量和范围)时,除非另有明示或者在原理上清楚的是数目不限于具体数目的情况,则要素数目不限于具体数目而是可以大于或者少于具体数目。另外在下述实施例中,无需赘言的是除非另有明示或者在原理上清楚的是其为必需的情况,则组成要素(包括要素步骤)并非总是必需。类似地,在下述实施例中,当提及组成要素的形状或者位置关系时,除非另有明示或者在原理上全然不同的情况下则也涵盖与它基本上类似或者相似的形状或者位置关系。这也适用于上述值和范围。另外在用于描述实施例的所有附图中,具有相似功能的元件将由相同标号标识并且将省略其重复描述。现在下文将基于附图具体地描述本发明的实施例。

[0040] (实施例 1) 图 1 是示出了根据实施例 1 的半导体器件的主要部分的平面图。图 2 是示出了半导体器件的主要部分的横截面图,该图图示了沿着图 1 的平面图中的线 A1-A1 取得的并且在箭头方向上查看的横截面。在根据实施例 1 的半导体器件之中,这些图示出

了如下焊盘（外部端子）PD1 的外围部分，用于电性质测试的探测和接线键合被施加于该焊盘。另外，图 3 是焊盘 PD1 的外围部分的主要部分的放大横截面图，而图 4 是示出了图 3 的主要部分 p100 的放大横截面图。参照图 1 至图 4，将具体地说明实施例 1 的半导体器件的结构。

[0041] 根据实施例 1 的半导体器件，在实施例 1 的硅衬底（半导体衬底）1 的主表面 s1 上形成半导体元件，该元件包括具有 MIS（金属绝缘体半导体）结构的场效应晶体管（FET）Q。场效应晶体管 Q 分别由具有浅沟槽（ST）结构的分离体 2 绝缘。

[0042] 另外以交替和重复层叠的方式形成布线层 ML、M1、M2、M3、M4、M5、MH 和连接层 VL、V1、V2、V3、V4、V5、VH，这些层覆盖硅衬底 1 的包括场效应晶体管 Q 的主表面 s1。也就是，最低连接层 VL 直接布置于硅衬底 1 的主表面 s1 之上。最下布线层 ML 布置于连接层 VL 之上。然后在布线层 ML 之上依次布置第一连接层 V1、第一布线层 M1、第二连接层 V2、第二布线层 M2、第三连接层 V3、第三布线层 M3、第四连接层 V4、第四布线层 M4、第五连接层 V5 和第五布线层 M5。最后依次布置顶部连接层 VH 和顶部布线层 MH。

[0043] 各布线层 ML、M1 至 M5 和 MH 具有所需布线形式的导体图案 3 和用于导体图案 3 之间绝缘的层间绝缘膜 4。另外，各连接层 VL、V1 至 V5 和 VH 具有通路塞（连接导体件）5 和用于通路塞 5 之间绝缘的层间绝缘膜 4，这些通路塞用于不同布线层 ML、M1 至 M5 和 MH 中的导体图案 3 之间的连接。例如，第三布线层 M3 的传导图案 3 通过第四连接层 V4 的通路塞 5 来与第四布线层 M4 的传导图案 4 电耦合。此外，最低连接层 VL 适于将最低布线层 ML 的导体图案 3 与场效应晶体管 Q 电耦合。最低连接层 VL 的连接导体件具体地称为“接触塞 5L”。

[0044] 另外，层间绝缘膜 4 包括以氧化硅或者低 k 材料为主要成分的绝缘膜。低 k 材料是相对介电常数比氧化硅的相对介电常数更低的材料，并且它例如包括碳氧化硅（SiOC）等。即使当使用低 k 材料作为层间绝缘膜 4 时仍然更优选的是：对于顶部连接层 VH、第五布线层 M5 和第五连接层 V5 中的层间绝缘膜 4，使用机械强度高于低 k 材料的绝缘膜（例如氧化硅膜），并且低 k 材料用于其它连接层和布线层的层间绝缘膜 4。结果可以防止低 k 材料因封装的应力而受损。另外可以在各布线层 ML、M1 至 M5、MH 与各连接层 VL、V1 至 V5、VH 之间的边界部分中提供阻挡绝缘膜 6。阻挡绝缘膜 6 例如可以包括以氮碳化硅为主要成分的绝缘膜。

[0045] 就此而言，在布线层 ML、M1 至 M5 和 MH 之中，顶部布线层 MH 的传导图案 3 是外部键合接线耦合到的、且用于电性质测试的探针 PRB 所接触到的焊盘 PD1。在顶部布线层 MH 中，焊盘 PD1 由保护绝缘膜 7 部分地覆盖。保护绝缘膜 7 例如由层叠结构形成，该结构包括氧化硅膜、沉积于其上的氮化硅膜和进一步沉积于其上的聚酰亚胺树脂膜。就此而言，保护绝缘膜 7 具有允许暴露部分焊盘 PD1 的开口 OP1。在开口 OP1，焊盘 PD1 的一部分暴露部分具有用于接线键合的接线接触区域 WA 和用于电性质测试的探针接触区域 PA。

[0046] 就此而言，探针区域 PA 代表实施例 1 的半导体器件的焊盘 PD1 上的如下区域。也就是说，它是焊盘 PD1 上的如下部分，该部分具有探针标记（比如焊盘 PD1 本身的凹陷或者凸起部分）作为如下标记，这些标记表明探针 PRB 已经与焊盘 PD1 接触。根据本发明人的考察，探针标记具有 10 μ m 或者更大的宽度。无需赘言，探针标记的尺寸不超过焊盘 PD1 的暴露部分（保护绝缘膜 7 的开口 OP1）的尺寸。

[0047] 包括顶部布线层 MH 的导体图案 3 的焊盘 PD1 包括以铝作为主要成分的导体。另外,阻挡导体膜 BMa 布置于焊盘 PD1 与紧接下方的顶部连接层 VH 的层间绝缘膜 4 之间。将参照另一附图具体地说明焊盘 PD1 下面的阻挡导体膜 BMa 的结构。另外,在与焊盘 PD1 的上表面上的保护绝缘膜 7 的界面中形成阻挡导体膜 BM。

[0048] 根据实施例 1 的半导体器件,除了顶部布线层 MH 的焊盘 PD1 之外的布线层 ML 和 M1 至 M5 的导体图案 3 包括以铜为主要成分的导体。

[0049] 另外,将最低布线层 ML 的导体图案 3 与形成于硅衬底 1 的主表面 s1 上的场效应晶体管 Q 电耦合的最低连接层 VL 的接触塞 5L 包括以高熔点金属为主要成分的导体。具有高熔点的金属的例子为钨。另外,阻挡导体膜一体地布置于最低连接层 VL 的接触塞 5L 的的侧面上(作为与层间绝缘膜 4 的边界)和其底面上(作为与场效应晶体管 Q 的边界)。阻挡导体膜具有使钨生长的功能和增强布线与绝缘膜之间密切接触的功能。这样的阻挡导体膜例如包括氮化钛。

[0050] 另外,顶部通路塞(顶部连接导体件)5H 具有与上述接触塞 5L 的结构相同的结构,该顶部通路塞为顶部连接层 VH 的如下通路塞 5,该通路塞电耦合作为顶部布线层 MH 的导体图案 3 的焊盘 PD1 与作为紧接下方的布线层的第五布线层 M5 的导体图案 5。也就是说,顶部连接层 VH 的顶部通路塞 5H 例如包括以钨为主要成分的导体并且在其侧面和底面上具有包含氮化钛的阻挡导体膜 BMb。

[0051] 根据实施例 1 的半导体器件,除了最低连接层 VL 的接触塞 5L 和顶部连接层 VH 的顶部通路塞 5H 之外的连接层 V1 至 V5 的通路塞 5 包括以铜为主要成分的导体。通路塞 5 在它的侧面和底面上具有例如包含钽或者氮化钽的阻挡导体膜 BMc。就此而言,通过所谓的大马士革(单大马士革、双大马士革)方法形成包含铜的导体图案 3 或者通路塞 5,其中孔(通孔、布线孔或者二者)形成于层间绝缘膜 4 中并且铜嵌入其中。

[0052] 根据实施例 1 的半导体器件,在布线层 ML、M1 至 M5 和 MH 之中,在顶部布线层 MH 下面的布线层(即第五布线层 M5)中,导体图案 3 未形成于在平面中与探针接触区域 PA 交叠的部分中。换言之,层间绝缘膜 4 独自形成于第五布线层 M5 的相关区域中。利用这一布置可以获得如下效果。

[0053] 当导体布置于探针接触区域 PA 以下的布线层中时,整个布线层往往因探测压力而塑性地变形。由于它的应变而在层间绝缘膜 4 中容易生成裂缝。例如在布线层具有包含铜的导体图案 3 的情况下,当这样的裂缝到达导体图案时铜可能被氧化。结果出现导体图案 3 的短路或者开路,从而引起性质恶化。

[0054] 另一方面,根据实施例 1 的半导体器件,如上所述,在顶部布线层 MH 的焊盘 PD1 下面的第五布线层 M5 中,导体图案 3 未布置于探针接触区域 PA 以下。因而可以减少在探测期间的塑性变形,由此抑制裂缝生成。另外即使当出现裂缝时,通过在探针接触区域以下的第五布线层 M5 中未布置包含铜的导体图案 3 仍然可以抑制因导体图案 3 等的氧化引起的性质恶化。

[0055] 根据实施例 1 的半导体器件,更优选的是在顶部布线层 MH 下面的第五布线层 M5 的较高连接层和较低连接层(即顶部连接层 VH 和第五连接层 V5)中,在与探针接触区域 PA 在平面中交叠的部分中未布置通路塞 5。这是因为通过如在以上第五布线层 M5 的导体图案 3 的情况下一样在与焊盘 PD1 接近的连接层的探针接触区域 PA 以下未布置包含铜的通路塞

5,可以减少在探测期间的塑性变形,并且可以抑制裂缝生成。为了概括上文,根据实施例 1 的半导体器件,在顶部布线层 MH 的焊盘 PD1 下面的顶部连接层 VH、第五布线层 M5 和第五连接层 V5 中,更优选的是在探针接触区域 PA 以下未布置包含铜的导体图案 3 和通路塞 5。

[0056] 如上所述,通过在焊盘 PD1 之上的探针接触区域 PA 以下不布置铜布线,变得有可能抑制塑性变形和裂缝出现。根据本发明人的考察,可以通过在探针接触区域 PA 以下的竖直方向上持续 $1\mu\text{m}$ 或者更多未布置包含铜的导体图案 3 和通路塞 5 来获得上述效果。也就是说,更优选的是如上所述,顶部布线层 MH 下面的第五布线层 M5 以及上层(即顶部连接层 VH)和下层(即第五连接层 V5)在探针接触区域 PA 以下没有传导图案 3 和通路塞 5,并且同时在竖直方向上的膜厚度总和为 $1\mu\text{m}$ 或者更大。其原因在于当无铜图案的 $1\mu\text{m}$ 或者更多的层间绝缘膜 4 布置于探针接触区域 PA 以下时,即使下层中的铜塑性变形,仍然可以抑制裂缝生成。就此而言,竖直方向为与硅衬底 1 的主表面 s1 垂直的方向并且为布线层 ML、M1 至 M5、MH 和连接层 VL、V1 至 V5、VH 的膜厚度方向。另外根据本发明人的考察,从处理准确度等方面来看希望顶部连接层 VH、第五布线层 M5 和第五连接层 V5 的厚度总和为 $3.5\mu\text{m}$ 或者更小。为了概括上文,为了实现上述效果,希望在探针接触区域 PA 以下无导体图案 3 和通路塞 5 的顶部连接层 VH、第五布线层 M5 和第五连接层 V5 的膜厚度总和为 $1\mu\text{m}$ 或者更大、但是为 $3.5\mu\text{m}$ 或者更小。

[0057] 如上所述,已经说明在焊盘 PD1 之中在探针接触区域 PA 以下的如下结构,在该结构中导体图案未布置于第五布线层 M5 等中。根据实施例 1 的半导体器件,在 PD1 的从保护绝缘膜 7 暴露的部分以下更优选的是导体图案 3 未布置于第五布线层 M5 等中。也就是说,在顶部布线层 MH 下面的第五布线层 M5 中,在与保护绝缘膜 7 的开口 OP1 在平面中交叠的部分中未提供导体图案 3。这是因为如上所述,在接近焊盘 PD1 的第五布线层 M5 中通过不布置包含铜的导体图案 3 可以进一步抑制塑性变形出现。结果可以抑制在层间绝缘膜 4 中生成裂缝。由于相同原因,更优选的是通路塞 5 未布置于第五布线层 M5 的上层(即顶部连接层 VH)和第五布线层 M5 的下层(即第五连接层 V5)中的相关区域中。

[0058] 另外在焊盘 PD1 的底部(作为布置于与较高连接层 VH 的界面中的阻挡导体膜 BMa),实施例 1 的半导体器件具有如下结构。也就是说,在焊盘 PD1 的底部布置的阻挡导体膜 BMa 包括第一阻挡导体膜 bm1(包括以钛为主要成分的导体)和第二阻挡导体膜 bm2(包括以氮化钛为主要成分的导体)的层叠膜。具体而言,第一阻挡导体膜 bm1 布置于第二阻挡导体膜 bm2 以下。换言之,第一阻挡导体膜 bm1 布置成在一侧上与顶部连接层 VH 的层间绝缘膜 4 接触,而第二阻挡导体膜 bm2 布置成在一侧上与焊盘 PD1 接触。

[0059] 另外,在根据实施例 1 的半导体器件的焊盘 PD1 以下的阻挡导体膜 BMa 中,关于在竖直方向上的膜厚度,包含钛的第一阻挡导体膜 bm1 的膜厚度 t_1 大于包含氮化钛的第二阻挡导体膜 bm2 的膜厚度 t_2 。常规上,作为包含铝的焊盘的阻挡导体膜,为了防止与在下层中接触的金属(在这一情况下为顶部通路塞 5H 的钨)的反应,选择以厚氮化钛为主要成分的阻挡导体膜。另外为了保证氮化钛与下层金属之间的密切接触和电连接,在其间中形成薄钛。

[0060] 另一方面,根据实施例 1 的半导体器件,主要厚地形成钛。然后,氮化钛形成于其上以产生布置于焊盘 PD1 以下的阻挡导体膜 BMa。后文将具体地说明其原因。

[0061] 根据实施例 1 的半导体器件,通过允许布置于焊盘 PD1 以下的阻挡导体膜 BMa 具

有上述结构,可以获得如下效果。也就是说,在通过使探针 PRB 与焊盘 PD1 的探针接触区域 PA 接触来进行的电性质测试期间,在焊盘 PD1 以下的层间绝缘膜 4 中抑制裂缝生成。其原因如下。

[0062] 根据本发明人的考察发现:当比较钛和氮化钛时,氮化钛具有包括柱状晶体的更小晶粒。另一方面,钛具有不含柱状晶体的更大晶粒(下文称为“粒状晶体”)。具体而言,发现如图 4 中所示,形成作为第二阻挡导体膜 bm2 的氮化钛使得柱沿着膜厚度方向升起。因此发现裂缝倾向于因探测时在竖直方向上的压力而通过颗粒边界出现。另一方面,发现作为第一阻挡导体膜 bm1 的钛包括在膜厚度方向上具有少数颗粒边界的粒状晶体。同样关于探测时在竖直方向上的压力,裂缝较少可能出现。根据这一方面,作为阻挡传导膜 BMa,包含钛的第一阻挡导体膜 bm1 制作得越厚,在探测期间的防裂缝性质就可能越佳。然而为了抑制在钛(第一阻挡导体膜 bm1)与铝(焊盘 PD1)之间的反应,更优选地在其间布置氮化钛(第二阻挡导体膜 bm2)。在这一情况下,由于上述原因,氮化钛的膜厚度越大,在探测期间的防裂缝性质就变得越差。

[0063] 因此在实施例 1 的半导体器件中,变得有可能通过使用如下第一阻挡导体膜 bm1 作为向其施加探测的焊盘 PD1 下面的阻挡导体膜 BMa 的主要成分来抑制裂缝生成,该第一阻挡导体膜 bm1 包含形式为粒状晶体的具有更大晶粒的钛。换言之,根据实施例 1 的半导体器件,通过主要使用包含形式为粒状晶体的钛的第一阻挡传导膜 bm1 而不是通过使用包含形式为柱状晶体的氮化钛的第二阻挡导体膜 bm2 来抑制裂缝生成。此外如上所述,根据实施例 1 的半导体器件,为了抑制在钛与铝之间的反应,包含氮化钛的第二阻挡导体膜 bm2 布置于包含钛的第一阻挡导体膜 bm1 与包含铝的焊盘 PD1 之间。

[0064] 如上所述,根据实施例 1 的半导体器件,在焊盘 PD1 以下的阻挡导体膜 BMa 中主要提供包含形式为粒状晶体的钛的第一阻挡导体膜 bm1 而不是包含倾向于有裂缝的形式为柱状晶体的氮化钛的第二阻挡导体膜 bm2。结果即使当在焊盘 PD1 的探测期间施加应力时,仍然变得有可能实现如下结构,在该结构中在下层中的层间绝缘膜 4 等中不容易生成裂缝。另外根据实施例 1 的半导体器件,如上所述,包含铜的导体图案 3 未布置于探针接触区域 PA 以下的第五布线层 M5 等中。因此提供如下结构,在该结构中在探测期间压力不容易引起塑性变形,从而抑制裂缝生成。另外利用这一结构,即使出现裂缝,它仍然不容易到达导体图案 3,这抑制布线的短路或者开路出现。因此根据实施例 1 的半导体器件可以改进探针阻抗性质。

[0065] 根据本发明人的进一步考察,在实施例 1 的半导体器件的阻挡导体膜 BMa 中发现:通过允许包含晶粒大并且较少可能有裂缝的钛的第一阻挡导体膜 bm1 的膜厚度 t1 为包含形式为柱状晶体并且可能有裂缝的氮化钛的第二阻挡导体膜 bm2 的膜厚度的至少两倍大,上述效果变得更明显。另外发现:通过允许包含钛的第一阻挡导体膜 bm1 的膜厚度 t1 为 20nm 或者更大,上述效果变得更明显。就此而言,为了抑制在包含钛的第一导体膜 bm1 与包含铝的焊盘 PD1 之间的反应,希望包含氮化钛的第二导体膜 bm2 的膜厚度为 5nm 或者更大。另外更优选的是,第一阻挡导体膜 bm1 和第二阻挡导体膜 bm2 在竖直方向上的厚度总和(即阻挡导体膜 BMa 的膜厚度)为 200nm 或者更小。这是因为焊盘 PD1 的主要成分为低电阻的铝,根据密切接触性质和反应抑制这些方面引入的阻挡导体膜 BMa 具有比铝的电阻更高的电阻,并且优选的是阻挡导体膜 BMa 没有太厚。

[0066] 另外如先前所述,在硅衬底 1 的主表面 s1 上形成场效应晶体管 Q 作为半导体元件。根据实施例 1 的半导体器件,具体而言甚至在与焊盘 PD1 在平面上交叠的位置处在硅衬底的主表面 s1 上,更优选的是形成场效应晶体管 Q 作为半导体元件。其原因在于通过在焊盘 PD1 以下的区域中也布置场效应晶体管 Q,可以有效地使用硅衬底 1 的表面上空间,从而提高集成度。

[0067] 就此而言,裂缝倾向于在探测期间具体出现于焊盘 PD1 下部的探针接触区域 PA 下部中。因此,如果可能则不应当在相关区域的硅衬底 1 上布置半导体元件。然而根据实施例 1 的半导体器件,如上所述,可以抑制裂缝在探针接触区域 PA 以下生成。因此即使半导体元件布置于焊盘 PD1 以下,上述问题仍然较少可能出现。因此,实施例 1 的半导体器件还可以有效地应用于如下结构,在该结构中场效应晶体管 Q 甚至布置于焊盘 PD1 以下的硅衬底 1 上。

[0068] 另外根据实施例 1 的半导体器件,在从具有焊盘 PD1 的顶部布线层 MH 起的第二较低层布线层(即第四布线层 M4)中布置的导体图案 3 中,更优选的是在与探针接触区域 PA 在平面中交叠的区域中布置布线宽度为 $2\mu\text{m}$ 或者更小的导体图案 3。换言之,关于第四布线层 M4,更优选的是布置于探针接触区域 PA 以下的导体图案 3 的布线宽度为 $2\mu\text{m}$ 或者更小。下文将说明原因。

[0069] 第四布线层 M4 设置得比第五布线层 M5 更远离焊盘 PD1。因此它比第五布线层 M5 更少可能塑性变形。即使这样,如果探针 PRB 的针压力高,则第四布线层 M4 仍然塑性变形并且可能在层间绝缘膜 M4 中有裂缝。因此如上所述,关于第四布线层 M4,在焊盘 PD1 的探针接触区域 PA 以下紧接地布置的导体图案 3 的宽度限于 $2\mu\text{m}$ 或者更小。以这一方式,进一步抑制塑性变形,并且变得有可能在更高针压力使探针 PRB 与焊盘 PD1 接触,从而进一步稳定探针检查。

[0070] 实施例 1 的半导体器件的焊盘 PD1 在平面中的形状也不限于图 1 中所示形状,并且它可以是图 5 和图 6 的重要部分的平面图中所示形状之一。

[0071] 图 5 是示出了焊盘 PD1 的主要部分的平面图,其中接线接触区域 WA 和探针接触区域 PA 部分地交叠。利用这样的结构,可以减少焊盘 PD1 占用的平面面积,并且可以以更高集成度地实现半导体器件的更高性能。上述实施例 1 的半导体器件的技术也可以类似地有效应用于这样的半导体器件。

[0072] 图 6 是示出了焊盘 PD1 的主要部分的平面图,该焊盘在平面中在覆盖焊盘 PD1 的保护绝缘膜 7 中具有突出部分 pt1 作为用于两个区域之间边界的标记,从而可以在视觉上区分接线接触区域 WA 和探针接触区域 PA。利用这一结构,有可能设计用于在探针检查时实现探测的探针接触区域 PA 和用于连接键合接线的接线连接区域 WA 而不让它们相互干扰。例如,如果键合接线连接到因探测而变得粗糙的焊盘 PD1 的表面,则密切接触和连接的状态恶化。然而利用其中探针接触区域 PA 较少可能与接线连接区域 WA 交叠的上述结构,可以改进半导体器件的性质。

[0073] (实施例 2) 现在参照图 7 至图 9 将说明实施例 2 的半导体器件。图 7 是示出了根据实施例 2 的半导体器件的主要部分的平面图。图 7 示出了实施例 2 的半导体器件之中的用于实现电性质测试的探测和接线键合的焊盘(外部端子)PD2 的外围部分。图 8 是示出了焊盘 PD2 的外围部分的放大横截面图,而图 9 是示出了图 8 的主要部分 p200 的放大横截

面图。参照图 7 至图 9 将具体地说明实施例 2 的半导体器件的结构。

[0074] 除了如下各点之外,实施例 2 的半导体器件具有与实施例 1 的半导体器件中基本上相同的结构和由此获得的效果。

[0075] 根据实施例 2 的半导体器件,顶部通路塞(顶部连接导体件)5H 具有如下结构,该顶部通路塞为顶部连接层 VH 的如下通路塞 5,该通路塞用于电耦合顶部布线层 MH 的焊盘 PD2 与顶部布线层 MH 下面的第五布线层 M5 的导体图案 3。也就是说,根据实施例 2 的半导体器件,形成顶部通路塞 5H 以便将与顶部布线层 MH 的阻挡导体膜 BMa 和焊盘 PD2 的材料相同的材料嵌入连接孔 CH(接触孔或者通孔)。就此而言,连接孔 CH 是从与焊盘 PD2 接触的上表面到与导体图案 3 接触的下表面穿过顶部连接层 VH 的层间绝缘膜 4 的连接孔。

[0076] 根据制造实施例 2 的半导体器件的步骤,通过嵌入包括上述连接孔 CH 的顶部连接层 VH 的上表面,依次形成阻挡导体膜 BMa 和焊盘 PD2(导体图案 3)。然后通过光刻方法等进行图案化以形成包括所需形状的导体图案 3 的焊盘 PD2。

[0077] 例如当通过溅射等将铝形成成为焊盘 PD2 以便完全地嵌入连接孔 CH 的内部时,有必要将连接孔 CH 的直径设置得相对地大。例如,与其中应用通过大马士革方法形成钨的情况下的作为根据实施例 1 的半导体器件的顶部通路塞 5H 相比,其中应用通过溅射来形成的铝的情况下作为实施例 2 的半导体的顶部通路塞 5H,连接孔 CH 的直径更大。

[0078] 另一方面,根据实施例 2 的半导体器件,如上所述,可以共同地形成顶部连接层 VH 的顶部通路塞 5 和顶部布线层 MH 的焊盘 PD2,从而简化制造工艺。制造工艺的简化减少了制造成本,由此提高生产量。

[0079] 在实施例 2 的顶部通路塞 5H 的情况下,焊盘 PD2 较低部的阻挡导体膜 BMa 也一体地布置于顶部连接层 VH 的连接孔 CH 的壁面上。也就是说,在连接孔 CH 的底部,阻挡导体膜 BMa 与第五布线层 M5 的导体图案 3 接触。就此而言,如在实施例 1 的半导体器件的情况下说明的那样,阻挡导体膜 BMa 包括层叠的层膜,该层膜从下方包括包含钛的第一阻挡导体膜 bm1 和包含氮化钛的第二阻挡导体膜 bm2。因此在这一状态下,包含钛的第一阻挡导体膜 bm1 与包含铜的导体图案 3 接触。然而已知钛与铜反应,这增加在接触部分的电阻。

[0080] 因而,实施例 2 的半导体器件的阻挡导体膜 BMa 在第一阻挡导体膜 bm1 的又一较低层中具有第三阻挡导体膜 bm3,该膜包括以氮化钛为主要成分的导体。如上所述,一体地形成实施例 2 的阻挡导体膜 BMa,该膜从焊盘 PD2 以下覆盖至顶部连接层 VH 的连接孔 CH 的内部。因此通过布置上述第三阻挡导体膜 bm3,在连接孔 Ch 的底部,包含氮化钛的第三阻挡导体膜 bm3 防止包含钛的第一阻挡导体膜 1 与包含铜的第三导体图案接触。因此可以抑制在钛与铜之间的反应。

[0081] 如参照图 1 至图 4 说明的那样,在实施例 1 的半导体器件中,关于在探针检查期间的压力,阻挡导体膜 BMa 具有抑制裂缝生成的效果。同样在实施例 2 的半导体器件中,焊盘 PD2 以下的阻挡导体膜 BMa 具有包含形式为柱状晶体的氮化钛的第三阻挡导体膜 bm3。当它的膜厚度小于包含钛的第一阻挡导体膜 bm1 的膜厚度时,可以使相似效果明显。

[0082] 另外,在焊盘 PD4 的探针接触区域 PA 以下更优选的是第一阻挡导体膜 bm1 的厚度为第三阻挡导体膜 bm3 的厚度的至少两倍大。同时更优选的是第三阻挡导体膜 bm3 的厚度为 5nm 或者更大。其原因与在第一实施例中参照第二阻挡导体膜 bm2 来设置第一阻挡导体膜 bm1 的膜厚度条件的原因相同。另外,其它膜厚度条件与实施例 1 中相同,并且将省略对

其的重复描述。根据实施例 2 的半导体器件,第一阻挡导体膜 bm1、第二阻挡导体膜 bm2 和第三阻挡导体膜 bm3 的膜厚度总和为 200nm 或者更小。这样的膜厚度条件可以使提高探针阻抗的效果明显。因此只要该条件至少应用于焊盘 PD4 的探针接触区域 PA 以下的阻挡导体膜 BMa 就令人满意。

[0083] 利用实施例 2 的半导体器件的上述结构,在探测期间抑制裂缝生成,从而提高生产量。

[0084] (实施例 3) 参照图 10 和图 11 将说明实施例 3 的半导体器件。图 10 是示出了半导体器件的主要部分的横截面图并且对应于实施例 1 的半导体器件的图 3。图 11 是图 10 的主要部分 p300 的放大横截面图。除了如下各点之外,实施例 3 的半导体器件具有与实施例 1 和实施例 2 中相同的结构和由此获得的效果。

[0085] 根据实施例 3 的半导体器件,布置于顶部布线层 MH 的焊盘 PD3 与紧接下方的顶部连接层 VH 的层间绝缘膜 4 之间的阻挡导体膜 BMa 包括以钽或者氮化钽为主要成分的导体。

[0086] 钽或者氮化钽具有大晶粒并且如上所述类似于具有高探针阻抗的钽而具有探针阻抗。就此而言,根据实施例 1 的半导体器件,通过层叠用于提高探针阻抗的钽(第一阻挡导体膜 bm1)和用于抑制与焊盘 PD1 的反应的氮化钽(第二阻挡导体膜 bm2)来形成阻挡导体膜 BMa。另一方面,实施例 3 的半导体器件的钽或者氮化钽具有与包含铝的焊盘 PD3 的低反应性。因此无需提供用于抑制反应的导体层。结果可以通过具有更简单结构的阻挡导体膜 BMa 来实现与实施例 1 中相似的探针阻抗提高效果。这可以减少制造成本并且提高生产量。

[0087] 根据本发明人的进一步考察,包括以氮化钽为主要成分的导体的阻挡导体膜 BMa 处于非结晶(无定形)状态。发现由于无处于非结晶状态的颗粒场,所以进一步较少可能因应力而生成裂缝。发现上述效果在氮化钽的膜厚度为 20nm 或者更大时变得更明显。由于这一原因,根据实施例 3 的半导体器件,更优选的是包括以钽或者氮化钽为主要成分的导体膜的阻挡导体膜 BMa 的膜厚度为 20nm 或者更大。此外,由于与实施例 1 中描述的原因相似的原因,更优选的是阻挡导体膜 BMa 的膜厚度为 200nm 或者更小。

[0088] (实施例 4) 参照图 12 将说明实施例 4 的半导体器件。图 12 是示出了半导体器件的主要部分的横截面图并且对应于实施例 1 的半导体器件的图 2。除了如下各点之外,实施例 4 的半导体器件具有与实施例 1、2 或者 3 的半导体结构相似的结构和由此获得的效果。

[0089] 根据实施例 4 的半导体器件,在布线层 ML、M1 至 M5 和 MH 之中,在顶部布线层 MH 下面的布线层(即第五布线层 M5)中和第二下层布线层(即第四布线层 M4)中的与焊盘 PD4 的探针接触区域 PA 在平面中交叠的部分中未形成传导图案 3。换言之,在第五布线层 M5 和第四布线层 M4 的相关区域中仅形成层间绝缘膜 4。利用这一结构可以获得如下效果。

[0090] 如前文参照实施例 1 的半导体器件说明的那样,通过在焊盘 PD1 的探针接触区域 PA 以下未提供导体图案 3,抑制塑性变形并且提高探针阻抗性质。在实施例 1 中说明了如下结构的有效性,在该结构中导体图案 3 未形成于紧接焊盘 PD1 以下的第五布线层 M4 的相关区域中。按照相同方面,根据实施例 4 的半导体器件,导体图案 3 未布置于更下方的第四布线层 M4 的相关区域中,从而进一步抑制塑性变形。结果利用实施例 4 的半导体器件的结构可以进一步提高探针阻抗。

[0091] (实施例 5) 参照图 13 将说明实施例 5 的半导体器件。图 13 是示出了半导体器件

的主要部分的横截面图并且对应于实施例 1 的半导体器件的图 2。除了如下各点之外,实施例 5 的半导体器件具有与实施例 1、2、3 或者 4 的半导体器件的结构相同的结构和由此获得的效果。

[0092] 根据实施例 5 的半导体器件,各布线层 ML、M1 至 M5 和 MH 具有的导体图案 3 由以铝为主要成分的导体形成。与铜相比,铝的机械强度更低。因此当向焊盘 PD5 等施加探测时,塑性变形有可能由于它的应力而出现。同样在以这样的铝为导体图案的半导体器件中,裂缝可能出现。根据这一方面,能够提高探针阻抗的实施例 1、2、3 或者 4 的半导体器件的结构可以更有效地应用于以铝为导体图案 3 的实施例 5 的半导体器件。

[0093] (实施例 6) 参照图 14 和图 15 将说明实施例 6 的半导体器件。图 14 是示出了实施例 6 的半导体器件的主要部分的平面图。在根据实施例 6 的半导体器件之中,图 14 示出了焊盘 PD6 的外围部分,其中向该焊盘施加在电性质测试期间的探测或者接线键合。图 15 是示出了焊盘 PD6 的外围部分的主要部分的放大横截面图。参照图 14 和图 15 将具体地说明实施例 6 的半导体器件的结构。除了如下各点之外,实施例 6 的半导体器件具有与实施例 1、2、3、4 或者 5 的半导体器件的结构相同的结构和由此获得的效果。

[0094] 实施例 6 的半导体器件具有如下结构作为顶部布线层 MH 的焊盘 PD6 与紧接下方的第五布线层 M5 的导体图案 3 之间的电连续机制。也就是说,如在实施例 2 的半导体器件中一样,根据实施例 6 的半导体器件,与阻挡导体膜 BMa 和焊盘 PD6 的材料相同的材料通过嵌入在顶部连接层 VH 中形成的连接孔 CH 来一体地形成。然而作为与实施例 2 的半导体器件不同的一点,根据实施例 6 的半导体器件,如在平面中所见,连接孔 CH 落在保护绝缘膜 7 的开口 OP1 中而允许暴露焊盘 PD6 并且比实施例 2 的连接孔 CH 更宽。另外在第五布线层 M5 中布置导体图案 3 以便与连接孔 CH 的底部接触。

[0095] 然而,第五布线层 M5 的导体图案 3 未布置于焊盘 PD6 的探针接触区域 PA 以下,这与实施例 1 至 5 的情况相同。因而变得有可能通过将本发明应用于具有实施例 6 的结构 of 的半导体器件来提高探针阻抗。

[0096] 虽然上述已经通过其实施例具体地描述了本发明人创造的发明,但是无需赘言本发明不限于上述实施例并且可以在不脱离本发明的主旨的范围内进行各种改变。

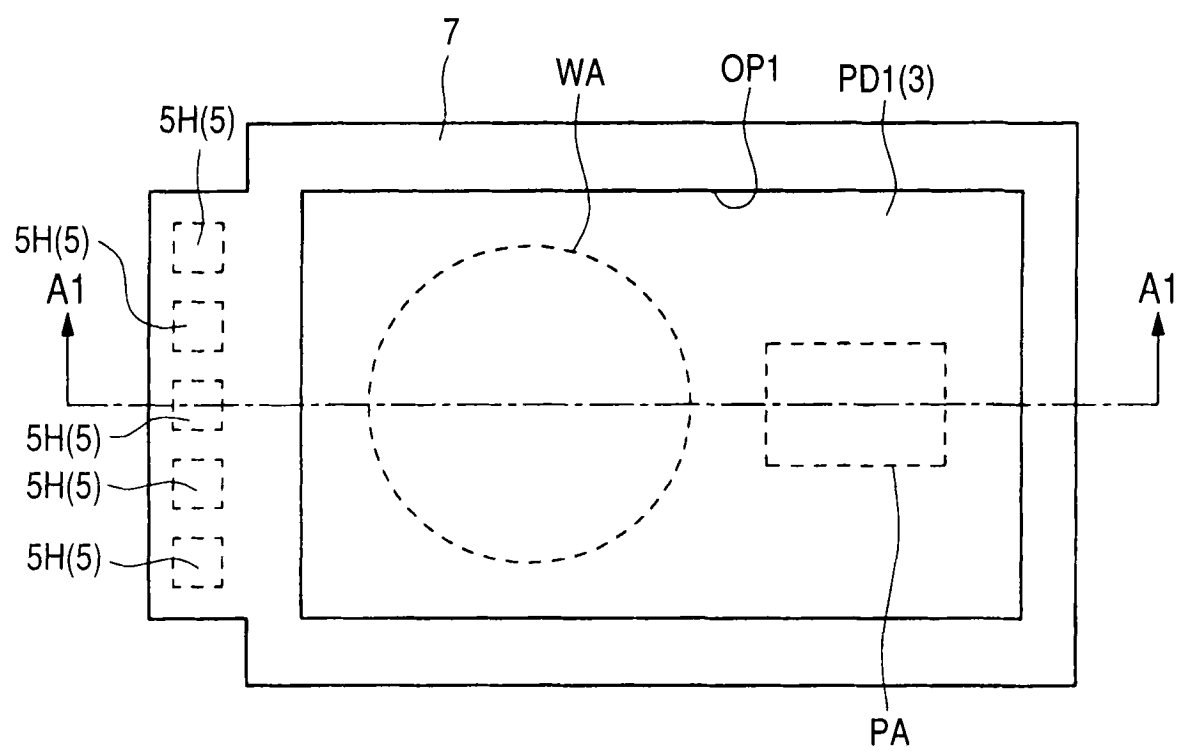


图 1

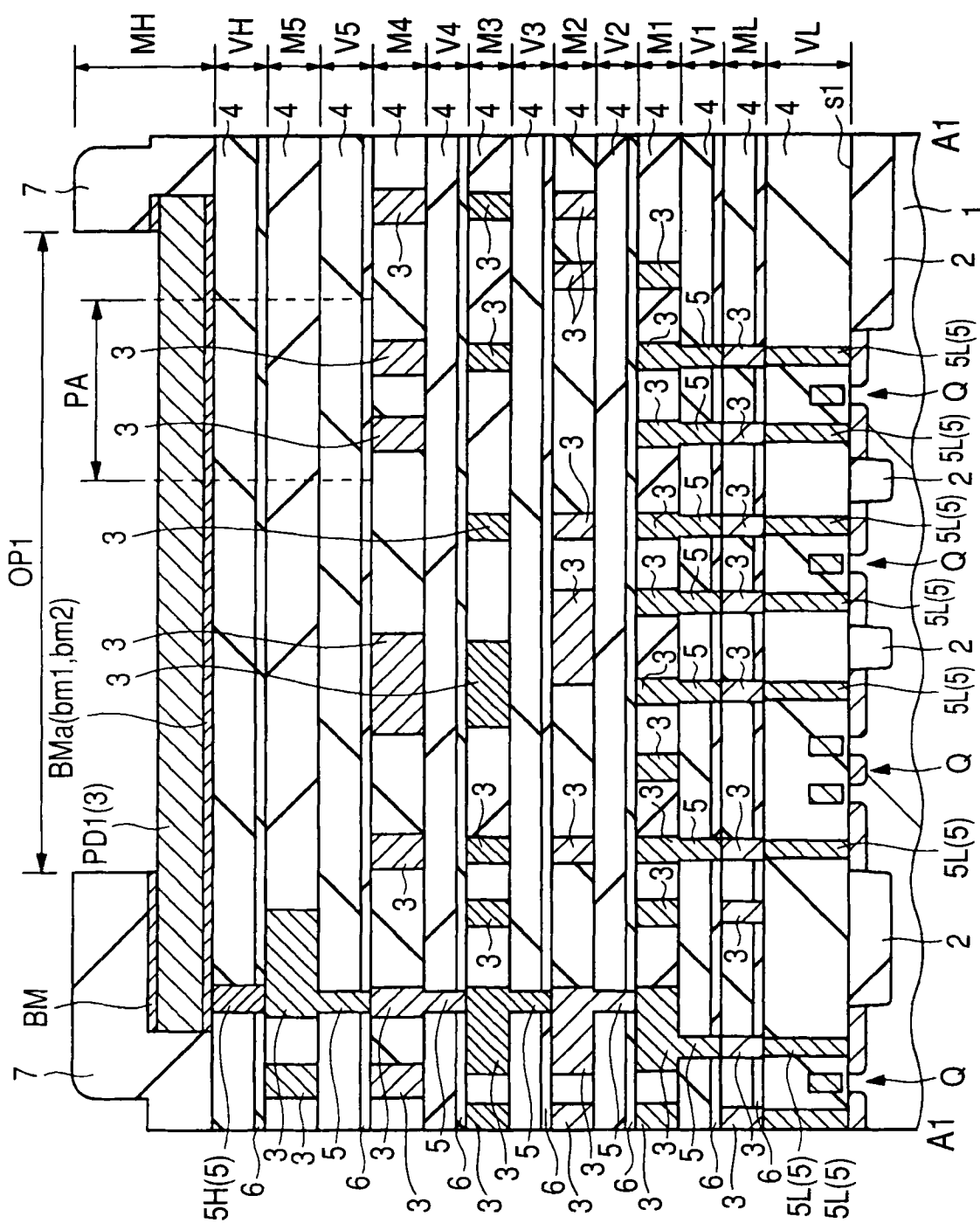


图 2

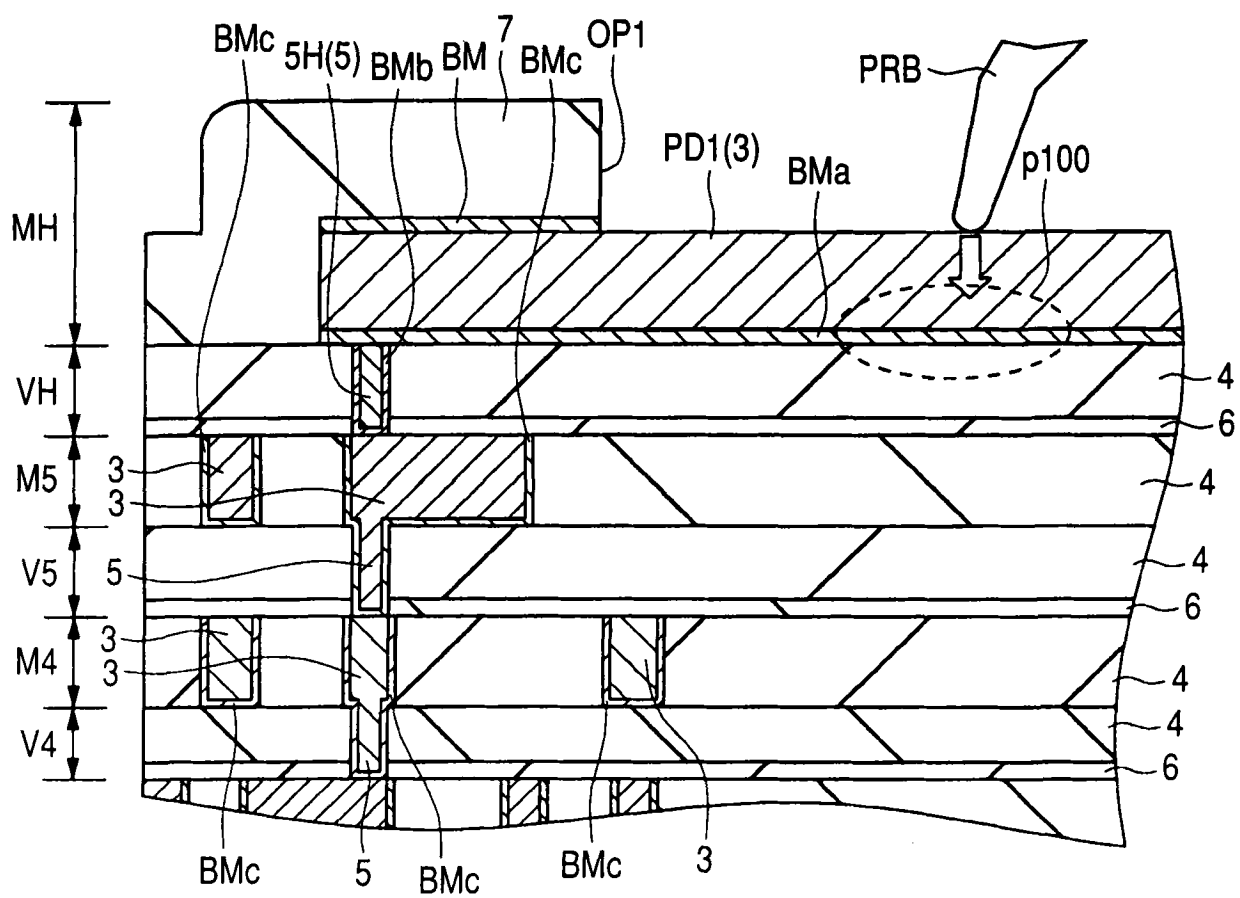


图 3

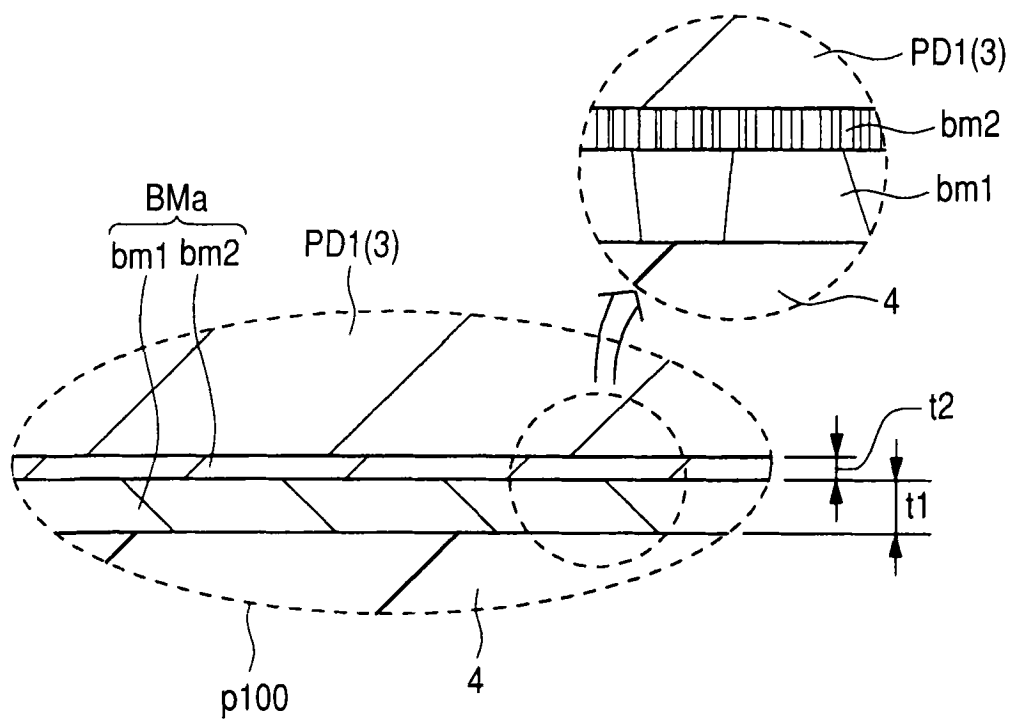


图 4

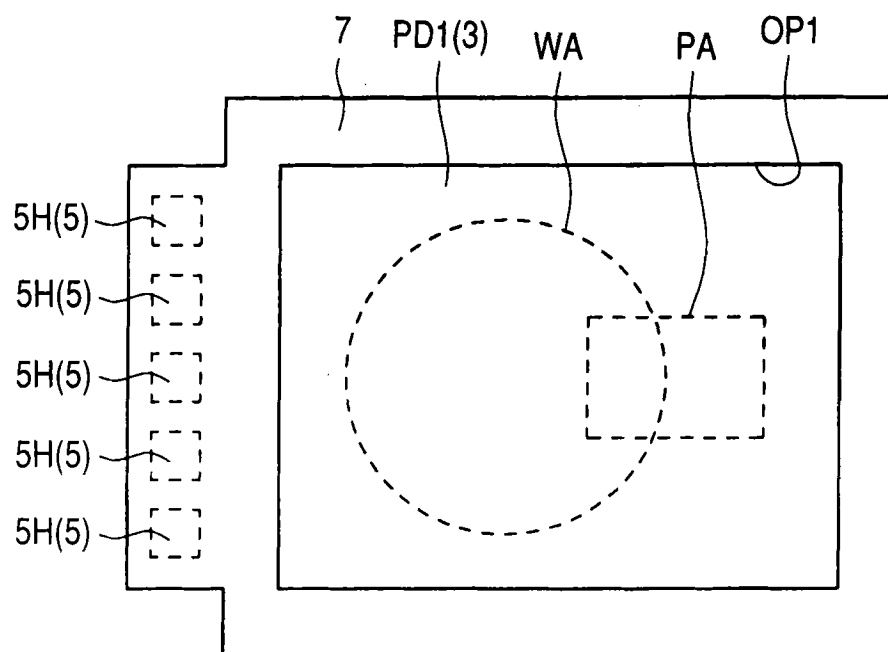


图 5

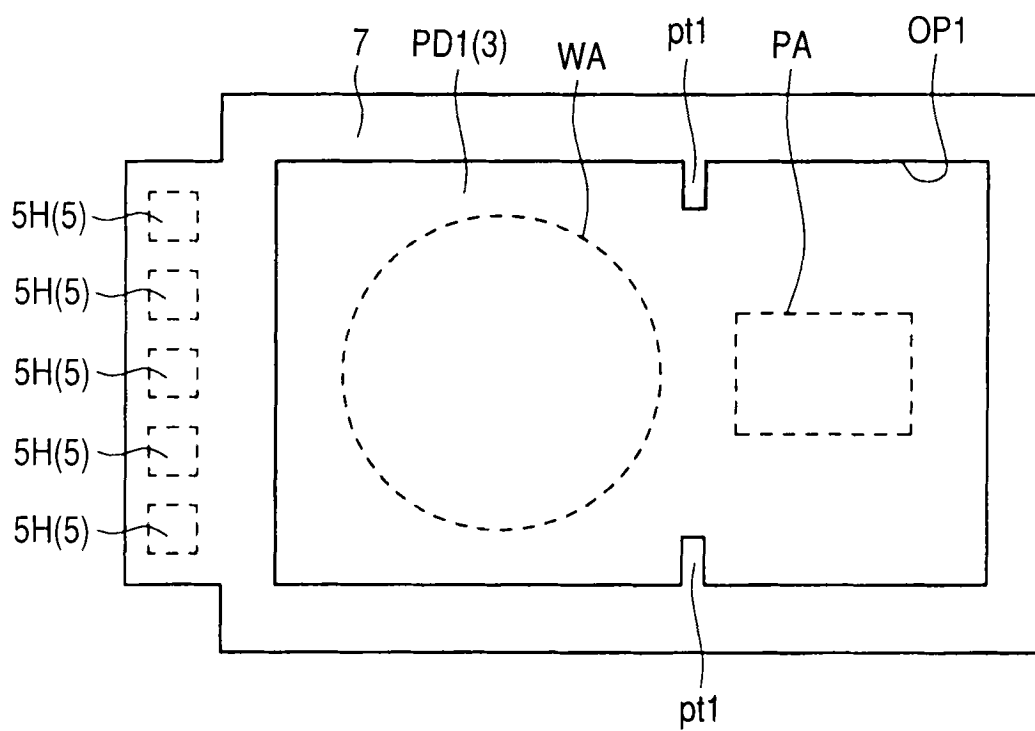


图 6

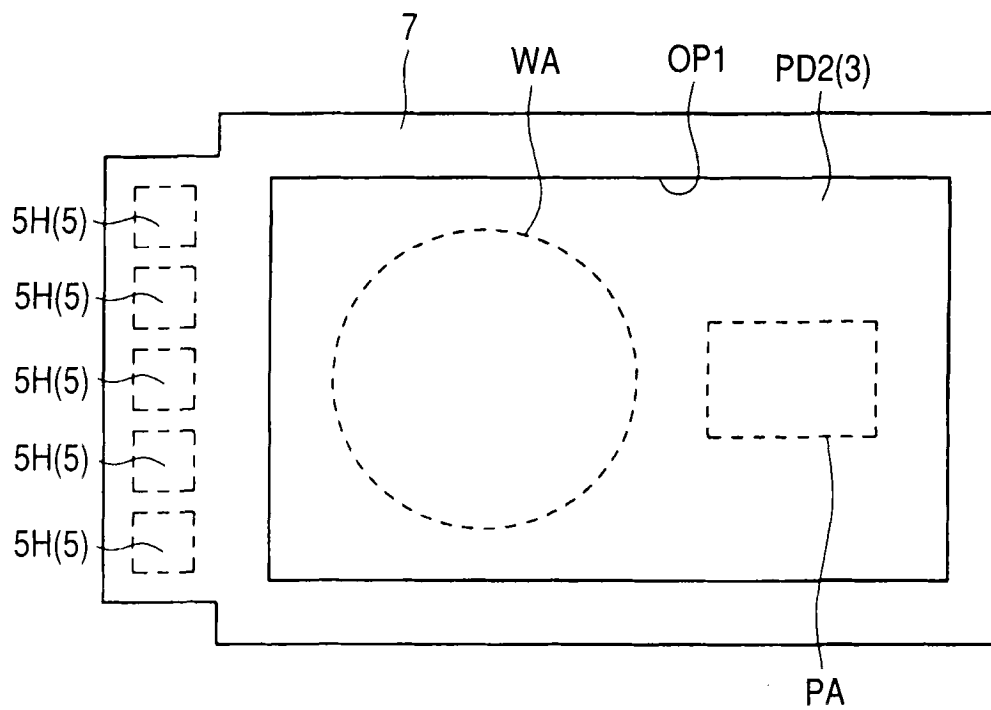


图 7

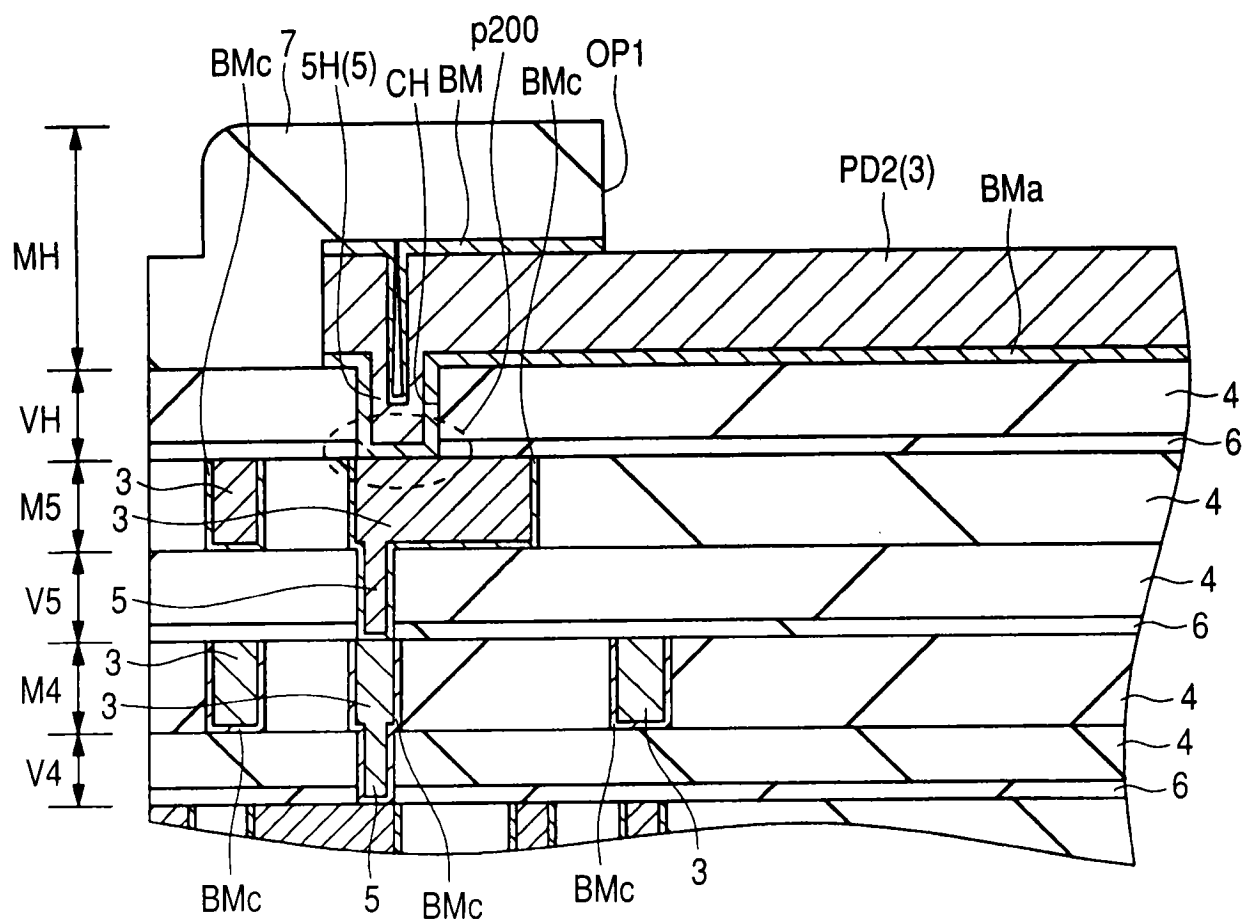


图 8

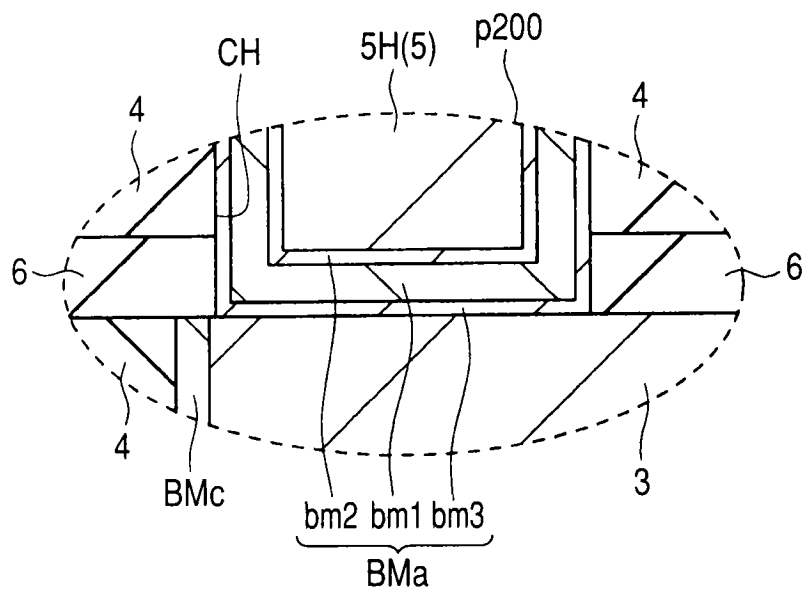


图 9

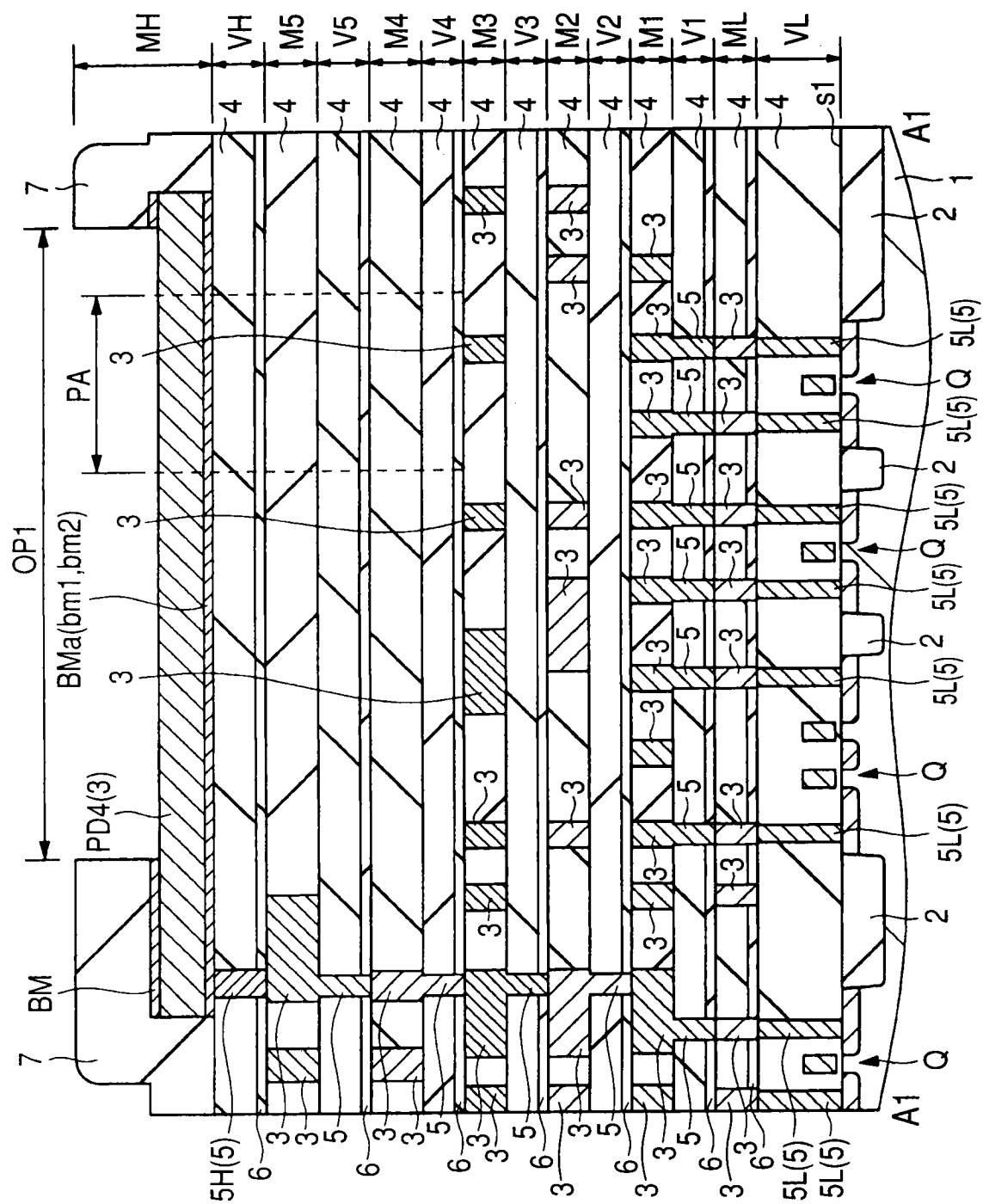


图 12

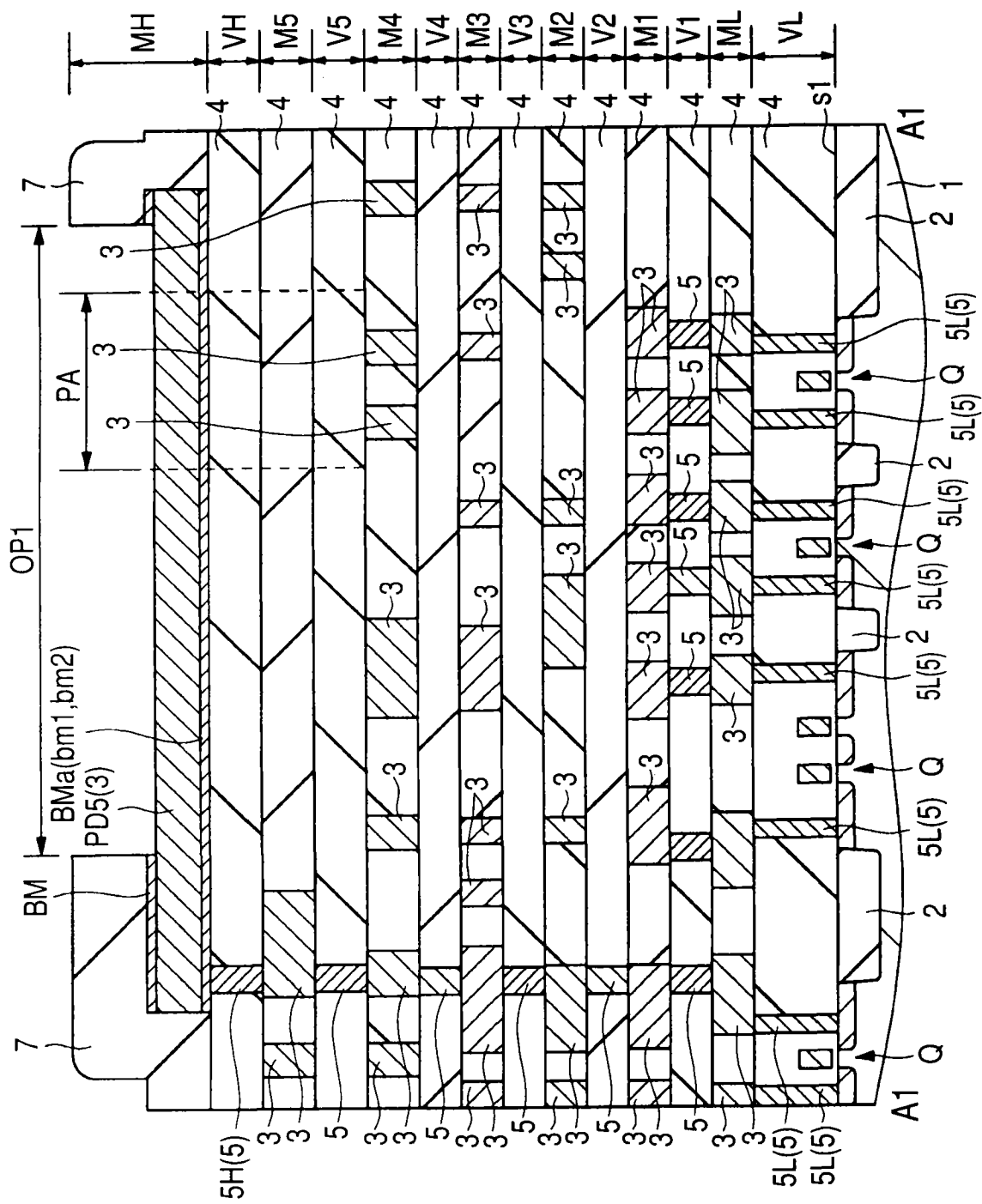


图 13

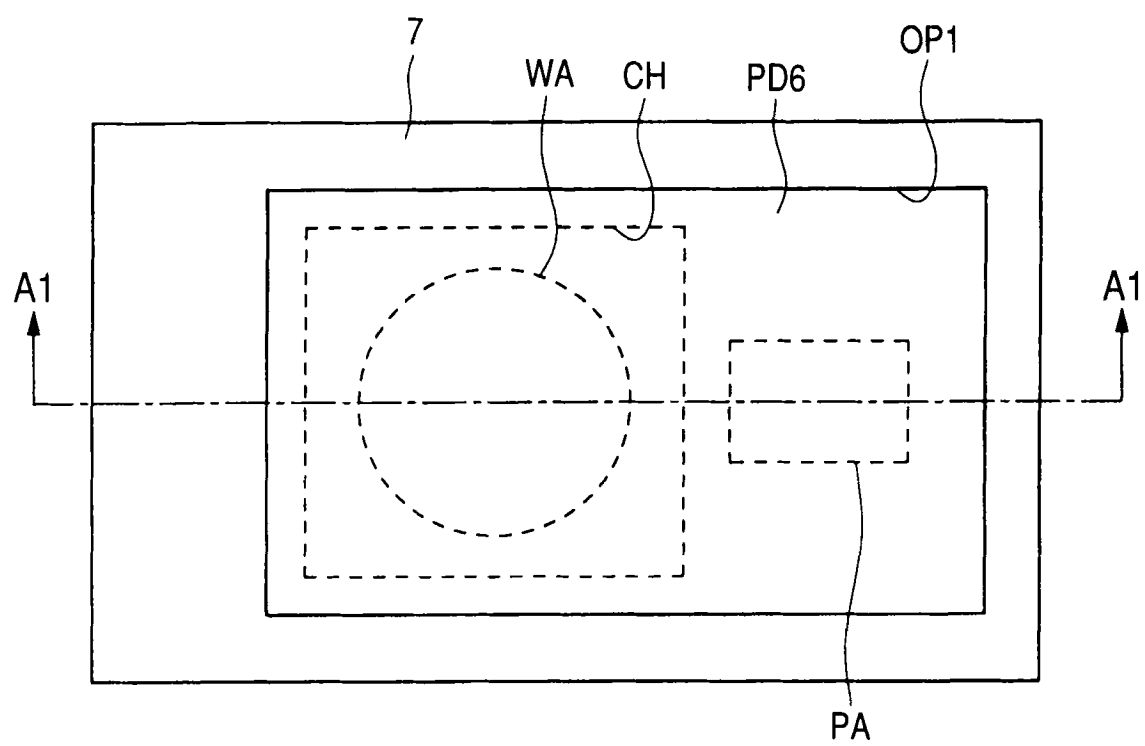


图 14

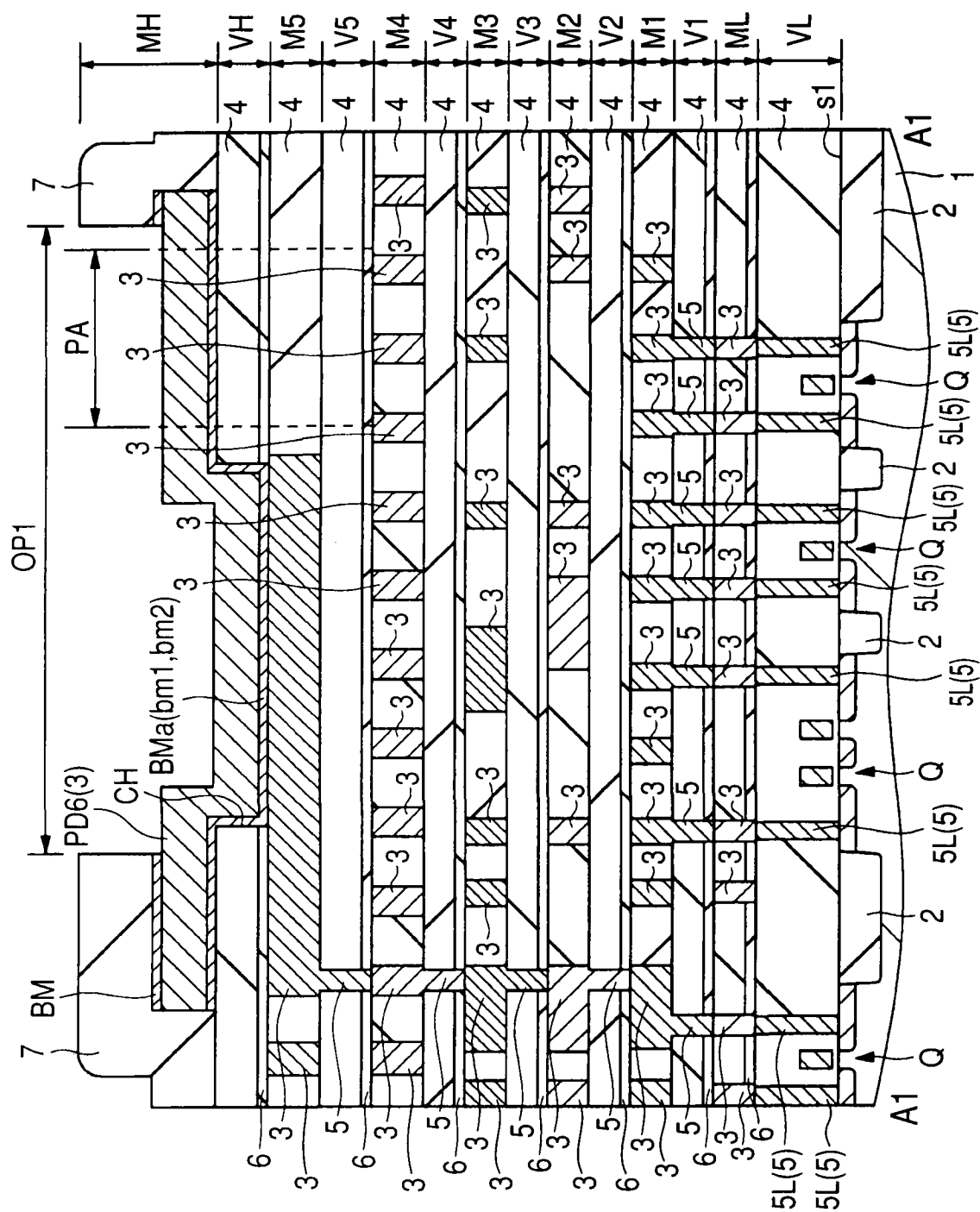


图 15