

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4713130号

(P4713130)

(45) 発行日 平成23年6月29日 (2011. 6. 29)

(24) 登録日 平成23年4月1日 (2011. 4. 1)

|                              |               |
|------------------------------|---------------|
| (51) Int. Cl.                | F I           |
| <b>H03K 3/356 (2006.01)</b>  | H03K 3/356 Z  |
| <b>G01R 31/28 (2006.01)</b>  | G01R 31/28 G  |
| <b>H01L 27/04 (2006.01)</b>  | H01L 27/04 F  |
| <b>H01L 21/822 (2006.01)</b> | H03K 19/096 B |
| <b>H03K 19/096 (2006.01)</b> |               |

請求項の数 10 (全 30 頁)

|              |                               |           |                  |
|--------------|-------------------------------|-----------|------------------|
| (21) 出願番号    | 特願2004-336355 (P2004-336355)  | (73) 特許権者 | 000005821        |
| (22) 出願日     | 平成16年11月19日 (2004. 11. 19)    |           | パナソニック株式会社       |
| (65) 公開番号    | 特開2005-210683 (P2005-210683A) |           | 大阪府門真市大字門真1006番地 |
| (43) 公開日     | 平成17年8月4日 (2005. 8. 4)        | (74) 代理人  | 100077931        |
| 審査請求日        | 平成19年11月13日 (2007. 11. 13)    |           | 弁理士 前田 弘         |
| (31) 優先権主張番号 | 特願2003-424603 (P2003-424603)  | (74) 代理人  | 100094134        |
| (32) 優先日     | 平成15年12月22日 (2003. 12. 22)    |           | 弁理士 小山 廣毅        |
| (33) 優先権主張国  | 日本国 (JP)                      | (74) 代理人  | 100110939        |
|              |                               |           | 弁理士 竹内 宏         |
|              |                               | (74) 代理人  | 100110940        |
|              |                               |           | 弁理士 嶋田 高久        |
|              |                               | (74) 代理人  | 100113262        |
|              |                               |           | 弁理士 竹内 祐二        |
|              |                               | (74) 代理人  | 100115059        |
|              |                               |           | 弁理士 今江 克実        |

最終頁に続く

(54) 【発明の名称】 スキャン付きフリップフロップ、半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数の nMOS トランジスタを備え、クロック信号と、データ信号と、テスト入力信号と、テスト選択信号とからなる第 1 の論理情報が入力され、前記第 1 の論理情報に基づく第 2 の論理情報を出力する入力部と、

少なくとも前記第 2 の論理情報に基づく情報が入力され、前記第 2 の論理情報に基づく信号を出力する出力部と、

前記入力部が前記第 1 の論理情報から前記第 2 の論理情報を生成するための制御信号を前記入力部に入力する制御部と、

前記第 2 の論理情報を前記入力部から前記出力部へ伝達する第 1 のノードとを備えるフリップフロップであり、

前記入力部は、前記クロック信号がローレベルからハイレベルに遷移するときに、前記第 1 の論理情報のうち、前記データ信号又は前記テスト入力信号の何れを有効にして前記第 2 の論理情報を生成するのかを前記テスト選択信号に基づいて選択する選択部を有すると共に、前記クロック信号がローレベルのときに、前記第 2 の論理情報をハイレベルの信号として前記第 1 のノードに出力し、

前記入力部において、前記第 1 のノードがハイレベルからローレベルに遷移する際に電流が流れる経路に含まれる前記 nMOS トランジスタの数が、前記データ信号が選択されたときの方が、前記テスト入力信号が選択されたときよりも少ない

ことを特徴とするスキャン付きフリップフロップ。

10

20

## 【請求項 2】

請求項 1 記載のスキラン付きフリップフロップにおいて、

前記入力部は、第 1 に、前記制御部と第 1、第 2 及び第 3 のノードを介して接続され、更に第 2 に、前記クロック信号がローレベルのとき、前記第 1 のノードにハイレベルを出力し、更に第 3 に、前記データ信号がハイレベルの場合において、前記テスト選択信号がローレベルであり、且つ前記クロック信号がローレベルである第 1 の状態から、前記テスト選択信号がローレベルであり、且つ前記クロック信号がハイレベルである第 2 の状態に入力状態が移行したとき、前記第 3 のノードの電位がハイレベルであれば、所定時間内に前記第 1 のノードの電位をハイレベルからローレベルへ遷移させ、前記第 2 の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第 1 のノードの電位をローレベルに保持し、更に第 4 に、前記データ信号がローレベルの場合において、前記第 1 の状態から前記第 2 の状態に入力状態が移行したとき、前記第 1 のノードの電位をハイレベルの状態とし、前記所定時間以上経過後に、前記第 2 及び第 3 のノードの電位がハイレベルからローレベルへ遷移すれば、前記第 2 の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第 1 のノードの電位をハイレベルに保持し、更に第 5 に、前記テスト入力信号がハイレベルの場合において、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がローレベルである第 3 の状態から、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がハイレベルである第 4 の状態に移行したとき、前記第 2 のノードの電位がハイレベルであれば、前記所定時間内に前記第 1 のノードの電位をハイレベルからローレベルへ遷移させ、前記第 4 の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第 1 のノードの電位をローレベルに保持し、更に第 6 に、前記テスト入力信号がローレベルの場合において、前記第 3 の状態から前記第 4 の状態に移行したとき、前記第 3 のノードの電位がローレベルであれば、前記第 1 のノードの電位をハイレベルの状態とし、前記所定時間以上経過後に、前記第 2 のノードの電位がハイレベルからローレベルへ遷移すれば、前記第 4 の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第 1 のノードの電位をハイレベルに保持し、

前記制御部は、前記データ信号がローレベルの場合において、前記第 1 の状態から前記第 2 の状態に移行したとき、前記第 2 及び第 3 のノードの電位を、前記所定時間以上経過後に、ハイレベルからローレベルに遷移させ、更に、前記テスト入力信号がローレベルの場合において、前記第 3 の状態から前記第 4 の状態に移行したとき、前記第 2 のノードの電位を、前記所定時間以上経過後に、ハイレベルからローレベルに遷移させ、前記第 3 のノードの電位をローレベルのままとし、

前記出力部は、前記クロック信号がハイレベルのときは前記第 1 のノードに現れる信号を反転させた信号を出力信号として出力し、更に、前記クロック信号がローレベルのときは以前の信号のレベルを保持する

ことを特徴とするスキラン付きフリップフロップ。

## 【請求項 3】

請求項 1 記載のスキラン付きフリップフロップにおいて、

前記入力部は、第 1 に、前記制御部と第 1、第 2 及び第 3 のノードを介して接続され、更に第 2 に、前記クロック信号がローレベルのとき、前記第 1 のノードにハイレベルを出力し、更に第 3 に、前記データ信号がハイレベルの場合において、前記テスト選択信号がローレベルであり、且つ前記クロック信号がローレベルである第 1 の状態から、前記テスト選択信号がローレベルであり、且つ前記クロック信号がハイレベルである第 2 の状態に移行したとき、前記第 3 のノードがハイレベルであれば、前記第 1 のノードの電位をハイレベルからローレベルへ遷移させ、前記第 2 の状態を維持する間は、前記データ信号及び前記テスト入力信号の状態に関係なく、前記第 1 のノードの電位をローレベルに保持し、更に第 4 に、前記データ信号がローレベルの場合において、前記第 1 の状態から前記第 2 の状態に移行したとき、前記第 1 のノードの電位をハイレベルに保持し、更に第 5 に、前記テスト入力信号がハイレベルの場合において、前記テスト選択信号がハイレベルであり

、且つ前記クロック信号がローレベルである第3の状態から、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がハイレベルである第4の状態に移行したとき、前記第2のノードがハイレベルであれば、前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第4の状態を維持する間は、前記データ信号及び前記テスト入力信号の電位に関係なく、前記第1のノードの電位をローレベルに保持し、更に第6に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、前記第3のノードがローレベルであれば、前記第1のノードの電位をハイレベルに保持し、

前記制御部は、第1に、前記データ信号がハイレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの電位変化を受けて前記第2及び第3のノードの電位をハイレベルに保持し、更に第2に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受けて前記第2及び第3のノードの電位をハイレベルからローレベルへ遷移させ、更に第3に、前記テスト入力信号がハイレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの電位変化を受けて前記第2のノードの電位をハイレベルに保持し、前記第3のノードの電位をローレベルのままとし、更に第4に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受けて前記第2のノードの電位をハイレベルからローレベルへ遷移させると共に、前記第3のノードの電位をローレベルのままとし、

前記出力部は、前記クロック信号がハイレベルのときは前記第1のノードに現れる信号を反転させた信号を出力信号として出力し、更に、前記クロック信号がローレベルのときは以前の信号のレベルを保持する

ことを特徴とするスキャン付きフリップフロップ。

#### 【請求項4】

請求項1記載のスキャン付きフリップフロップにおいて、

前記入力部と前記制御部とは第1、第2及び第3のノードを介して接続され、

前記制御部と前記出力部とは第4及び第5のノードを介して接続され、

また、前記入力部は、第1に、前記クロック信号がローレベルのとき、前記第1のノードにハイレベルを出力し、更に第2に、前記データ信号がハイレベルの場合において、前記テスト選択信号がローレベルであり、且つ前記クロック信号がローレベルである第1の状態から、前記テスト選択信号がローレベルであり、且つ前記クロック信号がハイレベルである第2の状態に移行したとき、前記第3のノードがハイレベルであれば、前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第2の状態を維持する間は、前記データ信号及び前記テスト入力信号の電位に関係なく、前記第1のノードの電位をローレベルに保持し、更に第3に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、前記第1のノードの電位をハイレベルに保持し、更に第4に、前記テスト入力信号がハイレベルの場合において、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がローレベルである第3の状態から、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がハイレベルである第4の状態に移行したとき、前記第2のノードがハイレベルであれば、前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第4の状態を維持する間は、前記データ信号及び前記テスト入力信号の電位に関係なく、前記第1のノードの電位をローレベルに保持し、更に第5に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、前記第3のノードがローレベルであれば、前記第1のノードの電位をハイレベルに保持し、

前記制御部は、第1に、前記データ信号がハイレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの信号を受け、前記第2及び第3のノードの電位をハイレベルに保持すると共に、前

記第4のノードの電位をハイレベルに保持し、前記第5のノードの電位をローレベルからハイレベルに遷移させ、更に第2に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受け、前記第2及び第3のノードの電位をハイレベルからローレベルへ遷移させると共に、前記第4のノードの電位をハイレベルからローレベルへ遷移させ、前記第5のノードの電位をローレベルに維持し、更に第3に、前記テスト入力信号ハイレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの信号を受け、前記第2のノードの電位をハイレベルに保持すると共に、前記第3のノードの電位をローレベルのままとし、更に、前記第4のノードの電位をハイレベルに保持し、前記第5のノードの電位をローレベルからハイレベルに遷移させ、更に第4に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受け、前記第2のノードの電位をハイレベルからローレベルへ遷移させると共に、前記第3のノードの電位をローレベルのままとすると共に、前記第4のノードの信号をハイレベルからローレベルへ遷移させ、前記第5のノードの電位をローレベルに保持し、

10

前記出力部は、第1に、前記第4及び第5のノードからハイレベルの信号を受けたとき、ハイレベルの出力信号及びローレベルの反転出力信号を出力し、更に第2に、前記第4及び第5のノードからローレベルの信号を受けたとき、ローレベルの出力信号及びハイレベルの反転出力信号を出力し、更に第3に、前記第4のノードにハイレベル、前記第5のノードにローレベルの信号を受けたとき、出力信号及び反転出力信号のレベルを以前のレベルに保持する

20

ことを特徴とするスキャン付きフリップフロップ。

#### 【請求項5】

請求項1記載のスキャン付きフリップフロップにおいて、

前記データ信号が選択されたときのnMOSトランジスタの数は3個であり、

前記テスト入力信号が選択されたときのnMOSトランジスタの数は4個である

ことを特徴とするスキャン付きフリップフロップ。

#### 【請求項6】

請求項1記載のスキャン付きフリップフロップにおいて、

前記データ信号が選択されたときのnMOSトランジスタの数は2個であり、

前記テスト入力信号が選択されたときのnMOSトランジスタの数は3個である

ことを特徴とするスキャン付きフリップフロップ。

30

#### 【請求項7】

請求項2又は3記載のスキャン付きフリップフロップにおいて、

前記制御部は、第1に、前記データ信号がハイレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの電位変化を受けて、ハイレベルの信号を前記第5のノードに出力し、更に第2に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受けて、ローレベルの信号を前記第5のノードに出力し、更に第3に、前記テスト入力信号がハイレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの電位変化を受けて、ハイレベルの信号を前記第5のノードに出力し、更に第4に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受けて、ローレベルの信号を前記第5のノードに出力し、更に第5に、前記第4のノードの反転信号が伝播される第6のノードを内部に備え、また、前記第6のノードと前記第2のノードとの間に前記第6のノードの反転信号を前記第2のノードに伝播するインバータ回路を備え、更に、前記第6のノードの信号と前記テスト選択信号とが入力され、それらのNOR論理演算の結果を前記第3のノードに出力する2入力NOR回路とを備える

40

ことを特徴とするスキャン付きフリップフロップ。

50

## 【請求項 8】

請求項 7 記載のスキラン付きフリップフロップにおいて、

前記 2 入力 NOR 回路は、1 個が電源電位に接続された 2 個の pMOS トランジスタの直列回路と接地電位に接続された 2 個の nMOS トランジスタの並列回路との直列接続からなり、

前記インバータ回路は CMOS インバータであって、

前記 2 入力 NOR 回路の有する電源電位に接続される 1 個の pMOS トランジスタと、前記 CMOS トランジスタの有する pMOS トランジスタとを 1 つの pMOS トランジスタとして共用する

ことを特徴とするスキラン付きフリップフロップ。

10

## 【請求項 9】

請求項 1 ～ 8 の何れか 1 項に記載の前記スキラン付きフリップフロップと、

前記スキラン付きフリップフロップに入力する前記データ信号を生成するデータ信号生成回路とを備え、

前記データ信号生成回路は、前記スキラン付きフリップフロップに隣接して配置されている

ことを特徴とする半導体装置。

## 【請求項 10】

請求項 1 ～ 9 の何れか 1 項に記載の前記スキラン付きフリップフロップを配置する第 1 の工程と、

20

前記スキラン付きフリップフロップのデータ信号を生成するデータ信号生成回路を前記スキラン付きフリップフロップに隣接して配置する第 2 の工程と、

前記データ信号生成回路以外の他の回路を配置する第 3 の工程と、

前記スキラン付きフリップフロップのデータ信号を優先して配線する第 4 の工程とを有する

ことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、高速に動作し、且つ少ないトランジスタ数で構成可能なスキラン付きフリップフロップに関する。

30

## 【背景技術】

## 【0002】

半導体集積回路のロジック回路における面積、消費電力、及びクリティカルパス遅延におけるフリップフロップの占める割合は大きく、フリップフロップの小面積化、低消費電力化、及び高速化が望まれる。また、設計した LSI のテストを容易に行うためにスキラン付きフリップフロップが多く使われており、特に、スキラン付きフリップフロップの小面積化、低消費電力化、及び高速化が重要である。

## 【0003】

近年、高速用途向けにクロック周期よりも短いパルス幅の期間にデータを取り込むラッチ回路を用いたフリップフロップが提案されている。以下、このような構成のフリップフロップの従来例について図 11 及び図 12 の回路図を用いて説明する。

40

## 【0004】

図 11 は、S D F F (S e m i - D y n a m i c F l i p - F l o p) と呼ばれるスキラン付きフリップフロップであり、特許文献 1 に記載されている一構成例（以下、従来例 1 と呼ぶ）である。

## 【0005】

図 11 において、D はデータ信号、C K はクロック信号、S I はテスト入力信号、S C A N はテスト選択信号、Q は出力信号、V D D は V D D 電源、G N D は G N D 電位を示す。

50

## 【0006】

N20～N23はnMOSトランジスタであり、nMOSトランジスタN20及びN21による直列接続と、nMOSトランジスタN22及びN23による直列接続とが並列に接続されてセクタ回路S0が構成され、この構成において、nMOSトランジスタN21のデータ信号Dによる制御又はnMOSトランジスタN23のテスト入力信号SIによる制御の何れかが、インバータ回路INV7で反転させたテスト選択信号SCANで制御するnMOSトランジスタN20と、テスト選択信号SCANで制御するnMOSトランジスタN22とにより排他的に選択される。

## 【0007】

P1はソースにVDD電源が接続されたpMOSトランジスタ、N3はソースにGND電位が接続されたnMOSトランジスタであり、それぞれのゲートにはクロック信号CKが入力される。このpMOSトランジスタのドレインにはnMOSトランジスタN1が直列に接続され、更に、nMOSトランジスタN1のソースとnMOSトランジスタN3のドレインとの間に、上記のセクタ回路S1が直列に挿入される。ここで、pMOSトランジスタP1のドレインとnMOSトランジスタN1のドレインとの接続ノードはX1である。nMOSトランジスタN1のゲートには2入力のNAND回路ND1の出力端子が接続される。このNAND回路ND1の一方の入力端子にはノードX1が、また、他方の入力端子にはクロック信号CKが2つのインバータ回路INV1及びINV2により遅延されて入力される。ここで、インバータ回路INV2とNAND回路ND1の一方の入力端子との接続ノードはCKDである。

## 【0008】

ノードX1は、ソースをVDD電源に接続されたpMOSトランジスタP2のゲートと、ソースがGND電位に接続されたnMOSトランジスタN5のゲートに接続される。また、pMOSトランジスタP2とnMOSトランジスタN5との間には、ゲートにクロック信号CKを受けるnMOSトランジスタN4が直列に挿入される。ここで、pMOSトランジスタP2とnMOSトランジスタN4との接続ノードから得られる出力電位は出力信号Qである。

## 【0009】

また、インバータ回路INV3、INV4により構成されるラッチ回路はノードX1に接続され、インバータ回路INV5、INV6により構成されるラッチ回路は出力信号Qを出力するpMOSトランジスタのドレインに接続される。

## 【0010】

次に、上記構成のスキラン付きフリップフロップ回路において動作を説明する。

## 【0011】

まず、テスト選択信号SCANがローレベル、すなわち、データ信号Dが選択されているときについて説明する。

## 【0012】

クロック信号CKがローレベルの期間には、pMOSトランジスタP1がオンすることによりノードX1の電位はハイレベルとなる。このとき、nMOSトランジスタN4及びpMOSトランジスタP2がカットオフされるため、出力信号Qは以前の値に保持される。

## 【0013】

続いて、クロック信号CKがハイレベルに遷移する時、ノードCKDの電位は直ちにハイレベルには遷移せず、インバータ回路INV1、INV2による遅延時間の後にハイレベルに遷移する。クロック信号CKがハイレベルであり、且つノードCKDの電位がローレベルの期間（以下、評価期間と呼ぶ）はnMOSトランジスタN1がオン状態となる為、この期間にデータ信号Dがハイレベルであれば、ノードX1はハイレベルからローレベルに遷移し、pMOSトランジスタP2により出力信号Qがハイレベルに遷移する。評価期間に入力信号Dがローレベルであれば、ノードX1はハイレベルのままであり、nMOSトランジスタN4及びN5によって出力信号Qがローレベルに遷移する。

## 【0014】

続いて、クロック信号CKがハイレベルであり、且つノードCKDの電位がハイレベルの状態（以下、保持期間と呼ぶ）に移行するが、このときノードX1の電位がハイレベルであれば、2入力NAND回路ND1によりnMOSトランジスタN1はカットオフされるので、データ信号Dの値に影響されることなく、インバータ回路INV3及びINV4により、そのハイレベル電位が保持される。ノードX1がローレベルで保持期間に入った場合、pMOSトランジスタP1がカットオフされている為、入力信号Dの値に関係なくインバータ回路INV3及びINV4によりノードX1の電位はローレベルを保持する。

## 【0015】

通常、インバータ回路はMOSトランジスタを2個、2入力NAND回路は4個のMOSトランジスタにより構成されるので、図11に示す従来例1のフリップフロップ回路は合計28個のMOSトランジスタにより構成される。

## 【0016】

また、図12は、同じくSDFと呼ばれるスキャン付きフリップフロップ回路の別の構成例（以下、従来例2と呼ぶ）である。ここでは、図11と同じ構成については同じ符号を付して、その説明を省略する。

## 【0017】

図12では、図11に示したスキャン付きフリップフロップと同じ機能を有するが、図11において、ノードX1（図12においてはノードn1に相当する）の電位を保持期間においてハイレベルに保持するために設けられていたnMOSトランジスタN1及びNAND回路ND1を削除し、代わりに2入力のAND回路の出力とテスト選択信号SCANとが入力されるORインバータ回路とからなるアンドオアインバータ回路AOI1、及び、同じく2入力のAND回路の出力とテスト選択信号SCANをインバータ回路INV7により反転させた信号とが入力されるORインバータ回路とからなるAOI2を加えた点において異なっている。すなわち、データ信号Dがローレベルの状態において、クロック信号CKがローレベルからハイレベルに立ち上がった場合、保持期間ではノードCKDの電位はローレベルからハイレベルに遷移するので、テスト選択信号SCANの値に関らず、nMOSトランジスタN20及びN22はカットオフされる。したがって、データ信号Dの値に関係せず、ノードX1の電位はハイレベルに保持され、図11におけるnMOSトランジスタN1と同様の機能を有する。

## 【0018】

ここで、アンドオアインバータ回路は通常MOSトランジスタ6個で構成されるため、図12に示した回路は合計35個のMOSトランジスタにより構成される。

【特許文献1】米国特許第5898330号明細書

【発明の開示】

【発明が解決しようとする課題】

## 【0019】

しかしながら、上記図11に示す従来のスキャン付きフリップフロップでは、ノードX1からグランドまでの間にデータ信号Dにより動作するトランジスタはnMOSトランジスタN1、N20、M21及びN3の4個が直列に並んでおり、ノードX1の電位の遷移において遅延時間が大きくなるという問題があった。

## 【0020】

また、このトランジスタを1つ削減し、上記遅延時間を低減した図12に示す従来のフリップフロップにおいては、同一機能を保つために追加したアンドオアインバータ回路AOI1及びAOI2によりトランジスタ数が増加し、全体に使用するMOSトランジスタ数が多くなってしまったという問題があった。

## 【0021】

本発明は上記問題を解決するものであり、その目的は、データ入力時の信号伝達を行う直列のトランジスタ数の信号伝達経路のトランジスタ数を削減することにより動作速度の高速化を図ると共に、総トランジスタ数の削減を図ることにある。

## 【課題を解決するための手段】

## 【0022】

前記目的を達成するために、本発明では、データ信号入力時とテスト信号入力時とを選択する選択回路において、データ信号を入力する側の直列トランジスタ（ディスチャージトランジスタ）数を削減して高速化を図ると共に、高速動作をさせる必要のないテスト信号入力側については、前記直列トランジスタの削減を行わず、前記削減に伴う不要なトランジスタ数の増加を抑制する。

## 【0023】

すなわち、請求項1記載の発明のスキラン付きフリップフロップは、複数のnMOSトランジスタを備え、クロック信号と、データ信号と、テスト入力信号と、テスト選択信号とからなる第1の論理情報が入力され、前記第1の論理情報に基づく第2の論理情報を出力する入力部と、少なくとも前記第2の論理情報に基づく情報が入力され、前記第2の論理情報に基づく信号を出力する出力部と、前記入力部が前記第1の論理情報から前記第2の論理情報を生成するための制御信号を前記入力部に入力する制御部と、前記第2の論理情報を前記入力部から前記出力部へ伝達する第1のノードとを備えるフリップフロップであり、前記入力部は、前記クロック信号がローレベルからハイレベルに遷移するときに、前記第1の論理情報のうち、前記データ信号又は前記テスト入力信号の何れを有効にして前記第2の論理情報を生成するのかを前記テスト選択信号に基づいて選択する選択部を有すると共に、前記クロック信号がローレベルのときに、前記第2の論理情報をハイレベルの信号として前記第1のノードに出力し、前記入力部において、前記第1のノードがハイレベルからローレベルに遷移する際に電流が流れる経路に含まれる前記nMOSトランジスタの数が、前記データ信号が選択されたときの方が、前記テスト入力信号が選択されたときよりも少ないことを特徴とする。

## 【0024】

請求項2記載の発明は、請求項1記載のスキラン付きフリップフロップにおいて、前記入力部は、第1に、前記制御部と第1、第2及び第3のノードを介して接続され、更に第2に、前記クロック信号がローレベルのとき、前記第1のノードにハイレベルを出力し、更に第3に、前記データ信号がハイレベルの場合において、前記テスト選択信号がローレベルであり、且つ前記クロック信号がローレベルである第1の状態から、前記テスト選択信号がローレベルであり、且つ前記クロック信号がハイレベルである第2の状態に入力状態が移行したとき、前記第3のノードの電位がハイレベルであれば、所定時間内に前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第2の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第1のノードの電位をローレベルに保持し、更に第4に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に入力状態が移行したとき、前記第1のノードの電位をハイレベルの状態とし、前記所定時間以上経過後に、前記第2及び第3のノードの電位がハイレベルからローレベルへ遷移すれば、前記第2の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第1のノードの電位をハイレベルに保持し、更に第5に、前記テスト入力信号がハイレベルの場合において、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がローレベルである第3の状態から、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がハイレベルである第4の状態に移行したとき、前記第2のノードの電位がハイレベルであれば、前記所定時間内に前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第4の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第1のノードの電位をローレベルに保持し、更に第6に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、前記第3のノードの電位がローレベルであれば、前記第1のノードの電位をハイレベルの状態とし、前記所定時間以上経過後に、前記第2のノードの電位がハイレベルからローレベルへ遷移すれば、前記第4の状態を維持する間は、前記データ信号及び前記テスト入力信号のレベルに関係なく、前記第1のノードの電位をハイレベルに保持し、前記制御部は、前記データ信号がローレ

ベルの場合において、前記第 1 の状態から前記第 2 の状態に移行したとき、前記第 2 及び第 3 のノードの電位を、前記所定時間以上経過後に、ハイレベルからローレベルに遷移させ、更に、前記テスト入力信号がローレベルの場合において、前記第 3 の状態から前記第 4 の状態に移行したとき、前記第 2 のノードの電位を、前記所定時間以上経過後に、ハイレベルからローレベルに遷移させ、前記第 3 のノードの電位をローレベルのままとし、前記出力部は、前記クロック信号がハイレベルのときは前記第 1 のノードに現れる信号を反転させた信号を出力信号として出力し、更に、前記クロック信号がローレベルのときは以前の信号のレベルを保持することを特徴とする。

#### 【0025】

請求項 3 記載の発明は、請求項 1 記載のスキラン付きフリップフロップにおいて、前記入力部は、第 1 に、前記制御部と第 1、第 2 及び第 3 のノードを介して接続され、更に第 2 に、前記クロック信号がローレベルのとき、前記第 1 のノードにハイレベルを出力し、更に第 3 に、前記データ信号がハイレベルの場合において、前記テスト選択信号がローレベルであり、且つ前記クロック信号がローレベルである第 1 の状態から、前記テスト選択信号がローレベルであり、且つ前記クロック信号がハイレベルである第 2 の状態に移行したとき、前記第 3 のノードがハイレベルであれば、前記第 1 のノードの電位をハイレベルからローレベルへ遷移させ、前記第 2 の状態を維持する間は、前記データ信号及び前記テスト入力信号の状態に関係なく、前記第 1 のノードの電位をローレベルに保持し、更に第 4 に、前記データ信号がローレベルの場合において、前記第 1 の状態から前記第 2 の状態に移行したとき、前記第 1 のノードの電位をハイレベルに保持し、更に第 5 に、前記テスト入力信号がハイレベルの場合において、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がローレベルである第 3 の状態から、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がハイレベルである第 4 の状態に移行したとき、前記第 2 のノードがハイレベルであれば、前記第 1 のノードの電位をハイレベルからローレベルへ遷移させ、前記第 4 の状態を維持する間は、前記データ信号及び前記テスト入力信号の電位に関係なく、前記第 1 のノードの電位をローレベルに保持し、更に第 6 に、前記テスト入力信号がローレベルの場合において、前記第 3 の状態から前記第 4 の状態に移行したとき、前記第 3 のノードがローレベルであれば、前記第 1 のノードの電位をハイレベルに保持し、前記制御部は、第 1 に、前記データ信号がハイレベルの場合において、前記第 1 の状態から前記第 2 の状態に移行したとき、ハイレベルからローレベルに遷移する前記第 1 のノードの電位変化を受けて前記第 2 及び第 3 のノードの電位をハイレベルに保持し、更に第 2 に、前記データ信号がローレベルの場合において、前記第 1 の状態から前記第 2 の状態に移行したとき、ハイレベルを維持する前記第 1 のノードの信号を受けて前記第 2 及び第 3 のノードの電位をハイレベルからローレベルへ遷移させ、更に第 3 に、前記テスト入力信号がハイレベルの場合において、前記第 3 の状態から前記第 4 の状態に移行したとき、ハイレベルからローレベルに遷移する前記第 1 のノードの電位変化を受けて前記第 2 及び第 3 のノードの電位をハイレベルに保持し、更に第 4 に、前記テスト入力信号がローレベルの場合において、前記第 3 の状態から前記第 4 の状態に移行したとき、ハイレベルを維持する前記第 1 のノードの信号を受けて前記第 2 のノードの電位をハイレベルからローレベルへ遷移させると共に、前記第 3 のノードの電位をローレベルのままとし、前記出力部は、前記クロック信号がハイレベルのときは前記第 1 のノードに現れる信号を反転させた信号を出力信号として出力し、更に、前記クロック信号がローレベルのときは以前の信号のレベルを保持することを特徴とする。

#### 【0026】

請求項 4 記載の発明は、請求項 1 記載のスキラン付きフリップフロップにおいて、前記入力部と前記制御部とは第 1、第 2 及び第 3 のノードを介して接続され、前記制御部と前記出力部とは第 4 及び第 5 のノードを介して接続され、また、前記入力部は、第 1 に、前記クロック信号がローレベルのとき、前記第 1 のノードにハイレベルを出力し、更に第 2 に、前記データ信号がハイレベルの場合において、前記テスト選択信号がローレベルであり、且つ前記クロック信号がローレベルである第 1 の状態から、前記テスト選択信号がロ

ーレベルであり、且つ前記クロック信号がハイレベルである第2の状態に移行したとき、前記第3のノードがハイレベルであれば、前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第2の状態を維持する間は、前記データ信号及び前記テスト入力信号の電位に関係なく、前記第1のノードの電位をローレベルに保持し、更に第3に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、前記第1のノードの電位をハイレベルに保持し、更に第4に、前記テスト入力信号がハイレベルの場合において、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がローレベルである第3の状態から、前記テスト選択信号がハイレベルであり、且つ前記クロック信号がハイレベルである第4の状態に移行したとき、前記第2のノードがハイレベルであれば、前記第1のノードの電位をハイレベルからローレベルへ遷移させ、前記第4の状態を維持する間は、前記データ信号及び前記テスト入力信号の電位に関係なく、前記第1のノードの電位をローレベルに保持し、更に第5に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、前記第3のノードがローレベルであれば、前記第1のノードの電位をハイレベルに保持し、前記制御部は、第1に、前記データ信号がハイレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの信号を受け、前記第2及び第3のノードの電位をハイレベルに保持すると共に、前記第4のノードの電位をハイレベルに保持し、前記第5のノードの電位をローレベルからハイレベルに遷移させ、更に第2に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受け、前記第2及び第3のノードの電位をハイレベルからローレベルへ遷移させると共に、前記第4のノードの電位をハイレベルからローレベルへ遷移させ、前記第5のノードの電位をローレベルに維持し、更に第3に、前記テスト入力信号ハイレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの信号を受け、前記第2のノードの電位をハイレベルに保持すると共に、前記第3のノードの電位をローレベルのままとし、更に、前記第4のノードの電位をハイレベルに保持し、前記第5のノードの電位をローレベルからハイレベルに遷移させ、更に第4に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受け、前記第2のノードの電位をハイレベルからローレベルへ遷移させると共に、前記第3のノードの電位をローレベルのままとすると共に、前記第4のノードの信号をハイレベルからローレベルへ遷移させ、前記第5のノードの電位をローレベルに保持し、前記出力部は、第1に、前記第4及び第5のノードからハイレベルの信号を受けたとき、ハイレベルの出力信号及びローレベルの反転出力信号を出力し、更に第2に、前記第4及び第5のノードからローレベルの信号を受けたとき、ローレベルの出力信号及びハイレベルの反転出力信号を出力し、更に第3に、前記第4のノードにハイレベル、前記第5のノードにローレベルの信号を受けたとき、出力信号及び反転出力信号のレベルを以前のレベルに保持することを特徴とする。

#### 【0027】

請求項5記載の発明は、請求項1記載のスキャン付きフリップフロップにおいて、前記データ信号が選択されたときのnMOSトランジスタの数は3個であり、前記テスト入力信号が選択されたときのnMOSトランジスタの数は4個であることを特徴とする。

#### 【0028】

請求項6記載の発明は、請求項1記載のスキャン付きフリップフロップにおいて、前記データ信号が選択されたときのnMOSトランジスタの数は2個であり、前記テスト入力信号が選択されたときのnMOSトランジスタの数は3個であることを特徴とする。

#### 【0029】

請求項7記載の発明は、請求項2又は3記載のスキャン付きフリップフロップにおいて、前記制御部は、第1に、前記データ信号がハイレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノ

10

20

30

40

50

ードの電位変化を受けて、ハイレベルの信号を前記第5のノードに出力し、更に第2に、前記データ信号がローレベルの場合において、前記第1の状態から前記第2の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受けて、ローレベルの信号を前記第5のノードに出力し、更に第3に、前記テスト入力信号がハイレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルからローレベルに遷移する前記第1のノードの電位変化を受けて、ハイレベルの信号を前記第5のノードに出力し、更に第4に、前記テスト入力信号がローレベルの場合において、前記第3の状態から前記第4の状態に移行したとき、ハイレベルを維持する前記第1のノードの信号を受けて、ローレベルの信号を前記第5のノードに出力し、更に第5に、前記第4のノードの反転信号が伝播される第6のノードを内部に備え、また、前記第6のノードと前記第2のノードとの間に前記第6のノードの反転信号を前記第2のノードに伝播するインバータ回路を備え、更に、前記第6のノードの信号と前記テスト選択信号とが入力され、それらのNOR論理演算の結果を前記第3のノードに出力する2入力NOR回路とを備えることを特徴とする。

10

#### 【0030】

請求項8記載の発明は、請求項7記載のスキラン付きフリップフロップにおいて、前記2入力NOR回路は、1個が電源電位に接続された2個のpMOSトランジスタの直列回路と接地電位に接続された2個のnMOSトランジスタの並列回路との直列接続からなり、前記インバータ回路はCMOSインバータであって、前記2入力NOR回路の有する電源電位に接続される1個のpMOSトランジスタと、前記CMOSトランジスタの有するpMOSトランジスタとを1つのpMOSトランジスタとして共用することを特徴とする。

20

#### 【0031】

請求項9記載の発明の半導体装置は、請求項1～8の何れか1項に記載の前記スキラン付きフリップフロップと、前記スキラン付きフリップフロップに入力する前記データ信号を生成するデータ信号生成回路とを備え、前記データ信号生成回路は、前記スキラン付きフリップフロップに隣接して配置されていることを特徴とする。

#### 【0032】

請求項10記載の発明の半導体装置の製造方法は、請求項1～9の何れか1項に記載の前記スキラン付きフリップフロップを配置する第1の工程と、前記スキラン付きフリップフロップのデータ信号を生成するデータ信号生成回路を前記スキラン付きフリップフロップに隣接して配置する第2の工程と、前記データ信号生成回路以外の他の回路を配置する第3の工程と、前記スキラン付きフリップフロップのデータ信号を優先して配線する第4の工程とを有することを特徴とする。

30

#### 【0033】

以上により、請求項1～4の何れか1項に記載の発明では、テスト選択信号によりデータ信号が選択されたときと、テスト入力信号が選択されたときにおいて、第1のノードの電位をハイレベルからローレベルへ変化させる際に電流が流れる経路に含まれるnMOSトランジスタの数が異なることにより、データ信号又はテスト入力信号のどちらか一方の信号が選択されたときにのみ遅延時間を短縮し、動作の高速化が図れると共に、もう一方の信号が選択された場合においては、不要に高速化を図らず、回路規模を小さく抑えてMOSトランジスタの数を削減する。すなわち、高速化と回路規模の低減とを同時に実現することが可能となる。

40

#### 【0034】

また、請求項1記載の発明では、データ信号が選択されたときの方が前記テスト入力信号が選択されたときに比べて、第1のノードの電位をハイレベルからローレベルに変化させる際に電流が流れる経路に含まれるnMOSトランジスタの数が少ないので、この構造により、通常高速動作が要求されないテスト入力信号が選択されたときの動作に対して、データ信号が選択されたときの動作を速くすることにより、高速動作を実現すると共に、MOSトランジスタ数を削減することが可能となる。

50

## 【0035】

更に、請求項5記載の発明では、第1のノードの電位をハイレベルからローレベルに移させる際に電流が流れる経路に含まれるnMOSトランジスタの数を、テスト選択信号で切替えて選択することにより、データ信号が選択されたときには3個、また、テスト入力信号が選択されたときには4個とし、同様に、請求項6記載の発明では、データ信号が選択されたときには2個、また、テスト入力信号が選択されたときには3個とするので、このような構成により、通常高速動作が要求されないテスト入力信号が選択されたときに対して、データ信号が選択されたときの動作を速くすることで、高速動作を実現すると共に、MOSトランジスタの数を削減することが可能となる。

## 【0036】

続いて、請求項8記載の発明では、2入力のNOR回路と、第2のノードに信号を出力するインバータ回路とを構成する際、電源電位に繋がるpMOSトランジスタを共用するので、その分、MOSトランジスタの数を削減することが可能となる。

## 【0037】

また、請求項9記載の発明では、スキャン付きフリップフロップに入力するデータ信号を生成する回路をスキャン付きフリップフロップに隣接させて配置するので、データ信号に加わるノイズを小さくすることができ、半導体装置を安定して動作させることが可能となる。

## 【0038】

更に、請求項10記載の発明では、スキャン付きフリップフロップを配置する第1の工程と、スキャン付きフリップフロップのデータ信号を生成するデータ信号生成回路をスキャン付きフリップフロップに隣接させて配置する第2の工程と、データ信号生成回路以外の他の回路を配置する第3の工程と、スキャン付きフリップフロップのデータ信号を優先して配線する第4の工程とを有するので、データ信号に加わるノイズを小さくでき、安定して動作する半導体装置を製造することが可能となる。

## 【発明の効果】

## 【0039】

以上説明したように、請求項1～4の何れか1項に記載の発明によれば、テスト選択信号によりデータ信号が選択されたときと、テスト入力信号が選択されたときにおいて、第1のノードの電位をハイレベルからローレベルへ変化させる際に電流が流れる経路に含まれるnMOSトランジスタの数が異なることにより、データ信号又はテスト入力信号のどちらか一方の信号が選択されたときにのみ遅延時間を短縮し、動作の高速化が図れると共に、もう一方の信号が選択された場合においては、不要に高速化を図らず、回路規模を小さく抑えてMOSトランジスタの数を削減でき、高速化と回路規模の低減とを同時に実現することが可能となる。

## 【0040】

また、請求項1記載の発明によれば、データ信号が選択されたときの方が前記テスト入力信号が選択されたときに比べて、第1のノードの電位をハイレベルからローレベルに変化させる際に電流が流れる経路に含まれるnMOSトランジスタの数が少ないので、この構造により、通常高速動作が要求されないテスト入力信号が選択されたときの動作に対して、データ信号が選択されたときの動作を速くすることにより、高速動作を実現すると共に、MOSトランジスタ数を削減することが可能となる。

## 【0041】

更に、請求項5記載の発明によれば、第1のノードの電位をハイレベルからローレベルに移させる際に電流が流れる経路に含まれるnMOSトランジスタの数を、テスト選択信号で切替えて選択することにより、データ信号が選択されたときには3個、また、テスト入力信号が選択されたときには4個とし、同様に、請求項6記載の発明によれば、データ信号が選択されたときには2個、また、テスト入力信号が選択されたときには3個とするので、このような構成により、通常高速動作が要求されないテスト入力信号が選択されたときに対して、データ信号が選択されたときの動作を速くすることで、高速動作を実現

すると共に、MOSトランジスタの数を削減することが可能となる。

【0042】

続いて、請求項8記載の発明によれば、2入力のNOR回路と、第2のノードに信号を出力するインバータ回路とを構成する際、電源電位に繋がるpMOSトランジスタを共用するので、その分、MOSトランジスタの数を削減することが可能となる。

【0043】

また、請求項9記載の発明によれば、スキャン付きフリップフロップに入力するデータ信号を生成する回路をスキャン付きフリップフロップに隣接させて配置するので、データ信号に加わるノイズを小さくすることができ、半導体装置を安定して動作させることが可能となる。

10

【0044】

更に、請求項10記載の発明によれば、スキャン付きフリップフロップを配置する第1の工程と、スキャン付きフリップフロップのデータ信号を生成するデータ信号生成回路をスキャン付きフリップフロップに隣接させて配置する第2の工程と、データ信号生成回路以外の他の回路を配置する第3の工程と、スキャン付きフリップフロップのデータ信号を優先して配線する第4の工程とを有するので、データ信号に加わるノイズを小さくでき、安定して動作する半導体装置を製造することが可能となる。

【発明を実施するための最良の形態】

【0045】

以下、本発明の実施の形態のスキャン付きフリップフロップおよび半導体装置および半導体装置の製造方法を図面に基づいて説明する。

20

【0046】

(第1の実施の形態)

先ず、本発明の第1の実施の形態を説明する。

【0047】

図1は本実施の形態のスキャン付きフリップフロップを示す回路図であり、図2はその動作を示すタイミングチャートである。

【0048】

図1において、Dはデータ信号、CKはクロック信号、SIはテスト入力信号、SCANはテスト選択信号（データ信号、クロック信号、テスト入力信号、テスト選択信号の第1の論理情報）、Qは出力信号、VDDはVDD電源、GNDはGND電位を示す。

30

【0049】

AOI1は2入力のAND回路の出力とテスト選択信号SCANとのNOR論理の演算結果を出力するアンドオア回路、ND1は2入力のNAND回路、また、N20～N24はnMOSトランジスタであり、nMOSトランジスタN20及びN21による直列接続と、nMOSトランジスタN22、N23及びN24による直列接続とが並列に接続されてセレクト回路S1が構成される。

【0050】

P1はソースにVDD電源が接続されたpMOSトランジスタ、N3はソースにGND電位が接続されたnMOSトランジスタであり、それぞれのゲートにはクロック信号CKが入力される。このpMOSトランジスタP1のドレインと、nMOSトランジスタN3のドレインとの間に上記セレクト回路S1が挿入される。ここで、pMOSトランジスタP1のドレインとnMOSトランジスタN1のドレインとの接続ノードは第1のノードX1である。このノードX1には、インバータ回路INV3、INV4により構成されるラッチ回路がインバータ回路INV3の出力端子において接続され、これにより、ノードX1の電位はラッチされる。

40

【0051】

アンドオアインバータ回路AOI1は、このノードX1が一方の入力端子に接続され、他方の入力端子には、クロック信号CKを2個のインバータ回路INV1及びINV2により遅延させた信号が入力される。ここで、インバータ回路INV2の出力端子とアンド

50

オアインバータ回路A O I 1との接続をノードC K Dとする。

【0052】

セクタ回路S 1には、nMOSトランジスタN 2 0のゲートに上記アンドオアインバータ回路A O I 1の出力端子が接続され、nMOSトランジスタN 2 3のゲートにはテスト選択信号が入力される。また、nMOSトランジスタN 2 1のゲートにはデータ信号Dが入力され、nMOSトランジスタN 2 4のゲートにはテスト入力信号S Iが入力される。これにより、アンドオアインバータ回路のAND回路に入力される2信号が共にハイレベルとなる場合以外は、このアンドオアインバータ回路はテスト選択信号S C A Nに対してインバータ回路として働くので、テスト選択信号S C A Nがハイレベルのときは、nMOSトランジスタN 2 0はオフ、N 2 3はオンとなることにより、セクタ回路S 1はデータ信号Dに対して働き、これによってノードX 1からnMOSトランジスタN 2 0、N 2 1、N 3を経てGND電位に至る電流の経路はカットオフされる。また、テスト選択信号S C A Nがローレベルのときは、nMOSトランジスタN 2 0はオン、N 2 3はオフとなることにより、セクタ回路S 1はテスト入力信号S Iに対して働き、ノードX 1からnMOSトランジスタN 2 2、N 2 3、N 2 4及びN 3を経てGND電位に至る電流の経路はカットオフされる。また、アンドオアインバータ回路A O I 1のAND回路に入力される2信号が共にハイレベルであるときには、アンドオアインバータ回路A O I 1の出力信号はテスト選択信号S C A Nの値に関わらず、常にローレベルとなり、nMOSトランジスタN 2 0をカットオフする。更に、このセクタ回路S 1のnMOSトランジスタN 2 2のゲートには2入力のNAND回路N D 1の出力端子が接続される。これにより、NAND回路N D 1の2入力信号が共にハイレベルであるときはローレベルの信号を出力することによりnMOSトランジスタN 2 2をオフにし、2入力信号がそれ以外の組合せの場合には、ハイレベルの信号を出力することによりnMOSトランジスタN 2 2をオン状態とする。以上のように、pMOSトランジスタP 1及び6個のnMOSトランジスタN 2 0～N 2 4、N 3からなる入力部11の動作が、アンドオアインバータ回路A O I 1、遅延回路を構成するインバータ回路I N V 1及びI N V 2、ラッチ回路を構成するインバータ回路I N V 3及びI N V 4、更に、NAND回路N D 1とからなる制御部21により制御される。

【0053】

更に、ノードX 1は、ソースがVDD電源に接続されたpMOSトランジスタP 2のゲートと、ソースがGND電位に接続されたnMOSトランジスタN 5のゲートとに接続される。また、pMOSトランジスタP 2とnMOSトランジスタN 5との間には、ゲートにクロック信号C Kを受けるnMOSトランジスタN 4が直列に挿入される。ここで、pMOSトランジスタP 2とnMOSトランジスタN 4との接続ノードから得られる電位はフリップフロップ回路の出力信号Qとなる。この出力信号Qは、インバータ回路I N V 5、I N V 6により構成され、pMOSトランジスタP 2のドレインに接続されるラッチ回路によりラッチされる。この構成により、クロック信号C Kがハイレベルのとき、nMOSトランジスタN 4がオンして、pMOSトランジスタP 2及びnMOSトランジスタN 5はノードX 1の電位（第2の論理情報）を反転した出力信号Qを出力するCMOSインバータとして働く。また、クロック信号C Kがローレベルのとき、nMOSトランジスタN 4がオフとなるので、ノードX 1の電位がハイレベルであれば、出力信号Qの値はインバータ回路I N V 5及びI N V 6からなるラッチ回路によりそれ以前の値が保持され、ノードX 1の電位がローレベルであれば、pMOSトランジスタP 2がオンすることにより、出力信号Qはハイレベルになる。このように、pMOSトランジスタP 2、nMOSトランジスタN 4、N 5、インバータ回路I N V 5、I N V 6とからなる出力部31は、ノードX 1に基づく信号Qを出力する。

【0054】

次に、上記構成のスキラン付きフリップフロップ回路において図2のタイミングチャートを用いて動作説明する。

【0055】

先ず、テスト選択信号SCANがローレベルであり、出力信号Qがデータ信号Dに依存して決まるときについて説明する（図2中のt1～t7の期間）。

【0056】

クロック信号CKがローレベルの期間（図2中のt1、t4、及びt7の期間に相当。第1の状態。）にはpMOSトランジスタP1がオンすることによりノードX1がハイレベルとなる。この時、nMOSトランジスタN4及びpMOSトランジスタP2がオフされる為、出力信号Qの電位は以前の値に保持される。

【0057】

次に、クロック信号CKがハイレベルに遷移する時、ノードCKDは直ちにハイレベルには遷移せず、インバータ回路INV1及びINV2によって生じる遅延時間だけ遅れてハイレベルに遷移する。クロック信号CKがハイレベル且つノードCKDがローレベルの期間（図2のt2、t5の期間に相当。第2の状態の初期。以下、評価期間と呼ぶ。）においては、アンドオアインバータ回路AOI1の出力はハイレベルとなり、nMOSトランジスタN20がオン状態となる為、この期間にデータ信号Dがハイレベルであれば、nMOSトランジスタN20、N21、N3を介して、ノードX1の電位はハイレベルからローレベルに変化する。これにより、pMOSトランジスタP2がオンして、出力信号Qはハイレベルに遷移する。一方、評価期間（所定時間）にデータ信号DがローレベルであればノードX1はハイレベルのままであり、nMOSトランジスタN4、N5によって出力信号Qがローレベルに遷移する。

【0058】

続いて、クロック信号CKがハイレベルであり、且つノードCKDがハイレベルの状態（図2中のt3、t6の期間に相当。第2の状態に移行してから所定時間以上経過後の状態。以下、保持期間と呼ぶ）に移行するが、このときノードX1がハイレベルであれば、アンドオアインバータ回路AOI1によりnMOSトランジスタN20はカットオフされるためデータ信号Dの値に影響されることなく、そのハイレベルの状態がインバータ回路INV3、INV4からなるラッチ回路により保持される。また、ノードX1がローレベルで保持期間に入った場合、pMOSトランジスタP1がカットオフされているため、データ信号Dの値に関係なくインバータ回路INV3、INV4からなるラッチ回路によりノードX1の電位はローレベルが保持される。

【0059】

次に、テスト選択信号SCANがハイレベルのとき、すなわち、テスト入力信号SIが選択される場合について説明する。（図2中のt11～t17の期間に相当）。

【0060】

クロック信号CKがローレベルの期間（図2中のt11、t14、t17の期間に相当。第3の状態。）にはpMOSトランジスタP1によりノードX1がハイレベルとなる。このとき、nMOSトランジスタN4およびpMOSトランジスタP2がカットオフされるため、出力信号Qは以前の値に保持される。続いて、評価期間（図2中のt12、t15の期間に相当。第4の状態に移行してから所定時間以内。）では、ノードCKDはローレベルであることから、NAND回路ND1の出力はハイレベルとなり、nMOSトランジスタN22がオン状態となるため、この期間にテスト入力信号SIがハイレベルであれば、ノードX1はハイレベルからローレベルに遷移し、pMOSトランジスタP2により出力信号Qがハイレベルに遷移する。一方、評価期間にテスト入力信号SIがローレベルであれば、ノードX1はハイレベルのままであり、オン状態であるnMOSトランジスタN4～N5によって出力信号がローレベルに遷移する。続いて、保持期間（図2中のt13、t16の期間に相当。第4の状態に移行してから所定時間以上経過後の状態。）に移行するが、このときノードX1がハイレベルであればNAND回路ND1の2つの入力と共にハイレベルとなることから、nMOSトランジスタN22はカットオフされるため、テスト入力信号SIの値に影響されることなく、ノードX1の電位はインバータ回路INV3及びINV4からなるラッチ回路によりハイレベルに保持される。一方、ノードX1がローレベルで保持期間に入った場合、pMOSトランジスタP1がカットオフされてい

るため、ノードX 1のローレベルは、テスト入力信号S Iの値に関係なくインバータ回路I N V 3及びI N V 4からなるラッチ回路によりローレベルが保持される。

#### 【0061】

通常、インバータ回路はM O Sトランジスタ2個、2入力N A N D回路は4個のM O Sトランジスタ、また、アンドオアインバータ回路は6個のM O Sトランジスタにより構成されるため、図1のフリップフロップは合計32個のM O Sトランジスタにより構成される。

#### 【0062】

以上に述べた通り、本実施の形態によると、図11の従来例1の回路に比べて、M O Sトランジスタ数は4個増加するが、データ信号が加わるn M O Sトランジスタの直列段数を4個から3個に削減でき、動作時の速度を向上することができる。動作時に比べて高速動作の要求されないテスト動作時には、テスト入力信号S Iが加わるn M O Sトランジスタの直列段数を4個に設定している為、図12の従来例2の回路に比べてM O Sトランジスタ35個から32個に削減することができる。以上のように、通常動作時の高速化と、回路面積の削減を同時に行うことができる。

#### 【0063】

(第2の実施の形態)

以下、本発明の第2の実施の形態のスキャン付きフリップフロップについて図面を参照しながら説明する。

#### 【0064】

図3は本実施の形態のスキャン付きフリップフロップを示す回路図であり、図4はその動作を示すタイミングチャートである。

#### 【0065】

図3に示すスキャン付きフリップフロップでは、入力側におけるp M O SトランジスタP 1及びn M O SトランジスタN 20～N 24、N 3による入力部11、並びに、出力側におけるp M O SトランジスタP 2、n M O SトランジスタN 4、N 5及びインバータ回路I N V 5、6によるラッチ回路からなる出力部31が、第1の実施の形態において図1に示したものと同様の構成となっているので、その説明を省略する。

#### 【0066】

本実施の形態では、5個のn M O SトランジスタN 20～24により構成されるセレクト回路S 1において、n M O SトランジスタN 20のゲート(図3では第3のノードX 3)及びN 22のゲート(図3では第2のノードX 4)へ入力される制御信号を生成する制御部22が、第1の実施の形態と異なる。以下、その構成を説明する。

#### 【0067】

N 6及びP 4は、トランスマッションゲートを構成するn M O Sトランジスタ及びp M O Sトランジスタであり、ソースがV D D電源に接続されたp M O SトランジスタP 3と第4のノードX 2において直列に接続される。ここで、p M O SトランジスタP 3のゲート及びn M O SトランジスタN 6のゲートにはクロック信号C Kが入力され、p M O SトランジスタP 4のゲートには第1のノードX 1が接続される。

#### 【0068】

インバータ回路I N V 3及びI N V 4は、第1の実施の形態と同様にラッチ回路を構成し、そのインバータ回路I N V 4の出力側は、前述のトランスマッションゲートを構成するn M O Sトランジスタのソースと接続される。また、反対のインバータ回路I N V 4の入力側はノードX 1に接続される。これにより、このインバータ回路I N V 3及びI N V 4からなるラッチ回路は、ノードX 1の電位をラッチすると共に、ノードX 1の反転電位をn M O SトランジスタN 6のソースに伝播する。

#### 【0069】

ノードX 2はインバータ回路I N V 1の入力端子に接続され、更にそのインバータ回路I N V 1と直列接続されるインバータ回路I N V 2を介して入力部11のn M O SトランジスタN 22のゲートに接続される。また、インバータ回路I N V 1の出力端子とインバ

10

20

30

40

50

ータ回路 I N V 2 の入力端子との接続ノード（第 6 のノード）は 2 入力 N O R 回路 N R 1 の一方の入力端子に接続される。この N O R 回路 N R 1 のもう一方の入力端子にはテスト選択信号 S C A N が入力され、出力端子は n M O S トランジスタ N 2 0 のゲートに接続される。

【0070】

n M O S トランジスタ N 2 1 のゲートにデータ信号 D が、また、n M O S トランジスタ N 2 3 のゲートにテスト選択信号 S C A N が、更に、n M O S トランジスタ N 2 4 のゲートにテスト入力信号 S I が入力されるのは、第 1 の実施の形態と同じである。

【0071】

上記構成により、テスト選択信号 S C A N がローレベルのとき、n M O S トランジスタ N 2 3 はオフとなり、ノード X 1 から n M O S トランジスタ N 2 2、N 2 3、N 2 4、N 3 を経て G N D 電位に至る電流の経路はカットオフされる。ここで、クロック信号 C K がハイレベル、N O R 回路 N R 1 の出力がハイレベルであれば、ノード X 1 の値はデータ信号 D の値によって決まる。よって、出力信号 Q もデータ信号 D に依存して決まる。また、テスト選択信号 S C A N がハイレベルのとき、N O R 回路 N R 1 の出力はローレベルとなるので、n M O S トランジスタ N 2 0 はオフとなり、ノード X 1 から n M O S トランジスタ N 2 0、N 2 1、N 3 を経て G N D 電位に至る電流の経路はカットオフされる。ここで、ノード X 1 の電位の値は、クロック信号 C K がハイレベルであり、且つノード X 4 の出力がハイレベルのとき、テスト入力信号 S I によって決まる。よって、出力信号 Q もテスト入力信号 S I に依存して決まる。

【0072】

以下、本実施の形態のスキャン付きフリップフロップの動作について、図 3 及び図 4 を参照して説明する。

【0073】

先ず、テスト選択信号 S C A N がローレベルであり、出力信号 Q がデータ信号 D に依存して決まるときについて説明する（図 4 中、t 1 ～ t 7 の期間に相当）。

【0074】

クロック信号 C K がローレベルの期間（図 4 中、t 1、t 4、t 7 の期間に相当。第 1 の状態。）には p M O S トランジスタ P 1 によりノード X 1 の電位がハイレベルに、p M O S トランジスタ P 3 によりノード X 2 の電位がハイレベルとなる。このとき、n M O S トランジスタ N 4 及び p M O S トランジスタ P 2 がカットオフされるため、出力信号 Q は以前の値に保持される。

【0075】

クロック信号 C K がハイレベル、且つ、ノード X 3 がハイレベルの期間（図 4 中の t 2、t 5 の期間に相当。第 2 の状態に移行してから所定時間以内。）は n M O S トランジスタ N 2 0 及び N 3 がオン状態となるため、この期間にデータ信号 D がハイレベルであれば、ノード X 1 の電位はハイレベルからローレベルへ遷移する。このとき、インバータ回路 I N V 4 の出力はローレベルからハイレベルに遷移する。よって、ノード X 2 及び X 3 の電位はハイレベルに保たれる（図 4 中の t 3 期間に相当。第 2 の状態に移行してから所定時間以上経過後の状態。）。このとき、ノード X 1 がローレベルになるので、p M O S トランジスタ P 2 がオンになり、出力信号 Q がハイレベルに遷移する。入力端子 D がローレベルであれば、ノード X 1 はハイレベルのままであり、また、インバータ回路 I N V 4 の出力もローレベルのままであり、更に、n M O S トランジスタ N 6 がオンである為ノード X 3 がローレベルに遷移する。このとき、n M O S トランジスタ N 4 及び N 5 がオンすることによって出力信号 Q がローレベルに遷移する。

【0076】

クロック信号 C K がハイレベルで、且つ、ノード X 3 がローレベルの状態（図 4 中の t 6 の期間に相当。第 2 の状態に移行してから所定時間以上経過後の状態。）に移行すると、n M O S トランジスタ N 2 0 はカットオフされる為、データ信号 D の値に影響されことなく、インバータ回路 I N V 3 及び I N V 4 の構成するラッチ回路によりノード X 1 の

レベルが保持される。また、クロック信号C Kがハイレベルで、且つ、ノードX 1がローレベルの場合、pMOSトランジスタP 1がカットオフされている為、データ信号Dの値に関係なくインバータ回路I N V 3及びI N V 4の構成するラッチ回路によりノードX 1はローレベルを維持する。

#### 【0077】

次に、テスト選択信号S C A Nがハイレベルであり、出力信号Qがテスト入力信号S Iに依存して決まる場合について説明する（図4のt 1 1～t 1 7の期間）。

#### 【0078】

クロック信号C Kがローレベルの期間（図4中のt 1 1、t 1 4、t 1 7期間に相当。第3の状態。）には、pMOSトランジスタP 1がオンすることによりノードX 1の電位がハイレベルに、また、pMOSトランジスタP 3がオンすることによりノードX 2の電位がハイレベルとなる。このとき、nMOSトランジスタN 4及びpMOSトランジスタP 2がカットオフされる為、出力信号Qは以前の値に保持される。

#### 【0079】

クロック信号C Kがハイレベル、且つ、ノードX 4の電位がハイレベルの期間（図4中、t 1 2、t 1 5の期間に相当。第4の状態に移行してから所定時間以内。）には、nMOSトランジスタN 2 2がオン状態となる為、この期間にテスト入力信号S Iがハイレベルであれば、ノードX 1の電位はハイレベルからローレベルに遷移する。このとき、インバータ回路I N V 4の出力はローレベルからハイレベルに遷移する。よって、ノードX 2及びX 3の電位はハイレベルに保たれる（図4中のt 1 3の期間に相当。第4の状態に移行してから所定時間以上経過後の状態。）。このとき、pMOSトランジスタP 2がオンになるので、出力信号Qがハイレベルに遷移する。一方、入力端子DがローレベルであればノードX 1の電位はハイレベルのままであり、インバータ回路I N V 4の出力もローレベルのままであり、nMOSトランジスタN 6がオン状態であるため、ノードX 2はハイレベルからローレベルに遷移する。そして、インバータ回路I N V 2の出力であるノードX 4がローレベルに遷移する。このとき、nMOSトランジスタN 4及びN 5によって出力信号Qがローレベルに遷移する。

#### 【0080】

クロック信号C Kがハイレベルで、且つ、ノードX 4がローレベルの状態（図4中のt 1 6の期間に相当。第4の状態に移行してから所定時間以上経過後の状態。）になると、nMOSトランジスタN 2 2はカットオフされるため、テスト入力信号S Iの値に影響されることなく、インバータ回路I N V 3及びI N V 4によりノードX 1のレベルが保持される。クロック信号C Kがハイレベルであり、且つ、ノードX 1の電位がローレベルの場合、pMOSトランジスタP 1がカットオフされているため、テスト入力信号S Iの値に関係なくインバータ回路I N V 3及びI N V 4によりノードX 1の電位はローレベルを維持する。

#### 【0081】

通常、インバータ回路はMOSトランジスタ2個、2入力NOR回路は4個のMOSトランジスタにより構成されるため、図3に示す本実施の形態のスキラン付きフリップフロップは合計29個のMOSトランジスタにより構成される。

#### 【0082】

以上に述べたとおり、本実施の形態によると、図11の従来例1の回路図に比べて、MOSトランジスタ数は1個増加するが、データ信号Dが加わるnMOSトランジスタの直列段数を4個から3個に削減でき、動作時の速度を向上させることができる。動作時に比べ、高速動作の要求されないテスト動作時には、テスト入力信号S Iが加わるnMOSトランジスタの直列段数を4個に設定しているため、図12の従来例2の回路に比べて、MOSトランジスタ数を35個から29個に、6個削減することができる。このように、通常動作時の高速化と、回路面積の削減とを同時に行うことができる。

#### 【0083】

（第3の実施の形態）

図5は本実施の形態のスキャン付きフリップフロップを示す回路図であり、図6はその動作を示すタイミングチャートである。尚、本実施の形態では、第1及び第2の実施の形態において図1及び図3に示した回路図と同一の回路を構成する素子については同一の符号を付し、その説明を省略する。

#### 【0084】

本実施の形態では、pMOSトランジスタP1、nMOSトランジスタN3、N20～N24からなる入力部12は、nMOSトランジスタN20～N24からなるセクタ回路S1がnMOSトランジスタN3とGND電位との間に接続されている点において第2の実施の形態と異なる。

#### 【0085】

また、図3において、pMOSトランジスタP3に直列接続されてトランスマッションゲートを構成していたnMOSトランジスタN6及びpMOSトランジスタP4は、本実施の形態における図5の回路では、nMOSトランジスタN6のみがpMOSトランジスタP3と直列接続され、クロック信号CKの値を反転して第4のノードX2に出力するCMOSインバータの構成となり、pMOSトランジスタP4は、ソースがVDD電源に接続されてドレインがノードX2に接続されて制御部23を構成する。

#### 【0086】

更に、図1及び図3において、pMOSトランジスタP2、nMOSトランジスタN4、N5、インバータ回路INV5、INV6から構成されていた出力部31の回路は、本実施の形態における図5では、ソースがVDD電源に接続されるpMOSトランジスタP2及びソースがGND電位に接続されるnMOSトランジスタN4による直列接続と、ソースがVDD電源に接続されるpMOSトランジスタP5、ソースがGND電位に接続されるnMOSトランジスタN8及びその間に挿入されるnMOSトランジスタN7とからなる直列接続と、インバータ回路INV5とにより構成される。ここで、pMOSトランジスタP2及びnMOSトランジスタN7のゲートにはノードX2が、また、pMOSトランジスタP5及びnMOSトランジスタN8のゲートには出力端子Qが接続される。更に、pMOSトランジスタP2及びnMOSトランジスタN4の接続ノードには、pMOSトランジスタP4のゲートと、インバータ回路INV5の入力端子と、pMOSトランジスタP5及びnMOSトランジスタN7の接続ノードと、反転出力信号を出力する反転出力信号端子NQとが接続される。そして、インバータ回路INV5の出力端子はpMOSトランジスタP5のゲート、すなわち、出力信号端子Qに接続される。このように、本実施の形態では出力部32が構成される。

#### 【0087】

上記の構成において、テスト選択信号SCANがローレベルのときnMOSトランジスタN23はオフとなり、第1のノードX1からnMOSトランジスタN3、N22、N23、N24を経てグラウンドGNDに至る電流の経路はカットオフされる。ここで、クロック信号CKがハイレベル、NOR回路NR1の出力であるノードX3がハイレベルであれば、ノードX1の値はデータ信号Dの値によって決まる。よって出力信号Q、反転出力信号NQもデータ信号Dに依存して決まる。また、テスト選択信号SCANがハイレベルのときNOR回路NR1はノードX3にローレベルの信号を出力するのでnMOSトランジスタN20はオフとなり、ノードX1からnMOSトランジスタN20、N21、N3を経てグラウンドGNDに至る電流の経路はカットオフされる。したがって、クロック信号CKがハイレベル、ノードX4の電位がハイレベルのとき、テスト入力信号SIによってノードX1の値が決まる。よって出力信号Q、反転出力信号NQもテスト入力信号SIに依存して決まる。

#### 【0088】

以下、本実施の形態のスキャン付きフリップフロップの動作について、図5及び図6を参照して説明を行う。

#### 【0089】

まず、テスト選択信号SCANがローレベルであり、出力信号Qがデータ信号Dに依存

10

20

30

40

50

して決まるときについて説明する（図6のt1～t7の期間）。

【0090】

クロック信号CKがローレベルの期間（図6中のt1, t4, t7の期間に相当。第1の状態。）にはpMOSトランジスタP1によりノードX1がハイレベルに、pMOSトランジスタP3によりノードX2がハイレベルとなる。この時、nMOSトランジスタN4およびpMOSトランジスタP2がカットオフされるため、出力信号Qはインバータ回路INV5、pMOSトランジスタP5、nMOSトランジスタN7、N8により以前の値に保持される。

【0091】

クロック信号CKがハイレベルかつノードX3がハイレベルの期間（図6中のt2, t5の期間に相当。第2の状態に移行してから所定時間以内。）はnMOSトランジスタN20がオン状態となるため、この期間にデータ信号DがハイレベルであればノードX1はハイレベルからローレベルに変化する。このときインバータ回路INV4の出力（第5のノード）はローレベルからハイレベルに遷移する。よってノードX2, X3はハイレベルに保たれる（図6中のt3の期間に相当第2の状態に移行してから所定時間以上経過後の状態。）。このときnMOSトランジスタN4がオンになり反転出力信号NQがローレベルに、出力信号Qがハイレベルに遷移する。入力端子DがローレベルであればノードX1はハイレベルのままであり、インバータ回路INV4の出力もローレベルのままであり、nMOSトランジスタN6がオンであるためノードX2はハイレベルからローレベルに遷移する。そしてNOR回路NR1の出力であるノードX3がローレベルに遷移する。このとき、pMOSトランジスタP2がオンになり、反転出力信号NQがハイレベル、出力信号Qがローレベルに遷移する。

【0092】

クロック信号CKがハイレベルでかつノードX3がローレベルの状態（図6中のt6の期間に相当。第2の状態に移行してから所定時間以上経過後の状態。）になると、nMOSトランジスタN20はカットオフされるためデータ信号Dの値に影響されことなく、インバータ回路INV3～INV4によりノードX1のレベルが保持される。クロック信号CKがハイレベルでかつノードX1がローレベルの場合、pMOSトランジスタP1がカットオフされているためデータ信号Dの値に関係なくインバータ回路INV3～INV4によりノードX1はローレベルを維持する。

【0093】

次に、テスト選択信号SCANがハイレベルであり、出力信号Qがテスト入力信号SIに依存して決まるときについて説明する（図6のt11～t17の期間）。

【0094】

クロック信号CKがローレベルの期間（図4中のt11, t14, t17の期間に相当。第3の状態。）にはpMOSトランジスタP1によりノードX1がハイレベルに、pMOSトランジスタP3によりノードX2がハイレベルとなる。この時、nMOSトランジスタN4およびpMOSトランジスタP2がカットオフされるため、インバータ回路INV5、pMOSトランジスタP5、nMOSトランジスタN7、N8により反転出力信号NQ、出力信号Qは以前の値に保持される。

【0095】

クロック信号CKがハイレベルかつノードX4がハイレベルの期間（図6中のt12, t15の期間に相当。第4の状態に移行してから所定時間以内。）はnMOSトランジスタN22がオン状態となるため、この期間にテスト入力信号SIがハイレベルであればノードX1はハイレベルからローレベルに変化する。このときインバータ回路INV4の出力はローレベルからハイレベルに遷移する。よってノードX2, X3はハイレベルに保たれる（図6中のt13の期間に相当。第4の状態に移行してから所定時間以上経過後の状態。）。このときnMOSトランジスタN4がオンになり反転出力信号NQがローレベル、出力信号Qがハイレベルに遷移する。入力端子DがローレベルであればノードX1はハイレベルのままであり、インバータ回路INV4の出力もローレベルのままであり、n

MOSトランジスタN 6がオンであるためノードX 2はハイレベルからローレベルに遷移する。そしてインバータ回路INV 2の出力であるノードX 4がローレベルに遷移する。このとき、pMOSトランジスタP 2がオンになり、反転出力信号NQがハイレベル、出力信号Qがローレベルに遷移する。

#### 【0096】

クロック信号CKがハイレベルでかつノードX 4がローレベルの状態（図6中のt 1 6の期間に相当。第4の状態に移行してから所定時間以上経過後の状態。）になると、nMOSトランジスタN 2 2はカットオフされるためテスト入力信号S Iの値に影響されことなく、インバータ回路INV 3～INV 4によりノードX 1のレベルが保持される。クロック信号CKがハイレベルでかつノードX 1がローレベルの場合、pMOSトランジスタP 1がカットオフされているためテスト入力信号S Iの値に関係なくインバータ回路INV 3～INV 4によりノードX 1はローレベルを維持する。

10

#### 【0097】

通常インバータ回路はMOSトランジスタ2個、2入力NOR回路は4個のMOSトランジスタより構成されるため、図5に示す本実施の形態のスキラン付きフリップフロップは合計29個のMOSトランジスタより構成される。

#### 【0098】

以上述べたとおり、本実施の形態によると、図11の従来例1の回路に比べMOSトランジスタ数は1個増加するが、データ信号が加わるnMOSトランジスタの直列段数を4個から3個に削減でき、動作時の速度を向上することができる。動作時に比べ高速動作の要求されないテスト動作時においては、テスト入力信号が加わるnMOSトランジスタの直列段数を4個に設定しているため図12の従来例2の回路に比べMOSトランジスタ数を35個から29個に、6個削減することができる。このように、通常動作時の高速化と、回路面積の削減を同時に行うことができる。

20

#### 【0099】

なお、本実施の形態において、クロック信号CKが入力されるnMOSトランジスタN 3はノードX 1に近い側に位置するが、グラウンドGNDに近い側に位置しても良い。また、nMOSトランジスタN 8の電流駆動力をpMOSトランジスタP 3に比べて1/5程度以下になるように小さく設定すればnMOSトランジスタN 7は削除することが可能である。このとき合計28個のMOSトランジスタでスキラン付きフリップフロップを構成可能である。

30

#### 【0100】

また、図5の例では、pMOSトランジスタP 4のゲートは反転出力端子NQに接続されているが、図6に示すように、ノードX 1に接続されていても良い。

#### 【0101】

（第4の実施の形態）

図8は本実施の形態のスキラン付きフリップフロップを示す回路図である。尚、本実施の形態では、第1～第3の実施の形態において図1、3、5に示した回路図と同一の回路を構成する素子については同一の符号を付し、その説明を省略する。

#### 【0102】

40

第3の実施の形態におけるインバータ回路INV 2は、本実施の形態ではpMOSトランジスタP 6及びnMOSトランジスタN 9によるCMOSインバータ回路とし、また、第3の実施の形態におけるNOR回路NR 1は、本実施の形態では、ソースがノードX 4に接続されたpMOSトランジスタP 7に、nMOSトランジスタN 10及びN 11の並列接続が直列に接続され、更に直列に接続されるpMOSトランジスタとして、インバータ回路INV 2のpMOSトランジスタP 6を共用した構成とし、pMOSトランジスタP 7のゲート及びnMOSトランジスタN 10のゲートにはテスト選択信号SCANが入力され、nMOSトランジスタN 11のゲートにはpMOSトランジスタP 6のゲートが接続される。また、pMOSトランジスタP 7のドレインは入力部12のnMOSトランジスタN 20のゲートに接続される。このように、本実施の形態では制御部24が構成さ

50

れる。

#### 【0103】

上記構成により、本実施の形態では第3の実施の形態に比べMOSトランジスタ数を1個、すなわち、図8においてpMOSトランジスタP6で共用するpMOSトランジスタ1個分を削減することができる。

#### 【0104】

以上により、本実施の形態によると、図11の従来例1の回路に比べMOSトランジスタ数が同じで、データ信号が加わるnMOSトランジスタの直列段数を4個から3個に削減でき、動作時の速度を向上することができる。動作時に比べ高速動作の要求されないテスト動作時においては、テスト入力信号が加わるnMOSトランジスタの直列段数を4個に設定しているため図12の従来例2の回路に比べMOSトランジスタ数を35個から28個に、7個削減することができる。このように、通常動作時の高速化と、回路面積の削減を同時に行うことができる。

10

#### 【0105】

また、本実施の形態における図8の例では、pMOSトランジスタP4のゲートは反転出力端子NQに接続されているが、図9に示すように、ノードX1に接続されていても良い。

#### 【0106】

(第5の実施の形態)

以下、本発明第5の実施形態の半導体装置および半導体装置の製造方法について図面を参照しながら説明する。

20

#### 【0107】

図10は本実施の形態の半導体装置の製造方法を示すフローチャートである。スキャン付きフリップフロップを配置する第1の工程S1と、前記スキャン付きフリップフロップのデータ信号を生成するデータ信号生成回路を前記スキャン付きフリップフロップに隣接して配置する第2の工程S2と、その他の回路を配置する第3の工程S3と、前記スキャン付きフリップフロップのデータ信号を優先して配線する第4の工程S4とからなる。

#### 【0108】

本実施の形態によると、データ信号Dの配線長を短くすることができ、データ信号Dに隣接する配線が遷移することにより加わるノイズ(クロストークノイズ)を小さくすることが出来る。これにより、クロック信号が変化してから出力が変化するまでの期間中にデータ信号Dに加わるクロストークノイズによる誤動作を防ぐことができる。特に従来例1、従来例2、本実施の形態1~4に示した様な、データ信号DがnMOSトランジスタのみに入るダイナミック回路構成の場合、pMOSトランジスタとnMOSトランジスタの両方に入るCMOS構成の場合に比べてノイズの影響を受け易いため本実施の形態による半導体装置の製造方法が効果的である。

30

#### 【0109】

本実施の形態により、安定して動作する半導体装置を製造することができる。

#### 【0110】

(第6の実施の形態)

図13、図14は本実施の形態のスキャン付きフリップフロップを示す回路図である。尚、本実施の形態では、第3の実施の形態において図5に示した回路図と同一の回路を構成する素子については同一の符号を付し、その説明を省略する。

40

#### 【0111】

図13のD1~DNは複数の入力信号、BはnMOSトランジスタから構成された論理回路であるnMOS論理ブロックを示す。

#### 【0112】

図14のD1、D2はデータ入力信号、DX1はデータ選択信号、SL1、SL2はデータ選択信号DX1に基づいて得られる信号、N25~N28はnMOSトランジスタを示す。

50

## 【0113】

図13に示すスキャン付きフリップフロップ回路は図5に示す第3の実施の形態のnMOSトランジスタN20をnMOS論理ブロックBに置き換えた構成となっている。

## 【0114】

図14に示すスキャン付きフリップフロップ回路は、図13の2入力マルチプレクサ機能を実現するようにnMOS論理ブロックBをnMOSトランジスタ4個で構成した具体例である。

## 【0115】

データ選択信号DX1に基づく信号SL1がハイレベルでかつ信号SL2がローレベル、テスト選択信号SCANがローレベルのとき、クロック信号CKがローからハイに遷移するときにデータ入力信号D1の値に応じて出力QおよびNQが変化する。

10

## 【0116】

前記信号SL1がローレベルでかつ信号SL2がハイレベル、テスト選択信号SCANがローレベルのとき、クロック信号CKがローからハイに遷移するときにデータ入力信号D2の値に応じて出力QおよびNQが変化する。

## 【0117】

前記信号SL1、SL2の値によらず、テスト選択信号SCANがハイレベルのとき、クロック信号CKがローからハイに遷移するときにテスト入力信号SIの値に応じて出力QおよびNQが変化する。このように、2入力のマルチプレクサを混載したスキャン付きフリップフロップの機能を持つ。

20

## 【0118】

図15は、図11の従来のスキャン付きフリップフロップの入力部における選択回路S1のデータ入力側に上記のnMOS論理ブロックBによるマルチプレクサ構成を用いた例である。図11から図15への変更では、図11のnMOSトランジスタN20及びN21と共にインバータINV7が削除され、これらに代わり、2つのデータ信号D1、D2を受ける2つnMOSトランジスタN21、N23を並列に備えると共に、前記データ信号D1、D2を切り替えるために、前記データ信号D1、D2のそれぞれに対してデータ選択信号DX1に基づく信号SL1、SL2を受けるnMOSトランジスタN20、N22を直列接続する。

## 【0119】

30

この図11から図15への変更においては、図5から図14への変更のようにnMOSトランジスタN21のみを削除して、この代わりにnMOS論理ブロックBを挿入するのではなく、インバータINV7を介したテスト選択信号SCANが入力されるnMOSトランジスタN20も併せて置き換えられている。

## 【0120】

ここで、図5から図14への変更と同じように図11においてもnMOSトランジスタN21のみの変更による構成も可能であるが、この場合、ノードX1をディスチャージする電流パスに直列nMOSトランジスタが5個含まれることになる。このようにノードX1からGNDまでの間にnMOSトランジスタが5個も直列に接続されていると、データ入力信号D1、D2などがハイレベルのときにクロック信号CKが立ち上がる際、ノードX1のディスチャージが遅れ、ノードX1がハイレベルからローレベルに変化する前にノードND1がハイレベルからローレベルに変化してしまい、ノードX1のディスチャージが終わる前にnMOSトランジスタN1をオフにしてしまう可能性が高まる。この結果、ノードX1はハイレベルとなり、出力Qは本来ハイレベルになるところローレベルとなってしまう誤動作に繋がる。以上の観点から、動作安定性を考慮した場合、ノードX1をディスチャージする電流パスに含まれるnMOSトランジスタ数は可能な限り少ない方が望ましく、本実施の形態に対比する従来例としては図15の構成を示している。

40

## 【0121】

ところで、この図11から図15への変更を行った場合、図15に示すスキャン付きフリップフロップ回路では、データ入力側の直列トランジスタからテスト選択信号SCAN

50

を入力するnMOSトランジスタN21が削除されているので、テスト選択信号SCANがハイレベルとなり選択回路においてテスト入力信号SIがハイレベルになっているときには、前記信号SL1、SL2を何れもローにする必要がある。そのため、前記スキャン付きフリップフロップにはテスト選択信号SCANがハイレベルのときに前記信号SL1、SL2をローにする回路が必要である。このように、テスト選択信号SCANがハイレベルのときに前記信号SL1、SL2をローにすると共に、テスト選択信号SCANがローレベルのときは、データ選択信号DX1に基づいて前記信号SL1又はSL2の何れかをローにし、データ信号D1、D2の何れかから有効とする所定のデータ信号を選択する回路が図15に示す選択信号生成回路SLC0である。

#### 【0122】

従来手法では、例えば、“！”を論理反転、“+”を論理和、“・”を論理積を表す記号としたとき、元のデータ選択信号DX1がローのときデータ信号D1を選択し、元のデータ選択信号DX1がハイのときデータ信号D2を選択し、かつテスト選択信号SCANがハイレベルのときローとなる信号SL1およびSL2を表すと、

$$SL1 = ! (SCAN + ! SCAN \cdot ! DX1)$$

$$SL2 = ! (SCAN + ! SCAN \cdot DX1)$$

となり、これらをCMOS回路で構成すると、最低16個のトランジスタが必要である。

#### 【0123】

それに対し、本実施の形態に示すマルチプレクサ機能混載スキャン付きフリップフロップにおいては、テスト選択信号SCANがハイレベルのとき、データ選択信号DX1に基づく信号SL1、SL2がどのような値であってもよいため、

$$SL1 = ! DX1$$

$$SL2 = DX1$$

と、インバータ回路1個で済み、選択信号生成回路（選択信号生成部）はSLC1のようにトランジスタ数が2個の構成でよい。従って、選択信号を生成する回路も含めると従来手法に比べて回路数を削減することができる。

#### 【0124】

以上のように、本実施の形態によれば、データ入力を行うnMOSトランジスタN21をnMOS論理ブロックBに変換する元のスキャン付きフリップフロップとして、前記第3の実施の形態に示したスキャン付きフリップフロップを用いることにより、データ入力側の直列トランジスタ数を最小限に抑えることができ、しかも、前記直列トランジスタ数を少なくすることにより、簡易な選択信号生成回路SL1を用いることができる構成をとることができるので、フリップフロップの機能を増やし、かつチップ全体の回路面積の削減を同時に行うことができる。

#### 【0125】

尚、図では示していないが、本実施の形態と同様に、第1、2及び4の実施の形態における図1、図3及び図8のnMOSトランジスタN21を前記nMOS論理ブロックBに置き換えても同様の効果が得られる。

#### 【産業上の利用可能性】

#### 【0126】

以上説明したように、本発明にかかるスキャン付きフリップフロップは、高速動作を行い、且つ、MOSトランジスタ数を削減することができるので、クロック周期よりも短いパルス幅の期間にデータ取り込みを行うラッチ回路を用いた高速用途向けのフリップフロップ等に有用である。

#### 【図面の簡単な説明】

#### 【0127】

【図1】本発明の第1の実施の形態におけるスキャン付きフリップフロップ回路の図である。

【図2】図1のスキャン付きフリップフロップの動作を示すタイムチャート図である。

【図3】本発明の第2の実施の形態におけるスキャン付きフリップフロップ回路の図であ

10

20

30

40

50

る。

【図 4】図 3 のスキャン付きフリップフロップの動作を示すタイムチャート図である。

【図 5】本発明の第 3 の実施の形態におけるスキャン付きフリップフロップ回路の図である。

【図 6】本発明の第 3 の実施の形態におけるスキャン付きフリップフロップ回路の別の例を示す図である。

【図 7】図 4 のスキャン付きフリップフロップの動作を示すタイムチャート図である。

【図 8】本発明の第 4 の実施の形態におけるスキャン付きフリップフロップ回路の図である。

【図 9】本発明の第 4 の実施の形態におけるスキャン付きフリップフロップ回路の別の例を示す図である。 10

【図 10】本発明の第 5 の実施の形態における半導体装置の製造方法を示すフローチャート図である。

【図 11】従来例 1 のスキャン付きフリップフロップ回路の図である。

【図 12】従来例 2 のスキャン付きフリップフロップ回路の図である。

【図 13】本発明の第 6 の実施の形態におけるスキャン付きフリップフロップ回路の図である。

【図 14】本発明の第 6 の実施の形態におけるスキャン付きフリップフロップ回路の詳細を示す図である。

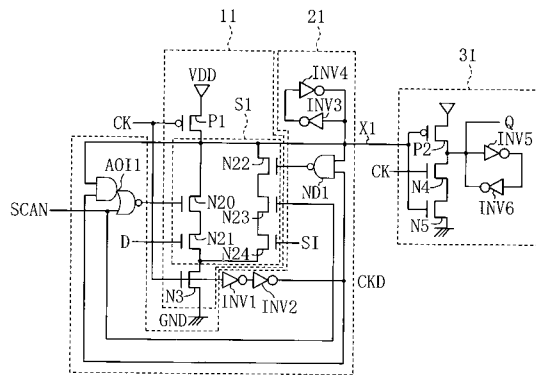
【図 15】従来例 3 のスキャン付きフリップフロップ回路の図である。 20

【符号の説明】

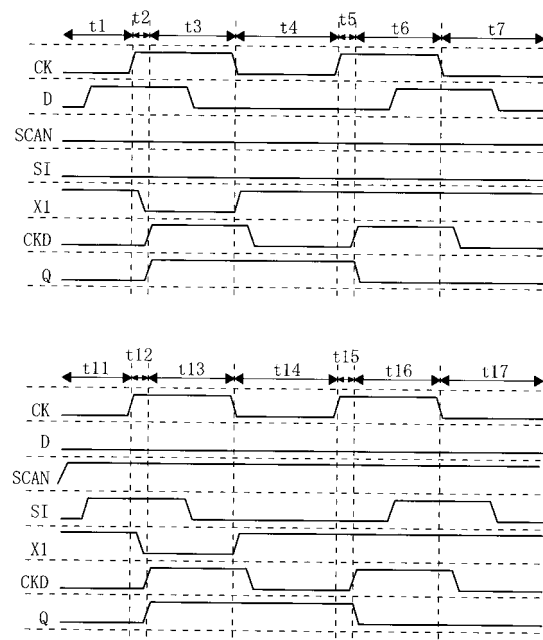
【0128】

|           |                           |    |
|-----------|---------------------------|----|
| 11、12     | 入力部                       |    |
| 21、22、23、 |                           |    |
| 24        | 制御部                       |    |
| 31、32     | 出力部                       |    |
| AOI       | アンドオアインバータ回路              |    |
| B         | nMOS 論理ブロック               |    |
| CK        | クロック信号                    |    |
| D         | データ信号                     | 30 |
| D1、D2     | データ信号（データ信号群のうちの所定のデータ信号） |    |
| DX1       | データ選択信号                   |    |
| GND       | GND 電位                    |    |
| INV       | インバータ回路                   |    |
| N         | nMOS トランジスタ               |    |
| ND        | NAND 回路                   |    |
| NQ        | 反転出力信号                    |    |
| NR        | NOR 回路                    |    |
| P         | pMOS トランジスタ               |    |
| Q         | 出力信号                      | 40 |
| S         | セクタ回路                     |    |
| SCAN      | テスト選択信号                   |    |
| SI        | テスト入力信号                   |    |
| SLC0、SLC1 | 選択信号生成回路（選択信号生成部）         |    |
| VDD       | VDD 電源                    |    |
| X         | ノード                       |    |
| X1        | 第 1 のノード                  |    |

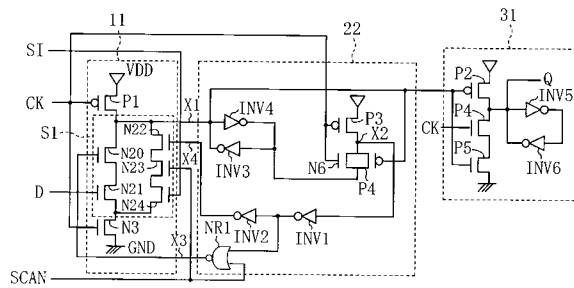
【図 1】



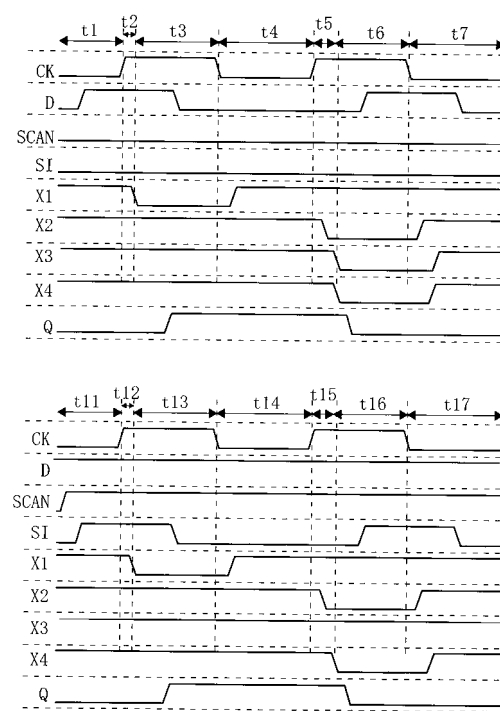
【図 2】



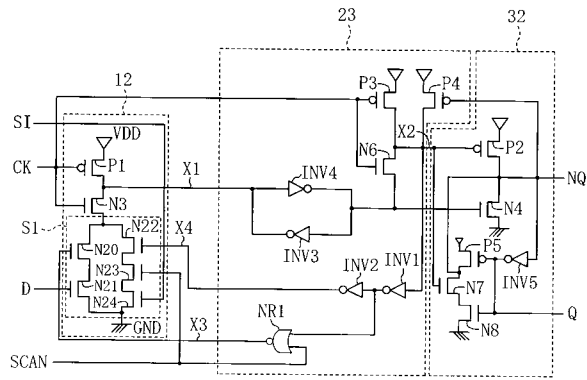
【図 3】



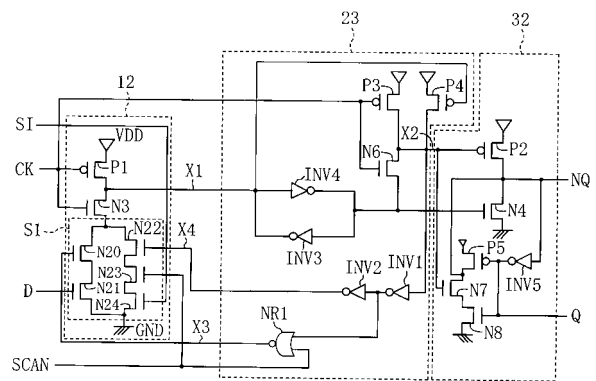
【図 4】



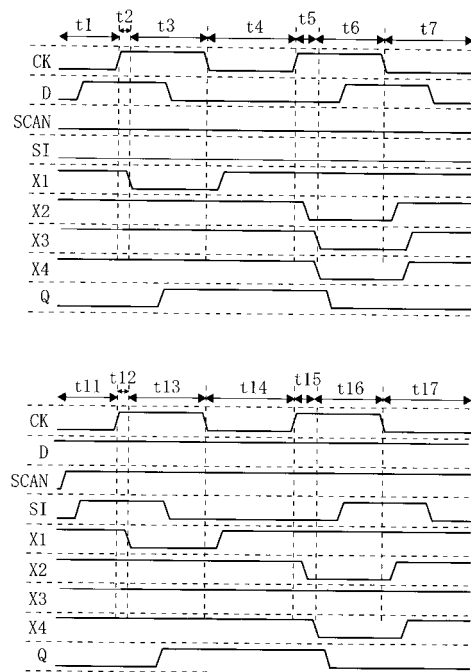
【図 5】



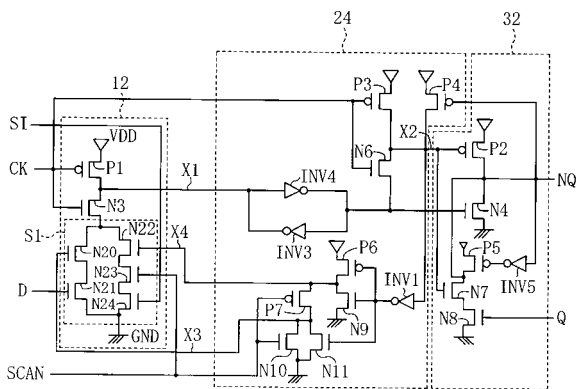
【図 6】



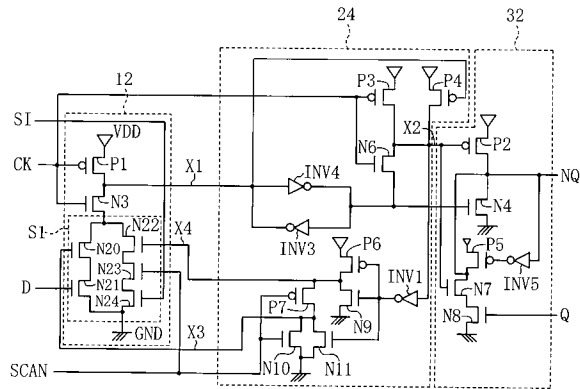
【図 7】



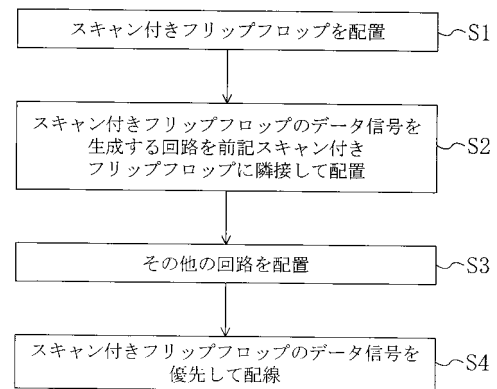
【図 8】



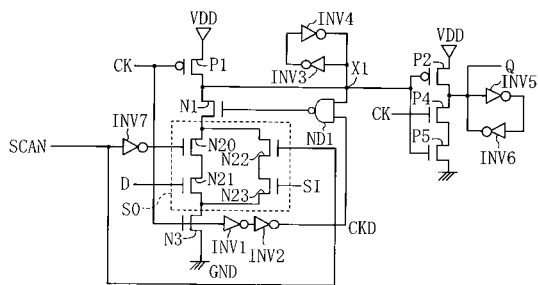
【図 9】



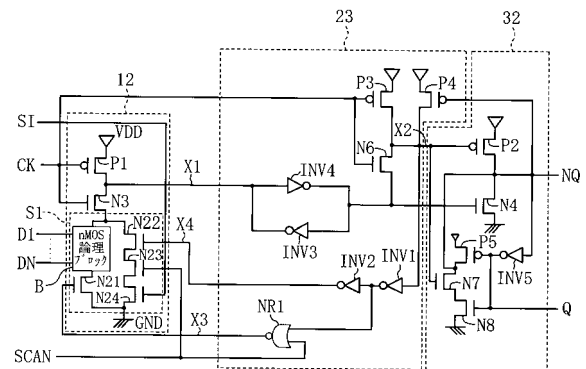
【図 10】



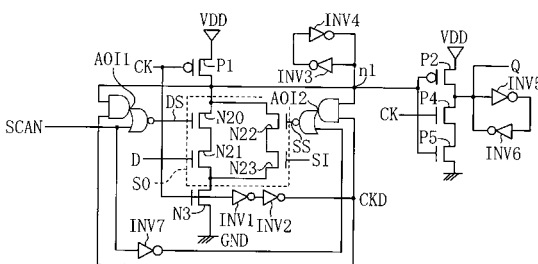
【図 11】



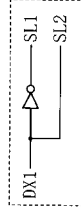
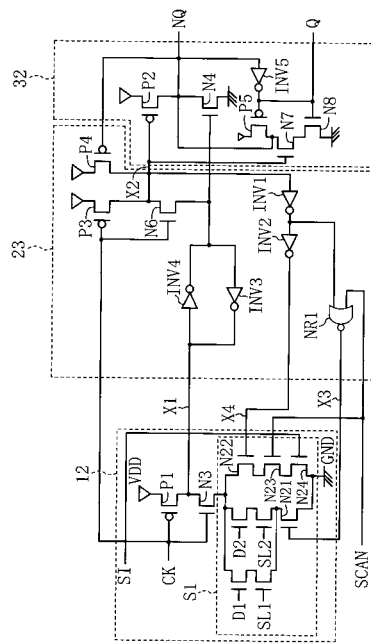
【図 13】



【図 12】

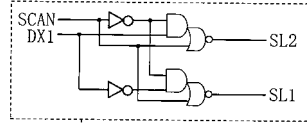
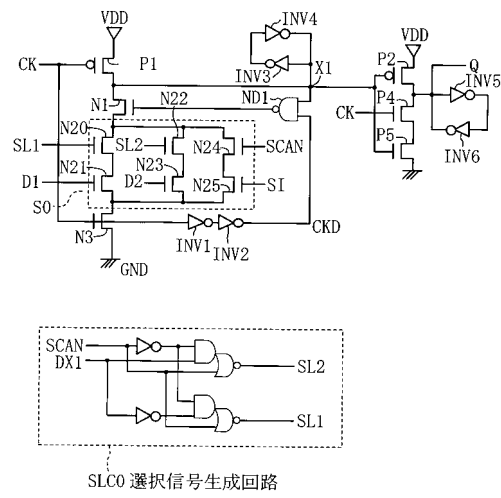


【図 14】



SLC1 選択信号生成回路

【図 15】



SLC0 選択信号生成回路

---

フロントページの続き

- (74)代理人 100115691  
弁理士 藤田 篤史
- (74)代理人 100117581  
弁理士 二宮 克也
- (74)代理人 100117710  
弁理士 原田 智雄
- (74)代理人 100121728  
弁理士 井関 勝守
- (72)発明者 平田 昭夫  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 石田 勝

- (56)参考文献 米国特許第05898330 (US, A)  
米国特許第06252448 (US, B1)  
特開平10-239400 (JP, A)  
特開2002-111452 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| H03K | 3/356  |
| G01R | 31/28  |
| H01L | 21/822 |
| H01L | 27/04  |
| H03K | 19/096 |