

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4791854号  
(P4791854)

(45) 発行日 平成23年10月12日 (2011.10.12)

(24) 登録日 平成23年7月29日 (2011.7.29)

(51) Int.Cl.

F I

H O 4 N 11/00 (2006.01)

H O 4 N 11/00

H O 4 N 11/24 (2006.01)

H O 4 N 7/01

G

H O 4 N 7/01 (2006.01)

G O 9 G 5/00

5 2 O V

G O 9 G 5/00 (2006.01)

G O 9 G 5/00

5 5 O X

G O 9 G 5/391 (2006.01)

H O 4 N 9/64

E

請求項の数 8 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2006-53414 (P2006-53414)  
 (22) 出願日 平成18年2月28日 (2006.2.28)  
 (65) 公開番号 特開2007-235429 (P2007-235429A)  
 (43) 公開日 平成19年9月13日 (2007.9.13)  
 審査請求日 平成20年4月15日 (2008.4.15)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100084618  
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 映像処理回路及び映像処理方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 映像信号に対して 2 フィールド遅延の第 2 映像信号を記憶領域に格納する第 1 メモリ部と、

前記第 1 映像信号と前記第 1 メモリ部から読み出した前記第 2 映像信号との間に動きの有無を検出し、少なくとも前記動きが無いと検出されたときに前記第 1 映像信号と前記第 1 メモリ部から読み出した前記第 2 映像信号との平均信号を求めて出力する平均化回路と、

前記平均化回路の前記平均信号を記憶領域に格納する第 2 メモリ部と、

前記平均化回路の前記平均信号と、前記第 2 メモリ部の出力と、前記第 1 メモリ部からの出力を受けて、前記第 1 及び第 2 映像信号がブルダウン信号かどうかを判断し、前記ブルダウン信号と判断した場合、前記ブルダウン信号の複数のフレームからデインターレス処理のためのブルダウン補間信号を選択するブルダウン検出回路と、

前記平均化回路の出力と、前記第 2 メモリ部の出力と、前記第 1 メモリ部からの出力を受けて、デインターレス処理のための補間信号を生成する補間信号生成回路と、

前記ブルダウン検出回路からの前記ブルダウン補間信号又は前記補間信号生成回路からの前記補間信号を受け、前記ブルダウン検出回路が前記第 1 及び第 2 映像信号は前記ブルダウン信号と判断した場合、前記第 1 及び第 2 映像信号を前記第 2 メモリ部の出力に加えることでノンインターレス信号を生成し、前記ブルダウン検出回路が前記第 1 及び第 2 映像信号は前記ブルダウン信号ではないと判断した場合、前記補間信号生成回路からの前記

10

20

補間信号を前記第 2 メモリ部の出力に加えることでノンインターレス信号を生成する走査変換回路と、

を具備することを特徴とする映像処理装置。

【請求項 2】

前記平均化回路により、前記第 1 及び第 2 映像信号のクロスカラー・ドット妨害の除去を行なうことを特徴とする請求項 1 記載の映像処理装置。

【請求項 3】

前記平均化回路は、前記第 1 及び第 2 映像信号の間の静止度に応じて、前記静止度が大きくなれば平均化をより大きな程度で行い、前記静止度が小さくなり映像の動きが大きくなれば平均化を行なう程度をより小さくすることを特徴とする請求項 1 記載の映像処理装置。

10

【請求項 4】

前記第 1 メモリの容量は、前記第 2 メモリの略 2 倍であることを特徴とする請求項 1 記載の映像処理装置。

【請求項 5】

前記ブルダウン検出回路は、前記第 1 及び第 2 映像信号が前記ブルダウン信号か否かを、前記第 1 及び第 2 映像信号において規則的に同一のフレーム画像が連続しているかどうかにより判断することを特徴とする請求項 1 記載の映像処理装置。

【請求項 6】

前記ブルダウン検出回路は、前記第 1 及び第 2 映像信号が前記ブルダウン信号と判断し、前記ブルダウン検出回路は、前記第 1 メモリ部の出力と前記第 2 メモリ部の出力とが同一であり、前記第 1 映像信号と前記第 1 メモリ部から読み出した前記第 2 映像信号との間の静止度が一定値以上であると判断した場合、前記走査変換回路は、前記補間信号生成回路からの前記補間信号を前記第 2 メモリ部の出力に加えることでノンインターレス信号を生成することを特徴とする請求項 1 記載の映像処理装置。

20

【請求項 7】

前記第 1 及び第 2 映像信号を前記第 1 メモリ部に供給するチューナ部と、

前記走査変換回路から前記ノンインターレス信号を受けて、駆動信号を生成するドライバ部と、

前記ノンインターレス信号に応じて映像を表示するディスプレイ部と、

を更に具備することを特徴とする請求項 1 記載の映像処理装置。

30

【請求項 8】

第 1 映像信号に対して 2 フィールド遅延の第 2 映像信号を第 1 記憶領域に格納し、

前記第 1 映像信号と前記第 1 記憶領域から読み出した前記第 2 映像信号との間に動きの有無を検出し、少なくとも前記動きが無いと検出されたときに前記第 1 映像信号と前記第 1 記憶領域から読み出した前記第 2 映像信号との平均信号を求めて出力し、

前記平均信号を第 2 記憶領域に格納し、

前記平均信号と、前記第 2 記憶領域の出力と、前記第 1 記憶領域からの出力を受けて、前記第 1 及び第 2 映像信号がブルダウン信号かを判断し、前記ブルダウン信号と判断した場合、デインターレス処理のためのブルダウン補間信号を前記ブルダウン信号の複数のフレームから抽出し、

40

前記平均化による出力と、前記第 2 記憶領域の出力と、前記第 1 記憶領域からの出力を受けて、デインターレス処理のための補間信号を生成し、

前記ブルダウン補間信号又は前記補間補間信号を受け、前記第 1 及び第 2 映像信号は前記ブルダウン信号と判断した場合、前記第 1 及び第 2 映像信号を前記第 2 記憶領域の出力に加えることでノンインターレス信号を生成し、前記第 1 及び第 2 映像信号は前記ブルダウン信号ではないと判断した場合、前記生成された前記補間信号を前記第 2 記憶領域の出力に加えることでノンインターレス信号を生成することを特徴とする映像処理方法。

【発明の詳細な説明】

【技術分野】

50

## 【 0 0 0 1 】

この発明は、動き適応順次走査変換装置及び変換方法に関するものであり、特にクロスカラー・ドット妨害除去回路を有効に組み合わせしており、画像品質の向上を図ると共にメモリ素子の削減、及び駆動負担の軽減を得られるようにしたものである。

## 【 背景技術 】

## 【 0 0 0 2 】

一般に映像処理回路において、飛び越し走査（インターレース）の画像信号を、順次走査（ノンインターレース）の画像信号に変換する場合、動き適応順次走査変換回路が用いられる。又、このような画像信号処理回路を構成する上で、通常は、回路規模の縮小化、使用メモリ数の削減対策が考慮される。

10

## 【 0 0 0 3 】

特許文献 1 では、クロスカラー・ドット妨害除去回路と動き適応順次走査変換回路との間でメモリを共用することで、メモリ容量を節約することができる映像処理回路を開示している。

【 特許文献 1 】 特願 2 0 0 5 - 2 4 9 3 9 8 公報

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 4 】

しかし、この映像処理回路においては、通常の補間信号を生成する適応順次走査変換回路は備わっているものの、映画等の 2 4 フレーム毎秒等に基づくような映像信号を 6 0 フレームに直したプルダウン信号について、補間信号を生成してデインターレス処理するのではなく、必要なフレーム信号を選択して用いることで画質の高いノンインターレス信号を取得する手法は開示していないという問題がある。

20

## 【 0 0 0 5 】

そこで、この発明は上記事情を考慮してなされたもので、クロスカラー・ドット妨害除去処理と通常の補間信号によるデインターレス処理とをメモリ節約しながら行なう一方で、フレーム画像のプルダウン処理を適宜行なうことができる映像処理装置を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 0 6 】

30

本発明の一実施形態は、映像信号（S 1）を記憶領域に格納する第 1 メモリ部（1 1，1 2）と、

前記映像信号（S 1）と前記第 1 メモリ部から読み出した映像信号（S 3）との間に動きの有無を検出し、少なくとも静止時に前記映像信号と前記メモリ部から読み出した映像信号との平均信号（S 1'）を求めて出力する平均化回路（1 3）と、

前記平均化回路の前記平均信号（S 1'）を記憶領域に格納する第 2 メモリ部（1 9）と、

前記平均化回路の前記平均信号（S 1'）と、前記第 2 メモリ部の出力（S 2'）と、前記第 1 メモリ部からの出力（S 3）を受けて、前記映像信号がプルダウン信号に基づくかどうかを判断し、前記プルダウン信号に基づくものと判断した場合、デインターレス処理のためのプルダウン補間信号（S 4'）を前記プルダウン信号の複数のフレームから選択するプルダウン検出回路（2 1）と、

40

前記平均化回路の出力（S 1'）と、前記第 2 メモリ部の出力（S 2'）と、前記第 1 メモリ部からの出力（S 3）を受けて、デインターレス処理のための補間信号（S 5'）を生成する補間信号生成回路（2 4）と、

前記プルダウン検出回路からの前記プルダウン補間信号（S 4'）又は前記補間信号生成回路からの前記補間信号（S 5'）を受け、前記プルダウン検出回路が前記映像信号は前記プルダウン信号に基づくものと判断する場合、前記プルダウン補間信号を前記第 2 メモリ部の出力に加えることでノンインターレス信号（S 2' '）を生成し、前記プルダウン検出回路が前記映像信号は前記プルダウン信号に基づくものではないと判断する場合

50

、前記補間信号を前記第２メモリ部の出力に加えることでノンインターレス信号（ $S2'$ ）を生成する走査変換回路（２５）と、を具備することを特徴とする映像処理装置である。

【発明の効果】

【０００７】

メモリ節約を行ないながら、クロスカラー・ドット妨害除去と、通常の動き適用補間信号によるデインターレス処理と、映画等に基づく映像信号の検出とブルダウン処理によるデインターレス処理とを同時に実現する映像処理装置を提供する。

【発明を実施するための最良の形態】

【０００８】

以下、この発明の実施の形態について図面を参照して詳細に説明する。

図１は、本発明の一実施形態に係るクロスカラー・ドット妨害除去回路と動き適応順次走査変換回路を含む映像処理装置の構成の一例を示すブロック図。図２は、同じく動き適応順次走査変換回路の補間信号選択処理の一例を示すフローチャート。図３は、同じく２－３ブルダウン検出回路の処理の説明図。図４は、同じく入力フィールド信号と１フィールド遅延信号を利用した２－３ブルダウン処理の説明図。図５は、同じく１フィールド遅延信号と２フィールド遅延信号を利用した２－３ブルダウン処理の説明図。図６は、同じく本発明のクロスカラー・ドット妨害除去回路と動き適応順次走査変換回路の構成図。図７は、同じく補間信号選択機能をもった映像処理装置の構成の一例を示すブロック図。図８は、同じく映像処理装置を含むテレビジョン装置の構成の一例を示すブロック図である。

【０００９】

<第１実施形態に係る映像処理装置：クロスカラー・ドット妨害除去回路、動き適応順次走査変換回路>

第１実施形態に係る映像処理装置は、メモリ節約を行ないながら、クロスカラー・ドット妨害除去と、通常の動き適用補間信号によるデインターレス処理と、映画等に基づく映像信号の検出とブルダウン処理によるデインターレス処理とを同時に実現する映像処理装置である。

【００１０】

（構成）

本発明の一実施形態である映像処理装置の構成の一例を図１を用いて説明する。映像処理装置１は、例えば、図８に示されるチューナ部２等から映像信号を供給されるフィールドメモリ１１と、これに直列に接続されるフィールドメモリ１２と、その出力が接続されるクロスカラー・ドット妨害除去回路１３と、その出力が接続されるもう一つのフィールドメモリ１９を有している。ここで、フィールドメモリ１１とこれに直列に接続されるフィールドメモリ１２の記憶容量は、一例として、その出力が接続されるもう一つのフィールドメモリ１９の記憶容量の略２倍となる。

【００１１】

更に、映像処理装置１は、クロスカラー・ドット妨害除去回路１３の出力とフィールドメモリ１９の出力 $S3$ とフィールドメモリ１９の出力 $S2'$ とが供給される動き適合順次走査変換回路２０とを有している。

【００１２】

ここで、クロスカラー・ドット妨害除去回路１３は、外部から与えられた映像信号 $S1$ と、フィールドメモリ１２から読出信号 $S1$ を受ける画素単位動き検出器１４と、フィールドメモリ１２から読出信号 $S1$ とフィールドメモリ１２からの信号 $S3$ を受ける減算器１５と、その出力を受ける演算器１６と、その出力と画素単位動き検出器１４の出力を乗算する乗算器１７と、この出力を受ける加算器１８を有している。なお、このクロスカラー・ドット妨害除去回路１３の各部は、演算式

$$S1' = S1 + \{ (S3 - S2) / 2 \} \quad \dots \dots (1)$$

の演算を回路上で実現したものである。

10

20

30

40

50

## 【 0 0 1 3 】

又、動き適応順次走査変換回路 2 0 は、クロスカラー・ドット妨害除去回路 1 3 の出力  $S 1'$  と、フィールドメモリ 1 9 の出力  $S 2'$  と、フィールドメモリ 1 2 の出力  $S 3$  とを受けて、ノンインターレス信号  $S 2''$  を出力するものであり、これら 3 つの信号  $S 1'$ 、 $S 2'$ 、 $S 3$  を受ける 2 - 3 プルダウン検出回路 2 1 と、同様にこれら 3 つの信号  $S 1'$ 、 $S 2'$ 、 $S 3$  を受ける動き適応補間信号生成回路 2 4 と、2 - 3 プルダウン検出回路 2 1 からの検出プラグ K 1 を受ける論理演算子 2 3 と、同様に、検出プラグ K 2 を受ける論理演算子 2 2 と、2 - 3 プルダウン検出回路 2 1 からの出力 K 1 と論理演算子 2 2 からの出力  $S 4'$  とを受ける論理演算子 2 3 と、論理演算子 2 3 から走査線を埋めるための信号  $S 2'$  を受け、フィールドメモリ 1 9 から本来の映像信号を受ける順次走査変換回路 2 5 とを有している。

10

## 【 0 0 1 4 】

( 機能と動作 )

次に、各部の機能と動作について、図面を用いて詳細に説明する。

・クロスカラー・ドット妨害除去回路

初めに、クロスカラー・ドット妨害除去回路 1 3 の働きは、映像信号の Y 成分と C 成分の周波数特定が一部共通して分岐が不完全であり、これが画面上の虹のような輪郭の不具合として生じるという問題があるが、これを除去しようとするものである。

## 【 0 0 1 5 】

すなわち、映像信号中の位相が異なる Y 成分のノイズ成分と、C 成分のノイズ成分は、映像信号の両者の平均値を取ることでこれを除去できる。しかしながら、画像に動きがあるときは、この平均化処理を行なうと、画像の輪郭等がぼやけるという問題がある。従って、画素単位動き検出器 1 4 を用いて、現在の映像信号が静止画か動画かを判断し、その結果を以下の処理に反映させるものである。

20

## 【 0 0 1 6 】

又、ここでは、クロスカラー・ドット妨害除去回路 1 3 と、動き適応順次走査変換回路 2 0 との間では、フィールドメモリ 1 1、1 2、1 9 とが共有保存されており、この結果、メモリ素子の節約が可能になっている。

## 【 0 0 1 7 】

以下に、この映像処理装置 1 の動作を説明する。初めに、図 8 のチューナ部 2 等から供給される映像信号は、入力フィールド信号  $S 1$  として 2 段のフィールドメモリに順次格納され、それぞれ 1 フィールド遅延信号  $S 2$  および 2 フィールド遅延信号  $S 3$  として保持される。そして、クロスカラー・ドット妨害除去回路 1 3 に入力された飛越走査画像の入力フィールド信号  $S 1$  と 2 フィールド遅延信号  $S 3$  を用いて、フレーム間画素単位動き検出回路 1 4 において、静止度 ( 動きの程度 ) を出力する。この静止度は、“ 1 ” を静止状態として、値が小さくなるにつれて動きが大きくなる数値である。静止度を基にクロスカラー・ドット妨害除去回路の動作を、下記の式 ( 1 ) に基づき決定する。

30

## 【 0 0 1 8 】

$$S 1' = S 1 + \{ ( S 3 - S 2 ) / 2 \} \dots \dots ( 1 )$$

静止画の場合は  $= 1$  として、 $S 1$ 、 $S 3$  の 1 フレーム間で平均を取り  $S 1'$  とし、動きの量に応じて の値を 0 から 1 の間で段階変化し、動きが大きくなるほど入力信号の比率を高めて出力する。

40

## 【 0 0 1 9 】

ここで、減算器 1 5、演算器 1 6、乗算器 1 7、加算器 1 8 の構成により、式 ( 1 ) が表す演算処理が実現するものである。

## 【 0 0 2 0 】

これにより、映像信号の静止度が大きい場合や “ 1 ” の場合は、映像信号  $S 1$  とメモリ 1 1、1 2 から読み出した映像信号  $S 3$  との平均信号  $S 1'$  を求めることにより、クロスカラー及びドット妨害を除去することができると共に、映像信号に動きが大きい時は、平均化処理が抑制されるため、映像の輪郭線がぼやける等の不具合を生じることがない。

50

## 【 0 0 2 1 】

## ・動き適応順次走査変換処理

更に、クロスカラー・ドット妨害除去回路 1 3 から供給される信号 S 1 ' を受ける動き適応順次走査変換回路 2 0 の働きを図 2 のフローチャート等を用いて以下に説明する。

## 【 0 0 2 2 】

クロスカラー・ドット妨害除去済み入力フィールド信号 S 1 ' は、フィールドメモリに順次格納され、クロスカラー・ドット妨害除去済み 1 フィールド遅延信号 S 2 ' として保持し、順次走査変換回路 2 5 の直接信号として扱われる。そして、動き適応補間信号生成回路 2 4、及び 2 - 3 プルダウン検出回路で 3 フィールド分の信号を使用するために必要となる、2 フィールド分のフィールドメモリ 1 1、1 2 を 1 フィールド分に削減するため、更には、フィールドメモリとのアクセス量を減らすために、クロスカラー・ドット妨害除去されてない 2 フィールド遅延信号 S 3 を使用する。この 3 つの信号、クロスカラー・ドット妨害除去済み入力フィールド信号 S 1 '、クロスカラー・ドット妨害除去済み 1 フィールド遅延信号 S 2 '、及びクロスカラー・ドット妨害除去回路で用いた 2 フィールド遅延信号 S 3 が動き適応補間信号生成回路 2 4、及び 2 - 3 プルダウン検出回路 2 1 に入力される。

## 【 0 0 2 3 】

補間信号として、2 - 3 プルダウン検出回路 2 1 は、入力された 3 つの信号より補間信号 S 4 ' を作成、動き適応補間信号生成回路 2 4 は、同様の 3 つの信号より補間信号 S 5 ' を生成する。補間信号の選択方法は図 2 に表されているフローチャートに従い、2 - 3 プルダウン信号の検出を行なう ( ブロック B 1 1 )。そして、2 - 3 プルダウン信号が検出された場合は、フラグ K 1 を “ 1 ” とし、クロスカラー・ドット妨害除去済み入力フィールド信号 S 1 '、及び 2 フィールド遅延信号 S 3 から、後述する処理のパターンに応じてフラグ K 2 が選択する補間信号 S 4 ' を最終的な補間信号 S 2 ' ' として選択する。

## 【 0 0 2 4 】

すなわち、1 フィールド遅延信号 S 2 ' と 2 フィールド遅延信号 S 3 とが同一フレーム画像からのプルダウン信号であるかを判断する ( ブロック B 1 2 )。そして、両者が同一フレーム画像からのプルダウン信号であれば、フラグ K 2 = 1 として、2 フィールド遅延信号 S 3 を補間信号とするもので ( ブロック B 1 3 )、図 5 に示す処理を行なうことになる。又、両者が不一致であれば、フラグ K 2 = 0 として、入力フィールド信号 S 1 ' を補間信号とする ( ブロック B 1 4 )。すなわち、図 4 に示す処理を行なうことになる。

## 【 0 0 2 5 】

ブロック B 1 1 で 2 - 3 プルダウン信号が検出されない場合は、フラグ K 1 を “ 0 ”、動き適応補間信号生成回路 2 4 で作成された補間信号 S 5 ' を最終的な補間信号 S 2 ' ' として選択する。この選択により得られた補間信号と、先程の直接信号 S 2 ' を順次走査変換回路 2 5 にて合成し順次走査変換信号 S 2 ' ' ' として出力する ( ブロック B 1 5 )。

## 【 0 0 2 6 】

ここで、図 3 に 2 - 3 プルダウン検出回路 2 3 の構成を表す。図 3 において、映像信号が、もともと 1 秒間に 2 4 フレーム等からなるプルダウン信号であった場合、6 0 フレームの映像信号は、“ 1 , 1 , 2 , 2 , 2 , 3 , 3 ” 等のように、非常に規則性をもっている。この規則性を検出することにより、その映像信号がプルダウン信号に基づくものであることが検出できる。

## 【 0 0 2 7 】

その結果、後段のデインターレース処理の際に、動き適応補間信号生成回路 2 4 で補間信号を演算で生成するよりも、必要なフレームを映像信号から抽出して、これをデインターレース処理に利用した方が、映像の品質を向上させることができる。

## 【 0 0 2 8 】

従って、表されるような 2 - 3 プルダウン信号のパターンにより、直接信号である 1 フィールド遅延信号と、入力フィールド信号、又は 2 フィールド遅延信号を補間信号として選択し合成することで、2 4 フレーム / s 入力信号を忠実に再現される。

## 【 0 0 2 9 】

図 4 に、入力フィールド信号と 1 フィールド遅延信号を利用した 2 - 3 プルダウン処理を表す。図 1 の構成図と対応する動作はフラグ K 2 を “ 0 ” とし、入力フィールド信号 S 1 ' を補間信号 S 2 ' ' と選択して、直接信号 S 2 ' と合成し S 2 ' ' ' とする方法である。

## 【 0 0 3 0 】

次に、図 5 に、1 フィールド遅延信号と 2 フィールド遅延信号を利用した 2 - 3 プルダウン処理を表す。同じく図 1 の構成図と対応する動作はフラグ K 2 を “ 1 ” とし、クロスカラー・ドット妨害除去回路で用いた 2 フィールド遅延信号 S 3 を補間信号 S 2 ' ' と選択して、直接信号 S 2 ' と合成し S 2 ' ' ' とする方法である。

## 【 0 0 3 1 】

このような方法により、第 1 実施形態に示す映像処理装置において、フィールドメモリ 1 1 , 1 2 , 1 9 を、クロスカラー・ドット妨害除去回路 1 3 と動き適応順次走査変換回路との間で共用しながら、同時にプルダウン信号検出をも同時に行なうことが可能となるものである。

## 【 0 0 3 2 】

< 第 2 実施形態に係る映像処理装置 >

第 2 実施形態に係る映像処理装置は、第 1 実施形態に係る映像処理装置において、

1 ) プルダウン信号が検出され ( K 1 = 1 )

2 ) S 2 ' と S 3 が同一 ( K 2 = 1 )

3 ) 静止度 > K t h ( K 3 = 1 )

の条件が揃う時、ノンインターレス信号に、クロスカラー・ドット妨害が混入してしまうという不具合を解消するもので、上記の条件が揃う時、動き適応補間信号生成回路の出力 S 5 ' を補間信号としてデインターレス処理するものである。

## 【 0 0 3 3 】

( 解消しようとする不具合点 )

第 1 実施形態に係る映像処理装置において、以下のような不具合があり、この不具合は、図 5 で表された 1 フィールド遅延信号 S 2 ' 及びクロスカラー・ドット妨害除去回路 1 3 で用いた 2 フィールド遅延信号 S 3 を合成した場合に発生する。すなわち、クロスカラー・ドット妨害除去された 1 フィールド遅延信号 S 2 ' と、クロスカラー・ドット妨害除去されてない 2 フィールド遅延信号 S 3 を合成するため、2 - 3 プルダウン処理を行った場合にクロスカラー・ドット妨害が混入してしまうという不具合がある。

## 【 0 0 3 4 】

( 構成 )

第 2 実施形態に係る映像処理装置 1 は、図 6 に示すように、基本的に図 1 の映像処理装置 1 と共通した構成を有しており、記載を省略して相違点だけを以下に述べる。すなわち、第 2 実施形態に係る映像処理装置 1 は、上述した不具合を解消するべく、1 ) プルダウン信号が検出され ( K 1 = 1 )、2 ) S 2 ' と S 3 が同一 ( K 2 = 1 )、3 ) 静止度 > K t h ( K 3 = 1 ) の条件が揃う時、動き適応補間信号生成回路の出力 S 5 ' を補間信号としてデインターレス処理するものである。

## 【 0 0 3 5 】

そのため、映像処理装置 1 は、一例として、画素単位動き検出部 1 4 の出力に接続される比較器 2 6 と、この出力 K 3 を一端の入力端子に受け他端の入力端子に 2 - 3 プルダウン検出回路 2 1 の出力 K 2 を受ける A N D 回路 2 7 と、A N D 回路 2 7 の出力を反転入力端子に受け 2 - 3 プルダウン検出回路 2 1 の出力を他端の入力端子に受ける N A N D 回路 2 8 と、N A N D 回路 2 8 の出力を論理演算子 2 3 に供給する構成を更に有するものである。

## 【 0 0 3 6 】

( 機能と動作 )

第 2 実施形態に係る映像処理装置 1 は、このような構成により、図 7 に示すフローチャートに従って、図 2 のフローチャートとほぼ同等の動作を行なうが、以下、相違点につい

10

20

30

40

50

て詳細に説明する。すなわち、2 - 3 プルダウン検出回路 2 1 が 2 - 3 プルダウン信号を検出し（ブロック B 1 1）、1 フィールド遅延信号 S 2 ' と 2 フィールド遅延信号 S 3 とが同一フレーム画像からのプルダウン信号であり（ブロック B 1 2）、更に、静止度がスレッシュホールドレベル K t h 以上である（静止状態である）場合について、動き適応補間信号生成回路 2 4 の出力 S 5 ' を補間信号としてデインターレス処理を行なうものである（ブロック B 1 5）。

#### 【 0 0 3 7 】

これにより、プルダウンが検出されて映像信号がプルダウン信号（2 4 コマ等）に基づくものと判断され、第 1 メモリ部の出力（S 1）と第 2 メモリ部の出力（S 2 '）とが同一フレーム画像からのプルダウン信号であり、更に、映像信号（S 1）と第 1 メモリ部から読み出した映像信号（S 3）との間の静止の程度が一定値以上（ $> K t h$ ）であった場合は、プルダウンによるデインターレスを中止し、通常の補間信号による処理を行なうことで、画面上の虹等の歪みを回避することができるものである。

10

#### 【 0 0 3 8 】

以上記載した様々な実施形態により、当業者は本発明を実現することができるが、更にこれらの実施形態の様々な変形例を思いつくことが当業者によって容易であり、発明的な能力をもたなくとも様々な実施形態へと適用することが可能である。従って、本発明は、開示された原理と新規な特徴に矛盾しない広範な範囲に及ぶものであり、上述した実施形態に限定されるものではない。

#### 【図面の簡単な説明】

20

#### 【 0 0 3 9 】

【図 1】本発明の一実施形態に係るクロスカラー・ドット妨害除去回路と動き適応順次走査変換回路を含む映像処理装置の構成の一例を示すブロック図。

【図 2】本発明の一実施形態に係る動き適応順次走査変換回路の補間信号選択処理の一例を示すフローチャート。

【図 3】本発明の一実施形態に係る 2 - 3 プルダウン検出回路の処理の説明図。

【図 4】本発明の一実施形態に係る入力フィールド信号と 1 フィールド遅延信号を利用した 2 - 3 プルダウン処理の説明図。

【図 5】本発明の一実施形態に係る 1 フィールド遅延信号と 2 フィールド遅延信号を利用した 2 - 3 プルダウン処理の説明図。

30

【図 6】本発明の一実施形態に係る本発明のクロスカラー・ドット妨害除去回路と動き適応順次走査変換回路の構成図。

【図 7】本発明の一実施形態に係る補間信号選択機能をもった映像処理装置の構成の一例を示すブロック図。

【図 8】本発明の一実施形態に係る映像処理装置を含むテレビジョン装置の構成の一例を示すブロック図。

#### 【符号の説明】

#### 【 0 0 4 0 】

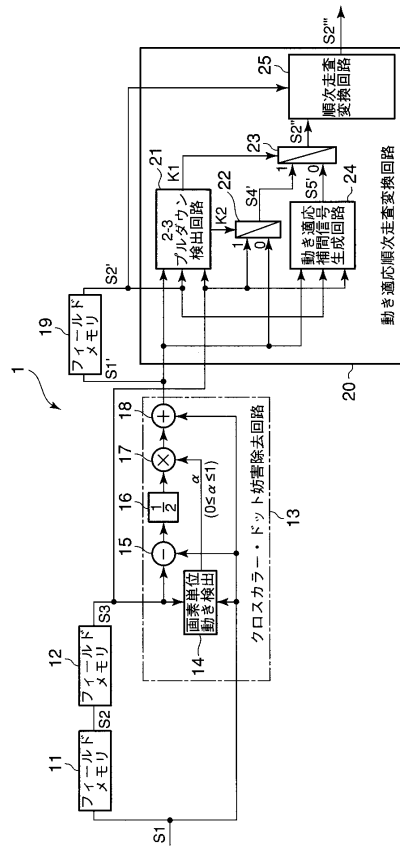
1 1 , 1 2 ... フィールドメモリ、1 3 ... クロスカラー・ドット妨害除去回路、1 4 ... 画素単位動き検出、1 5 ... 減算器、1 6 ... 分割器、1 7 ... 乗算器、1 8 ... 加算器、1 9 ... フィールドメモリ、2 0 ... 動き検出適応走査変換回路、2 1 ... 2 - 3 プルダウン検出回路、2 2 ... セレクタ、2 3 ... セレクタ、2 4 ... 動き適応補間信号生成回路、2 5 ... 順次走査変換回路、2 6 ... 比較器、2 7 ... AND 回路、2 8 ... NAND 回路。

40



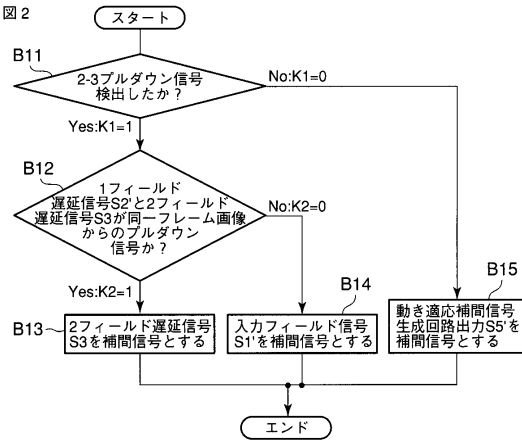
【図 1】

図 1



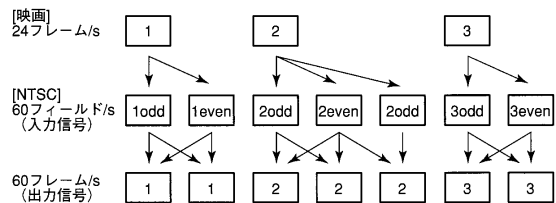
【図 2】

図 2



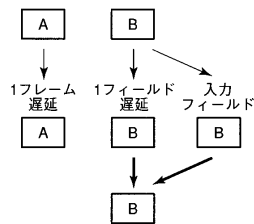
【図 3】

図 3



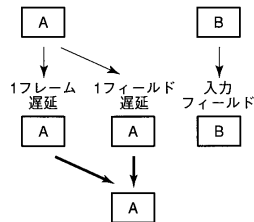
【図 4】

図 4



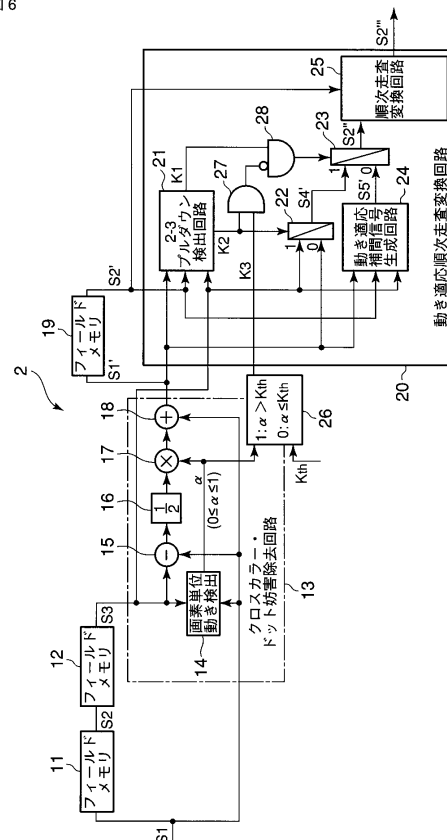
【図 5】

図 5

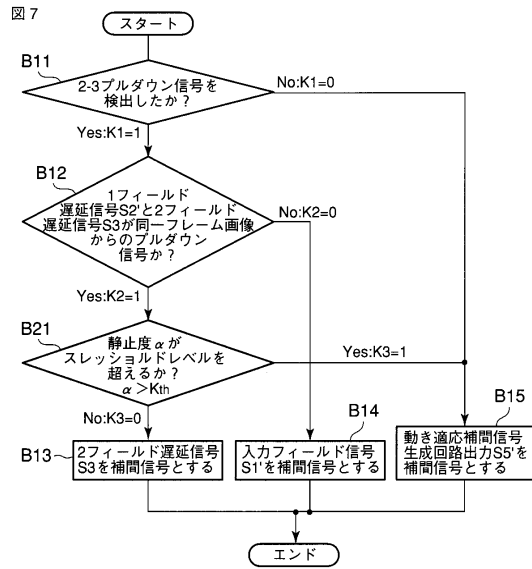


【図 6】

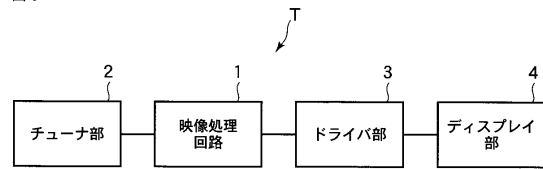
図 6



【図 7】



【図 8】



## フロントページの続き

(51)Int.Cl. F I  
H 0 4 N 9/64 (2006.01)

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 松原 正悟

東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

(72)発明者 山内 日美生

東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

審査官 仲間 晃

(56)参考文献 特開2007-067653(JP,A)  
特開2005-223503(JP,A)  
特開平09-046727(JP,A)  
特開2002-057993(JP,A)  
特開2006-005424(JP,A)  
特開2001-094950(JP,A)  
特開昭62-219891(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N 1 1 / 0 0

G 0 9 G 5 / 0 0

G 0 9 G 5 / 3 9 1

H 0 4 N 7 / 0 1

H 0 4 N 9 / 6 4

H 0 4 N 1 1 / 2 4