



-
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

Bei einem Halbleiter-Bauteil, ausgebildet auf einem zumindest eine Device-Schicht und eine Isolator-Schicht aufweisenden Halbleiter-Substrat, gekennzeichnet durch zumindest eine Halbleiter-Kondensatorelektrode in der Device-Schicht in Form eines aus der Device-Schicht gebildeten porösen Bereichs. Das erfindungsgemäße Verfahren umfasst die folgende Schritte: a) Bereitstellen eines Halbleiter-Substrats mit zumindest einer Device-Schicht und einer Isolator-Schicht b) Herstellen zumindest eines porösen Bereichs in der Device-Schicht durch Metallunterstütztes Ätzen c) Umgeben des porösen Bereichs mit bis auf die Isolator-Schicht reichenden Trenches d) Ankontaktieren des zumindest einen porösen Bereichs zur Ausbildung einer Halbleiter-Kondensatorelektrode in der Device-Schicht.

DOPPELSCHICHTKONDENSATOR MIT PORÖSER HALBLEITER-KONDENSATORELEKTRODE

Die Erfindung betrifft ein Halbleiter-Bauteil, ausgebildet auf einem zumindest eine Device-Schicht und eine Isolator-Schicht aufweisenden Halbleiter-Substrat sowie ein Verfahren zu dessen Herstellung.

Elektrochemische Doppelschichtkondensatoren kommen vielfach zum Einsatz, wenn große Leistungs- und Energiemengen aufgenommen bzw. abgegeben werden müssen. In dieser Eigenschaft schließen sie die Lücke zwischen herkömmlichen Kondensatoren (hohe Leistungsdichte) und Batterien (hohe Energiedichte). In einfachster Ausführung bestehen sie aus zwei gegenüberliegenden Elektroden (meist Kohlenstoff), welche durch eine ionendurchlässige Membran elektrisch gegeneinander isoliert sind. Zwischen die Elektroden wird ein Elektrolyt eingebracht, dessen Ionen bei anliegender Spannung an der Elektrodenoberfläche eine elektrochemische Doppelschicht ausbilden und auf diese Weise Ladungen speichern. Vorrangige potentielle Einsatzgebiete mit besonderer wirtschaftlicher Bedeutung liegen beispielsweise in den Bereichen Elektrotraktion (Kraftfahrzeuge) und Telekommunikation. Hierbei kann durch Abfangen von Leistungsspitzen die Nennleistung der primären Energiequelle reduziert, die Lebensdauer und Reichweite verlängert und damit die Wirtschaftlichkeit des Gesamtsystems wesentlich verbessert werden. Von besonderem Interesse für die vorliegende Erfindung sind weiters energieautarke Sensorknoten auf Chipebene.

Wesentlich für die Funktion von elektrochemischen Doppelschichtkondensatoren ist die potentialgesteuerte Ausbildung von Helmholtz-Doppelschichten, was die Verwendung von Elektroden aus Kohlenstoff, wie z.B. Aktivkohlematerialien, die zwar eine extrem hoch poröse Oberfläche aufweisen, ungünstig erscheinen lässt, da die Verteilung der Porengrößen bei diesen Materialien sehr breit ist und sich mitunter bis in den Bereich von ungefähr 1 nm erstrecken. Da typische Helmholtz-Schichtdicken selbst bei bis zu 5 nm liegen, kann bei diesem Elektrodenmaterial die Helmholtz-Speicherschicht nicht vollständig an der tatsächlich vorhandenen Oberfläche ausgebildet werden.

Aus diesem Grund wurden in der DE 199 48 742 C1 bereits Elektroden aus elektrisch leitfähigen oder halbleitenden, nanostrukturierten Elementen vorgeschlagen. Dieses Dokument betrifft insbesondere die Herstellung einer solchen Elektrode durch elektrochemisches Wachstum diskreter, nadelförmiger Elemente auf einer entsprechend strukturierten Oberfläche, wobei diese Elektroden bzw. Kondensatoren in weiterer Folge in Chips oder Leiterplatten integriert werden müssen.

Bei modernen Chiparchitekturen kommen zunehmend Halbleiter-Substrate zum Einsatz, die unter dem Begriff „Silicon On Insulator“ (SOI) bekannt sind. Bei diesen Substanzen wird eine Isolatorschicht, beispielsweise aus Siliziumoxid in das Substrat eingebracht, um nur eine relativ dünne Schicht für die

Herstellung von Schaltkreisen zu nutzen. Die Schaltkreise befinden sich hierbei in der sogenannten „Device Layer“ oder „Device-Schicht“ die durch die Isolatorschicht vom „Bulk“ bzw. dem „Handle Wafer“ getrennt ist. SOI-Substrate sind hinsichtlich kürzerer Schaltzeiten und einer geringeren Leistungsaufnahme, besonders bezüglich der Leckströme, vorteilhaft.

Die bisher bekannten nanostrukturierten Halbleiter-Kondensatorelektroden sind nur mit relativ großem Aufwand auf SOI-Substraten integrierbar, weshalb es Aufgabe der vorliegenden Erfindung ist, derartige Elektroden bzw. Kondensatoren einfacher und kostengünstiger auf SOI-Substraten anzuordnen.

Ausgehend von einem Halbleiterbauteil der eingangs genannten Art ist die Erfindung daher gekennzeichnet durch zumindest eine Halbleiter-Kondensatorelektrode in der Device-Schicht in Form eines aus der Device-Schicht gebildeten, porösen Bereichs. Mit anderen Worten liegt die Erfindung daher darin, Halbleiter-Kondensatorelektroden nicht als separate Bauteile zu fertigen, die in der Folge in SOI-Chips integriert werden müssen, sondern diese Elektroden bereits auf einem Halbleitersubstrat, das in der Folge zu einem Chip weiterverarbeitet werden kann, auszubilden. Auf diese Weise kann die Herstellung von Doppelschichtkondensatoren auf Halbleiterbasis in den Herstellungsprozess von Chips integriert werden, was die kostengünstige Fertigung von Hochleistungselementen in hoher Stückzahl bei relativ geringem Fertigungsaufwand ermöglicht.

Um das volle Potential von SOI-Substrate hinsichtlich der Vermeidung von Leckströmen ausschöpfen zu können, ist die Erfindung bevorzugt dahingehend weitergebildet, dass der die zumindest eine Kondensatorelektrode bildende poröse Bereich in der Ebene der Device-Schicht von bis auf die Isolator-Schicht reichenden Trenches umgeben ist. Im technischen Gebiet der Mikroelektronik sind Trenches als Ausnehmungen oder Einschnitte in Halbleitersubstrat bekannt, die sich wie Gräben durch die Substratschicht, in diesem Fall durch die Device-Schicht ziehen. Bei dieser bevorzugten Variante der vorliegenden Erfindung umgeben die genannten Trenches die zumindest eine Kondensatorelektrode bzw. den porösen Bereich somit wie ein umlaufender Graben, der bis auf die Isolierschicht des Halbleitersubstrats hinabreicht, wodurch eine vollständige elektrische Isolierung des porösen Bereichs, der als Halbleiter-Kondensatorelektrode dient, erreicht wird. Ein Halbleiterbauteil gemäß dieser bevorzugten Ausführungsform gestattet daher die Speicherung großer Ladungsmengen in einem elektrochemischen Doppelschichtkondensator, ohne dass bedeutende Leckströme, d.h. Der Verlust von Ladungen in das Substrat, in Kauf genommen werden müssen.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung ist es vorgesehen, dass ein Kondensator von einer Halbleiter-Kondensatorelektrode in der Device-Schicht und einer auf dieser angeordneten weiteren Halbleiter-Kondensatorelektrode gebildet ist. Bei einer solchen Bauform eines

elektrochemischen Doppelschichtkondensators auf Halbleiterbasis ist somit lediglich eine der beiden Halbleiter-Kondensatorelektroden einstückig mit dem Halbleitersubstrat ausgebildet und die weitere Kondensatorelektrode stellt einen separaten Bauteil dar, der mit weiter unten beschriebenen Methoden auf dem Halbleitersubstrat festgelegt und entsprechend kontaktiert wird.

Im Gegensatz zu der soeben beschriebenen Ausführungsform der vorliegenden Erfindung wird eine besonders hohe Integration von Halbleiterbauteilen erreicht, wenn ein Kondensator von zwei in der Device-Schicht nebeneinander angeordneten Halbleiter-Kondensatorelektroden gebildet ist, wie dies einer bevorzugten Variante der vorliegenden Erfindung entspricht. Eine solche Geometrie ist hinsichtlich der dynamischen Eigenschaften wie Lade- und Entladezeiten des elektrochemischen Doppelschichtkondensators günstig, da die Diffusion des Elektrolyten zwischen den Leiterplatten erleichtert wird und sich keine gegenüber dem restlichen Elektrolytsystem abgeschlossenen Abschnitte in den porösen Bereichen bilden, weshalb die gesamte Oberfläche der Porosität als Elektrodenoberfläche zur Verfügung steht.

Bei der soeben beschriebenen Variante der vorliegenden Erfindung muss klarerweise eine Abdeckung der porösen Bereiche, die die Halbleiter-Kondensatorelektroden bilden, erfolgen, wobei es gemäß einer bevorzugten Ausführungsform bevorzugt ist, dass die nebeneinander angeordneten Halbleiter-Kondensatorelektroden von einem dielektrischen Material, insbesondere von einem Glaswafer bedeckt sind.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung weist das Halbleiter-Substrat eine Device-Schicht-Dicke von 5 μm - 15 μm , insbesondere 10 μm auf. Bei dieser Device-Schicht-Dicke wurden im Versuch die bestmöglichen Ergebnisse erzielt.

Weiters ist es besonders bevorzugt, wenn das Halbleiter-Substrat eine Isolator-Schicht-Dicke von 0,5 μm - 2 μm , insbesondere 1 μm , aufweist.

Weiters bevorzugt weist das Halbleiter-Substrat eine Handle-Wafer-Dicke von 300 μm - 700 μm , insbesondere 550 μm , auf.

Ein bevorzugter Abstand der Kondensatorelektroden ist gegeben, wenn die Kondensatorelektroden 5 μm - 10 μm voneinander beabstandet sind.

Während die vorliegende Erfindung prinzipiell auf eine Reihe von unterschiedlichen Halbleitersubstraten, wie beispielsweise Siliziumkarbid, Galliumarsenid oder Indiumverbindungen oder auf eine Kombination aus einer einkristallinen Siliziumschicht auf einem dielektrischen Substrat,

so wie es beispielsweise die Silicon On Sapphire (SOS)-Technologie ermöglicht, anwendbar ist, ist es bevorzugt, wenn das Halbleiter-Substrat von einem Silizium auf Isolator (Silicon-On-Insulator)-Wafer gebildet ist.

Im einfachsten Fall ist der zumindest eine poröse Bereich von röhrenartigen Hohlräumen gebildet, die sich von der Oberfläche der Device-Schicht zur Isolator-Schicht erstrecken. Wenn beide Halbleiter-Kondensatorelektroden in der Device-Schicht nebeneinander angeordnet sind, ist es jedoch bevorzugt, wenn die porösen Bereiche von parallel zur Oberfläche der Device-Schicht verlaufenden, röhrenartigen Hohlräumen gebildet sind. Eine solche Geometrie ist hinsichtlich der dynamischen Eigenschaften wie Lade- und Entladezeiten des elektrochemischen Doppelschichtkondensators günstig, da die Diffusion des Elektrolyten zwischen den Leiterplatten erleichtert wird und sich keine gegenüber dem restlichen Elektrolytsystem abgeschlossenen Abschnitte in den porösen Bereichen bilden, weshalb die gesamte Oberfläche der Porosität als Elektrodenoberfläche zur Verfügung steht.

Das erfindungsgemäße Verfahren zur Herstellung eines Halbleiterbauteils gemäß oben angeführten Beschreibung umfasst die folgenden Schritte:

- a) Bereitstellen eines Halbleiter-Substrats mit zumindest einer Device-Schicht und einer Isolator-Schicht
- b) Herstellen zumindest eines porösen Bereichs in der Device-Schicht durch Metall-unterstütztes Ätzen
- c) Umgeben des porösen Bereichs mit bis auf die Isolator-Schicht reichenden Trenches
- d) Ankontaktieren des zumindest einen porösen Bereichs zur Ausbildung einer Halbleiter-Kondensatorelektrode in der Device-Schicht.

Metall-unterstütztes Ätzen (metal assisted etching) ist im Stand der Technik bekannt und insbesondere in dem Artikel "Metal Assisted Chemical Etching of Silicone: A Review" aus Advanced Materials (Adv. Mater. 2011, 23, 285 – 308) detailliert beschrieben. Prinzipiell werden bei diesem Verfahren Metallpartikel in der Größe der gewünschten Porositäten auf die Oberfläche eines Halbleiters, wie beispielsweise Silizium, aufgebracht und das so behandelte Halbleitersubstrat in eine wässrige Ätzlösung, enthaltend ein Oxidationsmittel, wie beispielsweise H_2O_2 , und eine Säure, insbesondere HF (Flusssäure), verbracht. Die Metallpartikel wirken als Katalysatoren, wobei insbesondere Silber besonders bevorzugt ist. Beim Ätzzvorgang bilden sich an den Metallpartikeln Kathoden aus, an denen Wasserstoffperoxid (H_2O_2) reduziert wird. Als Folge dessen werden die Siliziumatome unter dem Metall oxidiert und durch die Säure herausgelöst. Auf diese Weise sinken die Metallpartikel mehr oder weniger senkrecht in Bezug auf die Oberfläche in den Halbleiter ein und bilden entsprechende Kanäle aus. Abhängig von der Geometrie der Metallpartikel können diese im Halbleiter auch unterschiedliche

Bahnen beschreiben, wobei sich diese jedoch im Wesentlichen entlang der Gitterstruktur des Siliziums orientieren.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung umfasst das Metall-unterstützte Ätzen den Einsatz einer wässrigen Lösung von 5.0M - 5.5M, insbesondere 5.3M Flusssäure und 0.15M - 0.2M, Insbesondere 0.18M H_2O_2 .

Die Erfindung wird nachfolgend anhand eines in der Zeichnung dargestellten Ausführungsbeispiels erläutert. In dieser zeigen

Figur 1 eine schematische Schnittdarstellung einer ersten Ausführungsform gemäß der vorliegenden Erfindung,

Figur 2 eine schematische Schnittdarstellung einer alternativen Ausführungsform gemäß der vorliegenden Erfindung,

Figur 3 eine rasterelektronenmikroskopische Aufnahme eines Schnitts durch einen erfindungsgemäßen porösen Bereich in einer Device-Schicht eines SOI-Substrat,

Figur 4 eine rasterelektronenmikroskopische Aufnahme einer Draufsicht auf einen erfindungsgemäßen porösen Bereich in einer Device-Schicht eines SOI-Substrats und

Figur 5 eine schematische Schnittdarstellung einer bevorzugten Ausführungsform der vorliegenden Erfindung bei der der zumindest eine poröse Bereich von parallel zur Oberfläche der Device-Schicht verlaufenden, röhrenartigen Hohlräumen gebildet ist.

In Figur 1 ist mit 1 ein SOI-Substrat bezeichnet, welches sich im Wesentlichen aus einer Device-Schicht 2, einer Isolierschicht 3 und einem Handle-Wafer 4 aufbaut. Die Isolierschicht 3 stellt eine elektrische Isolierung zwischen der Device-Schicht 2 und dem Handle-Wafer bzw. dem Bulk 4 sicher. Eine erste Halbleiter-Kondensatorelektrode in Form eines aus der Device-Schicht 2 gebildeten porösen Bereichs 6 ist mit 5 bezeichnet, wobei die Halbleiter-Kondensatorelektrode 5 mittels eines Bonddrahtes 7 mit einem nicht näher dargestellten Schaltkreis auf dem SOI-Substrat 1 elektrisch verbunden ist. Gegenüber der ersten Halbleiter-Kondensatorelektrode 5 ist eine zweite Halbleiter-Kondensatorelektrode 8 angeordnet, wobei ein Hohlraum 9 ausgebildet wird, der mit einem geeigneten Elektrolyten befüllt ist. Die Befüllung kann beispielsweise über ein Füllloch 10 erfolgen, welches mit einem Glasdeckel 11 verschließbar ist. Die zweite Halbleiter-Kondensatorelektrode 8 ist wiederum über einen Bonddraht 12 mit entsprechenden Strukturen auf dem SOI-Substrat verbunden. Die erste Halbleiter-Kondensatorelektrode 5 und die zweite Halbleiter-Kondensatorelektrode 8 bilden zusammen mit dem Elektrolyten im Hohlraum 9 einen elektrochemischen Doppelschichtkondensator aus. Trenches 13 umgeben die Halbleiter-Kondensatorelektrode 5 in der Device-Schicht 2 und isolieren somit den elektrochemischen Doppelschichtkondensator vom Rest der Device-Schicht 2.

Bei der alternativen Ausführungsform gemäß Figur 2 sind sowohl die erste Halbleiter-Kondensatorelektrode 5 als auch die zweite Halbleiter-Kondensatorelektrode 8 nebeneinander in der Device-Schicht 2 angeordnet und eine Abdeckung 14 aus dielektrischen Material wie beispielsweise aus einem Glaswafer stellt einen abgeschlossenen Hohlraum 9 für den Elektrolyten her. Ein weiterer Trench 15, der bis auf die Isolierschicht 3 hinabreicht, sorgt für eine Trennung der beiden Halbleiter-Kondensatorelektroden 5 und 8.

Die Aufnahme gemäß Figur 3 zeigt, dass der poröse Bereich 6 in Form von im Wesentlichen geradlinig verlaufenden Porositäten gebildet ist, welche beim Metall-unterstützten chemischen Ätzverfahren gebildet werden.

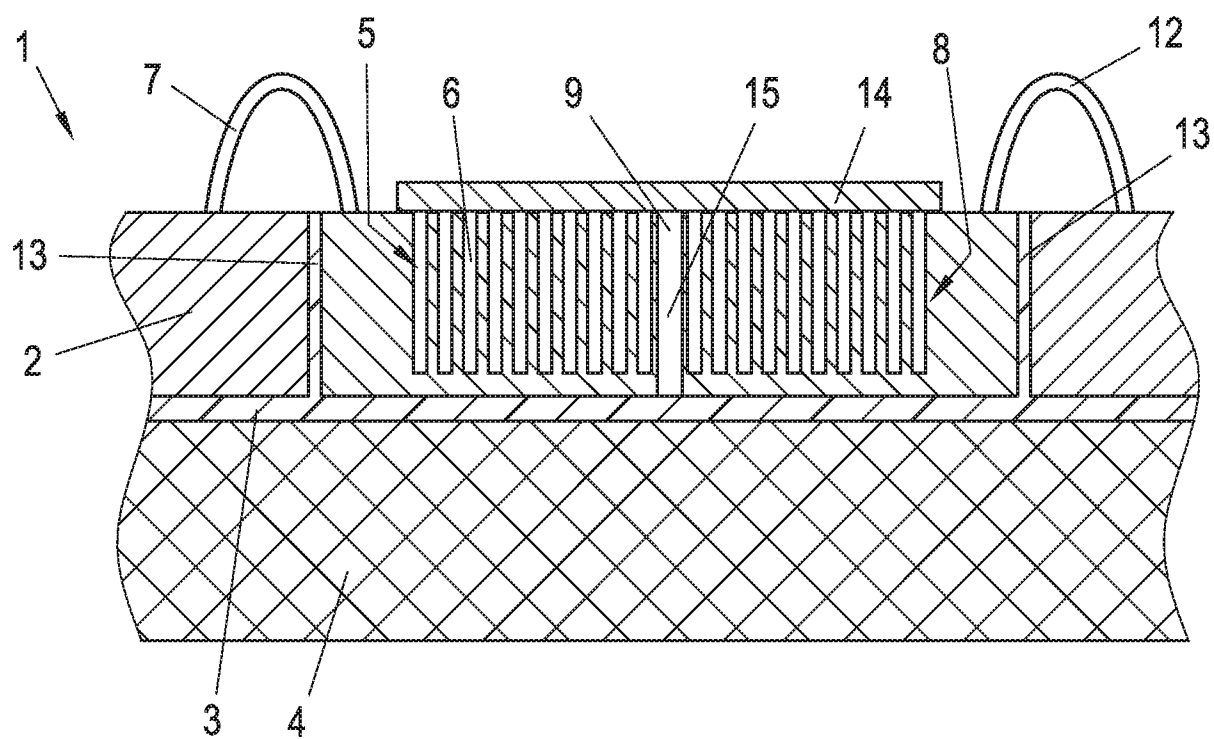
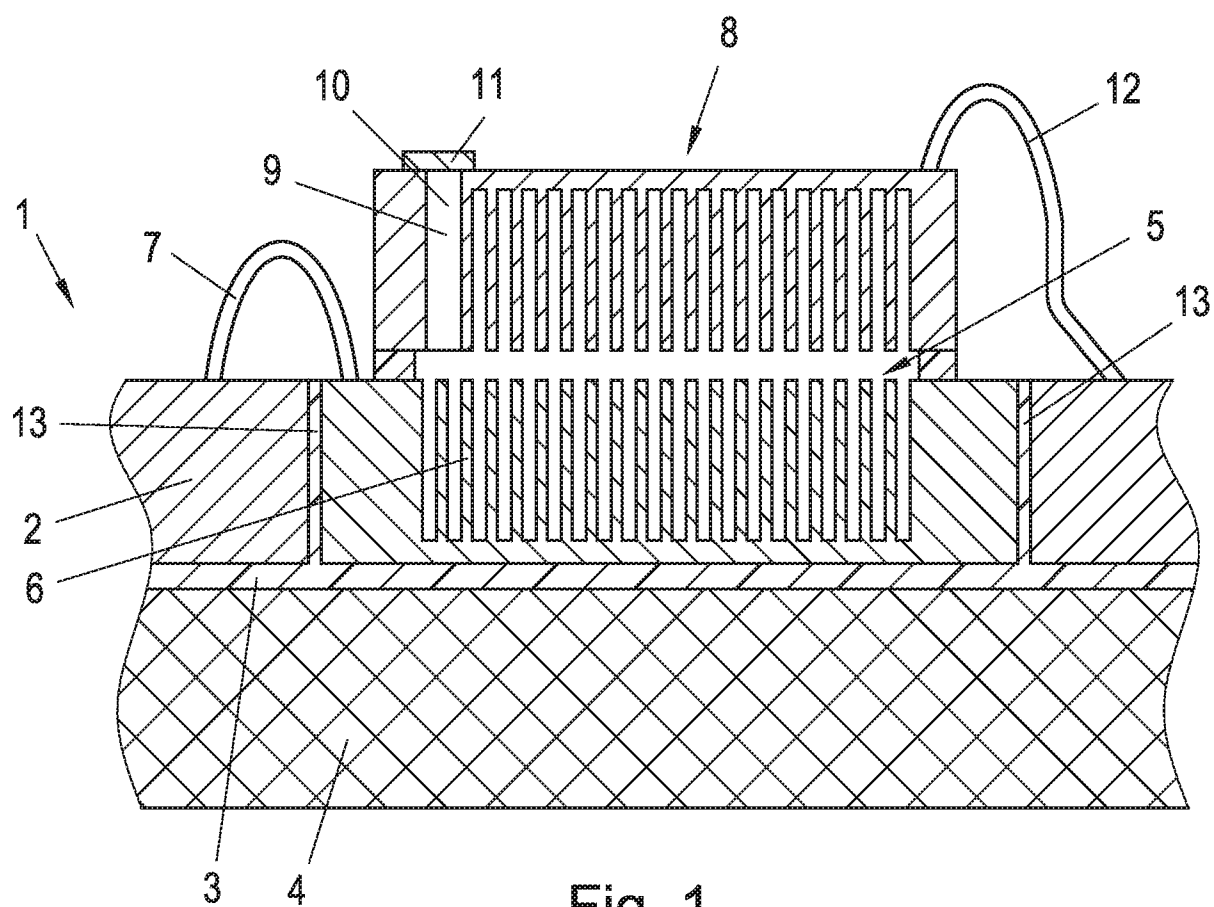
In Figur 4 ist zu erkennen, dass im porösen Bereich 6 die Porositäten in der Device-Schicht 2 eine enorm hohe Elektrodenoberfläche für die Ausbildung von Helmholtz-Doppelschichten zur Verfügung, wodurch besonders hohe Kapazitäten des Kondensators erzielt werden können.

Bei der in Figur 5 dargestellten erfindungsgemäßen Ausführungsform sind die porösen Bereiche von parallel zur Oberfläche der Device-Schicht verlaufenden, röhrenartigen Hohlräumen gebildet, was gegenüber den in den Figuren 1 und 2 dargestellten Varianten der vorliegenden Erfindung hinsichtlich der dynamischen Eigenschaften des elektrochemischen Doppelschichtkondensators und vor allem hinsichtlich der Lade- und Entladezeiten von Vorteil ist.

ANSPRÜCHE

1. Halbleiter-Bauteil, ausgebildet auf einem zumindest eine Device-Schicht und eine Isolator-Schicht aufweisenden Halbleiter-Substrat, gekennzeichnet durch zumindest eine Halbleiter-Kondensatorelektrode in der Device-Schicht in Form eines aus der Device-Schicht gebildeten porösen Bereichs.
2. Halbleiter-Bauteil nach Anspruch 1, dadurch gekennzeichnet, dass der die zumindest eine Kondensatorelektrode bildende poröse Bereich in der Ebene der Device-Schicht von bis auf die Isolator-Schicht reichenden Trenches umgeben ist.
3. Halbleiter-Bauteil nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass ein Kondensator von einer Halbleiter-Kondensatorelektrode in der Device-Schicht und einer auf dieser angeordneten weiteren Halbleiter-Kondensatorelektrode gebildet ist.
4. Halbleiter-Bauteil nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass ein Kondensator von zwei in der Device-Schicht nebeneinander angeordneten Halbleiter-Kondensatorelektroden gebildet ist.
5. Halbleiter-Bauteil nach Anspruch 4, dadurch gekennzeichnet, dass die nebeneinander angeordneten Halbleiter-Kondensatorelektroden von einem dielektrischen Material, insbesondere von einem Glaswafer bedeckt sind.
6. Halbleiter-Bauteil nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass das Halbleiter-Substrat eine Device-Schicht-Dicke von 5 μm - 15 μm , insbesondere 10 μm , aufweist.
7. Halbleiter-Bauteil nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass das Halbleiter-Substrat eine Isolator-Schicht-Dicke von 0,5 μm - 2 μm , insbesondere 1 μm , aufweist.
8. Halbleiter-Bauteil nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass das Halbleiter-Substrat eine Handle-Wafer-Dicke von 300 μm - 700 μm , insbesondere 550 μm , aufweist.
9. Halbleiter-Bauteil nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Kondensatorelektroden 5 μm - 10 μm voneinander beabstandet sind.

10. Halbleiter-Bauteil nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass das Halbleiter-Substrat von einem Silizium auf Isolator (Silicon-On-Insulator)-Wafer gebildet ist.
11. Halbleiter-Bauteil nach einem der Ansprüche 4 bis 10, dadurch gekennzeichnet, dass die porösen Bereiche von parallel zur Oberfläche der Device-Schicht verlaufenden, röhrenartigen Hohlräumen gebildet sind.
12. Verfahren zu Herstellung eines Halbleiter-Bauteils nach einem der Ansprüche 1 bis 11, gekennzeichnet durch folgende Schritte:
- a) Bereitstellen eines Halbleiter-Substrats mit zumindest einer Device-Schicht und einer Isolator-Schicht
 - b) Herstellen zumindest eines porösen Bereichs in der Device-Schicht durch Metall-unterstütztes Ätzen
 - c) Umgeben des porösen Bereichs mit bis auf die Isolator-Schicht reichenden Trenches
 - d) Ankontaktieren des zumindest einen porösen Bereichs zur Ausbildung einer Halbleiter-Kondensatorelektrode in der Device-Schicht.
13. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass das Metall-unterstützte Ätzen den Einsatz einer wässrigen Lösung von 5.0M - 5.5M, insbesondere 5.3M Flusssäure und 0.15M - 0.2M, insbesondere 0.18M H_2O_2 umfasst.



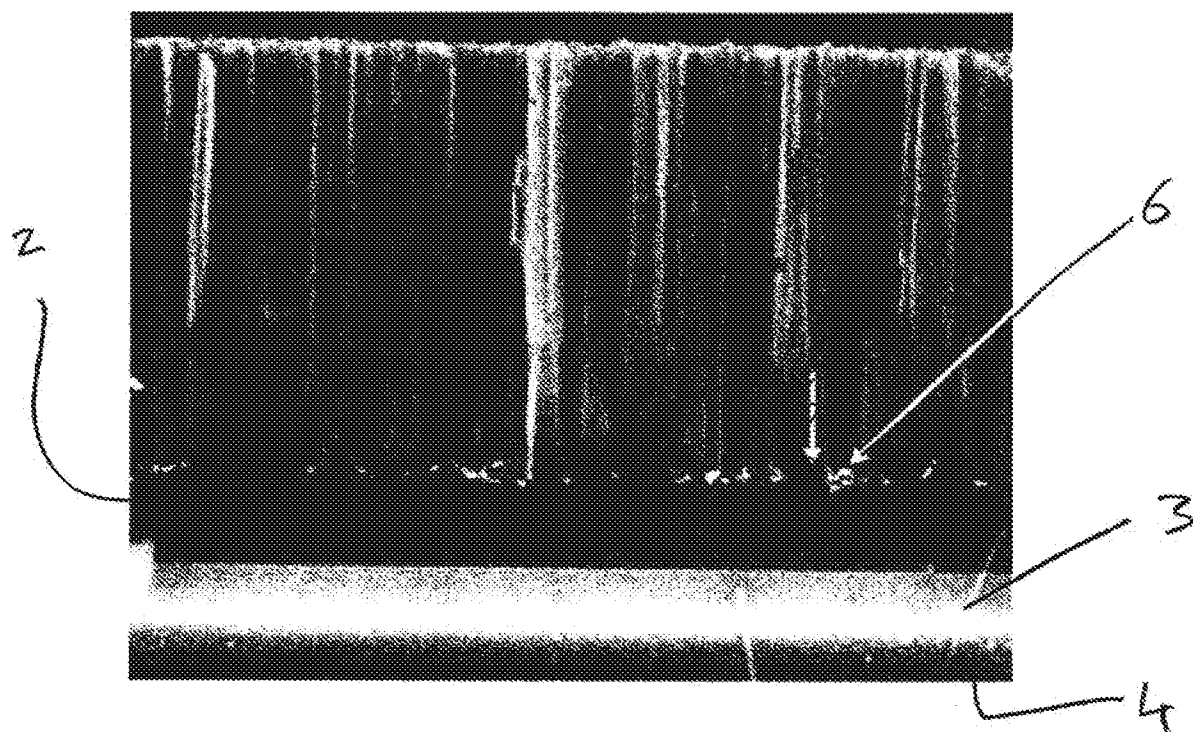


Fig. 3

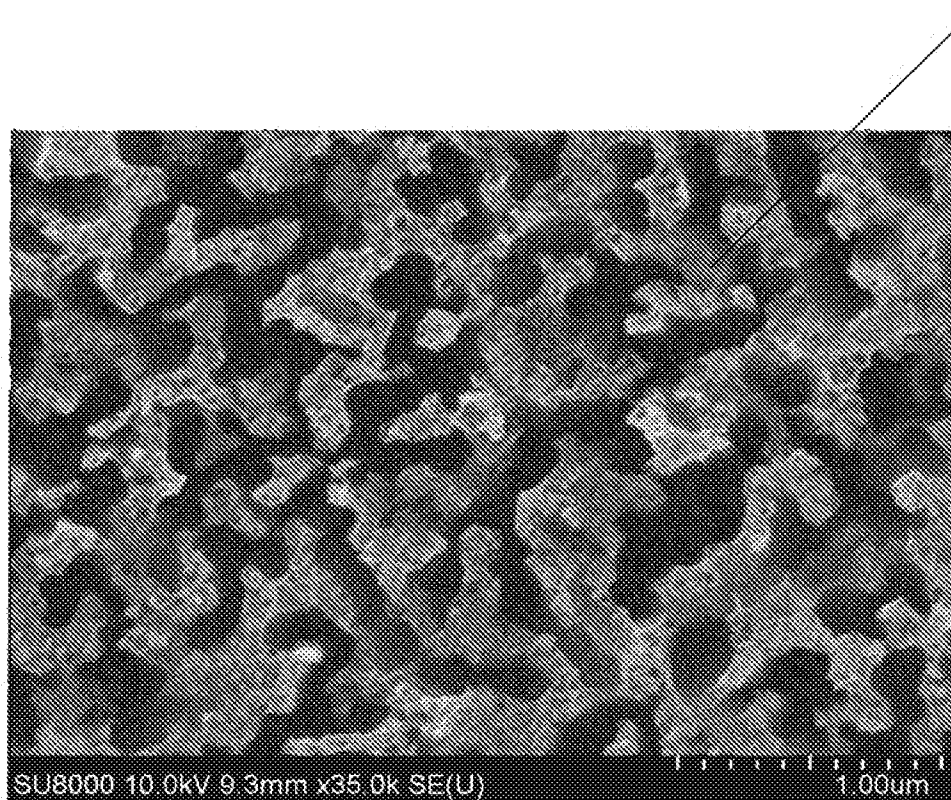


Fig. 4

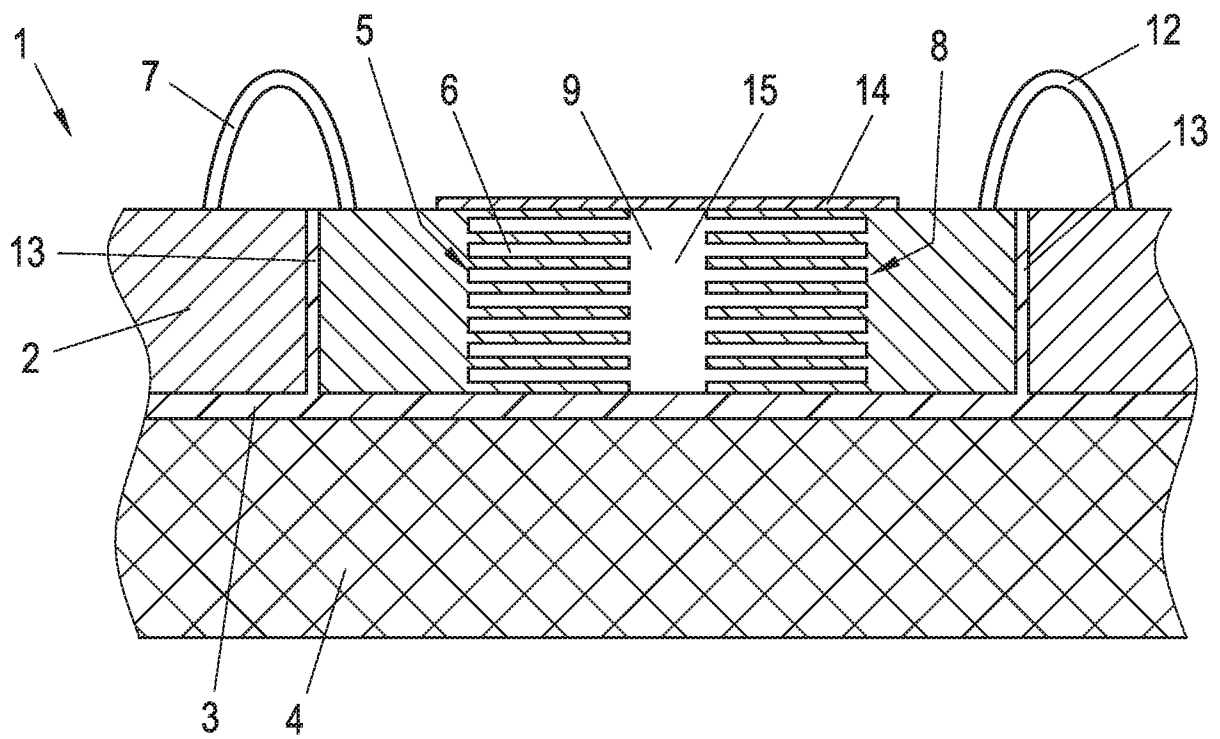


Fig. 5

INTERNATIONAL SEARCH REPORT

International application No
PCT/AT2014/050134

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H01G11/26	H01G11/28
	H01L21/70	
	H01G11/82	H01G11/86
		H01L49/02
ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01G H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2004/027861 A1 (INFINEON TECHNOLOGIES AG [DE]; HOFMANN FRANZ [DE]; LEHMANN VOLKER [DE]) 1 April 2004 (2004-04-01)	1-10
Y	claims 1,4	11-13
Y	----- HUANG Z ET AL: "Metal-Assisted Chemical Etching of Silicon: A Review", ADVANCED MATERIALS, WILEY - V C H VERLAG GMBH & CO. KGAA, DE, vol. 23, no. 2, 11 January 2011 (2011-01-11), pages 285-308, XP002667196, ISSN: 0935-9648, DOI: 10.1002/ADMA.201001784 [retrieved on 2010-09-21] page 285 - page 286 ----- -/-	11-13
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
29 September 2014		13/10/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Lescop, Emmanuelle

INTERNATIONAL SEARCH REPORT

International application No
PCT/AT2014/050134

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/154862 A1 (UNIV RAMOT [IL]; NATHAN MENACHEM [IL]) 15 December 2011 (2011-12-15) page 13, line 13 - line 22 -----	1-13
A	DE 101 33 688 A1 (INFINEON TECHNOLOGIES AG [DE]) 26 September 2002 (2002-09-26) claim 3 -----	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/AT2014/050134

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2004027861	A1	01-04-2004	CN 1682369 A 12-10-2005
			DE 10242877 A1 25-03-2004
			EP 1540725 A1 15-06-2005
			TW I253168 B 11-04-2006
			US 2005269617 A1 08-12-2005
			WO 2004027861 A1 01-04-2004
WO 2011154862	A1	15-12-2011	US 2013078513 A1 28-03-2013
			WO 2011154862 A1 15-12-2011
DE 10133688	A1	26-09-2002	NONE

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01G11/26 H01G11/28 H01G11/82 H01G11/86 H01L49/02
H01L21/70

ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01G H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2004/027861 A1 (INFINEON TECHNOLOGIES AG [DE]; HOFMANN FRANZ [DE]; LEHMANN VOLKER [DE]) 1. April 2004 (2004-04-01)	1-10
Y	Ansprüche 1,4	11-13
Y	----- HUANG Z ET AL: "Metal-Assisted Chemical Etching of Silicon: A Review", ADVANCED MATERIALS, WILEY - V C H VERLAG GMBH & CO. KGAA, DE, Bd. 23, Nr. 2, 11. Januar 2011 (2011-01-11), Seiten 285-308, XP002667196, ISSN: 0935-9648, DOI: 10.1002/ADMA.201001784 [gefunden am 2010-09-21] Seite 285 - Seite 286 ----- -/-	11-13



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

29. September 2014

Absendedatum des internationalen Recherchenberichts

13/10/2014

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Lescop, Emmanuelle

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 2011/154862 A1 (UNIV RAMOT [IL]; NATHAN MENACHEM [IL]) 15. Dezember 2011 (2011-12-15) Seite 13, Zeile 13 - Zeile 22 -----	1-13
A	DE 101 33 688 A1 (INFINEON TECHNOLOGIES AG [DE]) 26. September 2002 (2002-09-26) Anspruch 3 -----	1-13

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/AT2014/050134

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2004027861	A1	01-04-2004	CN 1682369 A 12-10-2005
			DE 10242877 A1 25-03-2004
			EP 1540725 A1 15-06-2005
			TW I253168 B 11-04-2006
			US 2005269617 A1 08-12-2005
			WO 2004027861 A1 01-04-2004

WO 2011154862	A1	15-12-2011	US 2013078513 A1 28-03-2013
			WO 2011154862 A1 15-12-2011

DE 10133688	A1	26-09-2002	KEINE
