



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

多結晶シリコンの結晶性を調整することによって特性を適切に調整した薄膜トランジスタ及び薄膜トランジスタの製造方法を提供する。TFTのチャネル層に含まれるシリコン層14は、非晶質部141と、第1多結晶部142と、より結晶性が低い第2多結晶部143とを含んでいる。レーザー光(エネルギービーム)を遮蔽する遮蔽部21、レーザー光を透過させる第1透過部22及びレーザー光の透過率がより低い第2遮蔽部22を含んだマスク2を通して、レーザー光をシリコン層14へ照射することにより、第1多結晶部142及び第2多結晶部143を形成する。第2多結晶部143が存在することによって、多結晶の部分の結晶性が一種類であるTFTに比べて、移動度等のTFTの特性がより適切に調整される。また、マスク2の構成を調整することによって、TFTの特性を簡便に調整することができる。

明 細 書

発明の名称： 薄膜トランジスタ及び薄膜トランジスタの製造方法
技術分野

[0001] 本発明は、薄膜トランジスタ及び薄膜トランジスタの製造方法に関する。

背景技術

[0002] 液晶ディスプレイパネルには、画素を表示するための画素電極を駆動させるアクティブ素子として薄膜トランジスタ（TFT：Thin Film Transistor）が使用されていることが多い。TFTには、半導体に非晶質シリコンを用いたものと、多結晶シリコンを用いたものがある。多結晶シリコンは、非晶質シリコンに比べて移動度が大きい。このため、多結晶シリコンを用いたTFTは高速動作が可能である。逆に、非晶質シリコンを用いたTFTは、移動度がより小さいので、非動作時の漏れ電流を低減させることができる。

[0003] 特許文献1には、非晶質シリコン及び多結晶シリコンの両方の特性を利用したTFTが開示されている。このTFTでは、絶縁性の基板の上にゲート電極が形成され、基板及びゲート電極を覆う絶縁層が形成され、絶縁層上に多結晶シリコン層が形成され、多結晶シリコン層上に非晶質シリコン層が形成され、非晶質シリコン層上にソース電極及びドレイン電極が形成されている。多結晶シリコン層は、非晶質シリコン層を一旦形成し、非晶質シリコン層にレーザ光を照射して非晶質シリコンを多結晶シリコンへ変化させることにより形成する。多結晶シリコン層及び非晶質シリコン層がチャンネル層として機能する。移動度等のTFTの特性は、チャンネル層が多結晶シリコン層である場合とチャンネル層が非晶質シリコン層である場合との中間の特性となる。

[0004] また、非晶質シリコン層の全体を多結晶シリコンへ変化させるのではなく、非晶質シリコン層に部分的にレーザ光を照射して、非晶質シリコン層の一部を多結晶シリコンへ変化させる技術が開発されている。非晶質シリコン層の一部を多結晶シリコンへ変化させることにより、非晶質シリコン層の全体を多結晶シリコンへ変化させた場合に比べて、漏れ電流を低減させることが

できる。

先行技術文献

特許文献

[0005] 特許文献1：特開2012-114131号公報

発明の概要

発明が解決しようとする課題

[0006] 非晶質シリコン層の全体を多結晶シリコンへ変化させたTFETでは、移動度が大きい一方で、漏れ電流が大きい。逆に、非晶質シリコン層の一部を多結晶シリコンへ変化させたTFETでは、漏れ電流が低減されるものの、移動度が低下し、動作が低速になる。

[0007] 本発明は、斯かる事情に鑑みてなされたものであって、その目的とするところは、多結晶シリコンの結晶性を調整することによって特性を適切に調整した薄膜トランジスタ及び薄膜トランジスタの製造方法を提供することにある。

課題を解決するための手段

[0008] 本発明に係る薄膜トランジスタは、基板と、該基板の表面に形成されたゲート電極と、該ゲート電極の上側に形成されたシリコン層と、該シリコン層の上側に一部が形成されたソース電極及びドレイン電極とを備える薄膜トランジスタにおいて、前記シリコン層は、非晶質シリコンでなる非晶質部と、多結晶シリコンを含んでなる第1多結晶部と、多結晶シリコンを含んでなり、前記第1多結晶部よりも結晶性が低い第2多結晶部とを有することを特徴とする。

[0009] 本発明に係る薄膜トランジスタは、前記第1多結晶部は、前記ソース電極を前記シリコン層に射影した位置の一部を含んだ位置と、前記ドレイン電極を前記シリコン層に射影した位置の一部を含んだ位置との離隔した二か所に設けられており、前記第2多結晶部は、二か所の前記第1多結晶部を繋ぐ位置に設けられていることを特徴とする。

- [0010] 本発明に係る薄膜トランジスタは、前記ソース電極及び前記ドレイン電極を前記シリコン層に射影した位置に前記シリコン層の端部の一部が含まれており、該一部には前記非晶質部が設けられていることを特徴とする。
- [0011] 本発明に係る薄膜トランジスタの製造方法は、基板と、該基板の表面に形成されたゲート電極と、該ゲート電極の上側に形成されたシリコン層と、該シリコン層の上側に一部が形成されたソース電極及びドレイン電極とを備える薄膜トランジスタを製造する方法において、非晶質シリコンでなるシリコン層を形成する工程と、形成したシリコン層中の一部分へエネルギービームを照射して、多結晶シリコンを含んでなる第1多結晶部を生成し、前記エネルギービームよりも低い強度のエネルギービームを前記シリコン層中の他の一部分へ照射して、多結晶シリコンを含んでなり前記第1多結晶部よりも結晶性の低い第2多結晶部を生成する結晶化工程と、前記第1多結晶部、前記第2多結晶部、及びエネルギービームを照射されていない非晶質部を残すように、前記シリコン層をエッチングする工程とを含むことを特徴とする。
- [0012] 本発明に係る薄膜トランジスタの製造方法は、前記結晶化工程は、マスクを通してエネルギービームを前記シリコン層へ照射するようにしてあり、前記マスクは、前記エネルギービームを遮蔽する遮蔽部と、前記エネルギービームを透過させる第1透過部と、該第1透過部よりも低い透過率で前記エネルギービームを透過させる第2透過部とを含むことを特徴とする。
- [0013] 本発明においては、TFTのチャンネル層に含まれるシリコン層は、非晶質部と、第1多結晶部と、第1多結晶部よりも結晶性が低い第2多結晶部とを含んでいる。第2多結晶部では、移動度が非晶質部よりも大きくなり、第1多結晶部よりも小さくなる。第2多結晶部が存在することによって、多結晶の部分の結晶性が一種類であるTFTに比べて、移動度等のTFTの特性がより適切に調整される。例えば、第2多結晶部が含まれていないTFTに比べて、第1多結晶部の大きさが減少し第2多結晶部が加わることによって、移動度が低下するものの漏れ電流が低減される。
- [0014] また、本発明においては、シリコン層内で、ソース電極を射影した位置の

一部を含んだ位置と、ドレイン電極を射影した位置の一部を含んだ位置との二か所に第1多結晶部が形成され、第2多結晶部は、二か所の第1多結晶部を繋いでいる。ソース電極及びドレイン電極の間を流れる電流は、第1多結晶部及び第2多結晶部を流れる。このため、移動度等のTFTの特性は、第2多結晶部の存在によって調整される。

[0015] また、本発明においては、ソース電極及びドレイン電極をシリコン層に射影した位置の一部は、シリコン層の端部の一部であり、この部分は非晶質部になっている。ソース電極及びドレイン電極の間を流れる電流は、非晶質部に影響を受ける。

[0016] また、本発明においては、マスクを通してエネルギービームをシリコン層へ照射することにより、シリコン層内に第1多結晶部及び第2多結晶部を形成する。マスクは、エネルギービームを遮蔽する部分と、エネルギービームを透過させる部分と、より低い透過率でエネルギービームを透過させる部分とを含んでいる。低い透過率でマスクを透過したエネルギービームを照射された部分が、第2多結晶部になる。マスク2の構成を調整することによって、第1多結晶部及び第2多結晶部の位置、形状及び大きさが調整される。

発明の効果

[0017] 本発明にあつては、TFTでの移動度及び漏れ電流を適切に調整し、移動度の向上及び漏れ電流の低減を両立させることができる。また、エネルギービームを透過させるマスクの構成を調整することによって、TFTの特性を簡便に調整することが可能である。

図面の簡単な説明

- [0018] [図1]実施形態1に係るTFTの要部の模式的断面図である。
[図2]実施形態1に係るTFTの要部の模式的平面図である。
[図3]実施形態1に係るTFTの製造方法を示す工程図である。
[図4]実施形態1に係るTFTの製造工程の一部を示す模式的断面図である。
[図5]実施形態1に係るTFTの製造工程の一部を示す模式的断面図である。
[図6]マスクの模式的平面図である。

[図7]実施形態1に係るTFTの製造工程の一部を示す模式的断面図である。

[図8]実施形態1に係るTFTの製造工程の一部を示す模式的断面図である。

[図9]実施形態1に係るTFTの製造工程の一部を示す模式的断面図である。

[図10]実施形態2に係るTFTの要部の模式的平面図である。

発明を実施するための形態

[0019] 以下本発明をその実施の形態を示す図面に基づき具体的に説明する。

<実施形態1>

図1は、実施形態1に係るTFTの要部の模式的断面図である。ガラス基板等の絶縁性の基板11の表面にゲート電極12が形成されており、ゲート電極12を覆って基板11上にゲート絶縁膜13が形成されている。ゲート絶縁膜13は、例えば窒化シリコンの層である。ゲート絶縁膜13の表面の内ゲート電極12の上側には、シリコン層14が形成されている。シリコン層14は、非晶質シリコンで構成された非晶質部141と、多結晶シリコンを含んでいる第1多結晶部142と、多結晶シリコンを含んでおり、第1多結晶部142よりも結晶性が低い第2多結晶部143とを含んでいる。ここで、「結晶性が低い」とは、第2多結晶部143では結晶化率（結晶化度）の値が第1多結晶部142よりも小さくなっていることを意味している。

[0020] シリコン層14の表面には、非晶質シリコンで構成された非晶質シリコン層15が形成されている。非晶質シリコン層15の表面の所要位置には、 $n+S i$ 層16が形成されている。 $n+S i$ 層16は、リン又はヒ素等の不純物濃度が高い n 型のシリコンで構成されている。 $n+S i$ 層16の表面、シリコン層14及び非晶質シリコン層15の側面、並びにゲート絶縁膜13の表面には、所要のパターンを有するソース電極17及びドレイン電極18が形成されている。 $n+S i$ 層16は、ソース電極17及びドレイン電極18とのコンタクト層である。また、シリコン層14及び非晶質シリコン層15はTFTのチャネル層である。

[0021] 図2は、実施形態1に係るTFTの要部の模式的平面図である。図2には、シリコン層14、ソース電極17及びドレイン電極18の平面視における

位置関係を示しており、TFTのその他の構造は省略している。平面視で、シリコン層14は矩形に形成されている。シリコン層14中の二か所に第1多結晶部142が形成されており、二か所の第1多結晶部142は平面視で離隔している。シリコン層14内で、二か所の第1多結晶部142の間は第2多結晶部143になっている。即ち、第2多結晶部143は、二か所の第1多結晶部142を繋いだ位置に形成されている。非晶質部141は、シリコン14の端部に形成されており、平面視で第1多結晶部142及び第2多結晶部143の周囲に位置している。

[0022] 二か所の第1多結晶部142の内、一方の第1多結晶部142は、ソース電極17をシリコン層14に射影した位置の一部を含んでいる。他方の第1多結晶部142は、ドレイン電極18をシリコン層14に射影した位置の一部を含んでいる。また、第2多結晶部143には、ソース電極17又はドレイン電極18をシリコン層14に射影した位置は含まれていない。ソース電極17及びドレイン電極18をシリコン層14に射影した位置の内、第1多結晶部142に含まれていない部分は、非晶質部141に含まれている。

[0023] 図3は、実施形態1に係るTFTの製造方法を示す工程図である。図4、5、7～9は、実施形態1に係るTFTの製造工程の一部を示す模式的断面図である。図4に示すように、基板11上にゲート電極12を形成し(S1)、ゲート電極12を覆って基板11の表面にゲート絶縁膜13を形成し(S2)、ゲート絶縁膜13の表面に非晶質シリコンからなるシリコン層14を形成する(S3)。

[0024] 次に、シリコン層14の一部を結晶化させる(S4)。非晶質シリコンを結晶化させるために、シリコン層14の一部へレーザ光(エネルギービーム)を照射し、レーザ光の熱によってシリコンの温度を上昇させ、その後放熱させるアニール処理を行う。レーザ光を照射した部分で非晶質シリコンが多結晶シリコンへ変化する。レーザには、例えば、非晶質シリコンの吸収の大きい紫外光のエキシマレーザを用いることができる。図5は、レーザ光をシリコン層14へ照射する方法を図示している。S4の工程では、マスク2を

通してレーザ光3を照射する。図5中には、マスク2の模式的断面を示しており、レーザ光3を矢印で示している。また、S4の工程では、マスク2以外の、レンズ等の光学素子を利用する。図5では、マスク2以外の光学素子を省略している。

[0025] 図6は、マスク2の模式的平面図である。マスク2は、平板状であり、レーザ光3を遮蔽する遮蔽部21と、レーザ光3を透過させる第1透過部22と、第1透過部22よりも低い透過率でレーザ光3を透過させる第2透過部23とを含んでいる。例えば、第1透過部22は透明な材料で形成され、第2透過部23は一枚の偏光板で形成され、遮蔽部21は偏光方向を直交させた二枚の偏光板で形成されている。図6に示すように、平面視で、第1透過部22の形状は、図2に示す第1多結晶部142と同等の形状になっており、第2透過部23の形状は図2に示す第2多結晶部143と同等の形状になっている。第1透過部22を透過したレーザ光31がシリコン層14上の第1多結晶部142となるべき部分へ照射され、第2透過部23を透過したレーザ光32が第2多結晶部143となるべき部分へ照射されるように、第1透過部22及び第2透過部23の形状及び大きさが定められており、マスク2の位置が定められる。

[0026] 第1透過部22を透過したレーザ光31がシリコン層14へ照射され、レーザ光31を照射された部分で非晶質シリコンが多結晶シリコンへ変化し、第1多結晶部142が生成される。即ち、シリコン層14中のレーザ光31を照射された部分が第1多結晶部142となる。第2透過部23を透過したレーザ光32がシリコン層14へ照射され、レーザ光32を照射された部分で非晶質シリコンが多結晶シリコンへ変化し、第2多結晶部143が生成される。即ち、シリコン層14中のレーザ光32を照射された部分が第2多結晶部143となる。図7は、シリコン層14中に第1多結晶部142及び第2多結晶部143が生成された状態を示す。第2透過部23は第1透過部22よりもレーザ光3の透過率が低いので、レーザ光32はレーザ光31よりも強度が低い。レーザ光32の強度が低いので、照射されたシリコンの上昇温

度が低くなり、非晶質シリコンが結晶化する割合が低下する。このため、第2多結晶部143は第1多結晶部142よりも結晶性が低くなる。

[0027] 次に、シリコン層14の表面に非晶質シリコンからなる非晶質シリコン層15を形成し(S5)、非晶質シリコン層15の表面に $n+S i$ 層16を形成する(S6)。図8は、 $n+S i$ 層16を形成した状態を示す。シリコン層14を非晶質シリコン層15が覆い、 $n+S i$ 層16が非晶質シリコン層15を覆っている。次に、露光処理及び現像処理を行って、 $n+S i$ 層16上にフォトレジストによる所要のパターンを形成し、シリコン層14、非晶質シリコン層15及び $n+S i$ 層16をエッチングする(S7)。図9は、エッチング後の状態を示す。S7の工程では、シリコン層14に含まれている非晶質シリコンの部分を残すようにエッチングを行う。シリコン層14中に残存する非晶質シリコンの部分が非晶質部141となる。次に、図1に示すように、 $n+S i$ 層16上にソース電極17及びドレイン電極18を形成し(S8)、TFTを完成させる。

[0028] 以上詳述した如く、本実施形態においては、TFTのチャンネル層に含まれるシリコン層14には、非晶質部141と、第1多結晶部142と、第1多結晶部142よりも結晶性の低い第2多結晶部143とが含まれている。第2多結晶部143では、移動度が非晶質部141よりも大きくなり、第1多結晶部142よりも小さくなる。第2多結晶部143が存在することによって、多結晶の部分の結晶性が一種類であるTFTに比べて、移動度等のTFTの特性をより適切に調整することができる。

[0029] 本実施形態においては、シリコン層14内で、ソース電極17を射影した位置の一部を含んだ位置と、ドレイン電極18を射影した位置の一部を含んだ位置との二か所に第1多結晶部142が形成されている。第2多結晶部143は、シリコン層14内で、二か所の第1多結晶部142を繋いでいる。ソース電極17及びドレイン電極18の間を流れる電流は、第1多結晶部142及び第2多結晶部143を流れる。また、ソース電極17及びドレイン電極18をシリコン層14に射影した位置の一部は、シリコン層14の端部

の一部であり、この部分は非晶質部141になっている。ソース電極17及びドレイン電極18の間を流れる電流は、非晶質部141に影響を受け、漏れ電流が低減される。従来のTFTのような、ソース電極17及びドレイン電極18をシリコン層14へ射影した位置が第1多結晶部142で繋がるTFTに比べて、本実施形態に係るTFTは、移動度が低下するものの漏れ電流が低減される。また、従来のTFTのような、シリコン層14内で二か所の第1多結晶部142の間が非晶質部141になっているTFTに比べて、本実施形態に係るTFTは、漏れ電流が大きくなるものの移動度が大きくなっている。従って、本実施の形態では、TFTでの移動度及び漏れ電流を中程度に調整し、TFTでの移動度の向上及び漏れ電流の低減を両立させることができる。

[0030] また、本実施形態においては、遮蔽部21、第1透過部22及び第2透過部23を含んだマスク2を通してレーザ光3をシリコン層14へ照射することにより、シリコン層14内に第1多結晶部142及び第2多結晶部143を形成する。マスク2中の第1透過部22及び第2透過部23の位置、形状及び大きさを調整することによって、シリコン層14内の第1多結晶部142及び第2多結晶部143の位置、形状及び大きさを調整することが可能である。また、第2透過部23でのレーザ光3の透過率を調整することによって、第2多結晶部143の結晶性を調整することが可能である。第1多結晶部142及び第2多結晶部143の位置、形状及び大きさ並びに第2多結晶部143の結晶性に応じて、TFTでの移動度及び漏れ電流が定まる。従って、マスク2の構成を調整することによって、TFTの特性を簡便に調整することが可能である。

[0031] なお、本実施形態では、マスク2を利用してシリコン層14内に第1多結晶部142及び第2多結晶部143を形成する形態を示したが、その他の方法で第1多結晶部142及び第2多結晶部143を形成することも可能である。例えば、レーザ光の出力をシリコン層14上の照射位置に応じて変更することによって、第1多結晶部142となるべき部分へ照射する場合に比べ

て第2多結晶部143となるべき部分へ照射する場合にレーザ光の強度を低くしてもよい。また、例えば、シリコン層14上の照射位置に応じて異なるレーザを用いてもよい。

[0032] <実施形態2>

実施形態2においては、シリコン層14内の各部分の配置が異なる形態を示す。図10は、実施形態2に係るTF Tの要部の模式的平面図である。TF Tの断面構造は実施形態1と同様である。図10には、シリコン層14、ソース電極17及びドレイン電極18の平面視における位置関係を示しており、TF Tのその他の構造は省略している。シリコン層14中の二か所に第1多結晶部142が形成されており、二か所の第1多結晶部142は平面視で離隔している。一方の第1多結晶部142は、ソース電極17をシリコン層14に射影した位置の一部を含んでおり、他方の第1多結晶部142は、ドレイン電極18をシリコン層14に射影した位置の一部を含んでいる。

[0033] 第2多結晶部143は、二か所の第1多結晶部142の間に形成されており、二か所の第1多結晶部142に連結している。即ち、第2多結晶部143は、二か所の第1多結晶部142を繋いだ位置に形成されている。但し、平面視で、ソース電極17及びドレイン電極18が並んだ方向と交差する方向に、第2多結晶部143の長さは第1多結晶部142よりも短い。即ち、本実施形態では、実施形態1に比べて、ソース電極17及びドレイン電極18が並んだ方向と交差する方向に第2多結晶部143の長さが短くなっている。二か所の第1多結晶部142の間にある第2多結晶部143以外の部分は、非晶質部141になっている。また、第2多結晶部143には、ソース電極17又はドレイン電極18をシリコン層14に射影した位置は含まれていない。ソース電極17及びドレイン電極18をシリコン層14に射影した位置の内、第1多結晶部142に含まれていない部分は、非晶質部141に含まれている。TF Tの製造方法は、実施形態1と同様である。

[0034] 本実施の形態においては、実施形態1と比べて、第2多結晶部143が小さくなり非晶質部141が大きくなっているため、移動度が若干低下するも

の、漏れ電流はより低減される。この様に、第1多結晶部142及び第2多結晶部143の位置、形状及び大きさを調整することによって、TFTの特性を調整することが可能である。また、本実施形態においても、実施形態1と同様にマスク2を用いてTFTを製造する。従って、本実施形態においても、マスク2の構成を調整することによって、TFTの特性を簡便に調整することが可能である。

[0035] なお、実施形態1及び2に示したシリコン層14内の第1多結晶部142及び第2多結晶部143の位置、形状及び大きさは例示であり、第1多結晶部142及び第2多結晶部143の位置、形状及び大きさは実施形態1又は2と異なってもよい。例えば、第1多結晶部142及び第2多結晶部143の位置は、実施形態1に示す位置と逆になってもよい。また、実施形態1及び2においては、結晶化を行うためにレーザ光を用いる例を示したが、本発明では、レーザ光以外のエネルギービームを用いてもよい。

符号の説明

- [0036]
- 11 基板
 - 12 ゲート電極
 - 13 ゲート絶縁膜
 - 14 シリコン層
 - 141 非晶質部
 - 142 第1多結晶部
 - 143 第2多結晶部
 - 15 非晶質シリコン層
 - 16 n+Si層
 - 17 ソース電極
 - 18 ドレイン電極
 - 2 マスク
 - 21 遮蔽部
 - 22 第1透過部

2 3 第2透過部

3、3 1、3 2 レーザ光（エネルギービーム）

請求の範囲

[請求項1] 基板と、該基板の表面に形成されたゲート電極と、該ゲート電極の上側に形成されたシリコン層と、該シリコン層の上側に一部が形成されたソース電極及びドレイン電極とを備える薄膜トランジスタにおいて、

前記シリコン層は、非晶質シリコンでなる非晶質部と、多結晶シリコンを含んでなる第1多結晶部と、多結晶シリコンを含んでなり、前記第1多結晶部よりも結晶性が低い第2多結晶部とを有することを特徴とする薄膜トランジスタ。

[請求項2] 前記第1多結晶部は、前記ソース電極を前記シリコン層に射影した位置の一部を含んだ位置と、前記ドレイン電極を前記シリコン層に射影した位置の一部を含んだ位置との離隔した二か所に設けられており、

前記第2多結晶部は、二か所の前記第1多結晶部を繋ぐ位置に設けられていること

を特徴とする請求項1に記載の薄膜トランジスタ。

[請求項3] 前記ソース電極及び前記ドレイン電極を前記シリコン層に射影した位置に前記シリコン層の端部の一部が含まれており、該一部には前記非晶質部が設けられていること

を特徴とする請求項2に記載の薄膜トランジスタ。

[請求項4] 基板と、該基板の表面に形成されたゲート電極と、該ゲート電極の上側に形成されたシリコン層と、該シリコン層の上側に一部が形成されたソース電極及びドレイン電極とを備える薄膜トランジスタを製造する方法において、

非晶質シリコンでなるシリコン層を形成する工程と、

形成したシリコン層中の一部分へエネルギービームを照射して、多結晶シリコンを含んでなる第1多結晶部を生成し、前記エネルギービームよりも低い強度のエネルギービームを前記シリコン層中の他の一

部分へ照射して、多結晶シリコンを含んでなり前記第1多結晶部よりも結晶性の低い第2多結晶部を生成する結晶化工程と、

前記第1多結晶部、前記第2多結晶部、及びエネルギービームを照射されていない非晶質部を残すように、前記シリコン層をエッチングする工程と

を含むことを特徴とする薄膜トランジスタの製造方法。

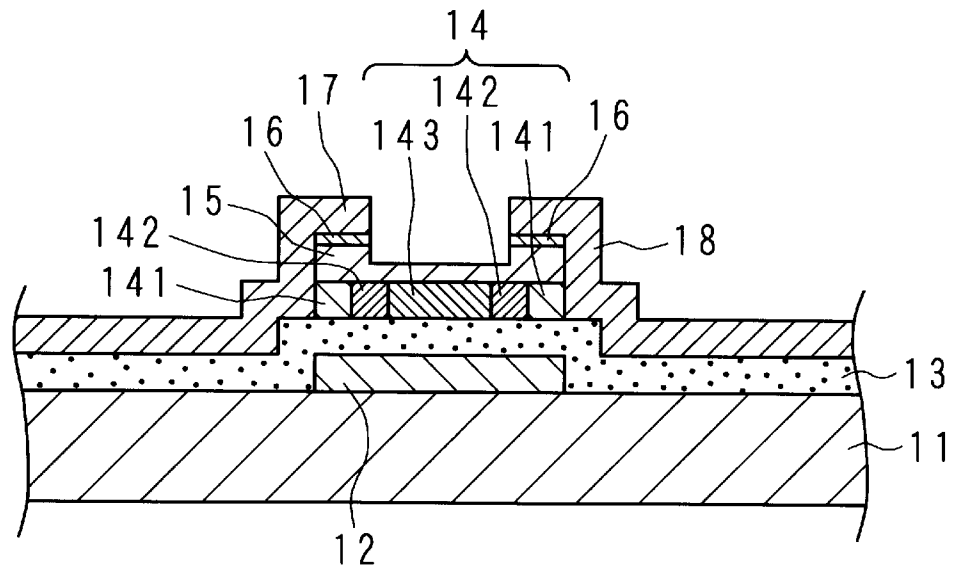
[請求項5]

前記結晶化工程は、マスクを通してエネルギービームを前記シリコン層へ照射するようにしてあり、

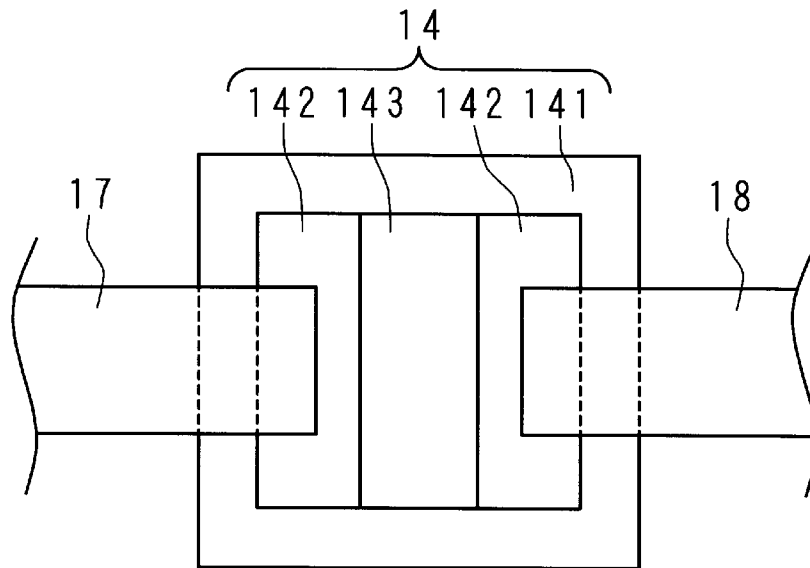
前記マスクは、前記エネルギービームを遮蔽する遮蔽部と、前記エネルギービームを透過させる第1透過部と、該第1透過部よりも低い透過率で前記エネルギービームを透過させる第2透過部とを含むこと

を特徴とする請求項4に記載の薄膜トランジスタの製造方法。

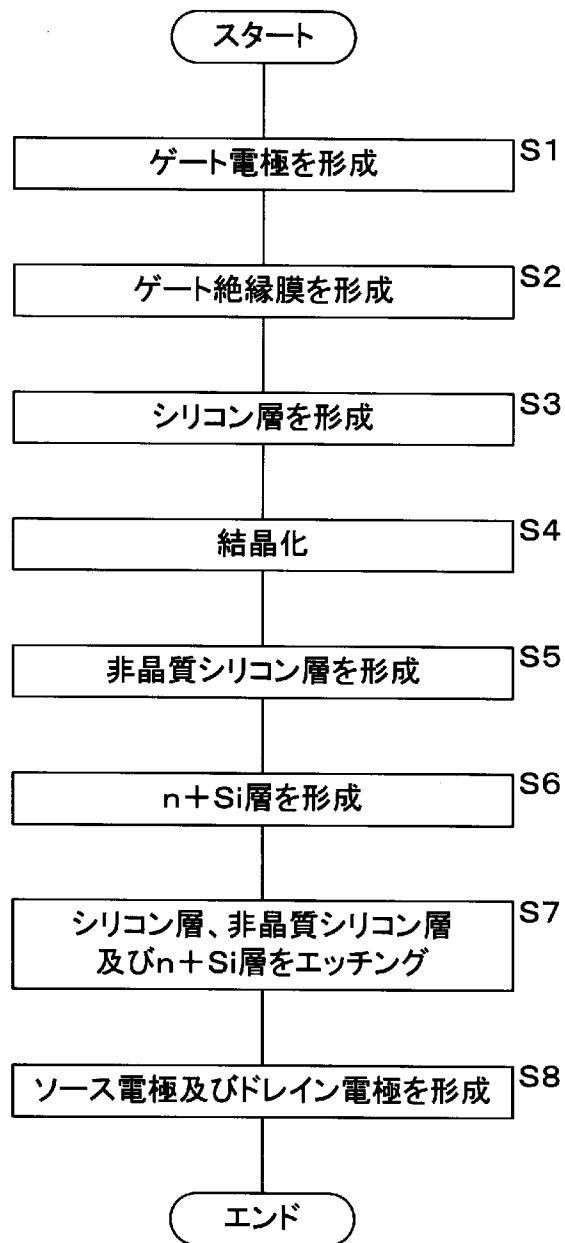
[図1]



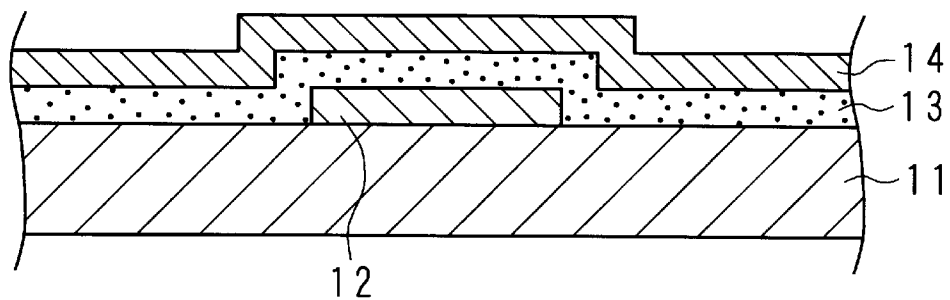
[図2]



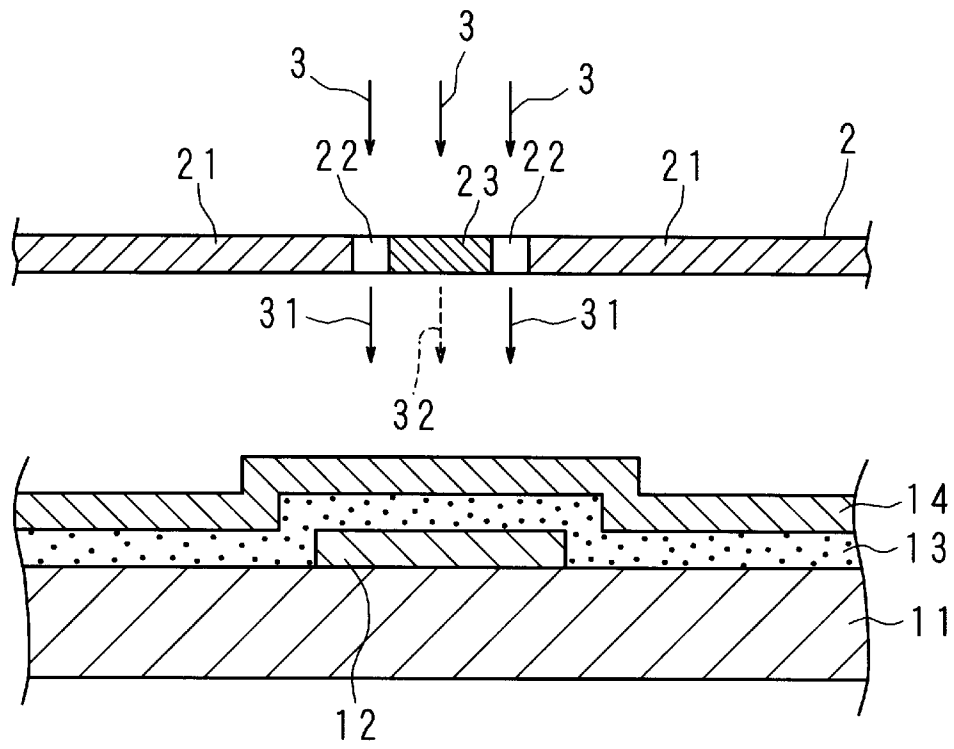
[図3]



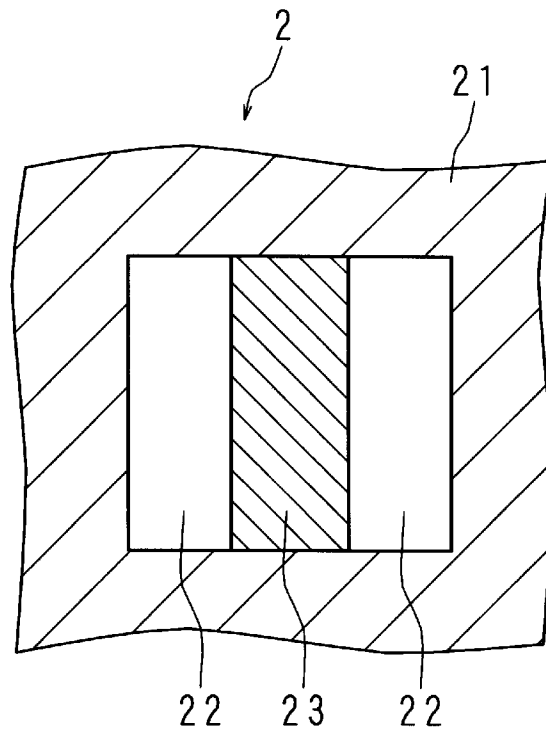
[図4]



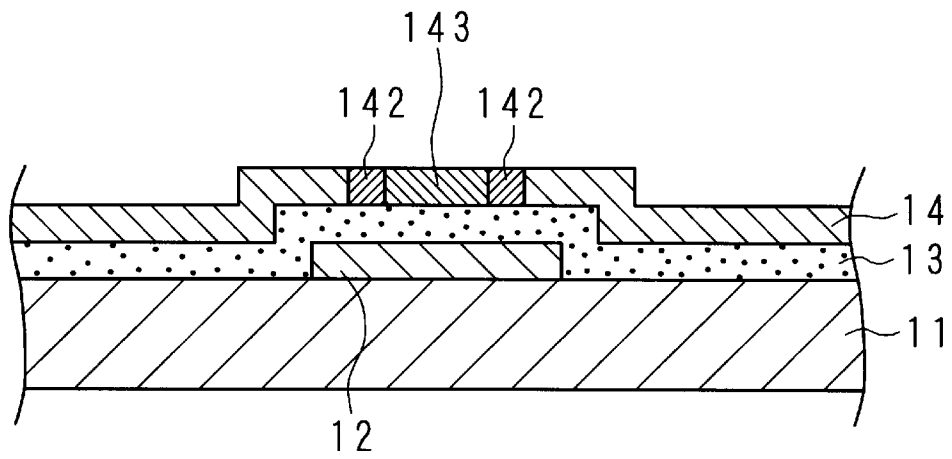
[図5]



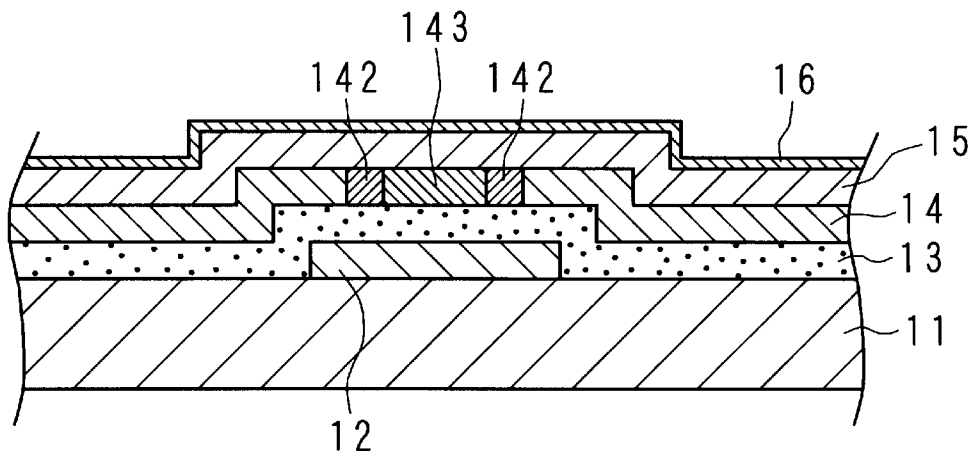
[図6]



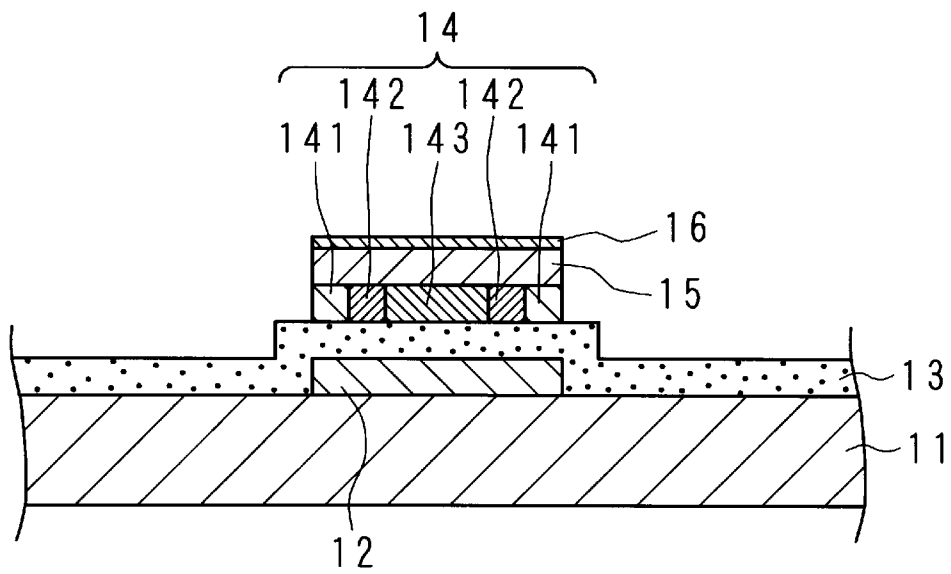
[図7]



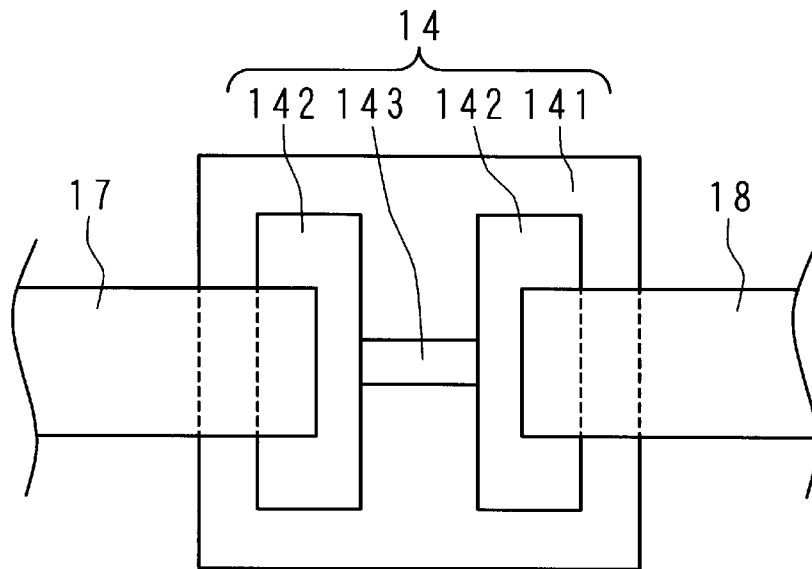
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/076592

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 5-226656 A (Hitachi, Ltd.), 03 September 1993 (03.09.1993), paragraphs [0024] to [0036]; fig. 1 to 7 (Family: none)	1 2-5
A	JP 2010-177325 A (Seiko Epson Corp.), 12 August 2010 (12.08.2010), entire text; all drawings (Family: none)	1-5
A	JP 5-326554 A (Sharp Corp.), 10 December 1993 (10.12.1993), entire text; all drawings (Family: none)	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 November 2015 (04.11.15)	Date of mailing of the international search report 17 November 2015 (17.11.15)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/076592

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-342909 A (International Business Machines Corp.), 13 December 1994 (13.12.1994), entire text; all drawings & EP 473988 A1	1-5
A	JP 2008-140984 A (Sharp Corp.), 19 June 2008 (19.06.2008), entire text; all drawings (Family: none)	1-5
A	JP 2011-29411 A (V Technology Co., Ltd.), 10 February 2011 (10.02.2011), entire text; all drawings & WO 2011/010611 A1 & TW 201115742 A & KR 10-2012-0033353 A & CN 102576733 A	1-5
A	WO 2011/161910 A1 (Panasonic Corp.), 29 December 2011 (29.12.2011), entire text; all drawings & JP 5443588 B & US 2012/0138942 A1 & CN 102473737 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/336, H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 5-226656 A (株式会社日立製作所) 1993.09.03, 段落[0024]-[0036], 図 1-7 (ファミリーなし)	1 2-5
A	JP 2010-177325 A (セイコーエプソン株式会社) 2010.08.12, 全文, 全図 (ファミリーなし)	1-5
A	JP 5-326554 A (シャープ株式会社) 1993.12.10, 全文, 全図 (ファミリーなし)	1-5
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献
国際調査を完了した日 04.11.2015	国際調査報告の発送日 17.11.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 市川 武宜 電話番号 03-3581-1101 内線 3516	5 F 4056

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-342909 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 1994.12.13, 全文, 全図 & EP 473988 A1	1-5
A	JP 2008-140984 A (シャープ株式会社) 2008.06.19, 全文, 全図 (ファミリーなし)	1-5
A	JP 2011-29411 A (株式会社ブイ・テクノロジー) 2011.02.10, 全文, 全図 & WO 2011/010611 A1 & TW 201115742 A & KR 10-2012-0033353 A & CN 102576733 A	1-5
A	WO 2011/161910 A1 (パナソニック株式会社) 2011.12.29, 全文, 全図 & JP 5443588 B & US 2012/0138942 A1 & CN 102473737 A	1-5