

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5469088号
(P5469088)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年2月7日(2014.2.7)

(51) Int.Cl.	F I
G 1 1 C 5/00 (2006.01)	G 1 1 C 5/00 3 0 2 Z
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 9 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 6 Z
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 E
H O 1 L 27/04 (2006.01)	H O 1 L 27/10 4 3 4

請求項の数 54 (全 50 頁) 最終頁に続く

(21) 出願番号	特願2010-538288 (P2010-538288)	(73) 特許権者	593138296
(86) (22) 出願日	平成20年12月11日(2008.12.11)		モーセッド・テクノロジーズ・インコーポ レイテッド
(65) 公表番号	特表2011-508936 (P2011-508936A)		Mosaid Technologies Incorporated
(43) 公表日	平成23年3月17日(2011.3.17)		カナダ国 ケイ2ケイ 2エックス1 オ ンタリオ, オタワ, ハインズ・ロード 1 1, スイート 203
(86) 国際出願番号	PCT/CA2008/002145		
(87) 国際公開番号	W02009/079749	(74) 代理人	100070150
(87) 国際公開日	平成21年7月2日(2009.7.2)		弁理士 伊東 忠彦
審査請求日	平成23年12月6日(2011.12.6)	(74) 代理人	100091214
(31) 優先権主張番号	61/015,345		弁理士 大貫 進介
(32) 優先日	平成19年12月20日(2007.12.20)	(74) 代理人	100107766
(33) 優先権主張国	米国 (US)		弁理士 伊東 忠重
(31) 優先権主張番号	61/032,203		
(32) 優先日	平成20年2月28日(2008.2.28)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 データ記憶装置及び積層可能構成

(57) 【特許請求の範囲】

【請求項1】

スタックを有するシステムであって：

前記スタックは：

第1のメモリデバイス；

前記第1のメモリデバイスに固定された、前記第1のメモリデバイスと同一の入力／出力レイアウト配置を有する第2のメモリデバイスであり、前記スタック内の当該第2のメモリデバイスは、前記第1のメモリデバイスの出力を当該第2のメモリデバイスの対応する入力と位置整合させるように、前記スタック内の前記第1のメモリデバイスに対して回転オフセットされている、第2のメモリデバイス；及び

前記第1のメモリデバイスと前記第2のメモリデバイスとの間での直列接続構成を担う経路であり、データの伝達を担うように適応された経路；

を含む、

システム。

【請求項2】

前記スタック内での前記第2のメモリデバイスに対する前記第1のメモリデバイスの前記回転オフセットは、実質的に180°である、請求項1に記載のシステム。

【請求項3】

前記スタックは、前記第2のメモリデバイスに固定された第3のメモリデバイスを含み、該第3のメモリデバイスは、前記第1のメモリデバイス及び前記第2のメモリデバイス

と同一の入力／出力レイアウト配置を有し；且つ

前記スタック内の前記第3のメモリデバイスは、前記第2のメモリデバイスの出力を当該第3のメモリデバイスの対応する入力と位置整合させるように、前記スタック内の前記第2のメモリデバイスに対して回転オフセットされている；

請求項1又は2に記載のシステム。

【請求項4】

前記経路は、前記データの伝達のために前記第1のメモリデバイス、前記第2のメモリデバイス及び前記第3のメモリデバイスを通る直列接続構成を含む、請求項3に記載のシステム。

【請求項5】

前記第3のメモリデバイスは、前記第2のメモリデバイスの面上の出力群を、当該第3のメモリデバイスの面上の入力群に電氣的に接続するために露出させるように、前記スタック内の前記第2のメモリデバイスに対してずらされている、請求項3に記載のシステム。

【請求項6】

前記経路は、前記第1のメモリデバイスの入力と出力との間の回路パスを含む第1のセグメントと、前記第2のメモリデバイスの入力と出力との間の回路パスを含む第2のセグメントとを有し；且つ

前記第1のメモリデバイスに対する前記第2のメモリデバイスの前記回転オフセットに基づいて、前記第1のメモリデバイスの入力と出力との間の軸は、前記第2のメモリデバイスの入力と出力との間の軸に対して平行にされている；

請求項1乃至5の何れか一項に記載のシステム。

【請求項7】

前記第1のメモリデバイスの前記入力から前記出力へのデータフローの向きは、前記第2のメモリデバイスの前記入力から前記出力へのデータフローの向きに対して実質的に反対である、請求項6に記載のシステム。

【請求項8】

前記第1のメモリデバイスに電氣的に結合されたコントローラであり、前記第1のメモリデバイスから当該コントローラへの、少なくとも前記第2のメモリデバイスを介する前記経路に沿ったデータフローに基づいて、前記第1のメモリデバイスからデータにアクセスするように構成されたコントローラ、

を更に有する請求項1乃至7の何れか一項に記載のシステム。

【請求項9】

前記第1及び第2のメモリデバイスはNANDフラッシュメモリデバイスである、請求項1に記載のシステム。

【請求項10】

前記第2のメモリデバイスは、前記第1のメモリデバイスの面上の出力群を、当該第2のメモリデバイスの面上の入力群に電氣的に接続するために露出させるように、前記スタック内の前記第1のメモリデバイスに対してずらされている、請求項1に記載のシステム。

【請求項11】

前記第1のメモリデバイスの面上の前記出力群を前記第2のメモリデバイスの面上の前記入力群に橋渡しするリンク群、

を更に有する請求項10に記載のシステム。

【請求項12】

前記第1のメモリデバイス及び前記第2のメモリデバイスの各々は平面状であって、それぞれの頂面及び底面を有し、前記第1のメモリデバイス及び前記第2のメモリデバイスは、前記第1のメモリデバイスの頂面及び前記第2のメモリデバイスの頂面が前記スタックに沿って同一向きになるよう、前記第2のメモリデバイスの底面が前記第1のメモリデバイスの頂面に固定されて互いに積み重ねられている、請求項1に記載のシステム。

【請求項 1 3】

前記第 1 のメモリデバイスの前記頂面上の出力は、前記第 2 のメモリデバイスの前記頂面に配置された対応する入力上に縦方向に位置整合されている、請求項 1 2 に記載のシステム。

【請求項 1 4】

前記入力／出力レイアウト配置は入力コンタクト群及び出力コンタクト群を含み；且つ前記スタックは、前記第 1 のメモリデバイスの出力コンタクト群と前記第 2 のメモリデバイスの対応する入力コンタクト群との間の導電リンク群を含む；
請求項 1 3 に記載のシステム。

【請求項 1 5】

前記入力／出力レイアウト配置の入力群はスルーホール接続であり、前記入力／出力レイアウト配置の出力群は表面接続に対応したパッドである、請求項 1 に記載のシステム。

【請求項 1 6】

前記経路は、表面パッドとして構成された前記第 1 のメモリデバイスの出力とスルーホール接続として構成された前記第 2 のメモリデバイスの入力との間のリンクを含み、該リンクは前記表面パッドと前記スルーホール接続との間の導電材料を含む、請求項 1 に記載のシステム。

【請求項 1 7】

前記スタック内の各メモリデバイスは、パススルーモード又はメモリアクセスモードに設定されることができ；

前記パススルーモードは、それぞれのメモリデバイスの入力で受信したデータの、該メモリデバイスの出力への、前記経路に沿った伝達を可能にし；且つ

前記メモリアクセスモードは、i) 前記経路上でのデータの受信、及びそれぞれのメモリデバイスに付随するメモリ回路への該データの格納と、i i) それぞれのメモリデバイスの出力への前記経路上での伝送のための、前記メモリ回路からのデータの取り出しと、を可能にする、

請求項 1 に記載のシステム。

【請求項 1 8】

前記第 1 のメモリデバイスに対する前記第 2 のメモリデバイスの前記回転オフセットは、前記第 1 のメモリデバイスの出力パッドと前記第 2 のメモリデバイスの入力パッドとの実質的な位置整合をもたらし、該出力パッド及び該入力パッドは前記経路の一部を形成する、請求項 1 に記載のシステム。

【請求項 1 9】

第 1 のメモリデバイスを受け取るステップ；

前記第 1 のメモリデバイスと同一の入力／出力レイアウト配置を有する第 2 のメモリデバイスを受け取るステップ；及び

メモリデバイスのスタックを生成するステップであり、該スタック内で前記第 1 のメモリデバイス及び前記第 2 のメモリデバイスが、前記第 1 のメモリデバイスの出力群を前記第 2 のメモリデバイスの入力群と位置整合させるように、互いに対して回転オフセットされる、ステップ；

を有する方法。

【請求項 2 0】

前記第 1 のメモリデバイスは入力－出力パッド群の面を含み、前記第 2 のメモリデバイスは入力－出力パッド群の面を含み；且つ

前記メモリデバイスのスタックを生成するステップは、前記スタック内の前記第 2 のメモリデバイスの前記面を、前記スタック内の前記第 1 のメモリデバイスの前記面と同一の向きにすることを含む；

請求項 1 9 に記載の方法。

【請求項 2 1】

前記第 1 のメモリデバイスの面上の出力群を、前記第 2 のメモリデバイスの面上に露出

10

20

30

40

50

された入力群に電氣的に接続するために露出させるように、前記スタック内で前記第 1 のメモリデバイスを前記第 2 のメモリデバイスに対してずらすステップ；及び

前記第 1 のメモリデバイスの前記出力群と前記第 2 のメモリデバイスの前記入力群との間を、導電リンク群を介して電氣的に接続するステップ；

を更に有する請求項 19 に記載の方法。

【請求項 22】

前記スタックは、前記第 2 のメモリデバイスが前記第 1 のメモリデバイス上に積み重ねられる方向の垂直軸を含み、当該方法は更に：

前記第 1 のメモリデバイスの出力群を前記第 2 のメモリデバイスの入力群と位置整合させるように、前記第 2 のメモリデバイスを前記垂直軸の周りでおおよそ 180° 回転オフセットするステップ、

を更に有する、請求項 19 に記載の方法。

【請求項 23】

第 3 のメモリデバイスを受け取るステップ；及び

前記第 2 のメモリデバイスの出力群を前記第 3 のメモリデバイスの入力群と位置整合させるように前記第 3 のメモリデバイスを前記第 2 のメモリデバイスに対して回転オフセットすることによって、前記第 3 のメモリデバイスを含むように前記スタックを生成するステップ；

を更に有する請求項 19 に記載の方法。

【請求項 24】

前記第 1 のメモリデバイスからの出力の前記第 2 のメモリデバイスの対応する入力へのリンクを収容するように、前記第 3 のメモリデバイスと前記第 2 のメモリデバイスとの間にスペーサを設けるステップ、

を更に有する請求項 23 に記載の方法。

【請求項 25】

前記第 1 のメモリデバイスの入力と出力との間の回路パスである第 1 のセグメントと、前記第 2 のメモリデバイスの入力と出力との間の回路パスである第 2 のセグメントとを有する経路を作り出すように、前記第 1 のメモリデバイスと前記第 2 のメモリデバイスとを積み重ねるステップ；及び

前記第 2 のメモリデバイスに対する前記第 1 のメモリデバイスの向きを、前記第 1 のメモリデバイスの入力と出力との間の軸が、前記第 2 のメモリデバイスの入力と出力との間の軸に対して平行になるように方向付けるステップ；

を更に有する請求項 19 に記載の方法。

【請求項 26】

前記第 1 のメモリデバイスをコントローラに電氣的に結合するステップであり、該コントローラは前記第 1 のメモリデバイスからデータにアクセスするように構成される、ステップ、

を更に有する請求項 19 乃至 25 の何れか一項に記載の方法。

【請求項 27】

前記第 1 のメモリデバイスの面内に配置された出力を前記第 2 のメモリデバイスの面内に配置された対応する入力の直上に縦方向に位置整合させるように、前記第 1 のメモリデバイスと前記第 2 のメモリデバイスとを直接的に積み重ねるステップ、

を更に有する請求項 19 に記載の方法。

【請求項 28】

前記第 1 のメモリデバイスの表面パッドから前記第 2 のメモリデバイスのスルーホール接続への電気経路に基づいて、前記第 1 のメモリデバイス及び前記第 2 のメモリデバイスを通る経路を形成するステップであり、該表面パッドは前記第 1 のメモリデバイスの出力であり、該スルーホール接続は前記第 2 のメモリデバイスの入力である、ステップ

を更に有する請求項 27 に記載の方法。

【請求項 29】

半導体チップであって：

入力及び出力を含む入力ー出力配置レイアウト；

当該半導体チップを通じてデータを伝達する、前記入力と前記出力との間の入力ー出力回路パス；

前記入力ー出力回路パスの入力位置のスルーホールコネクタ；及び

前記入力ー出力回路パスの出力位置の表面コンタクトパッドであり、当該半導体チップの平面状の表面上に配置された表面コンタクトパッド；

を有する半導体チップ。

【請求項 3 0】

前記入力ー出力配置レイアウトは、別の半導体チップの入力ー出力配置レイアウトと一致し、前記スルーホールコネクタは、当該半導体チップの前記出力位置の前記表面コンタクトパッドと前記別の半導体チップの入力位置のスルーホールコネクタとの間の接続を可能にする、請求項 2 9 に記載の半導体チップ。

10

【請求項 3 1】

第 1 のメモリデバイス；

前記第 1 のメモリデバイスと同一の入力／出力レイアウト配置を有する第 2 のメモリデバイス；

前記第 1 のメモリデバイスに固定された前記第 2 のメモリデバイスを含むスタックであり、当該スタック内で前記第 2 のメモリデバイスが、前記第 1 のメモリデバイスの出力を前記第 2 のメモリデバイスの対応する入力と位置整合させるような向きにされたスタック；及び

20

前記第 1 のメモリデバイスの出力と前記第 2 のメモリデバイスの入力との間の接続であり、前記第 1 のメモリデバイスの面上の表面パッド群と前記第 2 のメモリデバイスのスルーホール群との間の接続群を含む接続；

を有するシステム。

【請求項 3 2】

前記表面パッドは前記第 1 のメモリデバイスの出力であり、前記スルーホールは前記第 2 のメモリデバイスの入力である、請求項 3 1 に記載のシステム。

【請求項 3 3】

前記スタック内の前記第 2 のメモリデバイスは、積層方向の軸に沿って、前記第 1 のメモリデバイスの前記表面パッドを前記第 2 のメモリデバイスの対応するスルーホールに位置整合させるように、前記スタック内の前記第 1 のメモリデバイスに対して回転オフセットされている、請求項 3 2 に記載のシステム。

30

【請求項 3 4】

前記第 2 のメモリデバイスの前記レイアウト配置に対する前記第 1 のメモリデバイスの前記レイアウト配置のオフセットは実質的に 1 8 0 ° である、請求項 3 1 に記載のシステム。

【請求項 3 5】

前記接続は、前記第 1 のメモリデバイスの第 1 の表面パッドを前記第 2 のメモリデバイスの第 1 のスルーホールに結合する第 1 の接続と、前記第 1 のメモリデバイスの第 2 の表面パッドを前記第 2 のメモリデバイスの第 2 のスルーホールに結合する第 2 の接続とを含む、請求項 3 1 に記載のシステム。

40

【請求項 3 6】

前記接続は、複数のメモリデバイスの前記スタックを通してデータを伝達する経路を形成し、前記第 1 の接続は、前記第 1 のメモリデバイスの第 1 の出力を前記第 2 のメモリデバイスの第 1 の入力に結合することによって第 1 の経路を作り出し、前記第 2 の接続は、前記第 1 のメモリデバイスの第 2 の出力を前記第 2 のメモリデバイスの第 2 の入力に結合することによって第 2 の経路を作り出す、請求項 3 5 に記載のシステム。

【請求項 3 7】

前記スタックは、前記第 2 のメモリデバイスに固定された第 3 のメモリデバイスを含み

50

、該第3のメモリデバイスは、前記第1のメモリデバイス及び前記第2のメモリデバイスと同一の入力／出力レイアウト配置を有し、当該システムは更に：

前記第2のメモリデバイスの出力と前記第3のメモリデバイスの入力との間の接続であり、前記第2のメモリデバイスの面上の表面パッド群と前記第3のメモリデバイスのスルーホール群との間の接続群を含む接続、

を有する、請求項31に記載のシステム。

【請求項38】

前記第2のメモリデバイスの前記面上の前記表面パッドは前記第2のメモリデバイスの出力であり、前記第3のメモリデバイスの前記スルーホールは入力である、請求項37に記載のシステム。

10

【請求項39】

前記接続は、前記第1のメモリデバイス及び前記第2のメモリデバイスを通り抜ける経路を作り出し、

当該システムは更にコントローラを有し、

該コントローラは、前記スタックを通り抜けて該コントローラへと戻る前記経路に沿ったデータの流れに基づいて、前記第1のメモリデバイスからデータにアクセスするように構成されている、

請求項31に記載のシステム。

【請求項40】

前記第2のメモリデバイスの面上の表面パッド群と前記コントローラに付随する入力群との間の電気接続であり、前記第2のメモリデバイスの前記面上の前記表面パッドは、前記第2のメモリデバイスの出力である、電気接続、

20

を更に有する請求項39に記載のシステム。

【請求項41】

前記第1のメモリデバイス及び前記第2のメモリデバイスの各々は平面状であって、それぞれの頂面及び底面を有し、前記第1のメモリデバイス及び前記第2のメモリデバイスは、前記第1のメモリデバイスの頂面及び前記第2のメモリデバイスの頂面が前記スタックに沿って同一向きになるよう、前記第2のメモリデバイスの底面が前記第1のメモリデバイスの頂面に固定されて互いに積み重ねられており；且つ

前記第1のメモリデバイスの前記頂面に配置された出力が、前記第2のメモリデバイスの前記頂面に配置された対応する入力上に縦方向に位置整合されている、

30

請求項40に記載のシステム。

【請求項42】

半導体チップであって：

当該半導体チップを通じてのデータの伝達のための順序付けられた複数の入力及び複数の出力を含む配置レイアウト；

前記配置レイアウト内の前記複数の入力が前記配置レイアウト内の前記複数の出力と対角的に對にされた複数の入力ー出力對；及び

各入力ー出力對の間の入力ー出力回路パス；

を有し、

40

前記複数の入力ー出力對の間の各回路パスは、1つの入力と、対応する1つの出力とを含み、該対応する1つの出力は該1つの入力に対して180°の位置に配置されている；

半導体チップ。

【請求項43】

半導体チップであって：

当該半導体チップを通じてのデータの伝達のための順序付けられた複数の入力及び複数の出力を含む配置レイアウト；

各入力と前記複数の出力のうちの対応する1つとの對に基づく複数の入力ー出力對；及び

各入力ー出力對の間の入力ー出力回路パスであり、各入力ー出力回路パスが当該半導体

50

チップ内のその他の各入力ー出力回路パスと交差するように方向付けられた、入力ー出力回路パス；

を有し、

前記複数の入力ー出力対の間の前記回路パスの各々は、1つの入力と、1つの対応する出力とを含み、該1つの対応する出力は、該1つの入力から実質的に180°オフセットされた位置にある；

半導体チップ。

【請求項44】

前記複数の入力は第1の列を形成し、前記複数の出力は第2の列を形成する、請求項43に記載の半導体チップ。

10

【請求項45】

前記複数の入力及び前記複数の出力を含む平行な複数列のポート群を有し；且つ

前記複数の入力ー出力対は、前記平行な複数列内の前記複数の入力及び前記複数の出力の間の複数の回路パスを含む；

請求項43に記載の半導体チップ。

【請求項46】

前記平行な複数列は半導体チップの複数の辺に沿って配置されている、請求項45に記載の半導体チップ。

【請求項47】

データを記憶するメモリを更に有し；且つ

20

前記入力ー出力回路パスの各々は、前記メモリの対応する部分へのアクセスを可能にする；

請求項43乃至46の何れか一項に記載の半導体チップ。

【請求項48】

前記配置レイアウトは、当該半導体チップの外縁に近接して前記複数の入力及び前記複数の出力を含む、請求項43に記載の半導体チップ。

【請求項49】

第1のメモリデバイスと第2のメモリデバイスとを含むスタックであり、前記第1のメモリデバイス及び前記第2のメモリデバイスが同一の入力／出力レイアウト配置を有し、前記第2のメモリデバイスの入力群に電氣的に接続するために前記第1のメモリデバイスの出力群を露出させるように、前記第1のメモリデバイスが前記第2のメモリデバイスに対してオフセットされている、スタック；及び

30

前記第1のメモリデバイス及び前記第2のメモリデバイスを通り抜ける直列接続を担う経路であり、データの伝達を担うように適応された経路；

を有するシステム。

【請求項50】

前記経路は、前記第1のメモリデバイスの出力と前記第2のメモリデバイスの入力との間の導電リンクを含む、請求項49に記載のシステム。

【請求項51】

前記経路は、前記第1のメモリデバイスの入力と前記第1のメモリデバイスの前記出力との間に回路を含み；且つ

40

前記第1のメモリデバイスと前記入力及び前記出力は、前記入力／出力レイアウト配置内で、互いの隣に配置されている；

請求項50に記載のシステム。

【請求項52】

前記入力／出力レイアウト配置は、それぞれのメモリデバイスの一辺に沿って、一連にされた複数の入力及び複数の出力を含む、請求項49に記載のシステム。

【請求項53】

前記スタックは第3のメモリデバイスを含み、該第3のメモリデバイスは、前記第1のメモリデバイス及び前記第2のメモリデバイスと同一の入力／出力レイアウト配置を有し

50

、前記スタック内で前記第3のメモリデバイスは、前記第3のメモリデバイスの入力群に電氣的に接続するために前記第2のメモリデバイスの出力群を露出させるように、前記第2のメモリデバイスに対してオフセットされており；且つ

前記経路は、前記第1のメモリデバイス、前記第2のメモリデバイス及び前記第3のメモリデバイスを通り抜ける直列接続を担う；

請求項49に記載のシステム。

【請求項54】

前記経路は、前記第1のメモリデバイスの出力と前記第2のメモリデバイスの入力との間の導電リンクを含む、請求項53に記載のシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ記憶装置及び積層可能構成に関する。

【背景技術】

【0002】

従来のワイヤボンディング(WB)は、半導体チップと相互接続する一手法である。ボンディングワイヤは、一般的に、以下の材料：金、アルミニウム又は銅のうちの1つからなる。ワイヤの直径は、典型的に、約15 μm から始まり、大電力用では数百 μm に至り得る。

20

【0003】

ワイヤボンディングは大きくは、ボールボンディングとウェッジボンディングという2つに分類される。

【0004】

ボールボンディングは、通常、金ワイヤ及び銅ワイヤの使用に制限され、それぞれの接合を作るために熱を必要とする。ウェッジボンディングは、金ワイヤ又はアルミニウムワイヤの何れかを使用し得る。ウェッジボンディングに金が用いられるとき、それぞれの接合を作るために熱が必要とされる。

【0005】

何れの種類のワイヤボンディングにおいても、ワイヤは典型的に、溶接するために、熱、圧力及び超音波エネルギーの何らかの組み合わせを用いて取り付けられる。ワイヤボンディングは一般的に、最もコスト効率が良く且つ柔軟性のある相互接続技術であると考えられている。故に、ワイヤボンディングは、大多数の半導体パッケージの組み立てに広く使用されている。

30

【0006】

所謂“マルチ・チップ・パッケージ(MCP)”システムにおける従来のメモリチップは、しばしば、パラレル相互接続方式を用いて相互接続される。この“マルチドロップ”接続法は、アドレス及びデータの情報並びに制御信号が共通の信号バス群を用いて並行してチップに結合されるように、複数のメモリチップを相互接続することを含む。例えば、各メモリチップは、相互接続された一組のメモリデバイスを通っての制御情報、アドレス情報及びデータの並列転送を提供するよう、複数の入力及び出力を含むことができる。

40

【0007】

最近、例えば記憶密度及び機能性を高めることへの要求を満たすよう、様々な3次元パッケージ・オン・パッケージ(POP)が精力的に開発されている。一部の開発例によれば、従来の3次元パッケージ・オン・パッケージは、以下のようにして製造され得る。ウェーハを製造し、該ウェーハを複数の個片チップへと分離した後、該当するチップが基板に取り付けられて電氣的に接続される。チップはモールド樹脂で封止され、パッケージが作り出される。所謂パッケージ・オン・パッケージは、これらのパッケージを積み重ねることによって作り出すことができる。これらのパッケージ・オン・パッケージは、リードフレーム、又は例えばテープ回路基板若しくは印刷回路基板などの基板を用いる。チップ

50

と基板との間で電気接続を構築することには、例えばワイヤボンディング（WB）、テープ自動ボンディング（TAB）、又はフリップチップボンディングなどの相互接続法を使用することができる。

【0008】

残念ながら、異なる既知のPOP製造方法は、複雑な製造プロセスの使用を必要とする。また、これらのPOPは、標準的なチップと比較して非常に大きいため、外部装置上での実装密度を低下させてしまう。さらに、POPは長い伝送経路を有する多数の相互接続チップ群を含み得る。長い経路は、例えば、システム性能を低下させることが予期される信号遅延を生じさせ得る。

【0009】

しかしながら、複数のメモリチップをウェーハレベル又はチップレベルで3次元積層チップ型マルチ・チップ・パッケージ（MCP）へと積み重ねることは、単純な構造、より小型なサイズ、及び単純な製造プロセスという利点を有する。また、ウェーハレベルでのマルチ・チップ・パッケージは信号遅延を抑制し得る。

【0010】

マルチ・チップ・パッケージを2つの種類に分類することが可能である。1つは、異なる種類のチップを積み重ねることによって形成され、それにより多機能を達成したマルチ・チップ・パッケージである。他の1つは、同一種類のチップを積み重ねることによって形成され、それにより記憶容量を拡張したマルチ・チップ・パッケージである。

【0011】

NANDフラッシュメモリは、なじみ深い種類の不揮発性メモリであり、例えばデジタルカメラ及び可搬式デジタル音楽再生機などの消費者電子機器用の大容量記憶装置として幅広く使用されている。

【0012】

現在入手可能なNANDフラッシュメモリチップの密度は、最大で32ギガビット（すなわち、4ギガバイト）であり、これは、1チップの大きさが小さいので、人気のUSBフラッシュドライブでの使用に好適である。しかしながら、音楽機能及びビデオ機能を備えた消費者電子機器に対する最近の要求は、単一のNANDフラッシュメモリチップでは満たすことができない多量のデータを格納する超大容量への要求に拍車を掛けている。故に、複数のNANDフラッシュメモリチップを1つの記憶システムへと相互接続し、利用可能な記憶容量を実効的に増大させることが行われている。場合により、データ記憶要求に應えるために、250GB以上のフラッシュ記憶密度が要求され得る。

【特許文献1】米国特許第6353265（B1）号明細書

【特許文献2】米国特許第6087722号明細書

【特許文献3】米国特許第7271026（B2）号明細書

【特許文献4】米国特許第7291924（B2）号明細書

【特許文献5】米国特許第7268418（B2）号明細書

【特許文献6】米国特許第7217995（B2）号明細書

【特許文献7】米国特許第7193310（B2）号明細書

【特許文献8】米国特許第7115972（B2）号明細書

【特許文献9】米国特許第6849802（B2）号明細書

【特許文献10】米国特許第6566746（B2）号明細書

【特許文献11】米国特許第6861761（B2）号明細書

【特許文献12】米国特許第7132754（B1）号明細書

【特許文献13】米国特許第6650008（B2）号明細書

【特許文献14】米国特許第7125745（B2）号明細書

【特許文献15】米国特許第6555917（B1）号明細書

【特許文献16】米国特許第6410431（B2）号明細書

【特許文献17】米国特許第6388320（B2）号明細書

【特許文献18】米国特許第55579207号明細書

10

20

30

40

50

【特許文献19】	米国特許第7163842(B2)号明細書	
【特許文献20】	米国特許第5399898号明細書	
【特許文献21】	米国特許第6678167(B1)号明細書	
【特許文献22】	米国特許第6187652(B1)号明細書	
【特許文献23】	米国特許第5477082号明細書	
【特許文献24】	米国特許第6921968(B2)号明細書	
【特許文献25】	米国特許第5191405号明細書	
【特許文献26】	米国特許第7531905号明細書	
【特許文献27】	米国特許第7115972号明細書	
【特許文献28】	米国特許第7317256(B2)号明細書	10
【特許文献29】	米国特許第7315078(B2)号明細書	
【特許文献30】	米国特許第7309923(B2)号明細書	
【特許文献31】	米国特許第7307348(B2)号明細書	
【特許文献32】	米国特許第7298032(B2)号明細書	
【特許文献33】	米国特許第7282791(B2)号明細書	
【特許文献34】	米国特許第7276799(B2)号明細書	
【特許文献35】	米国特許第7262506(B2)号明細書	
【特許文献36】	米国特許第7242635(B2)号明細書	
【特許文献37】	米国特許第7241641(B2)号明細書	
【特許文献38】	米国特許第7221613(B2)号明細書	20
【特許文献39】	米国特許第7218003(B2)号明細書	
【特許文献40】	米国特許第7215033(B2)号明細書	
【特許文献41】	米国特許第7208758(B2)号明細書	
【特許文献42】	米国特許第7199458(B2)号明細書	
【特許文献43】	米国特許第7173340(B2)号明細書	
【特許文献44】	米国特許第7170157(B2)号明細書	
【特許文献45】	米国特許第7132752(B2)号明細書	
【特許文献46】	米国特許第7102905(B2)号明細書	
【特許文献47】	米国特許第7101733(B2)号明細書	
【特許文献48】	米国特許第7023076(B2)号明細書	30
【特許文献49】	米国特許第6982487(B2)号明細書	
【特許文献50】	米国特許第6958532(B1)号明細書	
【特許文献51】	米国特許第6908785(B2)号明細書	
【特許文献52】	米国特許第6900528(B2)号明細書	
【特許文献53】	米国特許第6841883(B1)号明細書	
【特許文献54】	米国特許第6621169(B2)号明細書	
【特許文献55】	米国特許第6577013(B1)号明細書	
【特許文献56】	米国特許第6448661(B1)号明細書	
【特許文献57】	米国特許第6429096(B1)号明細書	
【特許文献58】	米国特許第6376904(B1)号明細書	40
【特許文献59】	米国特許第6291884(B1)号明細書	
【特許文献60】	米国特許第6215182(B1)号明細書	
【特許文献61】	米国特許第6133637号明細書	
【特許文献62】	米国特許第6002177号明細書	
【特許文献63】	米国特許第5998864号明細書	
【特許文献64】	米国特許第5778419号明細書	
【特許文献65】	米国特許第5777345号明細書	
【特許文献66】	米国特許第5646067号明細書	
【特許文献67】	米国特許第5502289号明細書	
【特許文献68】	米国特許第5473196号明細書	50

- 【特許文献69】米国特許第5373189号明細書
- 【特許文献70】米国特許第5323060号明細書
- 【特許文献71】米国特許出願公開第2006/0226529(A1)号明細書
- 【特許文献72】米国特許出願公開第2004/0124520(A1)号明細書
- 【特許文献73】米国特許出願公開第2007/0158808(A1)号明細書
- 【特許文献74】米国特許出願公開第2007/0246257(A1)号明細書
- 【特許文献75】米国特許出願公開第2006/0286822(A1)号明細書
- 【特許文献76】米国特許出願公開第2006/0197211(A1)号明細書
- 【特許文献77】米国特許出願公開第2002/0180025(A1)号明細書
- 【特許文献78】米国特許出願公開第2009/0283872号明細書 10
- 【特許文献79】米国特許出願公開第2008/0122040号明細書
- 【特許文献80】米国特許出願公開第2006/0001176号明細書
- 【特許文献81】米国特許出願公開第2003/0209809号明細書
- 【特許文献82】米国特許出願公開第2001/0001292号明細書
- 【特許文献83】米国特許出願公開第2004/0232559(A1)号明細書
- 【特許文献84】米国特許出願公開第2006/0091518(A1)号明細書
- 【特許文献85】米国特許出願公開第2006/0076690(A1)号明細書
- 【特許文献86】米国特許出願公開第2005/0248036(A1)号明細書
- 【特許文献87】米国特許出願公開第2004/0229401(A1)号明細書
- 【特許文献88】米国特許出願公開第2004/0191954(A1)号明細書 20
- 【特許文献89】米国特許出願公開第2002/0158325(A1)号明細書
- 【特許文献90】米国特許出願公開第2007/0296090(A1)号明細書
- 【特許文献91】米国特許出願公開第2007/0257340(A1)号明細書
- 【特許文献92】米国特許出願公開第2007/0109833(A1)号明細書
- 【特許文献93】米国特許出願公開第2007/0076479(A1)号明細書
- 【特許文献94】米国特許出願公開第2007/0045827(A1)号明細書
- 【特許文献95】米国特許出願公開第2006/0205111(A1)号明細書
- 【特許文献96】米国特許出願公開第2006/0097374(A1)号明細書
- 【特許文献97】カナダ国特許第2196024号明細書
- 【特許文献98】米国特許第6426560(B1)号明細書 30
- 【特許文献99】米国特許出願公開第2003/0211679(A1)明細書
- 【特許文献100】米国特許第6713855(B2)号明細書
- 【特許文献101】米国特許第6879036(B2)号明細書
- 【特許文献102】特開昭60-034054号明細書
- 【特許文献103】米国特許出願公開第2003/0183917(A1)明細書
- 【特許文献104】米国特許出願公開第2005/0184398(A1)明細書
- 【特許文献105】米国特許出願公開第2007/0096332(A1)明細書
- 【特許文献106】米国特許第5721452(A)号明細書
- 【特許文献107】米国特許第6563205(B2)号明細書
- 【特許文献108】米国特許第6784019(B2)号明細書 40
- 【特許文献109】米国特許第7071547(B2)号明細書
- 【非特許文献1】International Search Report、2009年3月5日、2頁
- 【非特許文献2】Jenny Kim、"MCP: Answer to Processing Barrier"、Nikkei Electronics Asia、2007年11月、1-3頁、韓国
- 【非特許文献3】Photograph: Hynix's 24-Die MCP
- 【非特許文献4】Photograph; Samsung M358T5168AZ0-CE80Q
- 【非特許文献5】Karnezos M.、3d Packaging Tutorial、12th Annual KGD Packaging & Test Workshop、2005年9月11-14日、アメリカ合衆国、カリフォルニア州、ナパ
- 【非特許文献6】IEEE Standard for High-Bandwidth Memory Interface Based o 50

n Scalable Coherent Interface (SCI) Signaling Technology (RamLink)、Micro processor and Microcomputer Standards Committee of the IEEE Computer Society、IEE Std 1596.4-1996、The Institute of Electrical and Electronics Engineers, Inc.、アメリカ合衆国、10017 ニューヨーク州、ニューヨーク、ISBN 1-55937-745-3

【非特許文献7】Siblerud P. & Kim B.、Cost Effective TSV Chip Integration、EMC-3D Semiconductor 3-D Equipment and Materials Consortium、EMC-3D SE Asia Technical Symposium、2007年1月22-26日

【発明の概要】

【発明が解決しようとする課題】

10

【0013】

データの記憶を提供するために半導体チップを積み重ねる従来の方法には欠点に伴う。例えば、3Dチップ積層型MCPは多数のNANDフラッシュメモリを用いてメモリ記憶システムを形成することができるものの、それぞれの記憶システムは、複数のメモリデバイス間に要求される多数の相互接続の結果として、要求される性能を提供しないことがある。故に、メモリデバイスの高性能3次元スタックの製造は困難なものになり得る。

【0014】

半導体チップを積み重ねることには更なる欠点に伴う。デバイスのスタックを対応する印刷回路基板(PCB)又は基板に取り付けることは困難であり得る。また、スタック内の複数のメモリデバイス間には非常に多数の相互接続が存在するので、例えばクロストークなどの不所望な影響がこれらの形式の記憶サブシステムの性能を制限し得る。

20

【0015】

メモリ記憶システムの性能を制限する1つの具体的な要因は伝搬遅延である。高負荷の相互接続又は長い相互接続により生じる伝搬遅延は、メモリ記憶システムに組み込むことが可能なチップの数を制限し得る。

【0016】

概して、ここでの実施形態は、従来の方法やシステムなどに対する改善を含む。

【課題を解決するための手段】

【0017】

ここでの実施形態に従って、例えば、メモリ記憶システムは第1のメモリデバイスと第2のメモリデバイスとのスタックを含む。第1のメモリデバイス及び第2のメモリデバイスは同一の入力／出力レイアウト配置を有する。第2のメモリデバイスは、スタックを形成するよう、第1のメモリデバイスに固定される。第1のメモリデバイスの出力群と第2のメモリデバイスの入力群との間の接続を容易にするよう、第2のメモリデバイスは、第1のメモリデバイスの出力を第2のメモリデバイスの対応する入力と位置整合させるように、スタック内の第1のメモリデバイスに対して回転オフセットされる。スタック内での第1のメモリデバイスに対する第2のメモリデバイスの回転オフセットは、第1のメモリデバイスの1つ以上の出力の、第2のメモリデバイスの1つ以上のそれぞれの入力との実質的な位置整合をもたらす。メモリデバイスのスタックは、第1のメモリデバイスと第2のメモリデバイスとの間での1つ以上の直列接続構成を担う経路を含むことができる。

30

40

【0018】

この実施形態は、入力群と出力群とを位置整合させるようにメモリデバイス群を回転オフセット(例えば、約180°)することが、共通の入力／出力レイアウト配置を有するメモリデバイス群に基づくメモリ記憶スタックの生成を可能にするので、複数の従来の手法に対して有用である。共通の配置は、スタックを生成するために、異なる入力／出力レイアウト配置を有するメモリデバイス群を積み重ねる必要性を軽減する。

【0019】

なお、数多くの手法でスタックにコントローラを結合することが可能である。例えば、コントローラ及びスタックを、例えば印刷回路基板などの基板に取り付けることができる。基板内の導電経路が、コントローラとメモリデバイスのスタックとの間の接続を提供し

50

得る。

【0020】

他の一実施形態によれば、スタックがコントローラを含んでもよい。そのような実施形態においては、コントローラは、スタック内の第1又は最後のメモリデバイス（例えば、スタックの何れかの端部のメモリデバイス）など、スタック内のメモリデバイスに固定されることが可能である。

【0021】

なお、スタックは概して、如何なる妥当な数のメモリデバイスを含んでいてもよい。例えば、一実施形態において、スタックは、第2のメモリデバイスに固定された第3のメモリデバイスを含む。第3のメモリデバイスは、第1のメモリデバイス及び第2のメモリデバイスと同一の入力／出力レイアウト配置を有する。スタック内の第3のメモリデバイスは、第2のメモリデバイスの出力を第3のメモリデバイスの対応する入力と位置整合させるように、スタック内の第2のメモリデバイスに対して回転オフセットされる。

10

【0022】

従って、ここでの実施形態は、スタックを通り抜ける直列接続構成の長さを増大させるように、スタック内の連続した各メモリデバイスを回転オフセットすることを含む。上述の例では、スタックへの第3のメモリデバイス及び／又はその後のメモリデバイスの追加は、データの伝達のために第1のメモリデバイス、第2のメモリデバイス及び第3のメモリデバイスを通る1つ以上の経路を延長する。

【0023】

20

スタック内のメモリデバイス群（例えば、第1のメモリデバイス、第2のメモリデバイス、第3のメモリデバイスなど）は平面状で、それぞれの頂面及び底面を有するものとし得る。すなわち、メモリデバイス群は1枚以上のウェーハから切り出された半導体チップ群とし得る。メモリデバイス群は、第1のメモリデバイスの頂面及び第2のメモリデバイスの頂面がスタックに沿って同一向きになるよう、スタック内のそれぞれのメモリデバイスの底面がスタック内の別のメモリデバイスの頂面に固定されて互いに積み重ねられることができる。スタック内の複数のメモリデバイスの各々は、積層方向に同一の向きを向くことが可能である。故に、製造方法は、チップ群を互いに対して裏返す複雑なフリッププロセスを含む必要がない。

【0024】

30

スタックに使用されるメモリデバイスの入力／出力レイアウト配置は、入力コンタクト群及び出力コンタクト群を含むことができる。上述のように、各メモリデバイスのレイアウト配置は同一とし得る。スタックは、生成されたとき、入力／出力コンタクト間の接続（例えば、ワイヤボンド、スルーホール接続など）に基づく1つ以上の直列構成の接続すなわち経路を含み得る。例えば、該1つ以上の経路は、スタック内の1つのメモリデバイスの出力コンタクトとスタック内の次のメモリデバイスの対応する入力コンタクトとの間の導電リンクに基づいて生成され得る。

【0025】

一実施形態において、スタック内の上記1つ以上の経路は、スタックを貫通してのデータ伝達を担う。スタック内に格納されたデータにアクセスするため、上記1つ以上の経路にコントローラを電氣的に結合することができる。

40

【0026】

より具体的な一実施形態において、このコントローラはスタック内の1つのメモリデバイスに結合される。コントローラは、該メモリデバイスから、スタック内の1つ以上のメモリデバイスを通る経路に沿ったデータの流れに基づいてデータにアクセスするように構成され得る。例えば、コントローラは、少なくとも第2のメモリデバイスを通してコントローラへと戻る1つ以上の経路に沿ったデータの進行に基づいて、第1のメモリデバイスからデータにアクセスすることができる。一実施形態において、スタック内の最後のメモリデバイスからコントローラへと戻る接続により、コントローラは、1つ以上の経路に沿ったデータフローに基づいて、スタック内のメモリデバイス群からデータを受信すること

50

が可能になる。

【0027】

コントローラとスタックの例えば第1のメモリデバイスとの間の結合は、コントローラがメモリデバイス群を介してデータを伝達し、ひいては、メモリデバイス群にデータを格納することを可能にする。スタック内の最後のメモリデバイスとコントローラとの間の結合は、コントローラがそれぞれのメモリデバイスに格納されたデータを取り出すことを可能にする。

【0028】

スタック内の各メモリデバイスは、通過（パススルー）モード又はメモリアクセスモードに設定されることができる。一実施形態において、パススルーモードは、スタック内のそれぞれのメモリデバイスが、該メモリデバイスの入力で受信したデータを回路パスに沿って該メモリデバイスの出力まで伝達することを可能にする。故に、一例において、コントローラはデータに、スタック内の標的メモリデバイスに格納すべく、スタック内の第1のメモリデバイスを通過させることができる。

【0029】

一実施形態において、メモリデバイスに関するメモリアクセスモードは、i) 経路上でのデータの受信、及びスタック内のそれぞれのメモリデバイスに付随するメモリ回路への該データの格納と、ii) コントローラに戻るそれぞれのメモリデバイスの出力への上記経路上での伝送のための、それぞれのメモリデバイスのメモリ回路からのデータの取り出しとを可能にする。故に、コントローラは、スタック内の特定のメモリデバイスにデータを格納し、あるいはそれからデータを取り出すことができる。

【0030】

スタックを通る上記1つ以上の経路の各々は、メモリデバイス群を通る複数のセグメントを含み得る。例えば、スタックを通る経路は第1の経路セグメントと第2の経路セグメントとを含むことができる。第1の経路セグメントは、第1のメモリデバイスの入力と出力との間の回路パスを含む。第2の経路セグメントは、第2のメモリデバイスの入力と出力との間の回路パスを含む。スタック内の第1のメモリデバイスに対する第2のメモリデバイスの回転オフセットに基づいて、スタック内の第1のメモリデバイスの入力と出力との間の軸は、スタック内の第2のメモリデバイス（例えば、次のメモリデバイス）の入力と出力との間の軸に対して平行にされ得る。このような実施形態の更なる例において、第1のメモリデバイスの入力から出力へのデータフローの向きは、第2のメモリデバイスの入力から出力へのデータフローの向きに対して実質的に反対にされ得る。例えば、スタックを通る所与の経路の第1の経路セグメント（例えば、第1のメモリデバイス内の経路部分）は、第1のメモリデバイスの第1の辺付近の入力から、第1のメモリデバイスの第2の辺付近の出力まで、第1のメモリデバイスの面を対角的に横断し得る。スタックを通る該所与の経路の第2の経路セグメント（例えば、第2のメモリデバイス内の経路部分）は、第2のメモリデバイスの第1の辺付近の入力から、第2のメモリデバイスの第2の辺付近の出力まで、第2のメモリデバイスの面を対角的に横断し得る。

【0031】

上述のように、メモリデバイス群を積層することは、スタック内の各連続メモリデバイスを回転オフセットすることを含むことができる。更なる実施形態において、メモリデバイス群は、スタック内の各チップがスタック内の別のチップに対してオーバーハングを作り出す（張り出す）ように、積層軸に対してずらされ、すなわち、オフセットされ得る。例えば、スタック内の第2のメモリデバイスは、第2のメモリデバイスの面上の入力群に電氣的に接続するために第1のメモリデバイスの面上の出力群を露出させるように、スタック内の第1のメモリデバイスに対してずらされ、すなわち、オフセットされることができる。第3のメモリデバイスは、第3のメモリデバイスの面上の入力群に電氣的に接続するために第2のメモリデバイスの面上の出力群を露出させるように、スタック内の第2のメモリデバイスに対してずらされ、すなわち、オフセットされることができる。

【0032】

概して、メモリデバイスをずらすことは、1つのメモリデバイスの出力群が次のメモリデバイスの入力群への接続のために露出されるように、スタックの生成全体で繰り返され得る。

【0033】

スタック内の連続したメモリデバイスの各対は、互いに電氣的に接続されることができ得る。例えば、導電リンク群が、第1のメモリデバイスの面上の出力群を第2のメモリデバイスの面上の入力群に橋渡しする。一実施形態において、各メモリデバイスの入力群及び出力群は表面パッドである。リンクは、1つのメモリデバイスの入力表面パッドを別のメモリデバイスの出力表面パッドに接続するワイヤボンドとし得る。

【0034】

他の一実施形態によれば、接続を形成するためにスタック内の連続したメモリデバイスをずらすことの代替策として、第1のメモリデバイスの頂面に配置された出力が第2のメモリデバイスの頂面に配置された対応する入力上に縦方向に位置整合されるように、スタック内でメモリデバイス群が位置整合されてもよい。このような一実施形態においては、各メモリデバイスに付随する入力／出力レイアウト配置の入力群は、スルーホール接続として構成され得る。各メモリデバイスに付随する入力／出力レイアウト配置の出力群は、表面接続に対応したパッドとして構成され得る。

【0035】

スタックを通る上記1つ以上の経路は、スタック内のメモリデバイスの出力群をスタック内の次のメモリデバイスの入力群に結合することによって作り出されることが可能である。例えば、表面パッドとそれに対応するスルーホール接続との間に導電材料を設けることによって、メモリデバイス間にリンク接続を生成することができる。

【0036】

ここでの他の実施形態は、例えば半導体チップなどのメモリデバイスを含む。半導体チップは、1つ以上の入力と1つ以上の出力とを含む入力ー出力配置を有する。半導体チップは、当該半導体チップを通じてデータを伝達するよう、入力と出力との各対の間にそれぞれの入力ー出力回路パスを含む。

【0037】

半導体チップの入力群は、スルーホール接続すなわちビアとして構成されることが可能である。その名称が示唆するように、スルーホール接続は、半導体チップの頂面から該半導体チップを介して該半導体チップの底面に通じる。スルーホール接続はまた、それぞれの半導体チップ内の回路に電氣的に接続される。スルーホール接続は、故に、半導体チップの内部回路をその他の外部回路に接続する経路を提供する。

【0038】

半導体チップの出力群は、当該半導体チップの平表面に配置された表面コンタクトパッド群として構成されることが可能である。表面パッド接続はまた、それぞれの半導体チップ内の対応する回路に電氣的に接続される。故に、スルーホール接続と同様に、表面パッドは、半導体チップの内部回路をその他の外部回路に接続する経路を提供する。

【0039】

表面パッド出力とスルーホール入力とを含む半導体チップを作り出すことは、1つの半導体チップとそれと同一の入力／出力配置の次の半導体チップとの間の接続が、それぞれの表面パッドとスルーホール接続との間のリンクを介して接続されるので有用である。すなわち、半導体チップのスルーホールコネクタは、当該半導体チップの出力位置の表面コンタクトパッドと別の半導体チップ（同一の配置レイアウトを有する）の入力位置のスルーホールコネクタとの間の接続を可能にする。

【0040】

上述のように、例えば半導体チップなどのメモリデバイスは複数の入力と複数の出力とを含み得る。複数の入力の各々は、スルーホール接続すなわちビアとして構成され得る。複数の出力の各々は表面パッドとして構成され得る。リンクは、スルーホール接続とそれに対応する表面パッドとの間の導電材料を含み、スタックを貫通する経路を作り出す。

10

20

30

40

50

【0041】

より具体的には、ここでの他の一実施形態は、上述のような半導体チップのスタックを含む。例えば、実施形態に従ったメモリ記憶システムは、第1のメモリデバイスと、該第1のメモリデバイスと同一の入力／出力レイアウト配置を有する第2のメモリデバイスとを含むことができる。メモリ記憶システムはスタックとして構成されることが可能である。このスタックは、第1のメモリデバイスに固定された第2のメモリデバイスを含む。第2のメモリデバイスはスタック内で、第1のメモリデバイスの出力を第2のメモリデバイスの対応する入力と位置整合させるように方向付けられる。このスタックは更に、第1のメモリデバイスの出力群と第2のメモリデバイスの入力群との間の接続を含む。例えば、上述のように、メモリデバイス間の接続は、第1のメモリデバイスの面上の表面パッド群と第2のメモリデバイスのスルーホール群との間の接続を含み得る。このような一実施形態において、表面パッド群は第1のメモリデバイスの出力群であり、スルーホール群は第2のメモリデバイスの入力群である。

10

【0042】

第1のメモリデバイスの表面パッドを第2のメモリデバイスの対応する入力と位置整合させるため、ここでの実施形態は、1つのメモリデバイスをスタック内の次のメモリデバイスに対して（例えば約180°といった量だけ）回転オフセットすることを含むことができる。回転オフセットは、例えばメモリデバイス群が互いに積み重ねられるときに沿う軸である積層軸の周りで行われ得る。

20

【0043】

メモリデバイス間の接続は、非限定的な一例として、第1の接続と第2の接続とを含むことができる。一実施形態において、第1の接続は、第1のメモリデバイスの第1の表面パッドを第2のメモリデバイスの第1のスルーホールに結合する。第2の接続は、第1のメモリデバイスの第2の表面パッドを第2のメモリデバイスの第2のスルーホールに結合する。第1の接続は、スタックを通る1つの経路セグメントの部分とすることができ、第2の接続は、スタックを通る別の1つの経路セグメントの部分とすることができ、すなわち、第1の接続は、第1のメモリデバイスの第1の出力を第2のメモリデバイスの第1の入力に結合することによって第1の経路を作り出し、第2の接続は、第1のメモリデバイスの第2の出力を第2のメモリデバイスの第2の入力に結合することによって第2の経路を作り出す。当然ながら、スタック内には、メモリデバイス間の接続を介して如何なる好適な数の経路が作り出されてもよい。

30

【0044】

上述と同様の調子で、スタックは、直前に説明した表面パッド及びスルーホールのレイアウト配置を有する多数の更なるメモリデバイスを含むことができる。例えば、一実施形態において、スタックは、第2のメモリデバイスに固定された第3のメモリデバイスを含む。第3のメモリデバイスは、第1のメモリデバイス及び第2のメモリデバイスと同一の入力／出力レイアウト配置を有する。この実施形態において、スタックは、第2のメモリデバイスの出力群と第3のメモリデバイスの入力群との間の接続を含む。この接続は、第2のメモリデバイスの面上の表面パッド群すなわち出力群と、第3のメモリデバイスの例えば入力群であるスルーホール群との間の接続を含む。上述のように、1つのメモリデバイスからスタック内の次のデバイスへの接続は、メモリデバイス群を通るそれぞれの経路を形成する。

40

【0045】

何れの実施形態においても、スタックを通る上記1つ以上の経路は、スタックを通り抜けてのデータの伝達を担う。これら経路群の一部は制御目的で使用されてもよい。例えば、メモリデバイス群を通る1つ以上の経路は、それぞれのコントローラがメモリデバイス群を制御することを可能にするよう、スタック内のメモリデバイス群を介して、またメモリデバイス群へ、制御信号又は制御データを伝達するために使用され得る。

【0046】

スタック内の1つ以上のメモリデバイスの動作を制御する制御信号は、コントローラ又

50

はスタック内の別のメモリデバイスによって生成され得る。

【0047】

表面パッド及びスルーホールレイアウト配置を含むメモリ記憶システムは1つのコントローラを含むことができる。例えば、スタック内に格納されたデータにアクセスするためにスタックに1つのコントローラが電氣的に結合され得る。一実施形態において、コントローラは、例えば第1のメモリデバイスなどのスタック内の最初のメモリデバイスに電氣的に結合される。このコントローラは、第1のメモリデバイスから少なくとも第2のメモリデバイス及び／又はスタック内のその他のメモリデバイスを介して当該コントローラへと戻る経路に沿ったデータの流に基づいて、第1のメモリデバイスからデータにアクセスするように構成されることが可能である。スタック内の最後のメモリデバイスからコントローラへと戻る接続は、コントローラが、上記1つ以上の経路に沿ったデータの流に基づいて、スタック内のメモリデバイス群からデータを受信することを可能にする。

10

【0048】

コントローラとスタック内の第1のメモリデバイスとの間の結合は、コントローラがメモリデバイス群を介してデータを伝達し、ひいては、メモリデバイス群にデータを格納することを可能にする。スタック内の最後のメモリデバイスとコントローラとの間の結合は、コントローラが、それぞれのメモリデバイスに格納されたデータを取り出すことを可能にする。しかしながら、この後者の実施形態において、接続はスルーホールから表面パッドへの接続を含む。

【0049】

20

コントローラへと戻るデータの通行を可能にするため、ここでの実施形態は、第2のメモリデバイス（又は、スタック内の最後のメモリデバイス）の面上の表面パッド群（例えば、出力など）とコントローラに付随する入力群との間の、例えばワイヤボンドなどの電気接続を含むことができる。

【0050】

上述のようにして、スタック内の各メモリデバイスはパススルーモード又はメモリアクセスモードに設定され得る。

【0051】

一実施形態において、スタック内の各メモリデバイスは、平面状であって、それぞれの頂面及び底面を有する。第1のメモリデバイス及び次のメモリデバイスは、第2のメモリデバイスの底面が第1のメモリデバイスの頂面に固定されて互いに積み重ねられる。第1のメモリデバイスの頂面及び第2のメモリデバイスの頂面は、スタックに沿って同一の向きを向く。スタック内のメモリデバイス群の適切な位置合わせに基づき、第1のメモリデバイスの頂面に配置された出力は、第2のメモリデバイスの頂面に配置された対応する入力上に縦方向に位置整合される。換言すれば、スタック内の1つのメモリデバイスの表面パッド群（出力群）がスタック内の次のメモリデバイスのスルーホール群（入力群）と直接的に位置整合されるよう、メモリデバイス群は位置合わせされ得る。

30

【0052】

更なる実施形態において、半導体チップは、当該半導体チップを通り抜けてのデータの伝達のために、複数の入力と複数の出力とを含む配置レイアウトを有する。半導体チップはまた、構成レイアウト内の入力群が構成レイアウト内の複数の出力と対角的に対にされた複数の入力ー出力対を含む。半導体チップは各入力ー出力対の間にそれぞれの入力ー出力回路パスを含む。

40

【0053】

半導体チップを通る回路パスは、例えば半導体チップひいてはメモリ記憶スタックを介してのデータ又は制御信号の伝達などの異なる機能を担うことができる。

【0054】

半導体チップの配置レイアウトは、順序付けられた複数の入力及び複数の出力を含み得る。レイアウト内の複数の入力ー出力対の間のそれぞれの回路パスの各々は、1つの入力とそれに対応する1つの出力とを含む。入力ー出力対の対応する出力は、半導体チップの

50

レイアウト内の入力と対角的に筋向かいにある。一実施形態において、レイアウト内の入力に対して、レイアウト内の対応する出力は、該入力から180°オフセットされる。

【0055】

更なる実施形態において、半導体チップは、当該半導体チップを介したデータの伝達のための複数の入力と複数の出力とを含む配置レイアウトを有する。レイアウトの入力ー出力対は、各入力を複数の出力のうちの対応する1つと対にすることに基づく。各入力ー出力対の間の入力ー出力回路パスは、半導体チップ内のその他の回路パスと交差するように方向付けられる。換言すれば、一実施形態に従って、半導体チップの入力／出力レイアウト配置は、複数の入力ー出力対に関する軸群の一部又は全てが互いに交差するように選定され得る。

10

【0056】

半導体チップの配置レイアウトは、一列の入力と一列の出力とを含み得る。これらの列は、半導体チップのそれぞれの辺に沿って、あるいはそれぞれの辺の近傍に、互いに平行に配置され得る。このような実施形態の更なる例において、入力ー出力対は、1つの列内の入力と別の1つの列内の出力との間の回路パスを含む。他の実施形態において、これらの列の各々は入力及び出力の双方を含む。

【0057】

上述のように、複数の入力ー出力対を含む半導体チップは、データを格納するメモリを含むことができる。入力ー出力回路パスの各々は、メモリのうちの対応する部分へのアクセスを可能にする。

20

【0058】

一例において、配置レイアウトは、半導体チップの外縁に近接して、順序付けられた複数の入力及び複数の出力を含むことができる。複数の入力ー出力対の間の回路パスの各々は、半導体チップの外縁に近接した1つの入力と、半導体チップの外縁に近接した1つの対応する出力とを含む。それぞれの回路パスの該対応する出力は、数字4が数字10の反対側に配置され、数字5が数字11の反対側に配置され、等々と配置される伝統的な時計の配置と同様に、該入力から実質的に180°オフセットされた位置にある。しかしながら、上述のように、半導体チップの入力／出力群は、円を形成するのではなく、1つ以上の列を形成してもよい。

【0059】

30

更なる実施形態において、メモリ記憶スタックは第1のメモリデバイスと第2のメモリデバイスとを含む。第1のメモリデバイス及び第2のメモリデバイスは何れも同一の入力／出力レイアウト配置を有する。第1のメモリデバイスは、第2のメモリデバイスの平表面上の入力群に接続するために第1のメモリデバイスの平表面上の出力群を露出させるように、第2のメモリデバイスに対して（段差を作り出すように）オフセットされる。スタックに追加される更なるメモリデバイスの各々は、階段型のスタックを作り出すように同一の向きにオフセットされ得る。1つのメモリデバイスの出力群から別の1つのメモリデバイスの入力群への接続は複数の経路を作り出す。上述のように、これらの経路は、第1のメモリデバイス及び第2のメモリデバイスを通る直列接続を容易にし、例えばデータの伝達などの機能を担う。データは、コマンド、それぞれのメモリデバイスで格納される情報、それぞれのメモリデバイスから取り出された情報などとし得る。

40

【0060】

メモリ記憶スタック内の1つのメモリデバイスと別の1つのメモリデバイスとの間の接続は、導電リンクを含むことができる。この導電リンクは、第1のメモリデバイスの出力と第2のメモリデバイスの入力との間のワイヤボンドとし得る。

【0061】

一実施形態において、メモリ記憶スタック内の各メモリデバイスの入力／出力レイアウト配置は、そのメモリデバイスの1つ以上の辺に沿った複数の入力と複数の出力とのシーケンスを含む。

【0062】

50

メモリデバイスの入力及びそれに対応する出力は、直近に説明した半導体チップの入力／出力レイアウト配置内で互いの隣に配置されてもよい。所与のメモリデバイスの出力は、メモリ記憶スタック内の次のメモリデバイスの入力に電氣的に結合されて、スタックを通り抜けてデータを伝達する経路を形成することができる。メモリデバイスの入力及びそれに対応する出力を隣り合わせで配置することは、メモリ記憶スタック内で1つのメモリデバイスの出力を別の1つのメモリデバイスの対応する入力に接続するのに要する導電リンクの長さを短縮する。

【0063】

非限定的な一例として、メモリ記憶スタックは、例えば、第1のメモリデバイス及び第2のメモリデバイスと同一の入力／出力レイアウト配置を有する第3のメモリデバイスなど、更なるメモリデバイスを含むことができる。第2のメモリデバイスが第1のメモリデバイスに対してオフセットされるのと同様に、スタック内で第3のメモリデバイスは第2のメモリデバイスに対して（第2のメモリデバイスが第1のメモリデバイスに対してオフセットされたのと同方向に）、第3のメモリデバイスの入力群に電氣的に接続するために第2のメモリデバイスの出力群を露出させるようにオフセットされることが可能である。

10

【0064】

メモリ記憶スタックへの各メモリデバイスの追加及び対応する結合は、第1のメモリデバイス、第2のメモリデバイス、第3のメモリデバイスなどのスタック内の各メモリデバイスを通る直列接続を延長させる。

20

【0065】

これら及びその他の実施形態について、対応する図を参照しながら、本明細書にて更に詳細に後述する。

【0066】

上述のように、ここで開示する技術は、メモリデバイスのスタック、及び例えばフラッシュ技術、電氣的に消去可能な半導体メモリ、不揮発性メモリなどを支援するシステムなどのシステムでの使用に適したものである。しかしながら、ここで開示する実施形態はそのような用途での使用に限定されるものではなく、ここで説明する技術はその他の用途にも適したものである。

【0067】

30

また、様々な特徴、技術、構成などの各々がこの開示の異なる部分で説明されるが、一般的に意図されることには、それらの概念の各々は、互いに独立に達成されてもよいし、実現可能な場合には互いに組み合わせて達成されてもよい。従って、本発明の少なくとも一部の実施形態は、様々な具現化され、様々な見方をされることが可能である。

【図面の簡単な説明】

【0068】

添付の図面を例として参照する。

【図1】実施形態に従ったメモリシステムの一例を示す図である。

【図2】実施形態に従った積層可能なメモリデバイス及び対応する入力／出力レイアウト構成の一例を示す図である。

40

【図3】実施形態に従った積層メモリシステムの一例を示す斜視図である。

【図4】実施形態に従った相互接続メモリデバイスの一積層例を示す断面図である。

【図5】実施形態に従った複数の積層されたメモリデバイスを含むメモリシステムの一例を示す斜視図である。

【図6】実施形態に従った相互接続メモリデバイスの一積層例を示す断面図である。

【図7】実施形態に従った複数の積層されたメモリデバイスを含むメモリシステムの一例を示す斜視図である。

【図8】実施形態に従った相互接続メモリデバイスの一積層例を示す断面図である。

【図9】実施形態に従った接続層の一例を示す斜視図である。

【図10】実施形態に従った接続層の一例を示す断面図である。

50

【図 1 1】実施形態に従った接続層の一例を示す斜視図である。

【図 1 2】実施形態に従った接続層の一例を示す斜視図である。

【図 1 3】実施形態に従ったメモリデバイス、並びにスルーホール及び表面パッドのレイアウトの一例を示す斜視図である。

【図 1 4】実施形態に従った複数のメモリデバイスの一積層例を示す斜視図である。

【図 1 5】実施形態に従った複数のメモリデバイスのスタックに関する接続の一例を示す断面図である。

【図 1 6】実施形態に従った複数のメモリデバイスのスタックに関する接続の一例を示す断面図である。

【図 1 7】実施形態に従った複数のメモリデバイスのスタックに関する接続の一例を示す断面図である。 10

【図 1 8】実施形態に従った複数の入力及び複数の出力の配置レイアウトの一例を示す図である。

【図 1 9】実施形態に従った複数のメモリデバイスの積層及び対応する接続の一例を示す斜視図である。

【図 2 0】実施形態に従った複数のメモリデバイスのレイヤー化における接続の一例を示す断面図である。

【図 2 1】実施形態に従った積層可能なメモリデバイスの配置レイアウトの一例を示す図である。

【図 2 2】実施形態に従った複数のメモリデバイスの積層及び対応する接続の一例を示す斜視図である。 20

【図 2 3】実施形態に従った 1 つ以上のメモリデバイス及び／又はメモリシステムの製造に関する方法を例示する図である。

【図 2 4】実施形態に従った 1 つ以上のメモリデバイス及び／又はメモリシステムの製造に関する方法を例示する図である。

【図 2 5】実施形態に従った 1 つ以上のメモリデバイス及び／又はメモリシステムの製造に関する方法を例示する図である。

【図 2 6】実施形態に従った 1 つ以上のメモリデバイス及び／又はメモリシステムの製造に関する方法を例示する図である。

【図 2 7】実施形態に従った 1 つ以上のメモリデバイス及び／又はメモリシステムの製造に関する方法を例示する図である。 30

【図 2 8】実施形態に従った積層可能なメモリデバイスの一例を示す図である。

【図 2 9】実施形態に従った積層可能なメモリデバイスの一例を示す図である。

【図 3 0】実施形態に従った積層可能なメモリデバイスの一例を示す図である。

【発明を実施するための形態】

【0069】

以下、より具体的に説明する。図 1 は、実施形態に従ったメモリシステム 100 の一例を示している。

【0070】

図示のように、メモリ記憶システム 100 は、4 つの直列接続されたメモリチップ 200 (例えば、メモリチップ 200-1、メモリチップ 200-2、メモリチップ 200-3、及びメモリチップ 200-4) を含んでいる。なお、メモリ記憶システム 100 は如何なる好適な数のメモリチップを含んでいてもよく、メモリ記憶システム 100 は単なる非限定的な一例として 4 つのメモリチップを含んでいる。 40

【0071】

メモリチップ 200 の各々は、シリアル入力ポート (D0-D7、CSI 及び DSI)、シリアル出力ポート (Q0-Q7、CSO、DSO)、及び共通の平行入力ポート (CK、CK#、RST# 及び CE#) を有している。

【0072】

図 1 に示すように、入力信号 (CK、CK#、RST# 及び CE#) は、平行接続 50

を介して、4つ全てのメモリチップ200-1、200-2、200-3及び200-4に共通に結合されている。すなわち、信号CKは各メモリチップ200それぞれの入力CKを駆動し、信号CK#は各メモリチップ200それぞれの入力CK#を駆動し、等々である。

【0073】

一実施形態において、信号CKは、論理的な高（ハイ）状態と論理的な低（ロー）状態との間で切り替わるクロック信号を表す。信号CK#は、論理ハイ状態と論理ロー状態との間で切り替わるとともに、CK信号に対して位相が180°ずれている。例えば、CK信号が論理ハイであるとき、CK#信号は論理ローである。CK信号が論理ローであるとき、CK#信号は論理ハイである。

10

【0074】

なお、メモリ記憶システム100の左端に沿った信号群（例えば、信号CK、CK#、RST#、CE#、D0、D1、・・・、D7、CSI、DSI）は、例えばメモリコントローラなどの信号源からの入力とし得る。メモリ記憶システム100の右端に沿った信号群（例えば、信号Q0、Q1、Q2、・・・、Q7、CSO、DSO）は、上記メモリコントローラへ戻る出力、又は別の後続メモリ記憶システム100の入力に接続される出力とし得る。一定の実施形態において、より大きい記憶システムが、1つ又は複数のコントローラがそれぞれのメモリチップに格納されたデータへのアクセスを可能にする複数の記憶システムを含んでいてもよい。

【0075】

各チップは、適当な電源、グランド、及び適切な動作のためのその他の接続を含むことができる。

20

【0076】

メモリ記憶システム100のチップ200は直接に接続されることが可能である。例えば、メモリ記憶システム100の外部シリアル入力信号（メモリチップ200-1の左に信号D0-D7、CSI及びDSIとして示す）は、図示のように、第1のメモリチップ200-1のシリアル入力ポート（D0-D7、CSI及びDSI）に結合される。また、第1のメモリチップ200-1のシリアル出力ポート（Q0-Q7、CSO及びDSO）は、第2のメモリチップ200-2のシリアル入力ポート（D0-D7、CSI及びDSI）と結合される。同様に、第2のメモリチップ200-2のシリアル出力ポート（Q0-Q7、CSO及びDSO）は、第3のメモリチップ200-3のシリアル入力ポート（D0-D7、CSI及びDSI）と結合される。また、第3のメモリチップ200-3のシリアル出力ポート（Q0-Q7、CSO及びDSO）は、第4のメモリチップ200-4のシリアル入力ポート（D0-D7、CSI及びDSI）と結合される。最後に、第4のメモリチップ200-4のシリアル出力ポート（Q0-Q7、CSO及びDSO）は、メモリ記憶システム100のシリアル出力信号（Q0-Q7、CSO及びDSO）と結合される。

30

【0077】

メモリチップ200及びメモリチップ200同士（及び付随システムのその他の構成要素）の間の相互接続の更なる詳細は、先に参照した多数の、同一出願人による特許出願に記載されている。しかしながら、理解されるように、少なくとも一部の例において、メモリチップ200は如何なる好適な種類の半導体チップであってもよい。非限定的な一例として、メモリチップ200は、NANDフラッシュメモリ、NORフラッシュメモリ、EEPROM、MRAM、PCM、ReRAM、FeRAM、SRAM、PSRAM、及びDRAMなどとし得る。

40

【0078】

なお、少なくとも一部の実施形態によれば、メモリ以外のチップ又は集積回路の使用も意図される。例えば、ここで説明する原理は、非メモリ型の回路や図1に示したメモリに基づく回路に対する接続を提供するように拡張され得る。

【0079】

50

上述のように、図示した例においては4つのメモリチップ200が示されているが、メモリ記憶システム100内のチップの数は、1より大きい如何なる数であってもよく、一部の更なる例においては、ホストとして機能する1つ以上のメモリコントローラチップが存在してSiP（システム・イン・パッケージ）構成を提供してもよい。

【0080】

図2は、実施形態に従ったそれぞれのチップ200の外縁部近傍の入力及び出力の配置レイアウトの一例を3次元的に示している。図2に例示したチップ200は、図1の4つのメモリチップ200の各々に付随する適当な機能を含み得る。半導体チップとし得るメモリチップ200上に示したパッド群は、ラベルを付したそれぞれの入力／出力を表す表面パッド群である。これらのパッドは、チップ200に付随するメモリ回路、制御回路、バッファ回路などに内部で電氣的に接続している。本明細書にて説明するように、これらのパッドは外部回路への接続も提供する。従って、チップ200のパッド群は、チップ200の内部回路をその他の外部回路に接続する経路を提供する。

10

【0081】

非限定的な一例として、半導体チップ200の配置レイアウトは、入力群を含む列と、出力群を含む列とを含み得る。これらの列は、互いに平行にされ、半導体チップのそれぞれの外縁に沿って、あるいはそれぞれの外縁近傍に配置され得る。

【0082】

他の実施形態において、チップは、チップ200の任意の外縁又は全ての外縁に、入力／出力群の複数の列を含む。

20

【0083】

1つの列内の各入力は、反対側の列内の対応する出力と対にされる。例えば、入力D0はチップ200の出力Q0と対にされ、入力D1はチップ200の出力Q1と対にされ、入力D2はチップ200の出力Q2と対にされ、入力D3はチップ200の出力Q3と対にされ、入力CSIはチップ200の出力CSOと対にされ、入力DSIはチップ200の出力DSOと対にされ、入力D4はチップ200の出力Q4と対にされ、入力D5はチップ200の出力Q5と対にされ、入力D6はチップ200の出力Q6と対にされ、入力D7はチップ200の出力Q7と対にされる。

【0084】

このような実施形態の増進のため、入力ー出力の対は、対をなす入力と出力との間のチップ200の回路パス（経路）を含むことができる。なお、チップ200の、1列を為す入力群と別の1列を為す出力群とを示す図2の構成は、単なる例であり、各列が入力及び出力の双方を含んでいてもよい。

30

【0085】

半導体チップ200は、データを記憶するメモリを含んでいる。それぞれの入力ー出力回路パスの各々は、メモリの対応する部分へのアクセスを可能にする。

【0086】

チップ200の左側で、図示のように、シリアル入力パッド群、すなわち、グループ200Aの表面パッド群（200A-1、200A-2、200A-3、・・・、200A-10を含む）、及びグループCの平行入力パッド群（200C-1、200C-2、200C-3、・・・、200C-6）が、配置レイアウトの左列に配置されている。

40

【0087】

データ入力パッドD0-D3及びD4-D7はそれぞれ、チップ200の外縁に沿って選択した初期順序D0、D1、D2等々に従って、左側のパッドの列の両端部近傍に配置され、コマンドストロブ入力（CSI）パッド及びデータストロブ入力（DSI）パッドは、D3パッドとD4パッドとの間で、左列の中央部に配置されている。

【0088】

平行入力パッド群（200C-1、200C-2、200C-3、・・・、200C-6）は、チップ200への種々雑多な信号（CK、CK#、RST#及びCE#）の入力を可能にする。

50

【0089】

メモリチップ200の右側では、シリアル出力パッド群200B(200B-1、200B-2、200B-3、・・・、200B-10)が、入力D0-D7に関する初期順序(すなわち、チップの左側におけるシリアル入力パッド群の順序)に対して逆順すなわち反対の順序で配置されている。例えば、入力D0はチップ200の左列の頂部にあり、対応する出力Q0はチップ200の右列の底部にあり、故に、チップ200の配置レイアウト上で入力D0は出力Q0の筋向かいにある。入力D1はチップ200の左列の2番目の位置にあり、対応する出力Q1はチップ200の最後から2番目の位置にあり、故に、チップ200の配置レイアウト上で入力D1は出力Q1の筋向かいにある。同様に、対の一方はチップ200の配置レイアウトで他方の筋向かいにある。

10

【0090】

複数の対における、対を為す入力とそれに対応する出力との間の軸の各々は、チップ200の配置レイアウト内で互いに交差する。例えば、入力D0と出力Q0との間の軸は、軸群D1-Q1、D2-Q2、D3-Q3、CSI-CSO、DSI-DSO、D4-Q4、D5-Q5、D6-Q6、D7-Q7の各々と交差し、入力D1と出力Q1との間の軸は、軸群D0-Q0、D2-Q2、D3-Q3、CSI-CSO、DSI-DSO、D4-Q4、D5-Q5、D6-Q6、D7-Q7の各々と交差し、入力D2と出力Q2との間の軸は、軸群D0-Q0、D1-Q1、D3-Q3、CSI-CSO、DSI-DSO、D4-Q4、D5-Q5、D6-Q6、D7-Q7の各々と交差し、入力D3と出力Q3との間の軸は、軸群D0-Q0、D1-Q1、D2-Q2、CSI-CSO、DSI-DSO、D4-Q4、D5-Q5、D6-Q6、D7-Q7の各々と交差し、入力CSIと出力CSOとの間の軸は、軸群D0-Q0、D1-Q1、D2-Q2、D3-Q3、DSI-DSO、D4-Q4、D5-Q5、D6-Q6、D7-Q7の各々と交差し、等々である。

20

【0091】

故に、実施形態によれば、チップ200は入力-出力対群の各々の間のそれぞれの入力-出力回路パスが、該(半導体)チップ200内のその他それぞれの入力-出力回路パスと交差するように向けられた入力/出力配置レイアウトを含むことができる。

【0092】

チップ200は、各対の間に、例えば回路パス、対応するメモリ、制御ロジックなどの対応する回路を含んでいる。例えば、チップ200は入力-出力対D0及びQ0の間にその回路パスを含み、チップ200は入力-出力対D1及びQ1の間にその回路パスを含み、チップ200は入力-出力対D2及びQ2の間にその回路パスを含み、チップ200は入力-出力対D3及びQ3の間にその回路パスを含み、等々である。

30

【0093】

入力-出力対群のレイアウトは、チップ200の、別のチップ(同一の入力/出力配置レイアウトを有する)に対する回転が、一方のメモリチップの出力群の他方のメモリチップの入力群への位置整合をもたらすように選定されている。

【0094】

上述の、図示した接合パッド配置(例えば、入力/出力レイアウト配置)の例では、図1の第1のチップ200-1のデータ出力パッドQ0(200B-1)が、図1の第2のチップ200-2のデータ入力パッドD0(200A-1)と対にされる。同様に、それぞれのスタックを作り出すとき、後続図で一層具体的に示すように、各チップのその他全てのデータ入力パッド及びデータ出力パッド(D1-D7及びQ1-Q7)、CSIパッド及びCSOパッド、並びにDSIパッド及びDSOパッドが、図1に示したような適当な順序でシリアルに相互接続される。

40

【0095】

上述のように1つのメモリデバイスの対応する出力と、それに続くメモリデバイスとの間で上述のシリアル相互接続を達成するため、チップのシリアル出力パッド群は、上述のように、左側の入力パッド群の位置に対して逆順の位置で、チップの右側に配置される。

50

例えば、図2の例に示したように、Q0パッドはチップの右下の隅に配置され、Q7パッドはチップの右上の隅に配置される。

【0096】

後続図に示すように、図2に示したチップ200のそれぞれの入力／出力列における反転され且つ鏡像にされたパッド配置は、複数のチップを上下に積み重ねて順次相互接続するとき、より単純で、より短く、且つ効率的なワイヤボンディング手法を提供することができる。しかしながら、データ入力パッド及びデータ出力パッドの数は制限されず、実施例に従って、x1、x2、x4又はx16のI/Oモードが実現され得る。

【0097】

また、理解されるように、実施形態は、入力パッド群及び出力パッド群の順序付けによって限定されるものではない。

【0098】

さらに、理解されるように、パラレル入力パッドは、より堅牢（ロバスト）な信号伝達を提供するよう、チップの右側に複製されることが可能である。また、実施形態の主題を不明瞭にしないよう、一般的に必要とされる電源パッド及びその他の種々雑多なパッドは示していない。

【0099】

上述の実施形態によれば、（半導体）チップ200は、当該半導体チップを通じてのデータの伝達のための複数の入力及び複数の出力を含む配置レイアウトを含んでいる。一実施形態において、半導体チップ200はまた、配置レイアウト内の入力群が該配置レイアウト内の複数の出力と対角的に対を為す入力－出力対群を含んでいる。チップ200は、入力－出力対群の各々の間にそれぞれの入力－出力回路パスを含む。半導体チップを通る回路パス群は、例えば当該半導体チップを通ってのデータ又は制御信号の伝達など、異なる機能を支援することができる。

【0100】

半導体チップの配置レイアウトは、複数の入力及び複数の出力の順序付けを含み得る。レイアウト内の入力－出力対群の間のそれぞれの回路パスの各々は、1つの入力と、それに対応する1つの出力とを含む。レイアウト内のこの入力に対し、対応する出力は対角的に向かい側にされる。

【0101】

一実施形態において、レイアウト内の対応する出力は、レイアウト内のその入力から、あるいはそれに対し、180°オフセットされる。例えば、チップ200の出力Q0は、対角的に、入力D0から180°ずらされた（オフセットされた）位置に配置され、チップ200の出力Q1は、対角的に、入力D1から180°オフセットされた位置に配置され、チップ200の出力Q2は、対角的に、入力D2から180°オフセットされた位置に配置され、チップ200の出力Q3は、対角的に、入力D3から180°オフセットされた位置に配置され、チップ200の出力CSOは、対角的に、入力CSIから180°オフセットされた位置に配置され、・・・、チップ200の出力DSOは、対角的に、入力DSIから180°オフセットされた位置に配置され、チップ200の出力Q4は、対角的に、入力D4から180°オフセットされた位置に配置され、チップ200の出力Q5は、対角的に、入力D5から180°オフセットされた位置に配置され、チップ200の出力Q6は、対角的に、入力D6から180°オフセットされた位置に配置され、チップ200の出力Q7は、対角的に、入力D7から180°オフセットされた位置に配置される。

【0102】

図3は、実施形態に従った、それぞれのメモリ記憶スタックを形成する複数のチップの一例を示している。

【0103】

上側チップ202は、下側チップ201の頂部に配置されている。上側チップ202は、下側チップ201に対して180°回転され、チップ201上の出力群は、チップ20

10

20

30

40

50

2の入力群への接続のために露出されている。チップ202は、チップ201のパッド群を露出させるように、スタック内でチップ201に対してオフセットされる。このオフセットは、上側チップ202のシリアル入力パッド群202Aを下側チップ201のシリアル出力パッド群201Bに近接配置することを可能にする。

【0104】

非限定的な一例として、第2のチップ202の180°回転及びオフセット配置は、第1のチップ201の出力パッド群を露出させることを可能にするとともに、例えばQ0-D0、Q1-D1、Q2-D2などの2つの対応し合うシリアル入力とシリアル出力との間の相互接続に、より容易なワイヤボンディングプロセスを可能にする。

【0105】

図3の実施形態の例を引き続き参照するに、例えばワイヤボンドなどのリンク311が、チップ201のQ7パッドとチップ202のD7パッドとを相互接続しており、リンク311は比較的短い長さにされている。これは、該リンクに寄生する抵抗、キャパシタンス及びインダクタンスを低減する。

【0106】

リンク311と同様にして、第1のチップ201のその他全てのシリアル出力パッドが、スタック内のチップ202のそれぞれのシリアル入力パッドに相互接続され得る。

【0107】

チップ201は基板300に固定されることができる。実施形態のこの例において、第2のチップ202の平行入力パッドCE#、CK、VSS、VCC、CK#及びRST#は、基板300の導電性金属ボンド領域群、すなわち、導電性配線群300Dに、例えばボンドワイヤなどのリンク313によって結合されている。故に、実施形態に従ったメモリ記憶システム100は、基板300とチップ201、202などのメモリストックとの間の接続を含むことができる。

【0108】

直接接続されたチップ201及び202のスタックは、基板300に物理的に取り付けられてもよく、そのとき基板は例えば、印刷回路基板(PCB)、メモリカード、リードフレーム、テープ自動ボンディング(TAB)テープ、又はその他の種類の基板を有し得る。

【0109】

上述のように、図2の非限定的な例は、スタック内に2つのチップを含んでいる。第2のメモリチップ202のシリアル出力パッド群202Bは、基板300の対応するパッド群すなわち配線群300Bに、例えばワイヤボンドなどのリンクを介して接続されている。

【0110】

また、リンク310が、第1のチップ201のシリアル入力パッド群201Aと、基板300の導電性金属ボンド領域群300Aとを接続している。

【0111】

基板300の表面には、更なる導電性金属ボンド領域群、すなわち、導電性配線群300C及び300Dが配置され得る。このようなボンド領域群は、共通の入力信号群及び電源(例えば、RST#、CK#、VCC、VSS、CK及びCE#など)を第1のチップ201及び第2のチップ202それぞれの平行入力ボンドパッド群に接続するために、スタックの左側及び右側の双方に設けられ得る。換言すれば、複数のチップがスタック内で互いに対して回転されるので、基板300上の信号RST#、CK#、VCC、VSS、CK及びCE#用のボンドパッド群は、スタック内の各チップが基板に比較的短いリンクで接続され得るように複製されることが可能である。

【0112】

図3の実施形態を要約すると、メモリ記憶システムは、例えばチップ201などの第1のメモリデバイスと例えばチップ202などの第2のメモリデバイスとを積層したものを含んでいる。非限定的な一例として、第1のメモリデバイス(チップ201)及び第2の

10

20

30

40

50

メモリデバイス（チップ202）は、同一の入力／出力レイアウト配置を有する。

【0113】

上述のように、スタックを形成するよう、第2のメモリデバイス（チップ202）は第1のメモリデバイス（チップ201）に固定される。第1のメモリデバイス（チップ201）の出力群と第2のメモリデバイス（チップ202）の入力群との間の接続を容易にするため、第2のメモリデバイス（チップ202）は、第1のメモリデバイス（チップ201）の出力を第2のメモリデバイスの対応する入力と位置整合させるように、第1のメモリデバイス（チップ201）に対して回転的にオフセットされる。チップ202は、複数のチップが互いに積み重ねられるときに沿う軸の周りで回転され得る。

【0114】

スタック内での第1のメモリデバイス（チップ201）に対する第2のメモリデバイス（チップ202）の回転オフセットは、第1のメモリデバイス（チップ201）の1つ以上の出力の、第2のメモリデバイス（チップ202）の1つ以上のそれぞれの入力との実質的な位置整合をもたらす。メモリデバイスのスタックは、第1のメモリデバイス（チップ201）と第2のメモリデバイス（チップ202）との間の1つ以上の直列接続構成を容易にする経路群を含み得る。

【0115】

図1を再び参照するに、複数のメモリデバイスのスタックを通る第1の論理パスは、メモリ記憶システム100の入力信号D0（例えば、基板300上のパッド）からチップ200-1のD0に関する入力パッドへの直列構成の接続を含む。チップの該論理パスは、チップ200-1のパッドD0からチップ200-1の出力パッドQ0への回路パスを通り、チップ200-1の出力Q0をチップ200-2の入力D0に接続する物理リンクを通り、チップ200-2の入力パッドD0からチップ200-2の出力パッドQ0への回路パスを通り、チップ200-2の出力Q0をチップ200-3の入力D0に接続する物理リンクを通り、チップ200-3のパッドD0からチップ200-3の出力パッドQ0への回路パスを通り、チップ200-3の出力Q0をチップ200-4の入力D0に接続する物理リンクを通り、チップ200-4のパッドD0からチップ200-4の出力パッドQ0への回路パスを通り、等々と延在し続ける。

【0116】

第2の論理パスは、メモリ記憶システム100の入力信号D1からチップ200-1のD1に関する入力パッドへの直列構成の接続を含む。第2の論理パスは、チップ200-1のパッドD1からチップ200-1の出力パッドQ1への回路パスを通り、チップ200-1の出力Q1をチップ200-2の入力D1に接続する物理リンクを通り、チップ200-2のパッドD1からチップ200-2の出力パッドQ1への回路パスを通り、チップ200-2の出力Q1をチップ200-3の入力D1に接続する物理リンクを通り、チップ200-3のパッドD1からチップ200-3の出力パッドQ1への回路パスを通り、チップ200-3の出力Q1をチップ200-4の入力D1に接続する物理リンクを通り、チップ200-4のパッドD1からチップ200-4の出力パッドQ1への回路パスを通り、等々と延在し続ける。同様に、メモリ記憶システム100は、信号D0、・・・、D7、CSI及びDSIの各々の論理パスを含む。

【0117】

複数のメモリデバイスの積み重ねを通るこれらの直列接続構成については、本明細書全体を通して更に詳細に説明する。

【0118】

図3を再び参照するに、この実施形態は従来の方法より有用である。何故なら、スタック内で1つのチップからの出力群を後続チップの入力群に位置整合するように複数のメモリデバイスを回転方向にずらす（例えば、およそ180°）ことが、共通の入力／出力レイアウト配置を有する複数のメモリデバイスを使用したメモリ記憶スタックを作り出すことを可能にするからである。このことは、メモリスタックを作り出すために、異なる入力／出力配置レイアウトを有する複数のメモリデバイスを積層することが必要であったこと

10

20

30

40

50

を解決し得る。

【0119】

実施形態に従ったメモリ記憶システムはコントローラを含み得る。なお、コントローラは多様な手法でスタックに結合され得る。例えば、コントローラとチップスタックとの双方が、例えば印刷回路基板などの基板300に取り付けられ得る。そのような一実施形態においては、基板300内の導電パスが、コントローラとメモリデバイスのスタックとの間の接続を提供する。

【0120】

他の一実施形態によれば、チップスタック自体がコントローラを含んでいてもよい。そのような一実施形態においては、コントローラはスタック内のメモリデバイスに固定され得る。

10

【0121】

図3に例示したように、スタックは基板300に固定されることが可能である。この基板は、はんだ接合によって印刷回路基板に結合するように構成され得る。例えば、一実施形態において、基板300はボール・グリッド・アレイ型パッケージであり、故に、スタックの組立体をその回路基板に接続する複数のはんだボールを含む。

【0122】

他の実施形態において、基板300はピン・グリッド・アレイ型パッケージであり、故に、基板300の底面に、スタックの組立体をその回路基板に接続する複数のピンを含む。

20

【0123】

上述のように、スタック内の各チップは同一の入力／出力レイアウト配置を有することができる。故に、1つのチップを別の1つのチップで置換することが可能である。各チップは、例えばそれぞれのメモリチップの単一の面（例えば、頂面）上の表面パッド群などの入力コンタクト群及び出力コンタクト群を含む。他の実施形態は、メモリチップの頂面及び底面の双方に配置されたパッド群を含んでいてもよい。

【0124】

非限定的な一例として、スタック内のメモリデバイス又はメモリチップは、プレーナ形状とすることができ、それぞれの頂面及び底面を有する。頂面は、オフチップ接続に対応した入力用の表面パッド群及び出力用の表面パッド群を含む。メモリデバイスは、1枚以上のウェーハから切り出された半導体チップとし得る。

30

【0125】

実施形態の一例において、複数のメモリデバイスが互いに上下に積み重ねられ、そのとき、第1のメモリデバイスの頂面と第2のメモリデバイスの頂面とが積層方向に同じ向きになるように、スタック内のメモリデバイスそれぞれの底面が、スタック内の別のメモリデバイスの頂面に固定される。

【0126】

上述のように、スタックは、入力／出力コンタクト間の接続に基づく1つ以上の直列構成の接続又は経路を含む。例えば、スタック内の1つのメモリデバイスからの信号Q0、・・・、Q7、CSO及びDSOなどの出力コンタクトと、スタック内の後続メモリデバイスのD0、・・・、D7、CSI及びDSIなどの対応する入力コンタクトとの間の導電リンクに基づいて、1つ以上の経路が作り出され得る。

40

【0127】

一実施形態において、該1つ以上の経路は、スタックを通り抜けてのデータ伝達を支援するように適応される。例えば、スタック内に格納されたデータにアクセスするために、スタックにコントローラが電氣的に結合され得る。一実施形態において、このコントローラはスタック内の第1のメモリデバイス（チップ201）に結合される。他の実施形態において、コントローラは、スタック内の任意の部分又はスタックの外部に位置してもよい。

【0128】

50

コントローラは、第1のメモリデバイス（チップ201）から第2のメモリデバイス（チップ2）及びスタック内のその他のメモリデバイスを介してコントローラに戻る経路に沿ったデータの流れに基づいて、第1のメモリデバイス（チップ201）からのデータにアクセスするように構成されてもよい。スタック内の最後のメモリデバイスからコントローラに戻る接続は、コントローラが、1つ以上の経路に沿ったデータの流れに基づいて、スタック内の複数のメモリデバイスからデータを受信することを可能にする。

【0129】

コントローラとスタック内の第1のメモリデバイス（チップ201）との間の結合は、コントローラが、複数のメモリデバイスを介してデータを伝達すること、ひいては、複数のメモリデバイスにデータを格納することを可能にする。スタック内の最後のメモリデバイスからコントローラに戻る結合は、コントローラが、それぞれのメモリデバイスに格納されたデータを取り出すことを可能にする。

10

【0130】

スタック内の各メモリデバイス（チップ200）は、通過（パススルー）モード又はメモリアクセスモードに設定されることができる。一実施形態において、パススルーモードは、スタック内のそれぞれのメモリデバイス（チップ200）が、それぞれのメモリデバイスの入力を受信したデータを、それぞれのメモリデバイスの出力への回路パスに沿って伝達することを可能にする。故に、コントローラは、データを、スタック内の標的メモリデバイスに格納するよう、スタック内の1つ以上のメモリデバイスを通過させることができる。

20

【0131】

メモリアクセスモードは、i) 経路上でデータを受信し、スタック内のそれぞれのメモリデバイスに付随するメモリ回路にデータを格納することと、ii) 経路上でそれぞれのメモリデバイスの出力へと伝送してコントローラに戻すように、それぞれのメモリデバイスのメモリ回路からデータを取り出すことを可能にする。故に、コントローラは、スタック内の特定のメモリデバイスにデータを格納すること、及びスタック内の特定のメモリデバイスからデータを取り出すことを行わせ得る。

【0132】

メモリ記憶システム100に関して行い得るアクセス動作（例えば、データの格納及び取り出すなど）の更なる具体的な例は、例えば、同一出願人による特許出願である国際公開第2007/036047号パンフレット（発明名称“MULTIPLE INDEPENDENT SERIAL LINK MEMORY”）、国際公開第2007/036048号パンフレット（発明名称“DAISY CHAIN CASCADING DEVICES”）、及び国際出願番号PCT/CA2008/001756（発明名称“SEMICONDUCTOR MEMORY DEVICE SUITABLE FOR INTERCONNECTION IN A RING TOPOLOGY”）に記載されている。本出願の実施形態は、メモリ記憶スタックに関して、そのような動作を可能にする。

30

【0133】

スタックを通り抜ける1つ以上の経路の各々は、複数のメモリデバイスを通して複数の経路部分（セグメント）を含み得る。例えば、図3に示したように、直列構成の経路、例えば信号D0に関する経路は、経路セグメント325-1及び経路セグメント325-2を含んでいる。

40

【0134】

経路セグメント325-1は、チップ201内にあり、チップ201の入力D0と出力Q0との間の回路パスを含んでいる。経路セグメント325-2は、チップ202内にあり、チップ202の入力D0と出力Q0との間の回路パスを含んでいる。

【0135】

積層におけるチップ201に対するチップ202の回転オフセットに基づき、スタック内のチップ201の入力D0と出力Q0との間の軸は、スタック内のチップ202の入力

50

D 0 と出力 Q 0 との間の軸に実質的に平行である。

【0136】

また、双方の経路セグメント 3 2 5 がスタックを通り抜けてデータを伝達する同一の全体経路の部分であっても、スタック内でのチップ 2 0 1 に対するチップ 2 0 2 の向きに基づき、チップ 2 0 1 の入力 D 0 から出力 Q 0 へのデータの流れの向きは、チップ 2 0 2 の入力 D 0 から出力 Q 0 へのデータの流れの向きに対して実質的に反対になる。例えば、スタックを通り抜ける論理経路の経路セグメント 3 2 5-1 は、チップ 2 0 1 の面を、チップ 2 0 1 の外縁近傍の入力 D 0 からチップ 2 0 1 の反対側の外縁付近の出力 Q 0 まで、対角的に横断することができる。スタックを通り抜けるこの論理経路の第 2 の経路セグメントは、チップ 2 0 2 の面を、チップ 2 0 2 の外縁近傍の入力 D 0 からチップ 2 0 2 の反対側の外縁付近の出力 Q 0 まで、対角的に横断することができる。

10

【0137】

故に、複数のメモリデバイスのスタックを通り抜ける経路は、連続したチップ層を“ジグザグに”行ったり来たりすることができる。

【0138】

図 4 は、実施形態に従った図 3 に示した 2 チップ積層体の例の直線 A A-A A に沿った断面図である。この断面図に示すように、例えばワイヤボンダなどのリンク 3 1 0 が下側の第 1 のチップ 2 0 1 のシリアル入力パッド 2 0 1 A を導電性金属ボンダ領域 3 0 0 A に結合する。

【0139】

20

なお、図 4 は、例えば絶縁材料を含む介在層 3 2 0 を例示している。2 つのチップ 2 0 1 及び 2 0 2 間の介在層 3 2 0 は、例えばワイヤボンダ 3 1 0 などのそれぞれのリンクに伴うループ高さのために十分な余地を提供するように構成され得る。すなわち、介在層 3 2 0 によって提供される間隔は、チップ 2 0 1 の頂部に置かれるチップ 2 0 2 によってリンクが損傷される可能性を低減する。

【0140】

介在層 3 2 0 には、メモリチップ 2 0 1 をチップ 2 0 2 に固定するため、制御された厚さの熱可塑性物質又はその他の種類の接着剤が用いられ得る。例えば、第 1 のメモリチップ 2 0 1 を基板 3 0 0 に接合するために、比較的薄い接着剤層が用いられ得る。このような接着剤層は、チップスタックから基板 3 0 0 に熱を放散する助けとなり得る。当業者に認識されるように、積層されたチップが冷却されることを必要とする場合、チップ同士の間

30

にヒートシンク層が挿入されてもよい。

【0141】

リンク 3 1 0、3 1 1、3 1 2、3 1 3 は、約 0.001 インチの直径を有し且つ例えばアルミニウム若しくは金、又はそれらの合金で形成されたボンダワイヤとし得る。接続を作り出す一手法は、一例において介在層 3 2 0 の厚さ未満の、低いループのワイヤボンダを形成する例えば超音波ボールボンディングなどの技術により、リンク 3 1 0、3 1 1、3 1 2、3 1 3 をチップ群のそれぞれのパッドに接合することによって行われる。

【0142】

同様に、実施形態の一定の例によれば、導電性金属ボンダ領域 3 0 0 A、3 0 0 B、3 0 0 C、3 0 0 D に、ワイヤの超音波“ウェッジ”ボンダが形成されてもよい。

40

【0143】

積層チップの両側に、オフセット距離 2 8 が示されている。これは、一方のメモリデバイスをスタック内の他方のメモリデバイスに対してずらす（すなわち、オフセットする）量を表す。スタック内の上側チップ及び下側チップが同一の型の半導体チップである場合、スタックの両側のオフセット距離 2 8 は同一の値になる。

【0144】

非限定的な一例として、オフセット距離 2 8 は、ワイヤボンディングツールの信頼性ある使用法で例えばボンダワイヤ 3 1 1 などの接合導体をボンダパッド 2 0 1 B に接合することが可能な最小の距離にしてもよい。一実施形態において、微細な金属ボンダワイヤ又

50

はその他の導電性部材が、ボンドパッド201B、202Aを、基板300の頂面側の導電性金属領域300Dに物理的に連結する。

【0145】

基板300は、例えば印刷回路基板などの多層デバイスとすることができ、上述のように複数のはんだボール390を有することが可能である。メモリチップ201及び202は、チップ表面、金属配線及びボンドワイヤをダメージから保護するために、保護パッケージ内に封止されることができる。

【0146】

等角封止筐体の一例の外縁を破線330で示している。非限定的な一例として、封止材料は、ポリマー、セラミック、又はその他の好適な保護材料とし得る。

10

【0147】

図5に示す実施形態の例においては、実施形態に従ったメモリ記憶スタックを形成するように、3つのチップが上下方向に積層されている。中央のチップ202は、その他2つのチップ201及び203に対して、180°回転されるとともに、僅かにオフセットされている。

【0148】

実施形態のこの例においては、提案した反転鏡像パッド配置方式を用いた3つの直列接続チップが存在するので、第3のチップ203が“最後の”チップとなり、そのシリアル出力パッド群203Bが基板500の導電性金属ボンド領域500Bに接続されている。

【0149】

20

上述のように、チップスタックは概して、如何なる妥当な数のメモリデバイスを含んでもよい。メモリ記憶スタックへの各メモリデバイスの追加及びそれぞれの連結は、直列接続、すなわち、例えば第1のメモリデバイス、第2のメモリデバイス、第3のメモリデバイスなどのスタック内の各メモリデバイスを通る経路を延長する。

【0150】

図5の例において、スタックは、チップ202に固定されたチップ203を含んでいる。第3のチップ（チップ203）は、チップ201及びチップ202と同一の入力／出力レイアウト配置を有している。

【0151】

チップ202の出力群を、チップ203の対応する入力群に位置整合するため、チップ203はチップ202に対して回転オフセットされている。故に、チップ203はチップ201の直上に整列される。従って、この実施形態は、スタックを通り抜ける直列接続構成の長さを増大するように、スタック内の連続するチップ又はメモリデバイスの各々を回転オフセットすることを含む。

30

【0152】

この例において、スタックへのチップ203の追加は、データ及び／又はコントロールストロブ信号の伝達する直列構成の経路をチップ201、202及び203を通るように延在させる。

【0153】

上述のように、複数のメモリデバイスを積み重ねることは、スタック内の連続する各メモリデバイスを回転オフセットすることを含むことができる。

40

【0154】

更なる実施形態において、メモリデバイス群は、オフセット距離28によって指定される量だけずらされ得る。例えば、チップ203は、チップ202の面上の出力群をチップ203の面上の入力群に電氣的に接続するために該出力群を露出させるように、スタック内のチップ202に対してずらされ、すなわち、オフセットされ得る。チップ群をずらすこの技術は、各メモリデバイスの出力群がそれに続くメモリデバイスの入力群への接続のために露出されるよう、スタックの全層にわたって繰り返されることが可能である。

【0155】

図6は、この実施形態に従った3チップスタック（図5）の直線AA-A Aに沿った断

50

面図である。図示のように、介在層 320 が、スタック内の連続する各チップを離隔させている。スタック内の連続するチップはオフセット距離 28 だけオフセットされている。

【0156】

共通入力信号用の導電性金属ボンド領域 500C は、チップ 201 及び 203 の双方へのワイヤボンディングを行うために用いられることができる。例えばワイヤボンドなどのリンク 511 は、チップ 202 のシリアル出力パッド群 202B とチップ 203 のシリアル入力パッド群 203A との間の接続を担っている。共通入力信号用の導電性金属ボンド領域 500D は、チップ 202 へのワイヤボンディングを行うために用いられることができる。

【0157】

図 7 に示す実施形態の例においては、4 つのチップが上下方向に積層されている。第 2 のチップ 202 及び第 4 のチップ 204 はともに、その他 2 つのチップ 201 及び 203 に対して、180°回転されるとともに、僅かにオフセットされている。この例においては、提案した反転鏡像パッド配置方式を用いた 4 つの直列接続チップが存在するので、第 4 のチップ 204 が最後のチップとなり、そのシリアル出力パッド群 204B が基板 300 の導電性金属ボンド領域 300B に接続されている。

【0158】

図 8 は、図 7 の 4 チップスタックの直線 A-A に沿った断面図である。このスタックは 3 つの介在層 320 を含んでいる。各チップと次のチップとはオフセット距離 28 だけオフセットされている。

【0159】

共通入力信号用の導電性金属ボンド領域 300C は、チップ 201 及び 203 への接続を提供する。また、共通入力信号用の導電性金属ボンド領域 300D は、チップ 202 及び 204 への接続を提供する。第 2 のチップ 202 のシリアル出力パッド群 202B は、第 3 のチップ 203 のシリアル入力パッド群 203A に結合されている。第 3 のチップ 203 のシリアル出力パッド群 203B は、第 4 のチップ 204 のシリアル入力パッド群 204A に結合されている。

【0160】

メモリ記憶スタックによって消費される実装面積又は容積は制限され得る。何故なら、スタックに追加される後続メモリデバイスの各々が、最後のメモリデバイス対におけるオフセットとは反対方向にオフセットされるからである。例えば、チップ 202 はチップ 201 に対して或る方向にオフセットされる。チップ 203 はチップ 202 に対して反対方向にオフセットされる。チップ 204 はチップ 203 に対して、チップ 202 がチップ 201 に対してオフセットされたのと同じ方向に同じようにオフセットされる。

【0161】

図 28 は、実施形態に従ったチップレイアウトの他の一例を示している。図示のように、例えばメモリデバイスなどのチップ 2805 はその対応する外縁に沿って複数の入力／出力を含んでいる。

【0162】

上述のようにして、各入力チップ 2805 の対応する出力と対にされる。例えば、チップ 2805 の入力 A はチップ 2805 の出力 G に、チップ 2805 を通る対応する回路パスを介して連結し、入力 B は出力 H に、チップ 2805 を通る対応する回路パスを介して連結し、入力 C は出力 I に、チップ 2805 を通る対応する回路パスを介して連結し、入力 D は出力 J に、チップ 2805 を通る対応する回路パスを介して連結し、入力 E は出力 K に、チップ 2805 を通る対応する回路パスを介して連結し、且つ入力 F は出力 L に、チップ 2805 を通る対応する回路パスを介して連結している。上述のようにして、対応する回路パスの各々は、データにアクセスするためのメモリを含むとともに、上述のようにそれぞれのチップ 2805 を通り抜ける経路を提供する。

【0163】

図 29 は、この実施形態に従ったメモリストックを形成するための、チップ群 2805

10

20

30

40

50

の複数軸オフセットの一例を示す上面図である。例えば、チップ2805-1及びチップ2805-2がメモリスタックを形成し、チップ2805-1（第1チップ層）の出力群が後続のメモリデバイスチップ2805-2（第2チップ層）の入力群に、例えばワイヤボンドなどのリンクを介して接続される。

【0164】

チップ群2805の積み重ねは、図3-8に関して説明した実施形態と同様である。しかしながら、チップ群2805を積み重ねることは、1つのチップの複数の外縁に沿った複数の出力がメモリスタック内の次のチップの複数の入力と位置整合されるように、スタック内の一方のチップ2805-2を、スタック内の他方のチップ2805-1に対して、複数の軸方向にオフセットすることを含むことができる。チップ2805-2は、スタック内のチップ2805-1に対して、（第1の軸上で）例えばオフセット#1の量だけオフセットされる。チップ2805-2はまた、スタック内のチップ2805-1に対して、（第2の軸上で）例えばオフセット#2の量だけオフセットされる。

10

【0165】

より具体的には、図29の2チップスタックに示すように、チップ2805-2はチップ2805-1に対して、チップ2805-1の出力Iがチップ2805-2の入力Cと実質的に位置整合し、チップ2805-1の出力Hがチップ2805-2の入力Bと実質的に位置整合し、チップ2805-1の出力Gがチップ2805-2の入力Aと実質的に位置整合し、チップ2805-1の出力Fがチップ2805-2の入力Lと実質的に位置整合し、チップ2805-1の出力Eがチップ2805-2の入力Kと実質的に位置整合し、チップ2805-1の出力Dがチップ2805-2の入力Jと実質的に位置整合し、等々となるようにオフセットされる。

20

【0166】

上述のようにして、チップ2805-1の出力群は、チップ2805-2の入力群に、例えばワイヤボンド又はその他の好適な導電経路などのリンクを介して結合されることが可能である。

【0167】

図30は、この実施形態に従った3チップメモリスタックを形成するための、チップ群2805の複数軸オフセットの一例を示す上面図である。例えば、チップ2805-3及びチップ2805-2が（図29に関連して説明した）メモリスタックの頂部の一例を形成し、チップ2805-2（第2チップ層）の出力群が後続のメモリデバイスチップ2805-3（第3チップ層）の入力群に接続される。従って、スタック内の1つのチップと次のチップとの間での複数軸オフセットに基づいてメモリスタックを形成するよう、任意の数のチップ2805を互いに上下に積み重ねることができる。

30

【0168】

図9及び図10は、実施形態に従った再配線層（redistribution layer；RDL）を含む一代替例を示している。図9は、この実施形態に従った再配線層の上面を示している。図10は、この実施形態に従った再配線層の断面を示している。

【0169】

一般的に、再配線層は、より便利なボンダッド配置を作り出すために利用されることが可能である。

40

【0170】

図9を参照するに、半導体チップ900は、チップ900のアクティブ面の中央に配置された“オリジナル”（すなわち、再配線前に既存の）導電パッド群910を有している。一実施形態において、例えばワイヤボンディングなどの接続を容易にするため、これらの信号パッドを半導体チップの外縁まで延在させることが有用である。

【0171】

故に、入力／出力群は、半導体チップ上の一層都合の良い位置に配置されるよう、図示したRDL930A及び930Bによって意図的に再分布させることができる。

【0172】

50

当業者に認識されるように、更なるパッド配置例も示唆される。特に、2つのクロック信号CK及びCK#は、シリアルデータ入力パッド群D0-D7の間に配置される。その他の共通入力信号及び2つの電源は上部及び下部に配置される。シリアル出力信号ボンダパッド群（すなわち、集合的に920Bを付したDSO、Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0、CSO）は、シリアル入力信号ボンダパッド群（すなわち、集合的に920Aを付したCSI、D0、D1、D2、D3、D4、D5、D6、D7、DSI）の順序に対して逆の順序で配列されている。チップ900は、上述したのと同様にして積み重ねられることができる。

【0173】

図11は、実施形態に従った回路パッド配置の一例を示している。この例は、図9に示した実施形態の例と似通っている。しかしながら、図11の再配線層は、半導体メモリチップのオリジナル導電パッド群の位置を変更する。

10

【0174】

例えば、オリジナル導電パッド群1110はチップ1100の底部に配置されている。これらのパッド群は、チップ上でRDL1130A及び1130Bを介して、それぞれ、ワイヤボンダパッド群1120A及び1120Bに再分配されている。なお、1120B内のシリアル出力信号ボンダパッド群（すなわち、DSO、Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0、CSO）は、1120A内のシリアル入力信号ボンダパッド群（すなわち、CSI、D0、D1、D2、D3、D4、D5、D6、D7、DSI）に対して逆順で配列されている。

20

【0175】

図12は、実施形態に従った、再配線層及びボンダパッド群を備えたチップセンターに関する2列の回路パッド配置の一例を示している。

【0176】

この例は、図10に示した実施形態の例と似通っている。しかしながら、図12は、半導体メモリチップ1200のオリジナル導電パッド群の位置において相違している。

【0177】

縦2列のオリジナル導電パッド群1210がチップ1200の中心部に配置され、それらはRDL1230A及び1230Bによって、それぞれ、ワイヤボンダパッド群1220A及び1220Bに再分配されている。1220B内のシリアル出力信号ボンダパッド群（すなわち、DSO、Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0、CSO）は、1220A内のシリアル入力信号ボンダパッド群（すなわち、CSI、D0、D1、D2、D3、D4、D5、D6、D7、DSI）の順序に対して逆順で配列されている。

30

【0178】

図13は、例えばTSV（スルー・シリコン・ビア）などのスルーホール技術を用いる実施形態の一例を示している。一定の観点で、上述の実施形態の例はチップ1300に引き継がれる。例えば、スタック内で1つおきにチップを180°回転させ、且つ半導体チップの反対側でシリアル出力パッド群を逆順にするという概念は、何れの例においても同様に存在する。

【0179】

より具体的には、チップ1300に付随する内部回路は、図2のチップに関して説明したものと同一とし得る。しかしながら、チップ1300は、スタック内の連続するレイヤー群の間で接続を行う特有の入力／出力接続を含んでいる。

40

【0180】

図13によれば、内部に円を有する正方形のパッドは、チップに付随する対応する入力／出力がTSVに従ったスルーホールコネクタであることを表している。内部に円を有しない正方形のパッドは、例えばワイヤボンダなどのリンクを取り付けるための、チップ1300の平面上の表面パッドを指し示している。

【0181】

図示した例において、チップ1300の左側の列の入力／出力群内の信号D0、D1、

50

D2、D3、CSI、RST#、CK#、VCC、VSS、CK、CE#、DSI、D4、D5、D6、D7は、チップ1300の右側の列のRST#、CK#、VCC、VSS、CK、CE#とともに、スルーホール接続として割り当てられている。チップ1300の右側の列の信号Q7、Q6、Q5、Q4、DSO、CSO、Q3、Q2、Q1、Q0は、表面パッドとして割り当てられている。

【0182】

一実施形態において、チップ1300の表面パッドは、本明細書にて後述するように、当該表面パッドへのワイヤボンディング、又は当該表面パッドへの別のデバイスのスルーホールコネクタの接続に基づいて、他のリソースとの接続を可能にする。

【0183】

より具体的には、チップ1300は複数の入力及び出力のレイアウト配置を含むことができる。上述の実施形態と同様に、半導体チップは、入力群と出力群との間にそれぞれの入力-出力回路パスを含んでおり、多数の経路上で、当該半導体チップを介してデータを伝達する。

【0184】

上述のように、一定の入力群はスルーホールコネクタすなわち所謂ビア(TSV)として構成されることができる。一定の出力群は、半導体チップ1300の平面上に配置された表面コンタクトパッドとして構成されることができる。

【0185】

このような実施形態は、同一の入力/出力構成の1つの半導体チップと次の半導体チップとの間の接続が、それぞれの表面パッドとスルーホール接続との間の連結を介して接続され得るので有用である。すなわち、半導体チップ1300のスルーホールコネクタ(正方形内の円によって標されている)は、半導体チップ1300の出力位置の表面コンタクトパッド(内部に対応する円を有しない正方形によって標されている)と、同一のレイアウト配置を有する別の半導体チップの入力位置のスルーホールコネクタとの間の接続を可能にする。

【0186】

なお、TSV技術は、スタックの実装面積を縮小し且つパッケージ効率を増大させることが可能であるとともに、ワイヤボンドと比較して短い相互接続長をもたらす。当業者に認識されるように、短い相互接続は、インダクタンス、キャパシタンス及び抵抗のような寄生効果に関し、より小さい寄生効果をもたらすので、それぞれのMCPの信号インテグリティが、少なくとも一部の例において、ワイヤボンドの場合より向上し得る。

【0187】

また、ボンドワイヤのループ高さを収容するための介在層を有しない低い外形は有益なものとなり得る。例えば、それぞれのメモリ記憶スタックの寸法が、スタック内の連続する各メモリデバイス間に間隙を含むメモリシステムと比較して最小化され得る。また、1つのチップ層と次のチップ層との間でチップをずらすことが存在せず、それによりスタックの実効的な体積が低減される。

【0188】

3Dチップ積層パッケージング技術は、しばしば、高度な相互接続のスルー・シリコン・ビア(TSV)をエッチング形成するために、深堀り反応性イオンエッチング(Deep Reactive Ion Etching; DRIE)を用いている。各TSV相互接続を作り出す工程は、ウェーハの薄層化の“前”又は“後”に行われ得る。これらの技術は異なるエッチングプロセスを必要とする。

【0189】

例えば、“ビアファースト(via first)”法は、研磨工程に先立ってスルーホール接続をエッチング形成することを含む。DRIE技術を用いて、ブラインドビアを作り出すことができる。ブラインドビアの典型的なエッチング深さは約80µmとし得るが、この値は実施形態に応じて変わってくる。

【0190】

10

20

30

40

50

1つのチップ層と別のチップ層との間の接続を作り出す所謂“再充填”プロセスは、スルーホールコネクタが僅かに傾斜した断面形状を有するとき、より単純なものになり得る。

【0191】

ビア形成法は、例えば、DRIE又はレーザドリル技術の何れかとし得る。スルーホール接続を充填する材料には、例えば、Cu、ポリシリコン、W、及び導電性ポリマーが含まれる。充填プロセスは、例えば、電気化学析出法（ECD）、化学気相成長法（CVD）、コーティングなどを含み得る。

【0192】

3D積層法は、例えば、W2W（wafer-to-wafer）、C2W（chip-to-wafer）及びC2C（chip-to-chip）のうちの何れかとし得る。接合技術は、例えば、はんだボール、Cu-to-Cu、接着剤、ハイブリッド融合及び直接融合のうちの何れかとし得る。

【0193】

図13に示した実施形態の少なくとも一部の例においては、上述のように、シリアル出力パッド群1300Bを除くチップ1300内の全てのコネクタがTSVであり、シリアル出力パッド群1300Bはスルーホールではなく表面パッドである。上述のように、このような実施形態は、以下の図にて説明する相互接続されたメモリデバイスのスタックを作り出すのに有用である。

【0194】

図14は、この実施形態に従ったスルーホール技術（スルー・シリコン・ビア）と表面パッド接続とを用いたマルチチップスタックの一例を示している。図15-17は、それぞれ、直線AA-AA、BB-BB、CC-CCに沿った、図14に対応する断面図である。

【0195】

図示のように、図14に示したメモリ記憶スタックは4つのチップ、すなわち、チップ1301、1302、1303及び1304を含んでいる。スタック内のこれらチップは、図13にて説明した同一の入力／出力配置レイアウトを有し得る。スタック内の第2のチップ1302及び第4のチップ1304は、スタック内のチップ1301及び1303に対して180°回転オフセットされ得る。

【0196】

図15-17の断面図によれば、4つ全てのチップが、事前にドリル加工された、あるいは事前にエッチングされたビア（スルーホール）と、特定のTSVパッドのビア充填物とを有し、各チップはチップ積層・接合プロセスにて互いに接合されることができる。

【0197】

第4のチップ1304のシリアル出力パッド群1304Bは、例えばボンドワイヤなどのリンク1412を用いることによって、基板1400上の導電性金属ボンド領域1400Bに相互接続されることが可能である。換言すれば、この実施形態は、スタック内のチップ1304（又は、スタック内の最後のメモリデバイス）の面上の表面パッド群（例えば、出力群）と、メモリ記憶スタックの動作を制御するコントローラに結合された入力群との間の電気相互接続を含むことができる。

【0198】

第1のチップ1301は、図15に示すようにチップの左側に、シリアル入力パッド群1304A及び共通入力パッド群1304Cのための複数のTSV1301V（例えば、スルーホール接続）を有する。また、図示したチップ1301は、TSV1301Vの高さを補償するために、シリアル出力信号のワイヤボンドパッド1301B上に導電性金属ランドパッド1301Lを有する。

【0199】

上述と同様にして、チップ1301、1302、1303及び1304のスタックは、コントローラに結合されることが可能である。コントローラとスタック内の第1のチップ1301との間の結合は、コントローラが、複数のメモリデバイスを介してデータを伝達

10

20

30

40

50

すること、ひいては、複数のメモリデバイスにデータを格納することを可能にする。スタック内の最後のメモリデバイス（この例においてはチップ1304）からコントローラに戻る結合は、コントローラが、それぞれのメモリデバイスに格納されたデータを取り出すことを可能にする。この後者の実施形態は、チップ間に、例えばスルーホールと表面パッドとの接続などの特有の接続を含む。

【0200】

TSV1301Vと基板1400上の導電性金属ボンド領域1400Aとを電氣的に接続するために、はんだボール1301S（例えば、はんだ接合又はその他の好適な導電材料）が用いられ得る。

【0201】

TSV1302V-1304Vと導電性金属ランドパッド1301L-1303Lとを電氣的に接続するために、他のはんだボール1302S-1304S（はんだ接合又はその他の好適な導電材料）が用いられ得る。

【0202】

一実施形態によれば、チップ1301-1304の頂面及び底面は、これらのチップを保護し且つランドパッド1301L、1302L、1303L及び1304LとTSV1301V、1302V、1303V及び1304Vとの間に均等な深さを実現するため、付加的な絶縁層1320を有するように処理される。当業者に認識されるように、これらの保護層は必要に応じてのものである。

【0203】

図示した各チップ間で、チップ群を貼り付けてスタックを形成するために接着剤層が用いられる。

【0204】

図15において、第2のチップ1302及び第4のチップ1304は、双方のチップのTSV1302V及び1304Vがそれぞれ導電性金属ランドパッド1301L及び1303Lと位置整合されるように、チップに水平に180°回転されている。また、第3のチップのTSV1303Vは導電性金属ランドパッド1302Lに対して位置整合され得る。

【0205】

故に、図3及び4に関連して説明したように接続を為すためにスタック内の連続したメモリデバイスをずらすことの代替策として、チップ1301、1302、1303及び1304などのメモリデバイス群は、チップ1301の頂面に配置された出力（例えば、表面パッド）がチップ1302内に配置された対応する入力（スルーホール）に対して縦方向に位置整合されるように、スタック内で位置合わせされ得る。図示のように、スルーホールを導電材料で充填することにより、1つのチップの面上の表面パッドを、別のチップのスルーホールに電氣的に接続することができる。スルーホールを充填してそれぞれの表面パッドに接触する導電材料は、上述のようにそれぞれのスタックを通り抜ける経路を作り出す電気接続を提供する。

【0206】

上述のように、チップ1301の表面パッド（出力）をチップ1302の対応するスルーホール（入力）と位置合わせするため、この実施形態は、スタック内でチップ1302をチップ1301に対して回転方向に（例えば約180°といった量だけ）オフセットすることを含むことができる。この回転オフセットは、例えばメモリチップ群が互いに上下に積み重ねられるときに沿う軸である積層軸に関して実行され得る。

【0207】

より具体的には、スタック内のチップ1301、1302、1303及び1304の各々は、平面状にされて、それぞれの頂面及び底面を有することができる。第1のチップ1301とそれに続くチップ1302は互いに積み重ねられ、チップ1302の底面がチップ1301の頂面に固定される。チップ1301の頂面及びチップ1302の頂面は積層方向に同じ向きになる。

10

20

30

40

50

【0208】

チップ1301、1302、1303及び1304の適切な位置合わせに基づき、スタック内で縦方向に、チップ1301の頂面に配置された出力は、チップ1302の対応する入力上に位置整合される。換言すれば、メモリデバイス群は、スタック内の1つのメモリデバイスの表面パッド群（出力群）が、スタック内のそれに続くメモリデバイスのスルーホール群（入力群）と直接的に位置整合するように位置合わせされることが可能である。メモリデバイス群を相互に直接的に積み重ねることは、リードの長さを短縮し、性能を高める。上述のように、これはまた、スタックによって占有される実効的な体積を低減する。

【0209】

図18は、実施形態の一例に従った、中心に2列に配置されたTSVパッド配置を示している。図示した例において、2列のパッド群は、チップ1800の中央に配置されており、このパッド領域の左側及び右側に2つのメモリセルアレイ1810及び1820が配置されている。

【0210】

先に図示したように、実施形態に従ったチップを1つおきに180°回転させる積層技術に適応するよう、各列のパッド群の順序は互いに逆にされている。換言すれば、図18のチップ1800は、図13のチップ1300と同様である。しかしながら、チップ1800が含む入力群及び出力群の列は、メモリデバイスの互いに反対側の外縁に配置されるのではなく、メモリデバイスの中心軸に近付けて整列されている。

【0211】

図19は、チップを1つおきの180°回転を有する、スルーホール及びワイヤボンディング相互接続を用いた、4つのチップを積層する同様の手法を示している。

【0212】

この実施形態においては、最後のシリアル出力パッド群を基板の出力信号群に接続するために、例えばボンドワイヤなどのリンク群1912が設けられている。なお、出力パッドQ0、Q1、Q2、Q3、Q4、Q5、Q6及びQ7を基板上の対応するパッドの近くに移動させてリンク1912の長さを短縮するよう、チップ1804の頂部に再配線層が形成されてもよい。

【0213】

図20は、実施形態に従った図19のメモリスタックの断面の一例を示している。図示のように、このメモリスタックはチップ1801、1802、1803及び1804を含んでおり、各チップは図18に示したように構成されている。他の実施形態と同様にして、スタック内の1つおきのチップが180°回転されている。

【0214】

チップ1801は基板1900に固定されている。ボンド領域は、例えばコントローラなどの信号源からの入力信号を表している。はんだ接合が、入力（ボンド領域1900A）をスルーホール1801Vに結合している。チップ1801は、スルーホール1801Vとチップ1801の出力パッドとの間の回路パスを含んでいる。スタック内の各チップで、1つの層の出力パッドが、スタック内の次に続くチップ内のスルーホールに（はんだ接合（又はその他の接続リンク）を介して）接続されている。斯くして、スタックは、チップ群を貫通してデータ及び制御情報を送る経路を含む。

【0215】

最上部のチップ層において、はんだ接合1804Sが、チップ1803の出力表面パッドをチップ1804のスルーホール1804V（入力）に接続している。チップ1804は、スルーホール1804Vと出力パッド1804Bとの間の回路パスを含んでいる。リンク1912が、ランドパッド1804Lへの接続を介して、ボンド領域1804Bと基板1900のボンド領域1900Bとの間の接続を提供している。

【0216】

図21は、実施形態に従ったチップの更なる他のボンドパッド配置を示している。

【0217】

チップ2100は、上述の例と比較して独特のパッド配置を有している。このパッド配置においては、各々の対応し合うシリアル入力パッド及びシリアル出力パッドが、チップ2100の一辺に配置された一列の入力／出力群内で、実質的に隣り合わせで配置されている。

【0218】

例えば、シリアル入力信号D3に対応するパッドとシリアル出力信号Q3のパッドとが、チップ2100の一辺に沿ったパッド群の順序内で、実質的に隣り合わせで配置されている。その他の各入力／出力対も、同様に、その入力／出力対のパッドが互いに近接するように構成されている。

10

【0219】

換言すれば、チップ2100は、所与の入力とそれに対応する出力とが、対応する1列の入力／出力群の中で、互いの隣に配置されるという入力及び出力の順序付けを含んでいる。より具体的には、入力D3は入力／出力列内で、対応する出力Q3の隣に配置され、入力D2は入力／出力列内で、対応する出力Q2の隣に配置され、入力D1は入力／出力列内で、対応する出力Q1の隣に配置され、入力D0は入力／出力列内で、対応する出力Q0の隣に配置され、入力CSIは入力／出力列内で、対応する出力CSOの隣に配置され、入力DSIは入力／出力列内で、対応する出力DSOの隣に配置され、入力D4は入力／出力列内で、対応する出力Q4の隣に配置され、入力D5は入力／出力列内で、対応する出力Q5の隣に配置され、入力D6は入力／出力列内で、対応する出力Q6の隣に配置され、入力D7は入力／出力列内で、対応する出力Q7の隣に配置されている。

20

【0220】

図22に示すように、チップ2100におけるこの特別なパッド配置は、チップのスタック内での連結を可能にする。例えば、チップ2100を用いたチップ積層は、シリアル入力パッドとシリアル出力パッドとの間の短いボンドワイヤ長により、1つのチップ層と次のチップ層との間での効率的なワイヤボンド相互接続を提供することができる。

【0221】

単一のパッケージ内で直列に相互接続される複数のチップに適用可能な3次元積層法を説明してきた。このチップ積層法は、複数のチップを含むメモリサブシステム又はソリッド・ステート・ドライブ（SSD）システムを、より小さい面積に実装し、それによりシステム／サブシステムが占有する実装面積又は実効体積を低減することを可能にし得る。

30

【0222】

一部の例によれば、メモリチップ群は、直列相互接続における先行チップの出力群が、直列相互接続における後ろの次のチップの入力群に結合されるように、直列相互接続構成にて結合され、先行チップから後ろのチップへの情報（例えば、データ、アドレス及びコマンド情報）及び制御信号（例えば、イネーブル信号）の転送が提供される。

【0223】

換言すれば、チップ2101、2102、2103及び2104の各々は、図21のチップ2100と同一のレイアウト配置を有する。図22に示すようにして積層されるとき、上述の各チップ上での入力ー出力対の近接性により、1つのチップの出力は、スタック内の次に続くチップの入力に容易に接続され得る。

40

【0224】

故に、この実施形態は、メモリ記憶スタックを形成する第1のチップ2101及び第2のチップ2102を含んでいる。第1のチップ2101及び第2のチップ2102の双方が同一の入力／出力レイアウト配置を有することができる。

【0225】

図22に示すように、スタック内の各チップは、スタック内の次に続くチップに対して（段差を作り出すように）オフセットされる。各段差のオフセットは、一組の段差を作り出すように同一方向にすることができる。

【0226】

50

図示したチップ群のオフセットは、スタック内の下側のチップ（例えば、チップ 2 1 0 1）の平面上の出力群を、スタック内の次のチップ（例えば、チップ 2 1 0 2）の平面上の入力群に電氣的に接続するために露出させる。1つのメモリデバイスの出力群と別のメモリデバイスの入力群との間の接続は、上述の経路群を作り出す。メモリ記憶スタック内での1つのメモリデバイスと別のメモリデバイスとの間の接続は、1つのチップ層の出力パッド群から次のチップ層の入力パッド群への導電リンクを含むことができる。

【0 2 2 7】

より具体的には、例えばワイヤボンドなどのリンク 2 2 1 1 が基板 2 2 0 0 のパッド 2 2 1 0 とチップ 2 1 0 1 の入力パッド D 3 との間の接続を提供し、例えばワイヤボンドなどのリンク 2 2 1 2 がチップ 2 1 0 1 の出力パッド Q 3 とチップ 2 1 0 2 の入力パッド D 3 との間の接続を提供し、例えばワイヤボンドなどのリンク 2 2 1 3 がチップ 2 1 0 2 の出力パッド Q 3 とチップ 2 1 0 3 の入力パッド D 3 との間の接続を提供し、例えばワイヤボンドなどのリンク 2 2 1 4 がチップ 2 1 0 3 の出力パッド Q 3 とチップ 2 1 0 4 の入力パッド D 3 との間の接続を提供し、例えばワイヤボンドなどのリンク 2 2 1 5 がチップ 2 1 0 4 の出力パッド Q 3 と基板 2 2 0 0 上のパッド Q 3 との間の接続を提供する。図 2 2 に示すように、スタックを通り抜けるその他の経路群も同様にして作り出される。

【0 2 2 8】

段差を作り出すスタック内の1つのチップと次のチップとの間のオフセット量は変更し得る。しかしながら、一実施形態において、オフセットは、下側チップ上の一列又は複数列の入力／出力群を次のチップへのリンク群を作り出すために露出させるように十分に大きくされる。図 2 2 に示すように、チップ群は、上述の階段状の段差群を作り出すように、チップ群の積層軸に対して同一方向にオフセットされ得る。

【0 2 2 9】

図 2 3 は、実施形態に従ったメモリ記憶スタックを製造することに関する方法の一例を示すフローチャート 2 3 0 0 である。概して、フローチャート 2 3 0 0 は、図 3-8 及び 1 4-1 9 のスタックの製造を記述する技術など、上述の概念を要約したものである。全てのフローチャートにおけるステップ群の順序は単なる例であり、或る一定のケースでは、ステップ群は如何なる好適な順序で実行されてもよい。メモリデバイスという用語は、上述のチップを指し示す。

【0 2 3 0】

ステップ 2 3 1 0 にて、組立機（アセンブラ）が第 1 のメモリデバイスを受け取る。

【0 2 3 1】

ステップ 2 3 1 5 にて、アセンブラは第 2 のメモリデバイスを受け取る。第 1 のメモリデバイス及び第 2 のメモリデバイスは同一の入力／出力レイアウト配置を有する。

【0 2 3 2】

ステップ 2 3 2 0 にて、アセンブラはメモリデバイスのスタックを作り出す。第 1 のメモリデバイスの出力群を第 2 のメモリデバイスの入力群と位置整合させるように、スタック内で第 1 のメモリデバイス及び第 2 のメモリデバイスが互いに対して回転オフセットされる。換言すれば、第 2 のメモリデバイスは、第 1 のメモリデバイスの出力が第 2 のメモリデバイスの対応する入力の近傍に配置されるように方向付けられる。

【0 2 3 3】

図 2 4 及び 2 5 は、実施形態に従ったメモリ記憶スタックを製造することに関する方法を示す一例に係るフローチャート 2 4 0 0（例えば、フローチャート 2 4 0 0-1 及びフローチャート 2 4 0 0-2）を形成するように結合される。

【0 2 3 4】

フローチャート 2 4 0 0 は、図 3-8 及び 1 4-1 9 のスタックの製造を記述する技術など、上述の概念を捕らえたものである。しかしながら、サブステップ 2 4 3 0 及びサブステップ 2 4 5 5 は、スタック内の1つのチップの次のチップに対する横方向のオフセットが存在しない図 1 4-1 9 のスタックの製造には必ずしも適用可能でない。また、全てのフローチャートにおけるステップ群の順序は単なる例であり、ステップ群は概して、如

10

20

30

40

50

何なる好適な順序で実行されてもよい。

【0235】

ステップ2410にて、組立機（アセンブラ）が第1のメモリデバイスを受け取る。

【0236】

ステップ2415にて、アセンブラは第2のメモリデバイスを受け取る。第1のメモリデバイス及び第2のメモリデバイスは同一の入力／出力レイアウト配置を有する。

【0237】

ステップ2420にて、アセンブラはメモリデバイスのスタックを作り出す。第1のメモリデバイスの出力群を第2のメモリデバイスの入力群と位置整合させるように、スタック内で第1のメモリデバイス及び第2のメモリデバイスが互いに対して回転（例えば、約180°）オフセットされる。

10

【0238】

ステップ2420に付随するサブステップ2425にて、アセンブラは、スタック内の第2のメモリデバイスの面の向きを、スタック内の第1のメモリデバイスの面と同一の向きになるように合わせる。

【0239】

サブステップ2430にて、アセンブラは、第1のメモリデバイスの面上の出力群を、第2のメモリデバイスの面上で露出された入力群に電氣的に接続するために露出させるように、スタック内で第1のメモリデバイスを第2のメモリデバイスに対してずらす（すなわち、オフセットする）。

20

【0240】

ステップ2435にて、アセンブラは、第1のメモリデバイスの出力群と第2のメモリデバイスの入力群とを、導電性リンクを介して電気接続する。

【0241】

ステップ2440にて、アセンブラは第3のメモリデバイスを受け取る。

【0242】

ステップ2445にて、アセンブラは、第2のメモリデバイスの出力群を第3のメモリデバイスの入力群と位置整合させるように、第3のメモリデバイスを第2のメモリデバイスに対して回転オフセットすることによって、第3のメモリデバイスを含むスタックを作り出す。ステップ2445はサブステップ2450及び2455を含む。

30

【0243】

ステップ2445に付随するサブステップ2450にて、アセンブラは第3のメモリデバイスを第2のメモリデバイスに固定する。

【0244】

ステップ2445に付随するサブステップ2455にて、アセンブラは、第1のメモリデバイスからの出力の第2のメモリデバイスの対応する入力への、例えばワイヤボンディングなどのリンクを収容するように、第3のメモリデバイスと第2のメモリデバイスとの間にスペーサを設ける。

【0245】

ステップ2460にて、アセンブラは、メモリデバイスのスタックにコントローラを電氣的に結合する。上述のように、このコントローラは、第1のメモリデバイスから当該コントローラまで少なくとも第2のメモリデバイスを介して戻る経路に沿ったデータの流れに基づいて、第1のメモリデバイスからデータにアクセスするように構成され得る。

40

【0246】

図26は、実施形態に従ったメモリ記憶スタックを製造することに関する方法の一例を示すフローチャート2600である。フローチャート2600は、図3-8及び14-19のスタックの製造を記述する技術など、上述の概念を捕らえたものである。

【0247】

ステップ2610にて、組立機（アセンブラ）が第1のメモリデバイスを受け取る。

【0248】

50

ステップ 2 6 1 5 にて、アセンブラは第 2 のメモリデバイスを受け取る。第 1 のメモリデバイス及び第 2 のメモリデバイスは同一の入力／出力レイアウト配置を有する。

【0 2 4 9】

ステップ 2 6 2 0 にて、アセンブラは第 1 のメモリデバイスと第 2 のメモリデバイスとを積み重ね、第 1 の区間（経路セグメント）及び第 2 の区間（経路セグメント）を有する経路を作り出す。一例において、第 1 の区間（経路セグメント）は、第 1 のメモリデバイスの入力と出力との間の回路パスである。第 2 の区間（経路セグメント）は、第 2 のメモリデバイスの入力と出力との間の回路パスである。

【0 2 5 0】

ステップ 2 6 3 0 にて、アセンブラは、第 1 のメモリデバイスの入力と出力との間の軸が第 2 のメモリデバイスの入力と出力との間の軸に対して実質的に平行になるよう、第 1 のメモリデバイスを第 2 のメモリデバイスに対して方向付ける。

10

【0 2 5 1】

図 2 7 は、実施形態に従ったメモリ記憶スタックを製造することに関する方法の一例を示すフローチャート 2 7 0 0 である。フローチャート 2 7 0 0 は、図 1 4 - 1 9 のスタックの製造を記述する技術など、上述の概念を捕らえたものである。

【0 2 5 2】

ステップ 2 7 1 0 にて、組立機（アセンブラ）が第 1 のメモリデバイスを受け取る。

【0 2 5 3】

ステップ 2 7 1 5 にて、アセンブラは第 2 のメモリデバイスを受け取る。第 1 のメモリデバイス及び第 2 のメモリデバイスは同一の入力／出力レイアウト配置を有する。

20

【0 2 5 4】

ステップ 2 7 2 0 にて、アセンブラは、第 1 のメモリデバイスの面内に配置された出力を第 2 のメモリデバイスの面内に配置された対応する入力の直上に縦方向に位置整合させるように、第 1 のメモリデバイスと第 2 のメモリデバイスとを上下に直接的に積み重ねる。

【0 2 5 5】

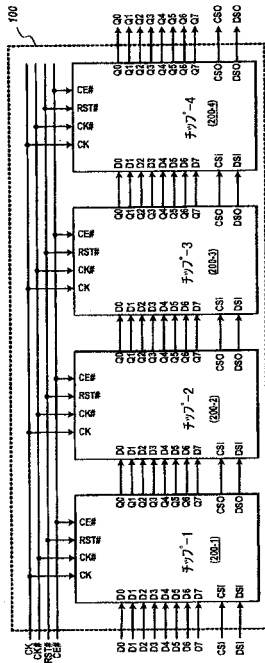
ステップ 2 7 3 0 にて、アセンブラは、第 1 のメモリデバイスの表面パッドから第 2 のメモリデバイスのスルーホール接続への電気経路に基づいて、第 1 のメモリデバイス及び第 2 のメモリデバイスを通る経路を作り出す。第 1 のメモリデバイス上の表面パッドは、第 1 のメモリデバイスに付随する出力である。スルーホールは第 2 のメモリデバイスの入力である。

30

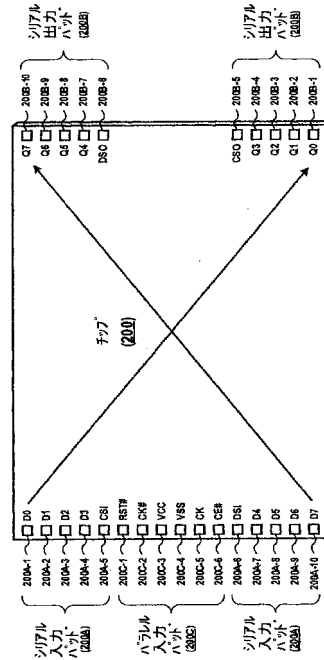
【0 2 5 6】

説明した実施形態には適応化及び変更が為され得る。故に、上述の実施形態は限定的ではなく例示的であると見なされるものである。

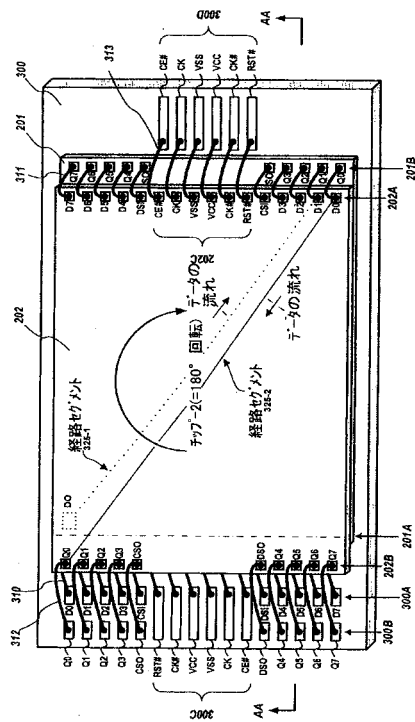
【図 1】



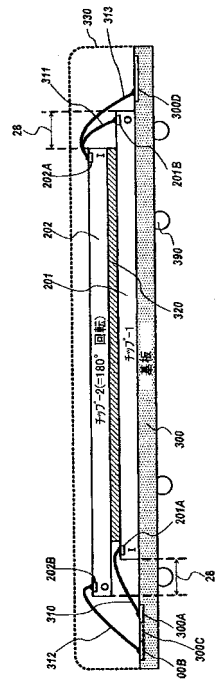
【図 2】



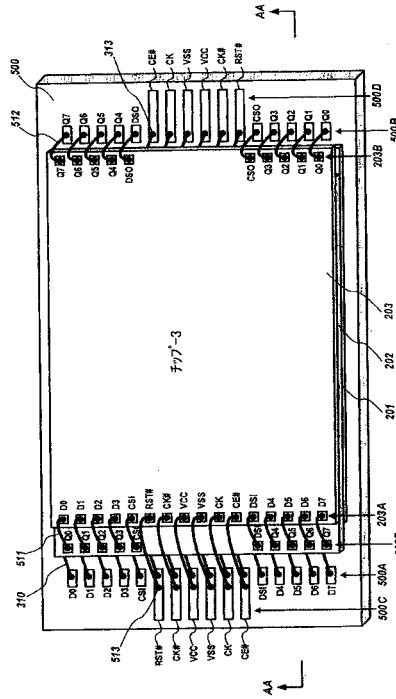
【図 3】



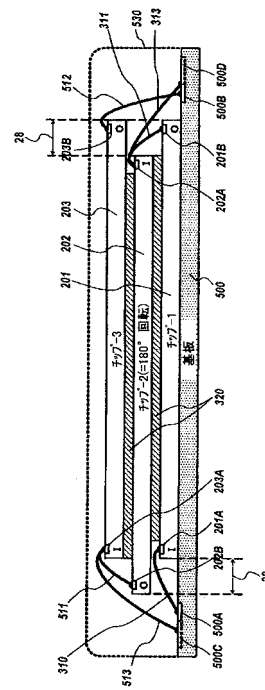
【図 4】



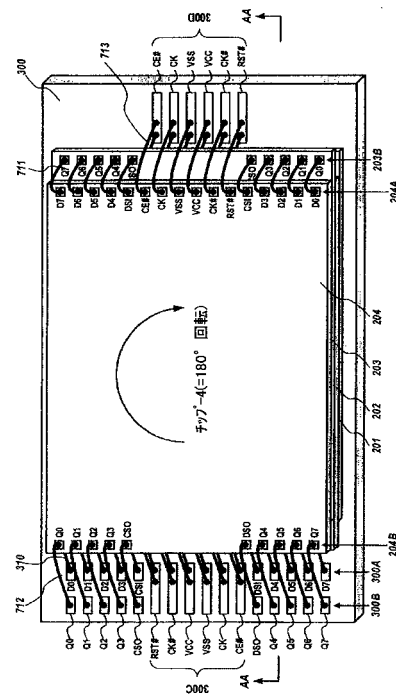
【図 5】



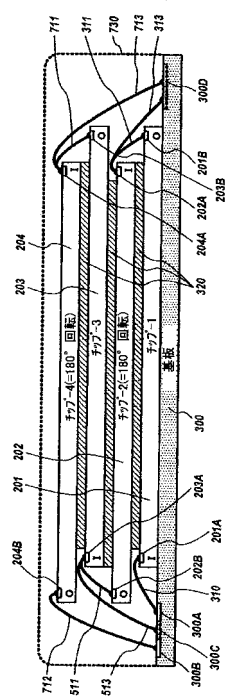
【図 6】



【図 7】



【図 8】



【図 9】

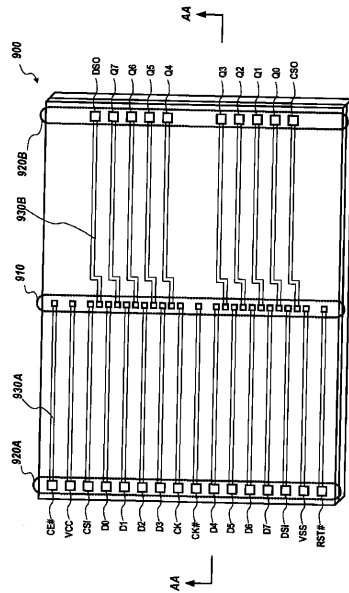
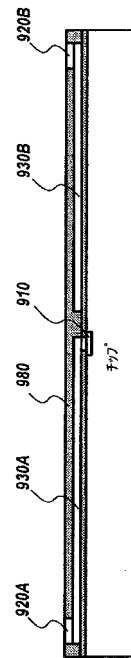


FIG. 9

【図 10】



【図 1 1】

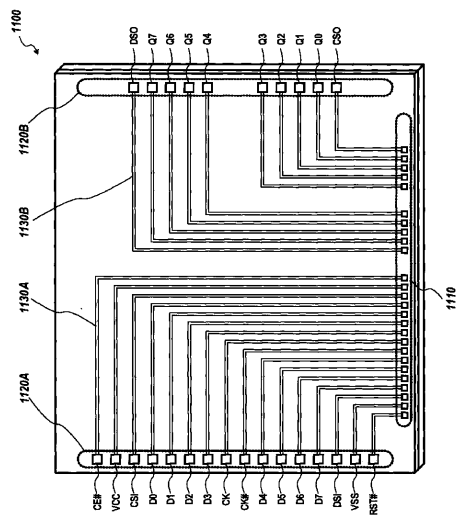


FIG. 11

【图 1 2】

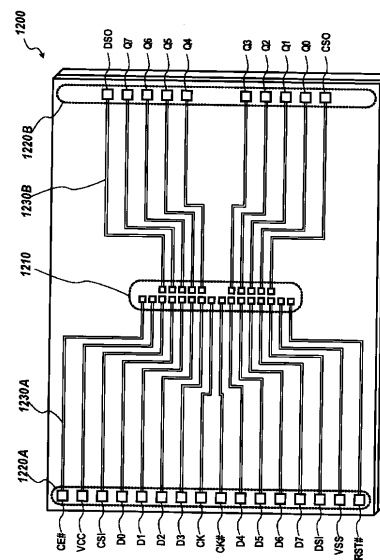
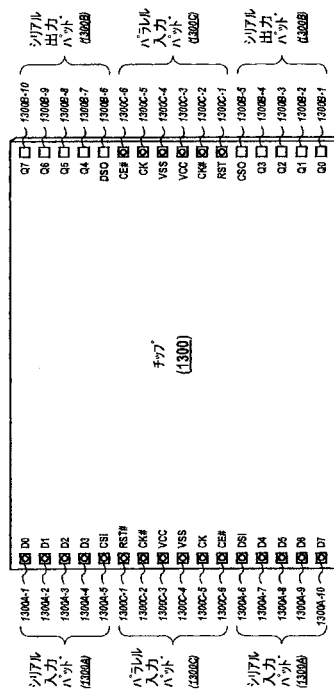


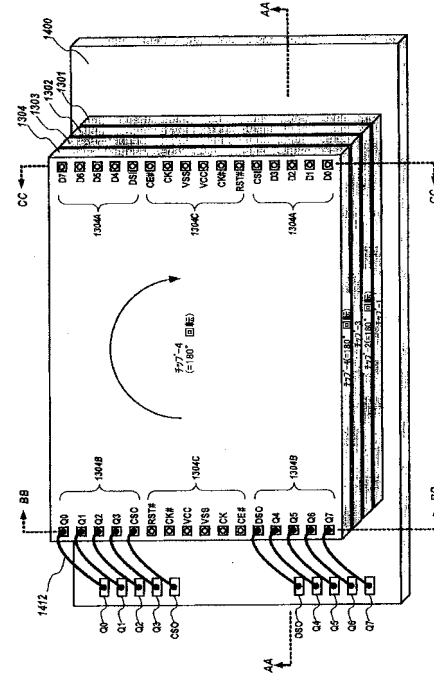
FIG. 12

【図13】

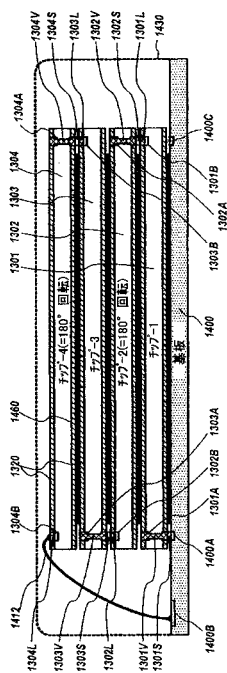


□ : TSV用パッド

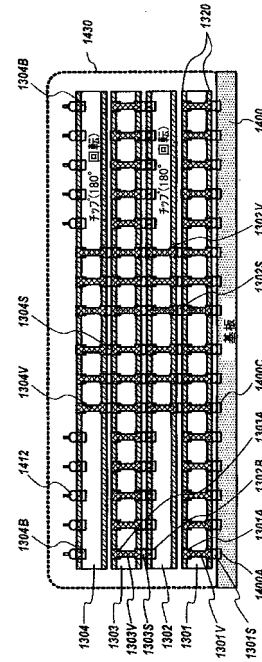
【図14】



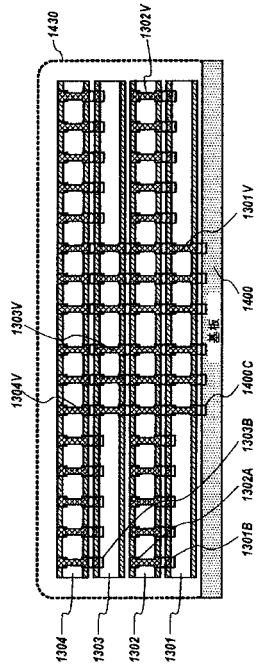
【図15】



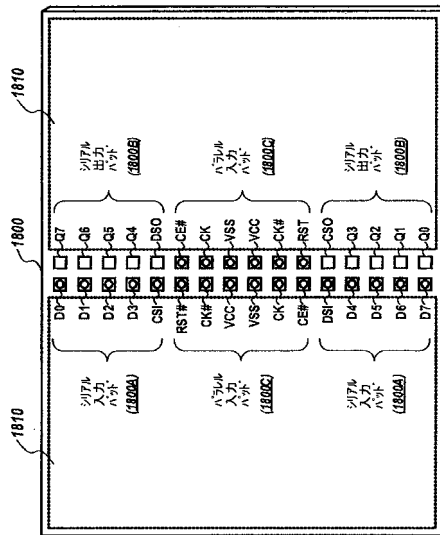
【図16】



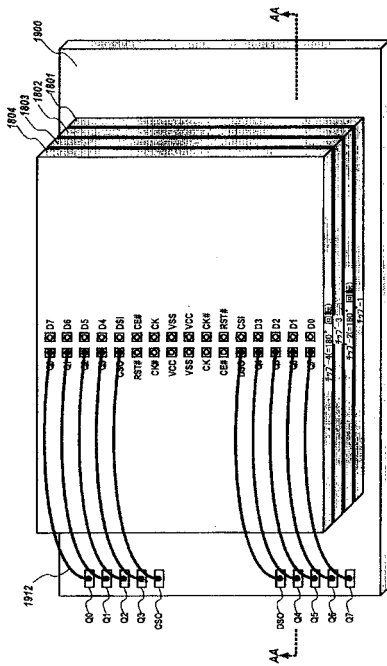
【図 17】



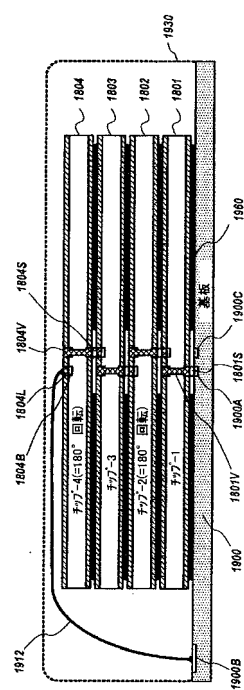
【図 18】



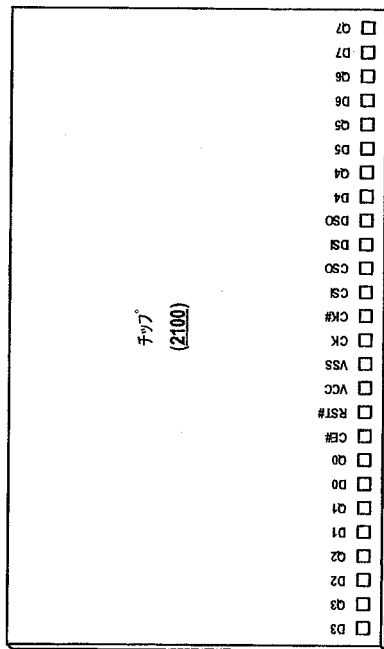
【図 19】



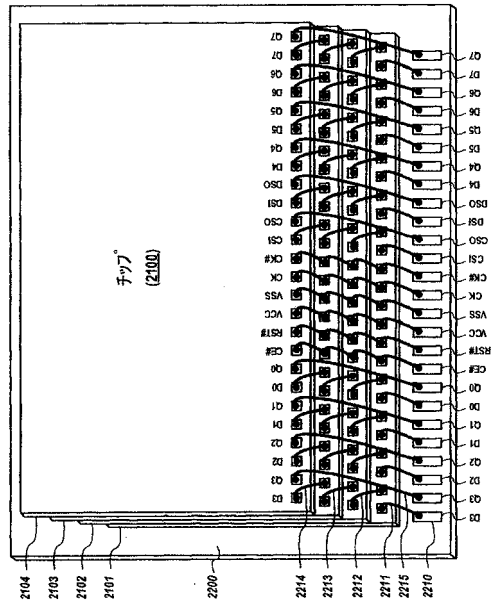
【図 20】



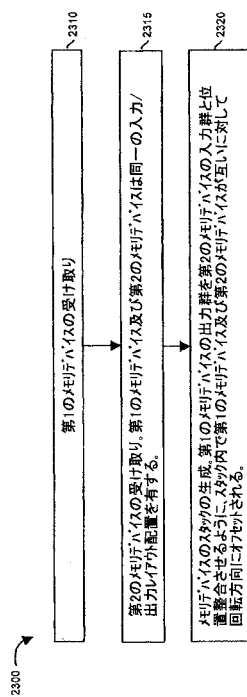
【図 2 1】



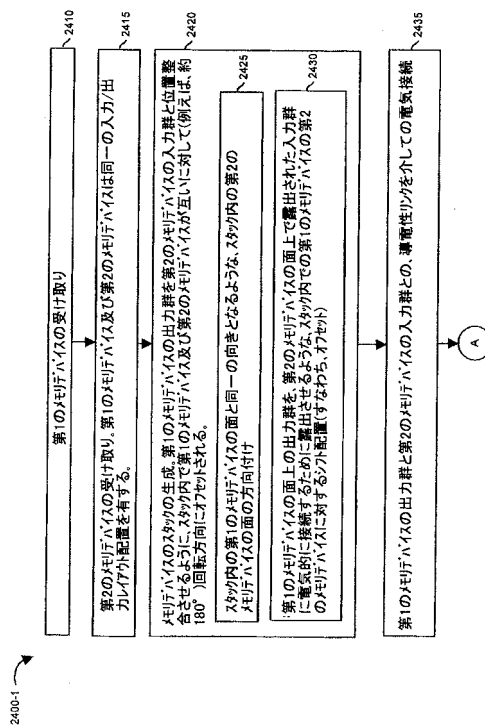
【图 2 2】



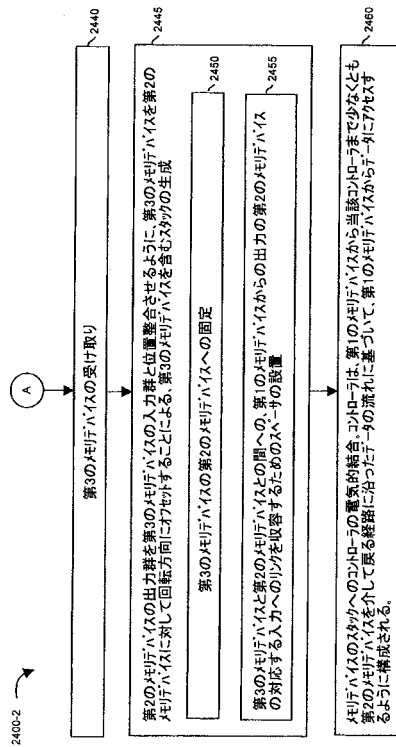
【図 2 3】



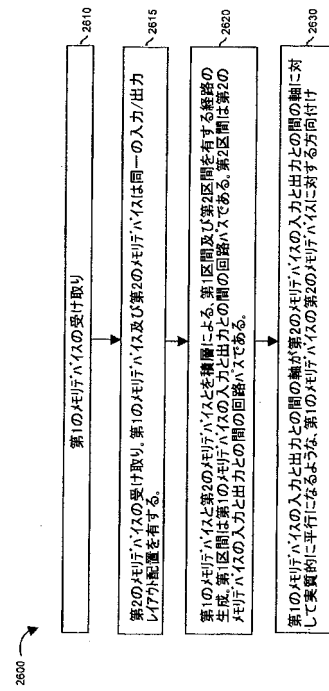
【図 2 4】



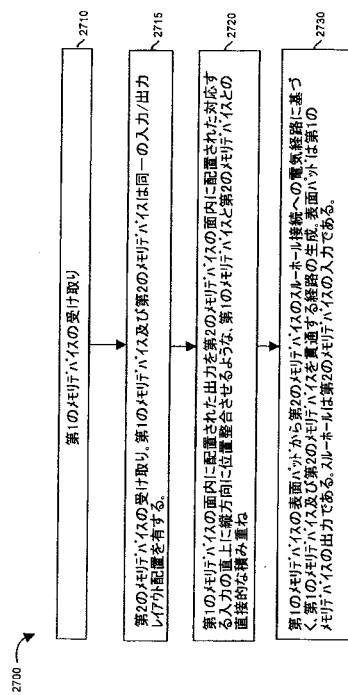
【図 25】



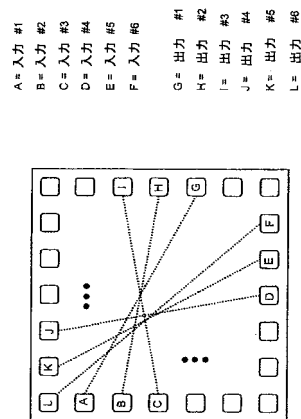
【図 26】



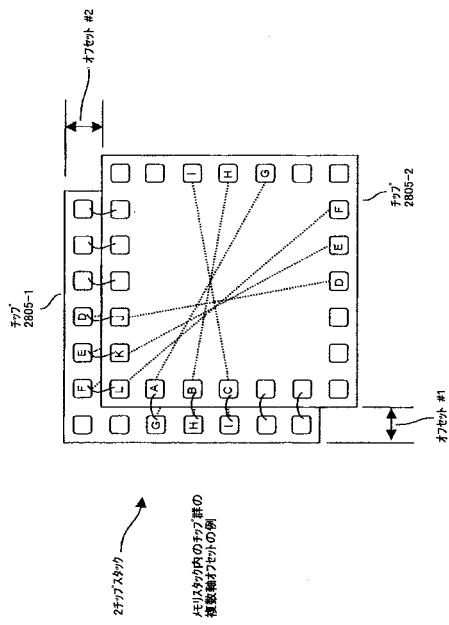
【図 27】



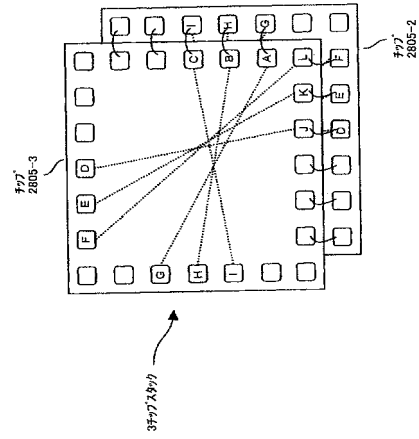
【図 28】



【図 29】



【図 30】



フロントページの続き

(51)Int.Cl.		F I
H 0 1 L 21/8247 (2006.01)	H 0 1 L 29/78	3 7 1
H 0 1 L 27/115 (2006.01)	H 0 1 L 25/08	Z
H 0 1 L 21/336 (2006.01)		
H 0 1 L 29/788 (2006.01)		
H 0 1 L 29/792 (2006.01)		
H 0 1 L 25/18 (2006.01)		
H 0 1 L 25/07 (2006.01)		
H 0 1 L 25/065 (2006.01)		

(31)優先権主張番号 12/168,354

(32)優先日 平成20年7月7日(2008.7.7)

(33)優先権主張国 米国(US)

(72)発明者 オー, ハクジュン

カナダ国 ケイ2ティー 1ジェイ3 オンタリオ, カナタ, キャンピアー・クレセント 21

(72)発明者 キム, ジンキー

カナダ国 ケイ2ケイ 3エイチ6 オンタリオ, カナタ, アイロンサイド・コート 46

(72)発明者 パイエオン, ホン ビオム

カナダ国 ケイ2エム 2イー1 オンタリオ, カナタ, リヴァーグリーン・クレセント 16

審査官 小林 紀和

(56)参考文献 特開2002-007308(JP, A)

特開平06-132476(JP, A)

特開平07-120772(JP, A)

特開平03-291960(JP, A)

特開2003-084042(JP, A)

特開2006-140351(JP, A)

特開2001-284097(JP, A)

特開2010-56140(JP, A)

特開2008-91627(JP, A)

特表2011-507283(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 5/00

G 1 1 C 16/06

H 0 1 L 21/336

H 0 1 L 21/822

H 0 1 L 21/8247

H 0 1 L 25/065

H 0 1 L 25/07

H 0 1 L 25/18

H 0 1 L 27/04

H 0 1 L 27/10

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792