

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4017596号
(P4017596)

(45) 発行日 平成19年12月5日(2007. 12. 5)

(24) 登録日 平成19年9月28日(2007. 9. 28)

(51) Int. Cl.

F I

H03F 3/217 (2006.01)

H03F 3/217

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2003-525985 (P2003-525985)	(73) 特許権者	000002037
(86) (22) 出願日	平成14年9月4日(2002. 9. 4)		新電元工業株式会社
(86) 国際出願番号	PCT/JP2002/008979		東京都千代田区大手町2丁目2番1号
(87) 国際公開番号	W02003/021769	(74) 代理人	100064908
(87) 国際公開日	平成15年3月13日(2003. 3. 13)		弁理士 志賀 正武
審査請求日	平成15年6月23日(2003. 6. 23)	(74) 代理人	100108578
(31) 優先権主張番号	特願2001-267305 (P2001-267305)		弁理士 高橋 詔男
(32) 優先日	平成13年9月4日(2001. 9. 4)	(74) 代理人	100089037
(33) 優先権主張国	日本国(JP)		弁理士 渡邊 隆
		(74) 代理人	100101465
			弁理士 青山 正和
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100107836
			弁理士 西 和哉

最終頁に続く

(54) 【発明の名称】 スイッチング増幅装置

(57) 【特許請求の範囲】

【請求項1】

アナログ信号もしくは多ビットデジタル信号を2値信号に変調する変調器を備え、この変調器の出力パルス信号をパワースイッチ素子に供給するパワーアンプと、

アナログ信号もしくは多ビットデジタル信号を $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調手段を備え、この $\Delta\Sigma$ 変調手段から出力される電源制御用パルス信号を電源用パワースイッチ素子に供給する $\Delta\Sigma$ 電源と

を設け、

この $\Delta\Sigma$ 電源に前記パワーアンプの前記変調器の出力パルス信号を供給するように構成してあるとともに、前記出力パルス信号をこの $\Delta\Sigma$ 電源の動作クロックとして入力し、 $\Delta\Sigma$ 電源の出力電力を前記パワーアンプの前記パワースイッチ素子に供給するように構成してあり、

前記パワーアンプの前記パワースイッチ素子がオフ状態となる所定期間内に前記電源用パワースイッチ素子のスイッチング動作に伴うノイズが発生するように、前記出力パルス信号に基づく前記電源用パワースイッチ素子と前記パワースイッチ素子との間の動作タイミングを設定したスイッチング増幅装置。

【請求項2】

出力段に少なくとも1対のパワースイッチ素子を有し、アナログ信号もしくは多ビットデジタル信号からなる入力信号を2値信号に変調し、この2値信号に基づき前記1対のパワースイッチ素子を相補的に導通制御することにより電力増幅された出力信号を得るパワ

10

20

ーアンプと、

前記 2 値信号に同期してスイッチング動作することにより、前記 1 対のパワースイッチ素子に供給されるべき所望の電源電圧を生成するスイッチング電源と、
を備え、

前記出力段に設けられた 1 対のパワースイッチ素子が共にオフ状態となる所定期間内に前記スイッチング電源のスイッチング動作に伴うノイズが発生するように、前記 2 値信号に基づく前記スイッチング電源と前記パワーアンプとの間の動作タイミングを設定したスイッチング増幅装置。

【請求項 3】

前記スイッチング電源が、前記 2 値信号を動作クロック信号として入力する $\Delta \Sigma$ 電源である請求の範囲第 2 項に記載されたスイッチング増幅装置。

10

【請求項 4】

前記スイッチング電源が、

外部電源の電流経路上に介挿されたスイッチ素子を有し、このスイッチ素子がスイッチングすることにより前記外部電源の電圧を前記所望の電源電圧に変換する電圧変換部と、

前記電圧変換部により変換された電源電圧を $\Delta \Sigma$ 変調し、この $\Delta \Sigma$ 変調により得られた信号に基づき、前記電圧変換部を構成するスイッチ素子のスイッチングを制御するスイッチング制御部と、

を備えた請求の範囲第 3 項に記載されたスイッチング増幅装置。

【発明の詳細な説明】

20

技術分野

本発明は、アナログ信号もしくは多ビットデジタル信号を増幅するスイッチング増幅装置に関するものであり、電源のスイッチングノイズを低減して品質の向上化を図る新規なスイッチング増幅装置に関するものである。

背景技術

従来のパワーアンプを備えたスイッチング増幅装置を図 7 に示す。なお、この従来例はオーディオ用のスイッチング増幅装置に関するものである。このスイッチング増幅装置はオーディオパワーアンプ 1 と電源 6 を備え、オーディオパワーアンプ 1 は、オーディオ信号を $\Delta \Sigma$ 変調する $\Delta \Sigma$ 変調器 2 を備え、この $\Delta \Sigma$ 変調器 2 の出力パルス信号をアンプ用パワースイッチ素子 3 に供給し、アンプ用出力フィルタ 4 を介して出力するように構成してある。このアンプ用パワースイッチ素子 3 に電源 6 を接続してあり、この電源 6 はクロック信号を入力し、このクロック信号に同期してパルス幅変調して、このパルス幅変調した信号を電源内にある電源用パワースイッチ素子に供給し、所望の電力を電源用出力フィルタを通してアンプ用パワースイッチ素子 3 に供給するように構成してある。

30

この従来例のスイッチング増幅装置は以下のような作用をする。まず、オーディオ信号等の信号を $\Delta \Sigma$ 変調器 2 に入力するとともに、この $\Delta \Sigma$ 変調器 2 にサンプリングクロックを入力する。 $\Delta \Sigma$ 変調器 2 で前記入力信号を $\Delta \Sigma$ 変調して、この出力パルス信号をアンプ用パワースイッチ素子 3 に入力する。また、電源 6 では前記サンプリングクロック信号とは別のクロック信号が入力され、このクロック信号に合わせてパルス幅変調を行い、前記パルス幅変調出力パルス信号が電源内にある電源用パワースイッチ素子に入力される。電源用パワースイッチ素子の出力は電源用出力フィルタ 7 を通して出力され、アンプ用パワースイッチ素子 3 に電力を供給する。

40

しかし、この手段では、電源 6 とパワーアンプ 1 とが互いに独立しているため、パワーアンプ出力に電源 6 のスイッチングノイズの影響を与えやすいという課題があった。また、電源 6 のスイッチングノイズの影響がパワーアンプ 1 に出ないようにするため、電源出力に大きな電源用出力フィルタ 7 を設けなければならないが、従来における電源用出力フィルタ 7 は、平滑回路とノイズフィルタとを接続して構成してなる場合が多く、この場合、ノイズフィルタを設けたことにより小型化が困難である。さらに、ノイズフィルタを外して電源用出力フィルタ 7 を構成しようとする、平滑回路を構成するコンデンサやチョークコイルを大型化する必要があり、いずれにしても、電源用出力フィルタ 7 が比較的大き

50

いため、スイッチング増幅装置の小型化が困難であるという課題が生じた。

発明の開示

本発明は、上記問題に鑑みてなされたものであり、特に電源のスイッチングノイズを低減して品質の向上を図る新規なスイッチング増幅装置を提供する。

上記目的を達成するためになされた発明は、パワーアンプと電源のスイッチングノイズの出るタイミングがほぼ同時になり、電源からノイズが混入しても、パワーアンプのノイズフィルタを兼用することが可能となる。また、これに伴い電源用のノイズフィルタが不要であるとともに、電源の出力に比較的大型のコンデンサやチョークコイルを備えた平滑回路を設ける必要がなくなり、電源の出力フィルタを簡略化することが可能である。さらに、電源の出力フィルタの簡略化により、スイッチング増幅装置の小型化及びコストダウン

10

を図ることを可能にした。

即ち、本発明は、上記課題を解決するため、以下の構成を有する。

本発明の第1の態様に係るスイッチング増幅装置は、アナログ信号もしくは多ビットデジタル信号を2値信号に変調する変調器を備え、この変調器の出力パルス信号をパワースイッチ素子に供給するスイッチングパワーアンプと、アナログ信号もしくは多ビットデジタル信号を $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調手段を備え、この $\Delta\Sigma$ 変調手段から出力される電源制御用パルス信号を電源用パワースイッチ素子に供給する $\Delta\Sigma$ 電源とを設け、この $\Delta\Sigma$ 電源に前記パワーアンプの前記変調器の出力パルス信号を供給するように構成してあるとともに、前記出力パルス信号をこの $\Delta\Sigma$ 電源の動作クロックとして入力し、 $\Delta\Sigma$ 電源の出力電力を前記パワーアンプの前記パワースイッチ素子に供給するように構成してある。

20

本発明の第2の態様に係るスイッチング増幅装置は、出力段に少なくとも1対のパワースイッチ素子を有し、アナログ信号もしくは多ビットデジタル信号からなる入力信号を2値信号に変調し、この2値信号に基づき前記1対のパワースイッチ素子を相補的に導通制御することにより電力増幅された出力信号を得るパワーアンプと、前記2値信号に同期してスイッチング動作することにより、前記1対のパワースイッチ素子に供給されるべき所望の電源電圧を生成するスイッチング電源と、を備えている。

本発明の第3の態様に係るスイッチング増幅装置は、本発明の第2の態様に係るスイッチング増幅装置において、前記出力段に設けられた1対のパワースイッチ素子が共にオフ状態となる所定期間内に前記スイッチング電源のスイッチング動作に伴うノイズが発生するように、前記2値信号に基づく前記スイッチング電源と前記パワーアンプとの間の動作タイミングを設定している。

30

本発明の第4の態様に係るスイッチング増幅装置は、本発明の第2または第3の態様に係るスイッチング増幅装置において、前記スイッチング電源が、前記2値信号を動作クロック信号として入力する $\Delta\Sigma$ 電源で構成される。

本発明の第5の態様に係るスイッチング増幅装置は、本発明の第4の態様に係るスイッチング増幅装置において、前記スイッチング電源が、外部電源の電流経路上に介挿されたスイッチ素子を有し、このスイッチ素子がスイッチングすることにより前記外部電源の電圧を前記所望の電源電圧に変換する電圧変換部と、前記電圧変換部により変換された電源電圧を $\Delta\Sigma$ 変調し、この $\Delta\Sigma$ 変調により得られた信号に基づき、前記電圧変換部を構成するスイッチ素子のスイッチングを制御するスイッチング制御部と、を備えている。

40

この発明の構成によれば、スイッチング電源のスイッチング動作が、パワーアンプ側の1対のパワースイッチ素子の導通を制御する2値信号に同期し、これら1対のパワースイッチ素子のスイッチングと同期する。従って、スイッチング電源のスイッチング動作に伴うノイズの発生タイミングと、出力段の1対のパワースイッチ素子のスイッチングのタイミングとを整合させることが可能になり、見かけ上、出力信号上に現れるスイッチングノイズの発生頻度が低減する。また、1対のパワースイッチ素子が共にオフ状態となる所定期間内にスイッチング電源のスイッチング動作に伴うノイズが発生するようにタイミングを調整することにより、スイッチング電源のスイッチング動作に伴うノイズが、1対のパワースイッチ素子を介して出力信号に現れない。よって、スイッチング電源やパワースイッチ素子のスイッチング動作に伴うノイズを抑制するためのフィルタを小型化することが可

50

能になる。

発明を実施するための最良の形態

以下、添付図面を用いて本発明に係るスイッチング増幅装置の実施例を説明する。図1は本発明に係る一実施例を示してある。また、図2にはこの実施例の要部の一実施例を示してある。

図1に示す実施例は、オーディオパワーアンプ1を設けたスイッチング増幅装置であり、オーディオパワーアンプ1はオーディオ信号を $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器2を備え、この $\Delta\Sigma$ 変調器2の出力パルス信号をアンプ用パワースイッチ素子3に供給し、アンプ用出力フィルタ4を通して出力するように構成してある。

また、本実施例では、 $\Delta\Sigma$ 電源5を備えてあり、この $\Delta\Sigma$ 電源5は、オーディオパワーアンプ1の $\Delta\Sigma$ 変調器2の出力パルス信号を供給するようにしてあるとともに、前記出力パルス信号をこの $\Delta\Sigma$ 電源5の動作クロックとして入力し所望の電力を発生させ、前記電力を前記アンプ用パワースイッチ素子3に供給するようにしてある。

本実施例に係る $\Delta\Sigma$ 電源の具体的構成を、図2に示してある。この $\Delta\Sigma$ 電源5は、 $\Delta\Sigma$ 変調器16を備え、この $\Delta\Sigma$ 変調器16の出力パルス信号を電源用パワースイッチ素子11に供給するようにしてある。また、平滑回路12を備え、この平滑回路12の出力側に、負荷13に出力された電圧と基準電圧15の差分電圧を増幅する誤差増幅回路14を介して、アナログ信号もしくは多ビットデジタル信号を $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器16を接続し、誤差増幅回路14で負荷に出力された電圧と基準電圧15の差分電圧を増幅した信号を $\Delta\Sigma$ 変調器16に入力するように構成している。基準電圧15は、出力電圧VOの目標値であり、出力電圧VOが基準電圧15に安定するようにスイッチング動作が行われる。ただし、出力電圧VOを抵抗分圧により降圧して誤差増幅回路14に inputs し、この抵抗分圧により得られる電圧の目標値となるように基準電圧15を設定してもよい。この場合、抵抗分圧された電圧が基準電圧15に安定することにより、出力電圧VOが所望の電圧に安定される。

なお、図2に示す $\Delta\Sigma$ 電源5は、単なる一実施例に過ぎず、本発明に係る $\Delta\Sigma$ 電源5は $\Delta\Sigma$ 変調手段を用いたものであれば構成は問わない。また、動作クロックとして周波数が固定されないクロック、即ち周波数可変なクロック信号を使用できるものであれば、 $\Delta\Sigma$ 電源に限らず他のスイッチング電源であってもよい。換言すれば、オンとオフとがクロック同期するものであれば、どのような電源であってもよい。

次に、図3に、図1に示す構成の主要部を示す。図3に示すように、 $\Delta\Sigma$ 変調器2は変調回路2Aおよび駆動回路2Bから構成される。変調回路2Aは、入力信号SIを $\Delta\Sigma$ 変調してパルス信号SS（2値信号）に変換するものであり、このパルス信号SSのパルス幅に入力信号SIが反映される。駆動回路2Bは、パルス信号SSに基づきパワースイッチ素子3を相補的に駆動するものであり、そのための駆動信号SP、SNを出力する。この変調器2は、例えば5V程度の電源で動作する。

正電源5Aおよび負電源5Bは、パワーMOSトランジスタ3A、3Bに供給されるべき所望の高電源電圧（例えば数10V）を生成するスイッチング電源であって、上述の図1に示す $\Delta\Sigma$ 電源5を構成する。これら正電源5Aおよび負電源5Bは、パルス信号SSを動作クロックとして入力し、このパルス信号SSに同期してスイッチング動作することにより正の高電源電圧VPおよび負の高電源電圧VNを発生するように構成される。

即ち、前述の図2に示すように、 $\Delta\Sigma$ 電源5は、安定化用のコンデンサC1、外部電源（図示なし）の電流経路上に介挿されたスイッチ素子11、還流用のダイオードD、平滑回路12（インダクタLおよびコンデンサC2）を含んで構成され、これらは、外部電源からの入力電圧VIを所望の出力電圧VOに変換する電圧変換部（符号なし）として機能する。また、 $\Delta\Sigma$ 電源5は、上述の電圧変換部に加えて、誤差増幅回路14、 $\Delta\Sigma$ 変調器16、ゲートドライバ回路17を含み、これらはスイッチ素子11のスイッチングを制御するスイッチング制御部（符号なし）を構成する。

なお、図2に示す例では、降圧型の電源として構成したが、これに限定されることなく、例えば昇圧型の電源として構成してもよい。この場合、スイッチ素子11は、外部電源に

10

20

30

40

50

接続される昇圧用のコイルと直列に接続されるが、この場合であってもスイッチ素子 11 は、降圧型と同様に、外部電源の電流経路上に介挿された構成となる。

図 4 に、上述の $\Delta \Sigma$ 変調器 16 の構成を示す。同図に示すように、 $\Delta \Sigma$ 変調器 16 は、減算器 20、積分器 21、比較器 22、D 型フリップフロップ (D-F F) 23 から構成される。ここで、減算器 20 は、上述の誤差増幅回路 14 の出力信号 V G からスイッチング制御信号 S G を減算するもので、積分器 21 は、減算器 20 の出力信号を積分するものである。比較器 22 は、基準電圧 24 を基準として積分器 21 の出力信号を 2 値信号に量子化するものであり、その非反転入力端子には積分器 21 の出力信号が与えられ、その反転入力端子には基準電圧 15 が与えられる。基準電圧 24 は、 $\Delta \Sigma$ 変調の動作を規定するものであり、具体的には積分器 21 の出力信号 ($\Delta \Sigma$ 信号) を 2 値化する際の判定レベルを与える。この基準電圧 24 は必要とされる $\Delta \Sigma$ 変調の特性に応じて適切に設定される。D 型フリップフロップ 23 は、上述の変調回路 2 A から出力されるパルス信号 S S をクロック信号として比較器 22 の出力信号をラッチするものである。

説明を図 3 に戻す。パワースwitch素子 3 は、正電源 5 A と負電源 5 B との間に電流経路が直列接続された 1 対の出力用の n チャネル型パワー MOS トランジスタ 3 A, 3 B から構成される。ここで、一方のパワー MOS トランジスタ 3 A のドレインは正電源 5 A に接続され、そのゲートには上述の駆動信号 S P が印加される。また、他方のパワー MOS トランジスタ 3 B のソースは負電源 5 B に接続され、そのゲートには上述の駆動信号 S N が印加される。これらパワー MOS トランジスタ 3 A のソースおよびパワー MOS トランジスタ 3 B のドレインは、互いに接続されてパワースwitch素子 3 の出力部とされ、後段の出力フィルタ 4 に入力部に接続される。

なお、図 3 に示す例では、パワースwitch素子 3 をなす 1 対の n チャネル型パワー MOS トランジスタ 3 A, 3 B はいわゆるハーフブリッジを構成するが、これに限定されることなく、複数対のパワー MOS トランジスタを用いていわゆるフルブリッジを構成するものとしてもよい。

以上のように構成してあるスイッチング増幅装置は以下のように作用する。まず、入力信号 S I としてオーディオ信号を $\Delta \Sigma$ 変調器 2 に入力するとともに、この $\Delta \Sigma$ 変調器 2 にサンプリングクロック S C を入力する。この $\Delta \Sigma$ 変調器 2 でオーディオ信号を $\Delta \Sigma$ 変調して、この出力パルス信号をアンプ用パワースwitch素子 3 に入力する。同じく前記オーディオ信号用の $\Delta \Sigma$ 変調器 2 の出力パルス信号を $\Delta \Sigma$ 電源 5 にクロック信号として入力する。一般に、 $\Delta \Sigma$ 変調器 2 の出力信号は ON か OFF の 2 つの状態があり、この変化は $\Delta \Sigma$ 電源 5 の $\Delta \Sigma$ 変調器 16 に入力されたクロックの立ち上がり若しくは立ち下りのどちらか一方のみで起こるため、 $\Delta \Sigma$ 変調器出力に接続されるアンプ用パワースwitch素子 3 から発生するスイッチングノイズもこれと同時に発生することとなる。

本発明では、アンプ用 $\Delta \Sigma$ 変調器出力パルス信号をアンプ用パワースwitch素子 3 に入力するとともに、 $\Delta \Sigma$ 電源 5 にクロック信号として入力するため、電源用パワースwitch素子 11 の ON と OFF の変化はアンプ用 $\Delta \Sigma$ 変調器 2 の出力パルスの立ち上がり若しくは立ち下りのどちらか一方でのみ起こることになり、この結果、オーディオパワーアンプ 1 と $\Delta \Sigma$ 電源 5 のスイッチングノイズの出るタイミングがほぼ同時になる。

以上より、 $\Delta \Sigma$ 電源 5 からオーディオアンプ 1 にスイッチングノイズが混入しても、もともとオーディオパワーアンプ 1 がノイズを発生するタイミングとほぼ同時であるため、オーディオパワーアンプ 1 に与える影響は少なく、オーディオパワーアンプ 1 に設けたアンプ用出力フィルタ 4 を $\Delta \Sigma$ 電源 5 のスイッチングノイズ用に使用することが可能である。

即ち、本発明においては、電源出力に電源用出力フィルタを設ける必要がない。

次に、図 5 に示す信号波形を参照しながら上述の動作を補足する。前述のオーディオパワーアンプ 1 は、アナログ信号もしくは多ビットデジタル信号からなる入力信号 S I をパルス信号 (2 値信号) S S に変調する。そして、パルス信号 S S に基づき出力段に設けられた 1 対のパワー MOS トランジスタを相補的に導通制御することにより電力増幅された出力信号 S O を得る。具体的には、図 3 に示す変調回路 2 が、サンプリングクロック S C に従い、入力信号 S I を $\Delta \Sigma$ 変調してパルス信号 S S を出力する。このパルス信号 S S は後

10

20

30

40

50

段の駆動回路 2 B に与えられると共に、 $\Delta \Sigma$ 電源 5 を構成する正電源 5 A 及び負電源 5 B に与えられる。

パルス信号 S S を入力する高電源 5 A では、前述の図 2 および図 4 に示す $\Delta \Sigma$ 変調器 1 6 がパルス信号 S S を動作クロック信号としてスイッチング制御信号 S G を生成し、このスイッチング制御信号 S G を図 2 に示すスイッチ素子 1 1 のゲートに与える。これにより、高電源 5 A がスイッチング動作し、図 5 に示すように高電源電圧 V P を概ね一定に保つ。図 5 では、高電源電圧 V P の波形はリップル成分のみを表している。同様に、負電源 5 B が、パルス信号 S S に基づきスイッチング動作し、概ね一定の負の高電源電圧 V N を発生する。

このとき、図 4 に示す $\Delta \Sigma$ 変調器 1 6 を構成する D 型フリップフロップ 2 3 が、パルス信号 S S の立ち上がりのエッジで比較器 2 2 の出力信号を取り込み、これをスイッチング制御信号 S G として出力するので、図 5 に示すように、スイッチング制御信号 S G は、パルス信号 S S の立ち上がりのエッジで遷移する。このため、高電源電圧 V P、V N には、スイッチング制御信号 S G に基づくスイッチング動作に起因したスイッチングノイズ S N Z が重畳される。

一方、駆動回路 2 B は、 $\Delta \Sigma$ 変調回路 2 A から出力されるパルス信号 S S に応答して駆動信号 S P、S N を出力し、パワー MOS トランジスタ 3 A、3 B を相補的に駆動し、出力フィルタ 4 を介して出力信号 S O を出力する。この出力信号 S O には、パワー MOS トランジスタ 3 A、3 B がスイッチングする際に発生する出力ノイズ O N Z が重畳される。

ここで、仮にパワー MOS トランジスタ 3 A、3 B が共にオン状態になると、高電源 5 A から負電源 5 B に向かって過大な貫通電流が流れ、パワー MOS トランジスタ 5 A、5 B にダメージを与える。このため、出力段の 1 対のパワー MOS トランジスタ 3 A、3 B がスイッチングする際に、双方のトランジスタが共にオフ状態となるいわゆるデッドタイム D T が設けられており、そのようなデッドタイム D T を生じるように上述の駆動信号 S P と駆動信号 S N との間に位相差が設けられている。

上述のパルス信号 S S に基づく $\Delta \Sigma$ 電源 5 とオーディオパワーアンプ 1 との間の動作タイミングは、高電源電圧 V P、V N に重畳されるスイッチングノイズ S N Z が、デッドタイム D T の期間内（所定期間内）に発生するように設定される。この実施例では、特にこのタイミングの調整を図るまでもなく、スイッチングノイズ S N Z がデッドタイム D T の期間内に発生するものとするが、必要に応じて、このタイミングを調整するためのタイミング設定手段を設けてもよい。例えばこの手段として遅延回路を用いることができる。この場合、パルス信号 S S を、正電源 5 A、5 B に供給されるものと、駆動回路 2 B に供給されるものとに分離し、これら分離されたパルス信号の一方を他方に対して適量だけ遅延させればよい。

このように、スイッチングノイズ S N Z がデッドタイム D T の期間内に発生すると、このスイッチングノイズ S N Z がパワー MOS トランジスタ 3 A、3 B により遮断される。このため、出力信号 S O 上に現れるノイズは、パワー MOS トランジスタ 3 A、3 B のスイッチング動作に起因する出力ノイズ O N Z のみとなる。従って、 $\Delta \Sigma$ 電源 5 自体に何らノイズ対策を施すことなく、出力信号 S O 上のノイズが低減される。

以下、比較のため、図 6 に示す波形図を参照し、図 7 に示す従来の電源 6 を用いた場合の動作を説明する。この場合、図 2 に示すスイッチ素子 1 1 は、 $\Delta \Sigma$ 変調器 2 で生成されるパルス信号 S S とは無関係の電源側固有のクロック信号 P C によりスイッチング制御される。このため、パワー MOS トランジスタ 3 A、3 B がオン状態にある時にスイッチ素子 1 1 がスイッチングする場合が生じ、スイッチングノイズ S N Z がパワー MOS トランジスタ 3 A、3 B を介して出力される。

この結果、出力信号 S O には、出力ノイズ O N Z に加えて、電源 6 に起因するスイッチングノイズ S N Z が重畳され、よって、 $\Delta \Sigma$ 電源 5 を使用した場合に比較して、出力信号 S O 上のノイズが増加する結果となる。

従って、電源 6 を用いた場合と比較すると、前述した本実施例によれば、オーディオパワーアンプ 1 が備える出力フィルタ 4 や、電源側のノイズを抑えるためのフィルタ（図示な

10

20

30

40

50

し)を大型化することなく、出力信号S Oに現れるノイズを有効が低減される。よって信号の電力増幅を高品質に行うことが可能になる。

なお、本実施例では、オーディオパワーアンプ1を設けたスイッチング増幅装置について説明したが、その他のアナログ信号もしくは多ビットデジタル信号を増幅するパワーアンプを備えたスイッチング増幅装置についても応用することは可能である。

さらに、本実施例ではオーディオパワーアンプ1の変調手段に $\Delta\Sigma$ 変調器を用いた場合について説明したが、この変調手段は入力信号をONとOFF 2値に変調する方式であれば同様の効果が得られる。たとえば、パルス幅変調を用いても差し支えない。

さらに、 $\Delta\Sigma$ 電源が発生するスイッチングノイズSNZと、パワーオーディオアンプ側の出力ノイズONZとが逆位相の関係にある場合は、これらのノイズを積極的に干渉させるようにタイミングを設定してもよい。これにより、出力信号S O上のノイズが相殺され、ノイズを一層有効に低減させることが可能になる。

さらに、上述の実施例では、 $\Delta\Sigma$ 電源5として降圧チョッパ型を用いて説明したが、 $\Delta\Sigma$ 電源5を昇圧型として構成してもよい。

産業上の利用の可能性

本願発明は、パワーアンプと電源のスイッチングノイズの出るタイミングがほぼ同時になり、電源からノイズが混入しても、パワーアンプのノイズフィルタを兼用できる効果がある。また、これに伴い電源用のノイズフィルタが不要であるとともに、電源の出力に比較的大型のコンデンサやチョークコイルを備えた平滑回路を設ける必要がなくなり、電源の出力フィルタを簡略化できる効果がある。さらに、電源の出力フィルタの簡略化により、スイッチング増幅装置の小型化及びコストダウンを図ることができる効果がある。

【図面の簡単な説明】

図1は本発明に係る一実施例を示す実施例のブロック図である。

図2は図1に示す実施例の要部($\Delta\Sigma$ 電源)の一例を示すブロック回路図である。

図3は図1に示す実施例の詳細な構成を示す図である。

図4は図2に示す $\Delta\Sigma$ 変調回路の構成を示す図である。

図5は本実施例の動作を説明するための波形図である。

図6は本実施例の動作を比較説明するための波形図である。

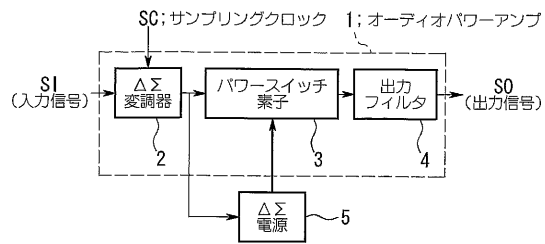
図7は従来例を示すブロック図である。

10

20

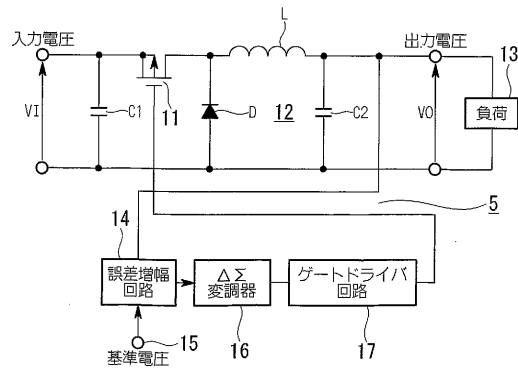
【図 1】

図1



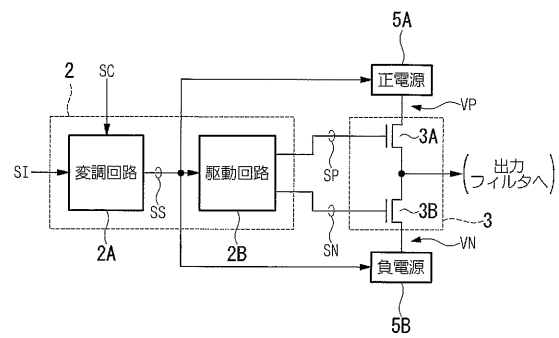
【図 2】

図2



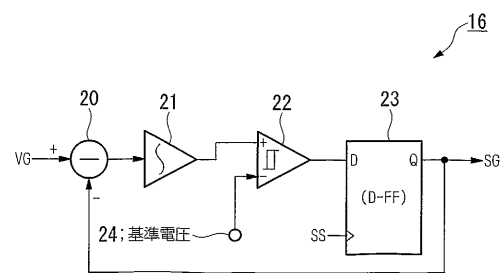
【図 3】

図3



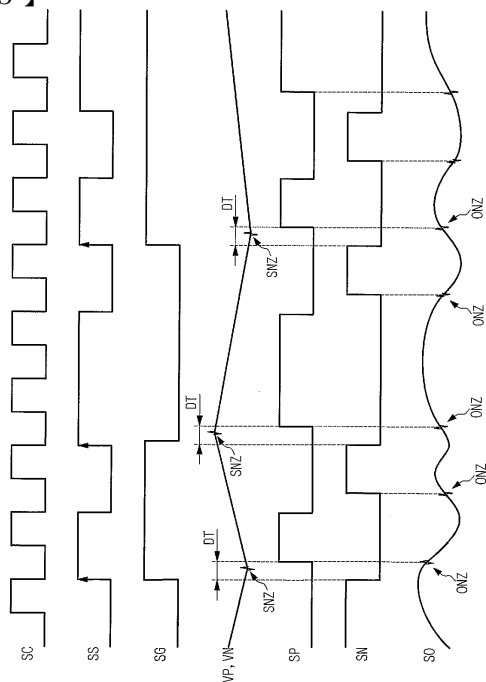
【図 4】

図4



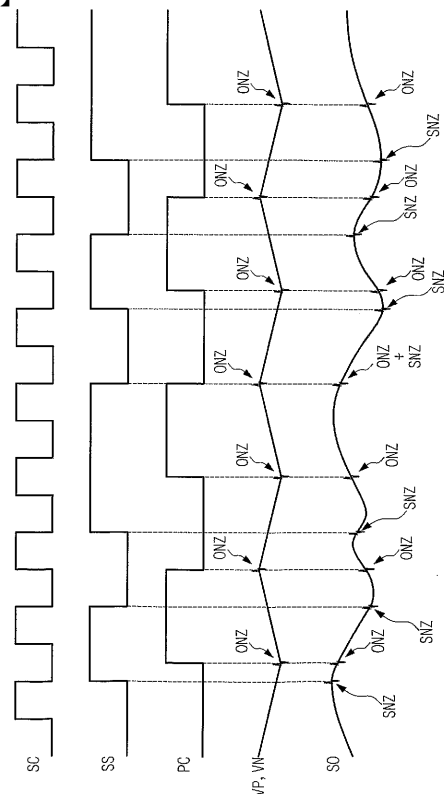
【図 5】

図5



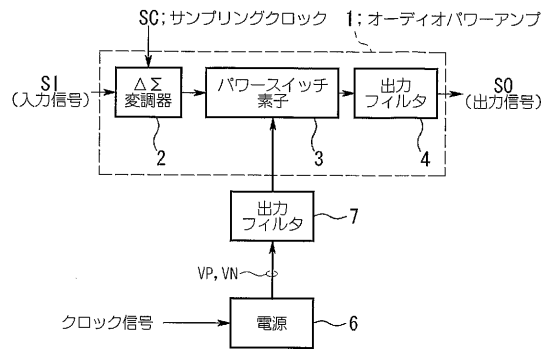
【図 6】

図6



【図 7】

図7



フロントページの続き

(74)代理人 100108453

弁理士 村山 靖彦

(72)発明者 三田村 篤

日本国埼玉県飯能市南町10番13号 新電元工業株式会社工場内

審査官 吉村 博之

(56)参考文献 特開2001-298330 (JP, A)

特表2002-067416 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/72